



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년03월13일
(11) 등록번호 10-1113421
(24) 등록일자 2012년01월31일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) G02F 1/136 (2006.01)
(21) 출원번호 10-2009-0113588
(22) 출원일자 2009년11월23일
심사청구일자 2009년11월23일
(65) 공개번호 10-2011-0057042
(43) 공개일자 2011년05월31일
(56) 선행기술조사문헌
JP2008185868 A*
KR1020080035360 A
JP2009237286 A
JP2009128520 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성모바일디스플레이주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
태승규
충청남도 천안시 서북구 변영로 467 (성성동)
이청
충청남도 천안시 서북구 변영로 467 (성성동)
(74) 대리인
신영무

전체 청구항 수 : 총 11 항

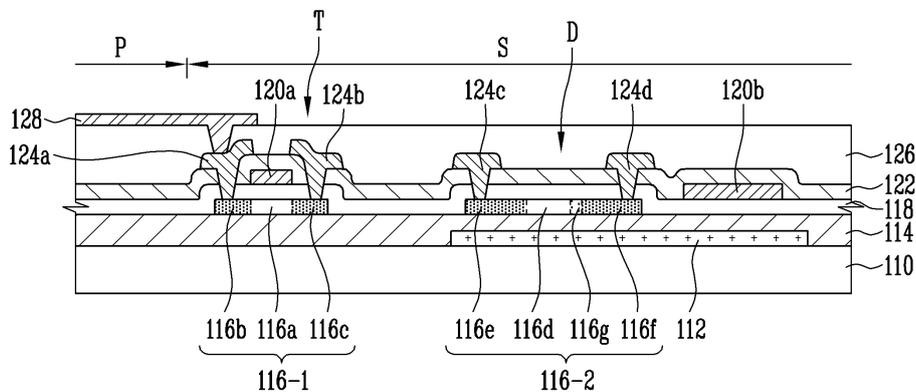
심사관 : 윤성주

(54) 발명의 명칭 액정 표시 장치

(57) 요약

본 발명은 액정 표시 장치에 관한 것으로, 기판 상에 금속으로 형성된 광 차단층, 광 차단층 상에 형성된 제 1 절연층, 광 차단층 상부의 제 1 절연층 상에 반도체층으로 형성된 광 감지소자, 광 감지소자를 포함하는 제 1 절연층 상에 형성된 제 2 절연층 그리고 제 2 절연층 상에 광 차단층과 중첩되도록 형성된 전극 패턴을 포함한다. 광 차단층에 의해 광 감지소자의 오동작이 방지되며, 광 차단층, 절연층 및 도전 패턴으로 이루어지는 캐패시터에 의해 광 차단층의 전위가 일정하게 유지됨으로써 광 감지소자의 출력 전류 특성이 안정적으로 유지된다.

대표도 - 도2



특허청구의 범위

청구항 1

제 1 기판;

상기 제 1 기판 상에 금속으로 형성된 광 차단층;

상기 광 차단층 상에 형성된 제 1 절연층;

상기 광 차단층 상부의 상기 제 1 절연층 상에 반도체층으로 형성된 광 감지소자;

상기 광 감지소자를 포함하는 상기 제 1 절연층 상에 형성된 제 2 절연층; 및

상기 제 2 절연층 상에 상기 광 차단층과 중첩되며, 상기 제 1 절연층 및 상기 제 2 절연층에 의해 상기 광 차단층과 전기적으로 절연되도록 형성된 전극 패턴을 포함하는 액정 표시 장치.

청구항 2

제 1 항에 있어서, 상기 광 감지소자는 상기 반도체층에 서로 이격되어 형성된 제 1 불순물 영역 및 제 2 불순물 영역을 포함하는 액정 표시 장치.

청구항 3

제 2 항에 있어서, 상기 광 감지소자는 상기 제 2 불순물 영역과 인접되어 형성된 제 3 불순물 영역을 더 포함하는 액정 표시 장치.

청구항 4

제 1 항에 있어서, 상기 전극 패턴이 상기 광 감지소자를 둘러싸도록 형성된 액정 표시 장치.

청구항 5

제 1 항에 있어서, 상기 제 1 절연층 상에 서로 교차되도록 형성된 게이트 라인 및 데이터 라인;

상기 게이트 라인 및 데이터 라인 사이에 연결된 박막 트랜지스터; 및

상기 박막 트랜지스터와 연결된 화소 전극을 더 포함하는 액정 표시 장치.

청구항 6

제 5 항에 있어서, 상기 박막 트랜지스터는 상기 제 1 절연층 상에 형성되며 소스 영역, 드레인 영역 및 채널 영역을 포함하는 반도체층;

상기 반도체층 상에 형성된 상기 제 2 절연층;

상기 채널 영역의 상기 제 2 절연층 상에 형성된 게이트 전극;

상기 게이트 전극을 포함하는 상기 제 2 절연층 상에 형성되며, 상기 소스 영역 및 드레인 영역의 반도체층이 노출되도록 콘택홀이 형성된 제 3 절연층; 및

상기 제 3 절연층 상에 형성되며, 상기 콘택홀을 통해 상기 소스 영역 및 드레인 영역의 반도체층과 연결된 소스 전극 및 드레인 전극을 포함하는 액정 표시 장치.

청구항 7

제 6 항에 있어서, 상기 박막 트랜지스터의 반도체층이 비정질 실리콘 또는 폴리 실리콘으로 형성된 액정 표시 장치.

청구항 8

제 6 항에 있어서, 상기 전극 패턴이 상기 게이트 전극과 동일 물질로 형성된 액정 표시 장치.

청구항 9

제 1 항에 있어서, 상기 제 1 기관과 대향하도록 배치된 제 2 기관;
 상기 제 2 기관 상에 형성된 공통 전극; 및
 상기 제 1 기관 및 상기 제 2 기관 사이에 주입된 액정층을 더 포함하는 액정 표시 장치.

청구항 10

제 1 항에 있어서, 상기 전극 패턴에 접지 전압이 인가되는 액정 표시 장치.

청구항 11

제 1 항에 있어서, 상기 반도체층이 비정질 실리콘 또는 폴리 실리콘으로 형성된 액정 표시 장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로, 보다 상세하게는 외부광의 세기(조도)에 따라 백 라이트의 밝기(휘도)가 조절되는 액정 표시 장치에 관한 것이다.

배경기술

[0002] 액정(liquid crystal)의 전기-광학적 특성을 이용하는 액정 표시 장치는 수동 매트릭스(passive matrix) 방식과 능동 매트릭스(active matrix) 방식으로 구분된다. 박막 트랜지스터(thin film transistor)를 이용하는 능동 매트릭스 방식은 해상도 및 동영상 구현 능력이 우수하기 때문에 수동 매트릭스 방식에 비해 많이 사용되고 있다.

[0003] 능동 매트릭스 방식의 액정 표시 장치(TFT-LCD)는 두 개의 기관 사이에 액정이 주입된 표시 패널, 표시 패널의 배면에 위치되며 광원으로 이용되는 백 라이트(back light) 및 표시 패널을 구동시키기 위한 구동부(Drive IC)를 포함한다. 백 라이트로부터 제공되는 광이 표시 패널로 입사되고, 구동부로부터 제공되는 신호에 따라 배향된 액정에 의해 광이 변조되어 외부로 출사됨으로써 문자나 화상이 표시된다.

[0004] 따라서 액정 표시 장치는 소비전력이 높은 백 라이트를 사용하기 때문에 휴대용 전자기기를 구현하기 위해서는 전지의 용량 및 크기가 증가되어야 하는 문제점이 있다.

[0005] 이와 같은 문제점을 해소하기 위해 외부광의 세기(조도)에 따라 백 라이트의 밝기(휘도)를 제어하여 소비전력을 감소시키는 방법이 제안되었다.

[0006] 한국특허공개 10-2008-0106637호(2008. 12. 09. 공개)에는 주변 영역에 센서부를 형성하고, 센서부가 감지한 외부광의 세기에 따라 백 라이트의 광 공급을 제어하는 액정 표시 장치가 개시되어 있다.

[0007] 그러나 상기 액정 표시 장치는 외부광의 입사량에 따라 광 전류를 발생하는 센서부가 도핑된 다결정 실리콘층으로 형성되기 때문에 백 라이트로부터 제공되는 광에 의해 외부광의 감지 효율이 저하되거나 오동작이 발생하는 문제점이 있다.

[0008] 한국특허공개 10-2008-0035360호(2008. 04. 23. 공개)에는 광 차단 패턴에 의해 백 라이트로부터 제공되는 광이 차단됨으로써 광 감지소자의 오동작이 방지되는 액정 표시 장치가 개시되어 있다.

[0009] 그러나 상기 액정 표시 장치는 광 차단 패턴이 독립적으로 형성되어 전기적으로 플로팅(floating)되기 때문에 광 감지소자를 구성하는 반도체막(실리콘막)에 임의의 바이어스(bias)를 제공하는 요인으로 작용하게 된다. 따라서 공핍 상태를 유지하는 반도체막에 임의의 바이어스가 제공될 경우 광 감지소자의 출력 전류가 변화되거나 오동작이 발생될 수 있다.

발명의 내용

해결하고자하는 과제

[0010] 본 발명의 목적은 광 차단층에 의한 광 감지소자의 특성 저하가 방지될 수 있는 액정 표시 장치를 제공하는 데

있다.

[0011] 본 발명의 다른 목적은 광 차단층의 전위가 일정하게 유지될 수 있는 액정 표시 장치를 제공하는 데 있다.

[0012] 본 발명의 또 다른 목적은 제조 공정에 사용되는 마스크가 추가되지 않으며, 광 차단층의 전위가 일정하게 유지될 수 있는 액정 표시 장치를 제공하는 데 있다.

과제 해결수단

[0013] 상기한 목적을 달성하기 위한 본 발명의 액정 표시 장치는 제 1 기관; 상기 제 1 기관 상에 금속으로 형성된 광 차단층; 상기 광 차단층 상에 형성된 제 1 절연층; 상기 광 차단층 상부의 상기 제 1 절연층 상에 반도체층으로 형성된 광 감지소자; 상기 광 감지소자를 포함하는 상기 제 1 절연층 상에 형성된 제 2 절연층; 및 상기 제 2 절연층 상에 상기 광 차단층과 중첩되도록 형성된 전극 패턴을 포함한다.

[0014] 상기 액정 표시 장치는 제 1 절연층 상에 서로 교차되도록 형성된 게이트 라인 및 데이터 라인; 상기 게이트 라인 및 데이터 라인 사이에 연결된 박막 트랜지스터; 및 상기 박막 트랜지스터와 연결된 화소 전극을 더 포함한다.

[0015] 또한, 상기 액정 표시 장치는 상기 제 1 기관과 대향하도록 배치된 제 2 기관; 상기 제 2 기관 상에 형성된 공통 전극; 및 상기 제 1 기관 및 상기 제 2 기관 사이에 주입된 액정층을 더 포함한다.

[0016] 상기 박막 트랜지스터는 상기 제 1 절연층 상에 형성되며 소스 영역, 드레인 영역 및 채널 영역을 포함하는 반도체층; 상기 반도체층 상에 형성된 상기 제 2 절연층; 상기 채널 영역의 상기 제 2 절연층 상에 형성된 게이트 전극; 상기 게이트 전극을 포함하는 상기 제 2 절연층 상에 형성되며, 상기 소스 영역 및 드레인 영역의 반도체층이 노출되도록 콘택홀이 형성된 제 3 절연층; 및 상기 제 3 절연층 상에 형성되며, 상기 콘택홀을 통해 상기 소스 영역 및 드레인 영역의 반도체층과 연결된 소스 전극 및 드레인 전극을 포함한다.

효과

[0017] 본 발명의 액정 표시 장치는 외부광의 세기에 따라 백 라이트의 밝기가 조절됨으로써 소비전력이 감소될 수 있다. 외부광의 세기를 감지하는 광 감지소자의 하부에는 광 차단층이 형성되어 백 라이트로부터 제공되는 광이 차단되며, 광 차단층, 절연층 및 도전 패턴으로 이루어지는 캐패시터에 의해 광 차단층의 전위가 일정하게 유지된다. 상기 캐패시터의 정전용량을 극대화시키면 광 차단층에 인가되는 임의의 바이어스가 광 감지소자의 동작에 미치는 영향이 최소화될 수 있다. 따라서 광 차단층에 의해 광 감지소자의 오동작이 방지되며, 광 차단층의 전위가 일정하게 유지됨으로써 광 감지소자의 출력 전류 특성이 안정적으로 유지된다. 또한, 광 감지소자는 공정 조건이나 환경에 따라 외부광의 세기에 따른 출력 전류 특성이 표시 패널마다 다를 수 있으나, 본 발명에 따르면 광 차단층의 전위를 표시 패널마다 조절할 수 있기 때문에 외부광의 세기에 따른 광 감지소자의 출력 전류 특성이 일정하게 될 수 있다.

[0018] 광 차단층의 전위를 일정하게 유지하기 위해 광 차단층에 일정 전압을 인가할 수 있으나, 이 경우 광 차단층에 배선을 연결하기 위한 콘택홀 및 배선 제조 공정 단계 및 이를 위한 마스크가 추가되어야 한다. 그러나 본 발명은 박막 트랜지스터 제조 공정을 이용하여 광 차단층, 절연층 및 도전 패턴으로 이루어지는 상기 캐패시터를 형성함으로써 공정 단계 및 마스크가 추가되지 않는다.

발명의 실시를 위한 구체적인 내용

[0019] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 이하의 실시예는 이 기술 분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서, 여러 가지 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예에 한정되는 것은 아니다.

[0020] 도 1은 본 발명에 따른 액정 표시 장치를 설명하기 위한 개략적인 사시도로서, 화상을 표시하는 표시 패널(100)을 중심으로 설명한다.

[0021] 표시 패널(100)은 서로 대향하도록 배치된 두 개의 기관(110 및 210)과, 두 개의 기관(110 및 210) 사이에 개재된 액정층(300)을 포함한다. 백 라이트(도시안됨)로부터 제공되는 광이 액정층(300)으로 입사되고, 화소 전극(128) 및 공통 전극(230)에 인가된 전압에 의해 배향되는 액정에 의해 광이 변조된 후 기관(210)을 통해 외부로 출사됨으로써 문자나 화상이 표시된다.

- [0022] 기관(110)에는 매트릭스 형태로 배열된 다수의 게이트 라인(130) 및 데이터 라인(140)이 형성되고, 다수의 게이트 라인(130) 및 데이터 라인(140)에 의해 화소 영역(P)이 정의된다. 게이트 라인(130) 및 데이터 라인(140)이 교차되는 부분의 기관(110)에는 각 화소로 공급되는 신호를 제어하는 박막 트랜지스터(T), 박막 트랜지스터(T)와 연결된 화소 전극(128) 및 신호를 유지시키기 위한 캐패시터(도시안됨)가 형성된다. 또한, 기관(110)에는 외부광의 세기를 감지하기 위한 광 감지소자(도시안됨)가 형성된다.
- [0023] 기관(210)에는 컬러 필터(220) 및 공통 전극(230)이 형성된다. 그리고 기관(110 및 210)의 배면에는 편광판(150 및 240)이 각각 형성되며, 편광판(150)의 하부에는 광원으로서 백 라이트(도시안됨)가 배치된다.
- [0024] 또한, 표시 패널(100)에는 화소를 구동시키기 위한 구동부(LCD Drive IC; 도시안됨)가 실장된다. 구동부는 외부로부터 제공되는 전기적 신호를 주사 신호 및 데이터 신호로 변환하여 게이트 라인(130) 및 데이터 라인(140)으로 공급한다.
- [0025] 도 2는 본 발명에 따른 액정 표시 장치를 설명하기 위한 단면도로서, 화소 영역(P) 및 소자 형성 영역(S)을 개략적으로 도시한다.
- [0026] 기관(110)은 화소 영역(P) 및 소자 형성 영역(S)을 포함한다. 소자 형성 영역(S)의 기관(110)에는 박막 트랜지스터(T), 캐패시터(도시안됨) 및 광 감지소자(D)가 형성된다.
- [0027] 먼저, 광 감지소자(D) 하부의 기관(110) 상에는 광 차단층(112)이 형성되고, 광 차단층(112)을 포함하는 기관(110) 상에는 제 1 절연층(114)이 형성된다. 광 차단층(112)은 백 라이트로부터 기관(110)을 통해 광 감지소자(D)로 제공되는 광을 차단하기 위한 것으로, 광이 투과되지 않도록 금속으로 형성된다.
- [0028] 제 1 절연층(114) 상에는 박막 트랜지스터(T) 및 광 감지소자(D)가 형성된다.
- [0029] 박막 트랜지스터(T)는 제 1 절연층(114) 상에 형성되며 채널 영역(116a), 소스 영역(116b) 및 드레인 영역(116c)을 포함하는 반도체층(116-1), 반도체층(116-1) 상에 형성된 제 2 절연층(118), 채널 영역(116a)의 제 2 절연층(118) 상에 형성된 게이트 전극(120a), 게이트 전극(120a)을 포함하는 제 2 절연층(118) 상에 형성되며 소스 영역(116b) 및 드레인 영역(116c)의 반도체층(116-1)이 노출되도록 콘택홀이 형성된 제 3 절연층(122) 그리고 제 3 절연층(122) 상에 형성되며 콘택홀을 통해 소스 영역(116b) 및 드레인 영역(116c)의 반도체층(116-1)과 연결된 소스 전극(124a) 및 드레인 전극(124b)을 포함한다. 반도체층(116-1)은 비정질 실리콘 또는 폴리 실리콘으로 형성된다.
- [0030] 광 감지소자(D)는 반도체층(116-2)으로 이루어지며, PN 접합 또는 PIN 접합 구조로 형성된다. 예를 들어, PIN 접합 구조는 서로 이격되어 배치된 P+형 고농도 불순물 영역(116e) 및 N+형 고농도 불순물 영역(116f), P+형 불순물 영역(116e)과 N+형 불순물 영역(116f) 사이에 배치된 진성 반도체 영역(116d) 그리고 N+형 불순물 영역(116f)에 인접된 N-형 저농도 불순물 영역(116g)을 포함한다. P+형 불순물 영역(116e) 및 N+형 불순물 영역(116f)은 제 2 및 제 3 절연층(118 및 122)에 형성된 콘택홀을 통해 전극(124c 및 124d)에 연결된다. 반도체층(116-2)은 비정질 실리콘 또는 폴리 실리콘으로 형성된다.
- [0031] 광 감지소자(D)는 광 신호를 전기 신호로 변환하는 반도체 소자로서, 역바이어스 상태 즉, P+형 불순물 영역(116e)에는 음(-)의 전압이 인가되고, N+형 불순물 영역(116f)에는 접지 전압 또는 양(+)의 전압이 인가된 상태에서 광이 입사되면 전자와 정공이 진성 반도체 영역(116d)에 형성되는 공핍 영역(depletion region)을 따라 이동함으로써 전류가 흐르게 된다. 이에 의해 광의 세기에 비례하는 전류를 출력하게 된다. 따라서 광 감지소자(D)로부터 출력되는 전류에 따라 백 라이트의 밝기(휘도)가 조절되도록 함으로써 소비전력이 감소될 수 있다.
- [0032] 또한, 제 2 절연층(118) 상에는 광 차단층(112)과 중첩되도록 전극 패턴(120b)이 형성된다. 따라서 광 차단층(112), 제 1 절연층(114), 제 2 절연층(118) 및 전극 패턴(120b)의 적층 구조에 의해 캐패시터가 형성된다. 전극 패턴(120b)은 게이트 전극(120a)과 동일 물질로 형성될 수 있다.
- [0033] 박막 트랜지스터(T) 및 광 감지소자(D)를 포함하는 소자 형성 영역(S) 및 화소 영역(P)의 기관(110) 상에는 평탄화층(126)이 형성되고, 평탄화층(126)에는 소스 전극(124a) 또는 드레인 전극(124b)이 노출되도록 비아홀이 형성된다. 그리고 화소 영역(P)을 포함하는 평탄화층(126) 상에는 비아홀을 통해 소스 전극(124a) 또는 드레인 전극(124b)과 연결되도록 화소 전극(128)이 형성된다.
- [0034] 도 3은 광 감지소자(D)와, 광 차단층(112), 제 1 절연층(114), 제 2 절연층(118) 및 전극 패턴(120b)에 의해 형성된 캐패시터의 동작을 설명하기 위한 등가 회로도이다.

[0035] 광 감지소자(D)의 P+형 불순물 영역(116e) 및 N+형 불순물 영역(116f)에는 동작전압(-Vpn) 및 접지전압(0V)이 각각 인가되고, 전극 패턴(120b)에는 예를 들어, 접지전압(0V)이 인가된다. 도면에서 캐패시터(Cp)는 광 차단층(112)과 P+형 불순물 영역(116e) 사이의 정전용량이고, 캐패시터(Cn)는 광 차단층(112)과 N+형 불순물 영역(116f) 사이의 정전용량이고, 캐패시터(Cpara)는 액정 표시 장치의 동작에 사용되는 소정의 동작전압(Vx)과 광 차단층(112) 사이의 정전용량을 도시한다. 또한, 캐패시터(Cfix)는 광 차단층(112), 절연층(114, 118) 및 전극 패턴(120b)의 적층 구조에 의한 정전용량을 도시한다.

[0036] 광 차단층(112)에 인가될 수 있는 전압(Vshield)은 하기의 수학적 식 1과 같다.

수학적 식 1

[0037] $V_{shield} = C_{para} / (C_{fix} + C_{para}) \cdot V_x$

[0038] 상기 수학적 식 1을 통해 알 수 있듯이, 캐패시터(Cfix)의 정전용량이 캐패시터(Cpara)의 정전용량보다 크면 캐패시터(Cpara)의 정전용량에 의해 광 차단층(112)에 인가되는 바이어스가 광 감지소자(D)의 동작에 미치는 영향은 최소화될 수 있다. 즉, 상대적으로 크기가 작은 캐패시터(Cpara)의 정전용량은 무시될 수 있는 반면, 캐패시터(Cfix)의 정전용량에 의해 광 차단층(112) 및 접지 사이의 전위는 안정적으로 일정하게 유지됨으로써 광 감지소자(D)의 출력 전류 특성이 일정해질 수 있다.

[0039] 본 발명의 효과를 극대화시키기 위해서는 캐패시터(Cfix)의 정전용량을 극대화시켜야 하며, 이를 위해 한정된 면적에서 최대의 정전용량을 구현하기 위해 도 4와 같이 전극 패턴(120b)이 광 감지소자(D)를 둘러싸도록 형성하는 것이 바람직하다. 또한, 캐패시터(Cfix)의 유전체를 구성하는 제 1 절연층(114) 및 제 2 절연층(118)의 두께를 최소화시키거나, 제 1 절연층(114) 또는 제 2 절연층(118)을 선택적으로 이용할 수 있다.

[0040] 도 5a는 광 감지소자(D)의 P+형 불순물 영역(116e) 및 N+형 불순물 영역(116f)에 0 내지 -8V의 동작전압(-Vpn)이 인가되고, 캐패시터(Cpara)의 정전용량에 의해 광 차단층(112)에 소정 전압(Vx = +2V ~ -2V)의 바이어스가 인가되는 경우를 도시한 등가 회로도이다. 이 경우 도 5b에 도시된 바와 같이 광 차단층(112)에 인가되는 바이어스에 의해 광 감지소자(D)의 전류 특성이 변화된다. 이와 같은 전류 특성의 변화는 외부광의 세기(조도)에 따른 광 감지소자(D)의 출력 전류(Ipn) 특성이 불안정해지는 것을 의미한다.

[0041] 도 6a는 광 감지소자(D)의 P+형 불순물 영역(116e) 및 N+형 불순물 영역(116f)에 0 내지 -8V의 동작전압(-Vpn)이 인가되고, 캐패시터(Cfix)의 정전용량에 의해 광 차단층(112)의 전위가 일정하게 유지되는 경우를 도시한 등가 회로도이다. 이 경우 캐패시터(Cpara)의 정전용량에 의해 광 차단층(112)에 소정 전압의 바이어스가 인가되더라도 도 6b에 도시된 바와 같이 광 감지소자(D)의 출력 전류 특성이 안정적으로 유지된다. 안정적인 전류 특성은 광 감지소자(D)의 출력 전류(Ipn)가 외부광의 세기에 따라 선형적으로 일정하게 변화되는 것을 의미한다.

[0042] 한편, 광 감지소자(D)는 공정 조건이나 환경에 따라 외부광의 세기에 따른 출력 전류 특성이 표시 패널마다 다를 수 있다. 그러나 본 발명에 따르면 전극 패턴(120b)에 인가되는 전압을 조절하면 광 차단층(112)의 전위를 표시 패널마다 조절할 수 있기 때문에 외부광의 세기에 따른 광 감지소자(D)의 출력 전류 특성이 일정하게 될 수 있다.

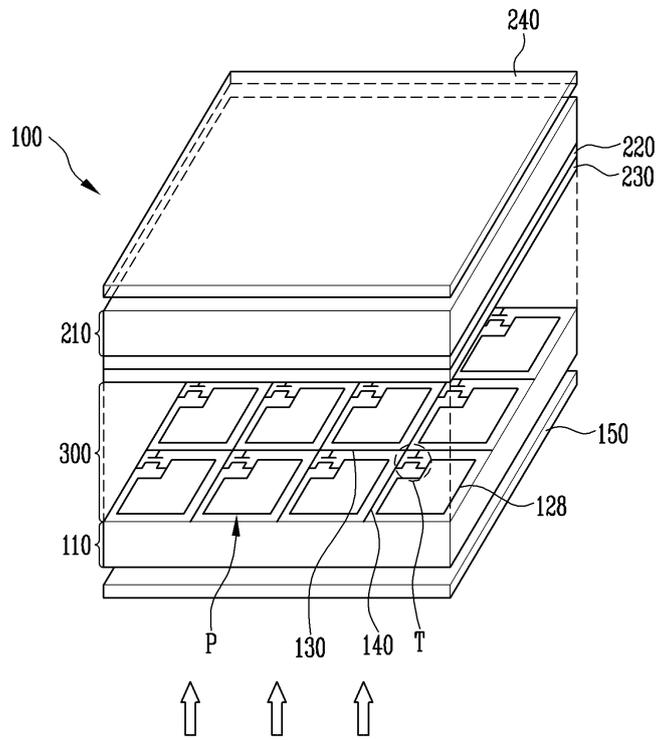
[0043] 또한, 광 차단층(112)의 전위를 일정하게 유지하기 위해 광 차단층(112)에 직접적으로 일정 전압을 인가할 수 있다. 이 경우 광 차단층(112)에 배선을 연결하기 위한 콘택홀 및 배선 제조 공정 단계 및 이를 위한 마스크가 추가되어야 한다. 그러나 본 발명은 박막 트랜지스터(T) 제조 공정을 이용하여 광 차단층(112), 절연층(114, 118) 및 도전 패턴(120b)으로 이루어지는 캐패시터(Cfix)를 형성함으로써 별도의 공정 단계 및 마스크가 추가되지 않는다.

[0044] 상기 실시예에서는 광 감지소자(D)를 다이오드로 구성한 경우를 설명하였으나, 박막 트랜지스터(T) 제조 공정을 이용하여 포토 트랜지스터로 구성할 수도 있다.

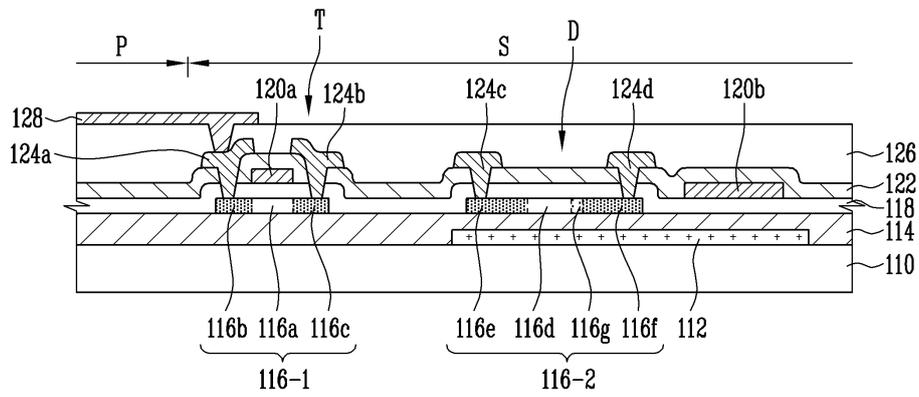
[0045] 이상에서와 같이 상세한 설명과 도면을 통해 본 발명의 최적 실시예를 개시하였다. 용어들은 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면

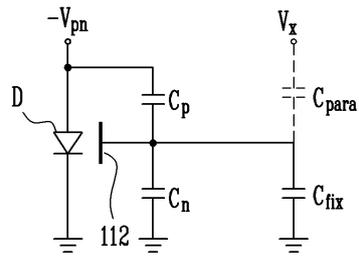
도면1



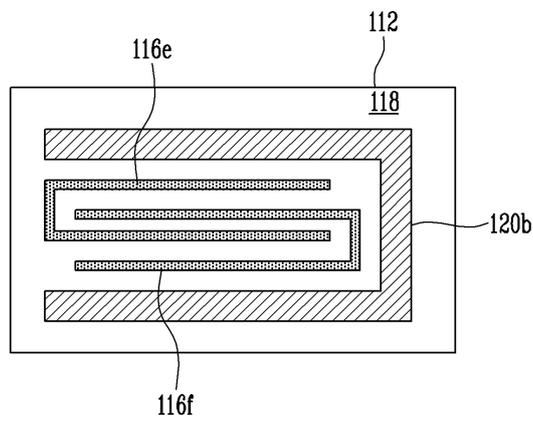
도면2



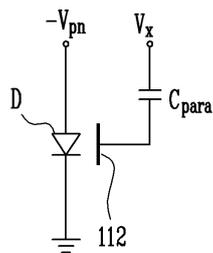
도면3



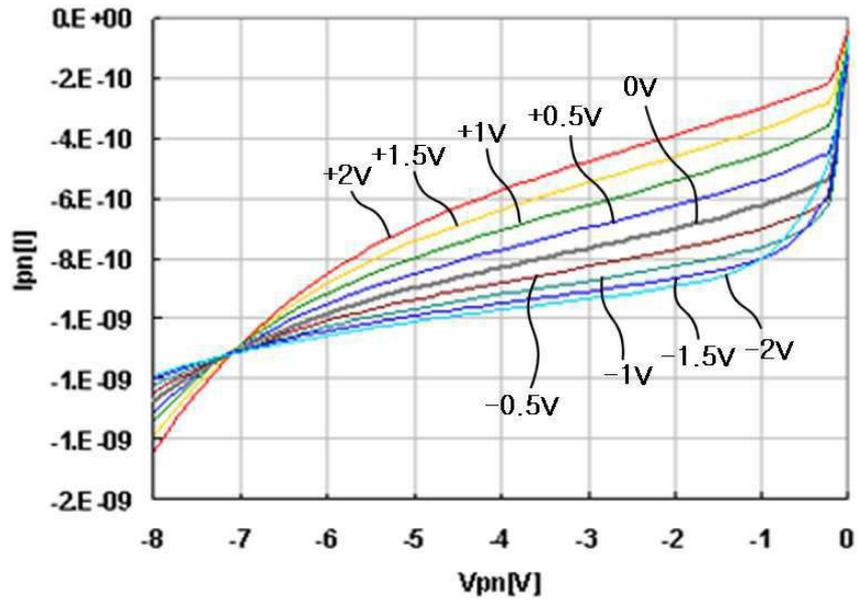
도면4



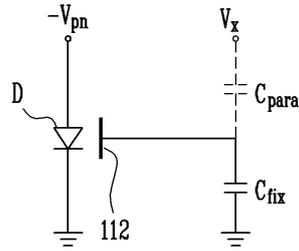
도면5a



도면5b



도면6a



도면6b

