

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021年5月20日 (20.05.2021)



(10) 国际公布号
WO 2021/093238 A1

- (51) 国际专利分类号:
H01L 21/768 (2006.01) H01L 23/522 (2006.01)
- (21) 国际申请号: PCT/CN2020/079615
- (22) 国际申请日: 2020年3月17日 (17.03.2020)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201911095493.0 2019年11月11日 (11.11.2019) CN
- (71) 申请人: 武汉新芯集成电路制造有限公司 (WUHAN XINXIN SEMICONDUCTOR MANUFACTURING CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新四路18号, Hubei 430205 (CN)。
- (72) 发明人: 曾甜 (ZENG, Tian); 中国湖北省武汉市东湖开发区高新四路18号, Hubei 430205 (CN)。
胡杏 (HU, Xing); 中国湖北省武汉市东湖开发区高新四路18号, Hubei 430205 (CN)。
- (74) 代理人: 上海思微知识产权代理事务所 (普通合伙) (SHANGHAI SAVVY INTELLECTUAL PROPERTY AGENCY); 中国上海市黄浦区

复兴中路1号申能国际大厦606室, Shanghai 200021 (CN)。

- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

(54) Title: METAL LEAD, SEMICONDUCTOR DEVICE AND FABRICATION METHOD THEREFOR

(54) 发明名称: 金属引线、半导体器件及其制作方法

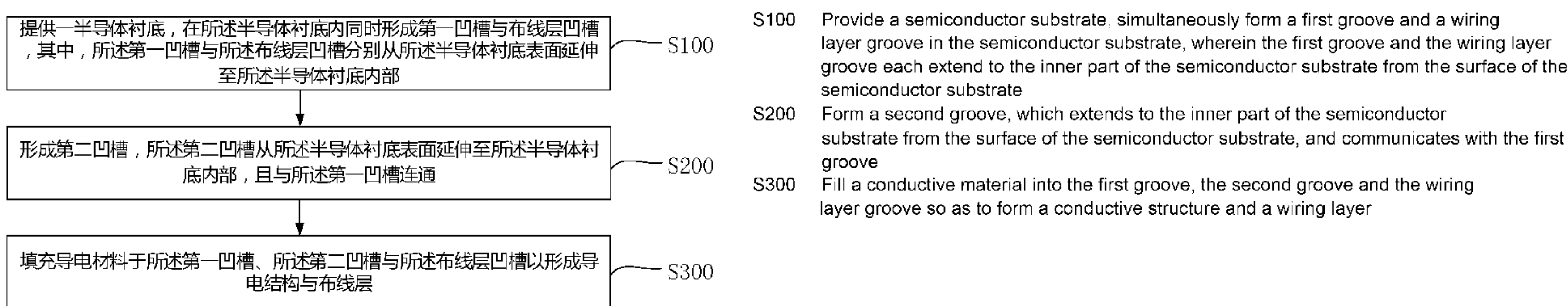


图9

(57) Abstract: Provided in the present invention are a metal lead, a semiconductor device and a fabrication method therefor. The method comprises: first simultaneously forming a first groove and a wiring layer groove; then forming a second groove, the second groove communicating with the first groove; afterwards, using a conductive material to fill the wiring layer groove while simultaneously filling the first groove and the second groove so as to form a wiring layer and a conductive structure at the same time. There is no need for additional opening to lead out the conductive structure, and there is also no need to deposit an aluminum layer and then etch same to form the wiring layer, which thus saves two mask plates and saves on production costs.

(57) 摘要: 本发明提供了一种金属引线、半导体器件及其制作方法, 首先同时形成第一凹槽与布线层凹槽, 接着形成第二凹槽, 所述第二凹槽与所述第一凹槽连通, 之后填充导电材料在第一凹槽、第二凹槽的过程中同时填充布线层凹槽, 在形成导电结构的同时形成布线层, 不需要再额外开孔将导电结构引出, 也不需要再沉积铝层之后再刻蚀形成布线层, 节省了两张掩模板, 节约了生产成本。

WO 2021/093238 A1

本国际公布:

— 包括国际检索报告(条约第21条(3))。

金属引线、半导体器件及其制作方法

技术领域

本发明涉及半导体制造技术领域，具体涉及一种金属引线、半导体器件及其制作方法。

背景技术

目前在 3D IC 技术中大都采用硅通孔 (Through Silicon Via, TSV)，硅通孔技术是用于将不同芯片封装在一起的一种新型封装技术，其通过制作贯穿衬底的、其中填充有导电材料的通孔，然后将多个芯片或晶圆堆叠在一起，利用通孔来实现芯片之间的电连接。TSV 能够使芯片在三维方向堆叠的密度最大，外形尺寸最小，并且大大改善芯片速度和低功耗的性能。

当 TSV 工艺完成后，如果需要继续增加后续的布线层工艺，传统的工艺方案主要是继续沉积氮化硅/氧化硅 (SIN/OX) 层将 TSV 结构覆盖，再通过开孔的方式将 TSV 结构引出，最后沉积 AL (铝) 并最终形成布线层。然而完成该工艺至少需要 2 张掩模板 (mask)，成本较高。

因此，为了解决上述技术问题，有必要提出一种新的制作方法。

发明内容

基于以上所述的问题，本发明的目的在于提供一种金属引线、半导体器件及其制作方法，在形成导电结构的同时形成布线层，不需要增加掩模板，由此节约成本。

为实现上述目的，本发明提供一种金属引线的制作方法，包括：

提供一半导体衬底，在所述半导体衬底内同时形成第一凹槽与布线层凹槽，其中，所述第一凹槽与所述布线层凹槽分别从所述半导体衬底表面延伸至所述半导体衬底内部；

形成第二凹槽，所述第二凹槽从所述半导体衬底表面延伸至所述半导体衬底内，且与所述第一凹槽连通；以及，

填充导电材料于所述第一凹槽、所述第二凹槽与所述布线层凹槽以形成

导电结构与布线层。

可选的，在所述金属引线的制作方法中，所述第二凹槽从所述半导体衬底表面延伸至所述半导体衬底内部的深度较所述第一凹槽从所述半导体衬底表面延伸至所述半导体衬底内部的深度深，且所述第一凹槽与所述第二凹槽形成大马士革结构。

可选的，在所述金属引线的制作方法中，所述第一凹槽与所述布线层凹槽具有相同的深度。

可选的，在所述金属引线的制作方法中，所述第二凹槽的开口尺寸小于所述第一凹槽的开口尺寸。

可选的，在所述金属引线的制作方法中，所述第一凹槽在所述半导体衬底表面的投影覆盖所述第二凹槽在所述半导体衬底表面的投影。

相应的，本发明还提供一种半导体器件的制作方法，包括：

提供键合后的第一半导体和第二半导体，所述第二半导体键合于所述第一半导体上并在键合处形成键合界面，所述第一半导体包括第一衬底、位于所述第一衬底正面的第一层间介质层和嵌设于所述第一层间介质层中的第一导电层，所述第二半导体包括第二衬底、位于所述第二衬底正面的第二层间介质层和嵌设于所述第二层间介质层中的第二导电层，所述第二半导体远离所述键合界面的一面形成有第三层间介质层；

同时形成第一凹槽与布线层凹槽，所述第一凹槽与所述布线层凹槽分别形成于所述第三层间介质层内；

形成第一开孔，所述第一开孔贯穿所述第三层间介质层和部分厚度的所述第二半导体，且所述第一开孔位于所述第二导电层上方，所述第一开孔与所述第一凹槽连通；

形成第二开孔，所述第二开孔贯穿所述第三层间介质层、所述第二半导体和部分厚度的所述第一半导体，且所述第二开孔位于所述第一导电层上方，所述第二开孔与所述第一凹槽连通；

暴露所述第二开孔下方的所述第一导电层和所述第一开孔下方的所述第二导电层；以及，

填充导电材料在所述第一凹槽、所述第一开孔、所述第二开孔以及所述布线层凹槽内，以形成导电结构与布线层。

可选的，在所述半导体器件的制作方法中，所述第一开孔的开口尺寸小于所述第一凹槽的开口尺寸，并且所述第一凹槽在所述第三层间介质层表面的投影覆盖所述第一开孔在所述第三层间介质层表面的投影。

可选的，在所述半导体器件的制作方法中，所述第二开孔的开口尺寸小于所述第一开孔的开口尺寸，并且所述第一开孔在所述第三层间介质层表面的投影覆盖所述第二开孔在所述第三层间介质层表面的投影。

可选的，在所述半导体器件的制作方法中，在形成所述第一开孔之后，在形成所述第二开孔之前，还包括：形成绝缘层，所述绝缘层覆盖所述第一凹槽、所述第一开孔与所述布线层凹槽的侧壁及底部。

可选的，在所述半导体器件的制作方法中，暴露所述第二开孔下方的所述第一导电层和所述第一开孔下方的所述第二导电层时，所述布线层凹槽位于第三层间介质层内。

相应的，本发明还提供一种金属引线，形成于半导体衬底中，包括：

布线层凹槽，所述布线层凹槽从所述半导体衬底表面延伸至所述半导体衬底内部；

第一凹槽，所述第一凹槽从所述半导体衬底表面延伸至所述半导体衬底内部，且所述第一凹槽与所述布线层凹槽同时形成；

第二凹槽，所述第二凹槽从所述半导体衬底表面延伸至所述半导体衬底内部，且所述第二凹槽与第一凹槽连通；

导电结构，填充于所述第一凹槽与所述第二凹槽内；以及，

布线层，填充于所述布线层凹槽内。

可选的，在所述金属引线中，所述第一凹槽与所述布线层凹槽具有相同的深度。

可选的，在所述金属引线中，所述第二凹槽的开口尺寸小于所述第一凹槽的开口尺寸。

可选的，在所述金属引线中，所述第一凹槽在所述半导体衬底表面的投

影覆盖所述第二凹槽在所述半导体衬底表面的投影。

相应的，本发明还提供一种半导体器件，包括：

相键合的第一半导体和第二半导体，所述第二半导体键合于所述第一半导体上并在键合处形成键合界面，所述第一半导体包括第一衬底、位于所述第一衬底正面的第一层间介质层和嵌设于所述第一层间介质层中的第一导电层，所述第二半导体包括第二衬底、位于所述第二衬底正面的第二层间介质层和嵌设于所述第二层间介质层中的第二导电层，所述第二半导体远离所述键合界面的一面形成有第三层间介质层；

布线层凹槽，位于所述第三层间介质层内；

第一凹槽，位于所述第三层间介质层内，且所述第一凹槽与所述布线层凹槽同时形成；

第一开孔，贯穿所述第三层间介质层和部分厚度的所述第二半导体，且所述第一开孔位于所述第二导电层上方并暴露所述第二导电层，所述第一开孔与所述第一凹槽连通；

第二开孔，贯穿所述第三层间介质层、所述第二半导体和部分厚度的所述第一半导体，且所述第二开孔位于所述第一导电层的上方且暴露所述第一导电层，所述第二开孔与所述第一凹槽连通；

导电结构，填充于所述第一凹槽、所述第一开孔与所述第二开孔内，并连接所述第一导电层与所述第二导电层；以及，

布线层，填充于所述布线层凹槽内。

可选的，在所述半导体器件中，所述第一开孔的开口尺寸小于所述第一凹槽的开口尺寸，并且所述第一凹槽在所述第三层间介质层表面的投影覆盖所述第一开孔在所述第三层间介质层表面的投影。

可选的，在所述半导体器件中，所述第二开孔的开口尺寸小于所述第一开孔的开口尺寸，并且所述第一开孔在所述第三层间介质层表面的投影覆盖所述第二开孔在所述第三层间介质层表面的投影。

与现有技术相比，本发明提供的金属引线、半导体器件及其制作方法中，首先同时形成第一凹槽与布线层凹槽，接着形成第二凹槽，所述第二凹槽与

所述第一凹槽连通，之后填充导电材料在所述第一凹槽、所述第二凹槽的过程中同时填充所述布线层凹槽，在形成导电结构的同时形成布线层，不需要再额外开孔将导电结构引出，也不需要再在沉积铝层之后再刻蚀形成布线层，节省了两张掩模板，节约了生产成本。

附图说明

图 1~8 为一半导体器件的制作方法的各步骤结构示意图。

图 9 为本发明一实施例所提供的金属引线的制作方法的流程图。

图 10 为本发明一实施例所提供的金属引线的结构示意图。

图 11 为本发明一实施例所提供的半导体器件的制作方法的流程图。

图 12~17 为本发明一实施例所提供的半导体器件的制作方法的各步骤结构示意图。

图 18a~图 18c 为本发明一实施例所提供的第一半导体与第二半导体键合之后的结构示意图。

具体实施方式

图 1~8 为一半导体器件的制作方法的各步骤结构示意图。请参照图 1 至图 8 所示，半导体器件的制作方法如下。

首先，请参考图 1 所示，提供一第一衬底 10 与一第二衬底 20。首先，在所述第一衬底 10 上形成第一层间介质层 11，刻蚀所述第一层间介质层 11 形成凹槽并填充金属材料以形成第一导电层 12，接着，形成第一阻挡层 13，所述第一阻挡层 13 覆盖所述第一层间介质层 11 与所述第一导电层 12。接着，在所述第一阻挡层 13 上形成第二层间介质层 14。同时，在所述第二衬底 20 的一面上形成第三层间介质层 21，接着刻蚀所述第三层间介质层 21 形成凹槽并填充金属材料以形成第二导电层 22，本实施例中形成有两条所述第二导电层 22，且后续所述第一衬底 10 与所述第二衬底 20 键合之后每条所述第二导电层 22 在所述第一层间介质层 11 上的投影均与所述第一导电层 12 具有重叠部分。接着，形成第二阻挡层 23，所述第二阻挡层 23 覆盖所述第三层间介质

层 21 与第二导电层 22。接着，在所述第二阻挡层 23 上形成第四层间介质层 24。最后，还包括在所述第四层间介质层 24 上形成第三阻挡层 25，当然，也可以在所述第二层间介质层 14 上形成第三阻挡层。之后将所述第一衬底 10 形成有所述第三介质层 14 的一面与所述第二衬底 20 形成有所述第三阻挡层 25 的一面进行键合。

所述第二衬底 20 远离所述键合面的一面上还形成有第五层间介质层 26，可以在键合之前形成所述第五层间介质层 26，也可以在键合之后形成所述第五层间介质层 26。所有层间介质层的材质均可以优选为氧化硅，所有阻挡层的材质均可以优选为氮化硅。

接着，请继续参考图 1 所示，依次刻蚀所述第五层间介质层 26 与所述第二衬底 20 以形成第一凹槽 27，所述第一凹槽 27 在所述第三层间介质层 21 上的投影覆盖每相邻两条所述第二导电层 22 中的部分导电层。

接着，请参考图 2 所示，形成绝缘层 28，所述绝缘层 28 覆盖所述第五层间介质层 26，并覆盖所述第一凹槽 27 的侧壁及底部。所述绝缘层 28 的材质包含但不限于氧化硅。

接着，请参考图 3 所示，通过所述第一凹槽 27 依次刻蚀所述绝缘层 28、所述第三层间介质层 21、所述第二阻挡层 23、所述第四层间介质层 24、所述第三阻挡层 25、所述第二层间介质层 14 以及部分厚度的所述第一阻挡层 13 形成开孔 29，所述开孔 29 的开口尺寸小于所述第一凹槽 27 的开口尺寸，且所述开孔 29 位于所述第一导电层 12 的上方且靠近所述第一导电层 12，并且每相邻两条所述第二层导电层 22 位于所述开孔 29 的两侧。所述开孔 29 并未暴露出所述第一导电层 12，而是在所述第一导电层 12 上保留有部分厚度的所述第一阻挡层 13，以防止所述第一导电层 12 被氧化。

接着，请参考图 4 所示，在所述开孔 29 内填充抗反射层 30，所述抗反射层 30 填充于所述开孔 29。所述抗反射层 30 的填充一方面使得所述第一凹槽 27 表面更平整，从而有利于后续形成第二凹槽 31 时的光刻胶曝光与显影；另一方面在后续刻蚀形成第二凹槽 31 过程中可以防止第一导电层 12 上的部分阻挡层 13 被刻蚀，即不让第一导电层 12 提前暴露。正常的抗反射层填充完

成后，会进行抗反射层的回刻蚀形成如图 4 所示的抗反射层 30，使得抗反射层 30 的上界面与第二导电层 12 平齐，这样有利于第二凹槽 31 的刻蚀。

接着，请参考图 5 所示，通过所述第一凹槽 27 沿着所述开孔 29 的顶部刻蚀部分厚度的所述第三层间介质层 21，以在所述第一凹槽 27 的底部所述开孔 29 的顶部形成第二凹槽 31，所述第二凹槽 31 的开口尺寸小于所述第一凹槽 27 的开口尺寸，且所述第二凹槽 31 的开口尺寸大于所述开孔 29 的开口尺寸，且所述第二凹槽 31 的底部靠近所述第二层导电层 22。之后，去除所述抗反射层 30。

所述第二凹槽 31 并未暴露出所述第二导电层 22，而是在所述第二导电层 22 上保留有部分厚度的所述第三层间介质层 21，以防止所述第二导电层 22 被氧化。

接着，请参考图 6 所示，暴露出所述第一导电层 12 与所述第二导电层 22，即刻蚀去除所述开孔 29 底部剩余的所述第一阻挡层 13，暴露出所述第一导电层 12，刻蚀去除所述第二凹槽 31 底部剩余的第三层间介质层 21，暴露出所述第二导电层 22。然后填充导电材料在所述第一凹槽、第二凹槽与所述开孔内以形成导电结构 32，所述导电结构 32 连接所述第一导电层 12 与所述第二导电层 22。

接着，请参考图 7 所示，依次形成氮化硅层 33 与氧化硅层 34，所述氮化硅层 33 覆盖所述第五层间介质层 26 以及导电结构 32，所述氧化硅层 34 覆盖所述氮化硅层 33。然后，在所述氧化硅层 34 上形成光刻胶层（未图示），采用掩膜版对所述光刻胶层进行图形化，形成图形化的光刻胶层，接着以图形化的光刻胶层为掩膜依次刻蚀所述氧化硅层 34 与所述氮化硅层 33，以形成第三凹槽 35，所述第三凹槽 35 暴露出所述导电结构 32，最后去除图形化的光刻胶层。该刻蚀步骤需要一张掩模板。

最后，请参考图 8 所示，沉积导电层，优选为铝层，所述导电层填满所述第三凹槽 35 并覆盖所述氧化硅层 34。之后，在所述导电层上形成光刻胶层（未图示），采用掩膜版对所述光刻胶层进行图形化，形成图形化的光刻胶层，接着以图形化的光刻胶层为掩膜刻蚀所述导电层，以形成图形化的导电层，

即形成布线层 36。该步骤需要使用一张掩模板。

即形成导电结构 32 之后,需要形成第三凹槽 35 将所述导电结构 32 引出,之后形成导电层并刻蚀形成布线层 36。完成该工艺步骤需要使用两张掩模板,成本较高。

基于上述问题,本发明提供一种金属引线的制作方法,包括:提供一半导体衬底,在所述半导体衬底内同时形成第一凹槽与布线层凹槽,其中,所述第一凹槽与所述布线层凹槽分别从所述半导体衬底表面延伸至所述半导体衬底内部;形成第二凹槽,所述第二凹槽从所述半导体衬底表面延伸至所述半导体衬底内部,且与所述第一凹槽连通;以及,填充导电材料于所述第一凹槽、所述第二凹槽与所述布线层凹槽以形成导电结构与布线层。

相应的,本发明还提供一种半导体器件制作方法,包括:提供键合后的第一半导体和第二半导体,所述第一半导体和所述第二半导体的键合处形成键合界面,所述第一半导体包括第一衬底、位于所述第一衬底正面的第一层间介质层和嵌设于所述第一层间介质层中的第一导电层,所述第二半导体包括第二衬底、位于所述第二衬底正面的第二层间介质层和嵌设于所述第二层间介质层中的第二导电层,所述第二半导体远离所述键合界面的一面形成有第三层间介质层;同时形成第一凹槽与布线层凹槽,所述第一凹槽与所述布线层凹槽分别形成于所述第三层间介质层内;形成第一开孔,所述第一开孔贯穿所述第三层间介质层和部分厚度的所述第二半导体,且所述第一开孔位于所述第二导电层上方并靠近所述第二层导电层,所述第一开孔与所述第一凹槽连通;形成第二开孔,所述第二开孔贯穿所述第三层间介质层、所述第二半导体和部分厚度的所述第一半导体,且所述第二开孔位于所述第一导电层上方并靠近所述第一导电层,所述第二开孔与所述第一凹槽连通;暴露所述第二开孔下方的第一导电层和所述第一开孔下方的所述第二导电层;以及,填充导电材料在所述第一凹槽、所述第一开孔、所述第二开孔以及所述布线层凹槽内,以形成导电结构与布线层。

相应的,本发明还提供一种金属引线,包括:半导体衬底;布线层凹槽,

所述布线层凹槽从所述半导体衬底表面延伸至所述半导体衬底内部；第一凹槽，所述第一凹槽从所述半导体衬底表面延伸至所述半导体衬底内部，且所述第一凹槽与所述布线层凹槽同时形成；第二凹槽，所述第二凹槽从所述半导体衬底表面延伸至所述半导体衬底内部，且所述第二凹槽与所述第一凹槽连通；以及，导电材料，所述导电材料填充于所述第一凹槽与与第二凹槽内形成导电结构，所述导电材料填充于所述布线层凹槽内形成布线层。

相应的，本发明还提供一种半导体器件，包括：相键合的第一半导体和第二半导体，所述第一半导体和所述第二半导体键合处形成键合界面，所述第一半导体包括第一衬底、位于所述第一衬底正面的第一层间介质层和嵌设于所述第一层间介质层中的第一导电层，所述第二半导体包括第二衬底、位于所述第二衬底正面的第二层间介质层和嵌设于所述第二层间介质层中的第二导电层，所述第二半导体远离所述键合界面的一面形成有第三层间介质层；布线层凹槽，位于所述第三层间介质层内；第一凹槽，位于所述第三层间介质层内，且所述第一凹槽与所述布线层凹槽同时形成；第一开孔，贯穿所述第三层间介质层和部分厚度的所述第二半导体，且所述第一开孔位于所述第二导电层上方并暴露所述第二导电层，所述第一开孔与所述第一凹槽连通；第二开孔，贯穿所述第三层间介质层、所述第二半导体和部分厚度的所述第一半导体，且所述第二开孔位于所述第一导电层的上方且暴露所述第一导电层，所述第二开孔与所述第一凹槽连通；以及，导电材料，所述导电材料填充于所述第一凹槽、所述第一开孔与所述第二开孔内，并连接所述第一导电层与所述第二导电层形成导电结构，所述导电材料填充于所述布线层凹槽内形成布线层。

在本发明提供的金属引线、半导体器件及其制作方法中，首先同时形成第一凹槽与布线层凹槽，接着形成第二凹槽，所述第二凹槽与所述第一凹槽连通，之后填充导电材料在所述第一凹槽、所述第二凹槽的过程中同时填充所述布线层凹槽，在形成导电结构的同时形成布线层，不需要再额外开孔将导电结构引出，也不需要再沉积铝层之后再刻蚀形成布线层，节省了两张掩模板，节约了生产成本。

为使本发明的内容更加清楚易懂，以下结合说明书附图，对本发明的内容做进一步说明。当然本发明并不局限于该具体实施例，本领域的技术人员所熟知的一般替换也涵盖在本发明的保护范围内。

显然，所描述的实施例仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其它实施例，都属于本发明保护的范围。其次，本发明利用示意图进行了详细的表述，在详述本发明实例时，为了便于说明，示意图不依照一般比例局部放大，不应对此作为本发明的限定。

图9为本发明一实施例所提供的金属引线的制作方法的流程图。图10为本发明一实施例所提供的金属引线的制作方法的结构示意图。以下结合附图9与附图10对本实施例中金属引线的制作方法的各个步骤进行详细说明。

在步骤S100中，提供一半导体衬底100，在所述半导体衬底100内同时形成第一凹槽101与布线层凹槽102，其中，所述第一凹槽101与所述布线层凹槽102分别从所述半导体衬底表面延伸至所述半导体衬底内部。较佳的，所述第一凹槽101与所述布线层凹槽102具有相同的深度。

在步骤S200中，形成第二凹槽103，在一个实施例中，所述第二凹槽103从所述半导体衬底100表面延伸至所述半导体衬底100内部，且与所述第一凹槽101连通。较佳的，所述第二凹槽103从所述半导体衬底100表面延伸至所述半导体衬底100内部的深度较所述第一凹槽101从所述半导体衬底100表面延伸至所述半导体衬底100内部的深度深，且所述第一凹槽101与所述第二凹槽103形成大马士革结构。

作为优选实施例，在所述第一凹槽101的底部形成所述第二凹槽103，且所述第一凹槽101与所述第二凹槽103形成大马士革结构。例如：首先形成光刻胶层，所述光刻胶层覆盖所述衬底100并填满所述第一凹槽101与所述布线层凹槽102，接着对所述光刻胶层进行图形化，图形化的光刻胶层暴露出预定形成所述第二凹槽103的区域，且该区域位于所述第一凹槽101内。接

着，以图形化的光刻胶层为掩膜，刻蚀所述半导体衬底 100 至形成所述第二凹槽 103。最后，去除图形化的光刻胶层。

作为优选实施例，所述第二凹槽 103 包含第三凹槽 103A 与开孔 103B，所述第三凹槽 103A 形成于所述第一凹槽 101 的底部，所述开孔 103B 形成于所述第三凹槽 103A 的底部，如图 10 所示。优选的，所述开孔 103B 的开口尺寸小于所述第三凹槽 103A 的开口尺寸，所述第三凹槽 103A 的开口尺寸小于所述第一凹槽 101 的开口尺寸。在本申请实施例中，所述第一凹槽 101 在所述半导体衬底 100 表面的投影覆盖所述第二凹槽 103 在所述半导体衬底 100 表面的投影。

在步骤 S300 中，填充导电材料于所述第一凹槽 101、所述第二凹槽 103、所述布线层凹槽 102 以形成导电结构 200 与布线层 300。所述导电材料填充于所述布线层凹槽 102 内形成布线层 300，所述导电材料填充于所述第一凹槽 101 与所述第二凹槽 103 内形成导电结构 200。

所述半导体衬底 100 可以包括衬底和设置于所述衬底至少一侧的膜层结构，即所述衬底的一侧或两侧设置有所述膜层结构。所述衬底可以为本领域技术人员熟知的任意合适的底材；所述膜层结构可以包括导电结构、栅极结构、介质层等，所述导电结构可以包括金属互连结构、电阻的极板或电容的极板，所述栅极结构可以是多晶硅栅极或金属栅极。需要说明的是，本发明对所述半导体衬底 100 的结构不作限定，可以依据要形成的器件选择合适的所述半导体衬底 100。

在本发明提供的金属引线的制作方法中，同时形成第一凹槽 101 与布线层凹槽 102，接着形成第二凹槽 103，所述第二凹槽 103 与所述第一凹槽 101 连通，之后填充导电材料在所述第二凹槽 103、所述第一凹槽 101 的过程中同时填充所述布线层凹槽 102，在形成所述导电结构 200 的同时形成所述布线层 300，不需要再额外开孔将导电结构引出，也不需要再沉积铝层之后再刻蚀形成布线层，节省了两张掩模板，节约了生产成本。

相应的，本发明还提供一种金属引线，采用如上所述的金属引线的制作方法制作而成。请参考图 10 所示，所述金属引线包括：

半导体衬底 100;

布线层凹槽 102, 所述布线层凹槽 102 从所述半导体衬底 100 表面延伸至所述半导体衬底 100 内部;

第一凹槽 101, 所述第一凹槽 101 从所述半导体衬底 100 表面延伸至所述半导体衬底 100 内部, 且所述第一凹槽 101 与所述布线层凹槽 102 同时形成;

第二凹槽 103, 所述第二凹槽 103 从所述半导体衬底 100 表面延伸至所述半导体衬底 100 内部, 且所述第二凹槽 103 与所述第一凹槽 101 连通; 以及,

导电材料, 所述导电材料填充于所述第二凹槽 103 与所述第一凹槽 101 内形成导电结构 200, 所述导电材料填充于所述布线层凹槽 102 内形成布线层 300。

作为优选实施例, 在所述第一凹槽 101 的底部形成所述第二凹槽 103, 且所述第一凹槽 101 与所述第二凹槽 103 形成大马士革结构。作为优选实施例, 所述第二凹槽 103 包含第三凹槽 103A 与开孔 103B, 所述第三凹槽 103A 形成于所述第一凹槽 101 的底部, 所述开孔 103B 形成于所述第三凹槽 103A 的底部, 如图 10 所示。优选的, 所述开孔 103B 的开口尺寸小于所述第三凹槽 103A 的开口尺寸, 所述第三凹槽 103A 的开口尺寸小于所述第一凹槽 101 的开口尺寸。

图 11 为本发明一实施例所提供的半导体器件的制作方法的流程图。图 12~17 为本发明一实施例所提供的半导体器件的制作方法的各步骤结构示意图。以下结合附图 11 与附图 12~17 对本实施例中半导体器件的制作方法的各个步骤进行详细说明。

在步骤 S100 中, 请参考图 11 与图 12 所示, 提供键合后的第一半导体 10 和第二半导体 20, 所述第一半导体 10 和所述第二半导体 20 的键合处形成键合界面, 所述第一半导体 10 包括第一衬底 100、位于所述第一衬底 100 正面 S1 的第一层间介质层 110 和嵌设于所述第一层间介质层 110 中的第一导电层 101, 所述第二半导体 20 包括第二衬底 200、位于所述第二衬底 200 正面 S1 的第二层间介质层 210 和嵌设于所述第二层间介质层 210 中的第二导电层

201;所述第二半导体20远离所述键合界面的一面形成有第三层间介质层220。

所述第一半导体10和所述第二半导体20键合包括:所述第一半导体10的正面与所述第二半导体20的正面键合,如图18a所示,或者,所述第一半导体10的正面与所述第二半导体20的背面键合,如图18b所示,或者,所述第一半导体10的背面与所述第二半导体20的背面键合,如图18c所示,其中,所述第一半导体10的正面与所述第一半导体10的背面为相对的面,所述第二半导体20的正面与所述第二半导体20的背面为相对的面。以所述第一半导体10的正面与所述第二半导体20的正面键合为例,所述第一半导体10和所述第二半导体20键合的步骤包括:所述第一半导体10的正面与所述第二半导体20的正面贴合起来,采用键合机台施加一定的压力、温度、电压等外部条件,所述第一半导体10的正面与所述第二半导体20的正面之间会产生原子或分子间的结合力,如共价键、金属键或分子键,当达到一定程度后,所述第一半导体10与所述第二半导体20形成一个整体,即形成键合结构。

所述第一衬底100与第二衬底200的材料均可以为单晶硅(Si)、单晶锗(Ge)、硅锗(GeSi)或碳化硅(SiC),也可以是绝缘体上硅(SOI),绝缘体上锗(GOI);或者还可以为其它的材料,例如砷化镓等III-V族化合物。在本实施例中,所述第一衬底100与第二衬底200的材料优选为单晶硅(Si)。所述第一衬底100与第二衬底200上还可以形成有各种半导体结构,例如晶体管等,本发明对此不作限定。

具体的,在所述第一衬底100的正面S1上形成第一子层间介质层111,刻蚀所述第一子层间介质层111形成凹槽并填充导电材料以形成第一导电层101,接着,形成第一阻挡层102,所述第一阻挡层102覆盖所述第一导电层101与所述第一子层间介质层111,接着,在所述第一阻挡层102上形成第二子层间介质层112。所述第一子层间介质层111与所述第二子层间介质层112的材质均包含但不限于氧化硅,所述第一导电层101可以包括金属互连结构、电阻的极板或电容的极板等,所述第一导电层101的材质包含但不限于铜,所述第一阻挡层102的材质包含但不限于氮化硅。

同时，在所述第二衬底 200 的正面 S1 上形成第三子层间介质层 211，刻蚀所述第三子层间介质层 211 形成凹槽并填充金属材料以形成第二导电层 201，所述第二导电层 201 数量多个，被第三子层间介质层 211 隔开，可以依据要形成的器件对第二导电层 201 选择合适的数量以及分布情况。优选实施例中，所述第一半导体 10 与所述第二半导体 20 键合之后每相邻两条所述第二导电层 201 在所述第一子层间介质层 111 上的投影均与同一所述第一导电层 101 具有重叠部分。接着，形成第二阻挡层 202，所述第二阻挡层 202 覆盖所述第二导电层 201 与所述第三子层间介质层 211。接着，在所述第二阻挡层 202 上形成第四子层间介质层 212。所述第三子层间介质层 211 与所述第四子层间介质层 212 的材质均包含但不限于氧化硅，所述第二导电层 201 可以包括金属互连结构、电阻的极板或电容的极板等，所述第二导电层 201 的材质包含但不限于铜，所述第二阻挡层 202 的材质包含但不限于氮化硅。

最后，还包括：在所述第四子层间介质层 212 上形成第三阻挡层 203，所述第三阻挡层 203 的材质包含但不限于氮化硅。当然，也可以在所述第二子层间介质层 112 上形成所述第三阻挡层。之后，将所述第一半导体 10 的第一层间介质层 110 与所述第二半导体 20 的第二层间介质层 210 进行键合，即将所述第一衬底 100 形成有所述第二子层间介质层 112 的一面与所述第二衬底 200 形成有所述第三阻挡层 203 的一面进行键合，形成键合界面。

所述第二半导体 20 远离所述键合界面的一面形成有第三层间介质层 220，本实施例中，所述第二衬底 200 的背面 S2 上还形成有第三层间介质层 220，可以在键合之前形成所述第三层间介质层 220，也可以在键合之后形成所述第三层间介质层 220。所述第三层间介质层 220 的材质包含但不限于氧化硅。

在步骤 S200 中，请继续参考图 11 与图 12 所示，同时形成第一凹槽 301 与布线层凹槽 302，所述第一凹槽 301 与所述布线层凹槽 302 分别形成于所述第三层间介质层 220 内。具体的，请参考图 12 所示，形成第一光刻胶层（未图示）在所述第三层间介质层 220 上，图形化所述第一光刻胶层以形成图形化的第一光刻胶层，接着以所述图形化的第一光刻胶层为掩膜，刻蚀所述第三层间介质层 220 以形成第一凹槽 301 与布线层凹槽 302，最后去除所述图形

化的第一光刻胶层。较佳的，所述第一凹槽 301 和所述布线层凹槽 302 具有相同的深度。

在步骤 S300 中，请参考图 11 与图 13 所示，形成第一开孔 303，所述第一开孔 303 贯穿所述第三层间介质层 220 和部分厚度的所述第二半导体 20，且所述第一开孔 303 位于所述第二导电层 201 上方并靠近所述第二层导电层 201，所述第一开孔 303 与所述第一凹槽 301 连通。具体的，请参考图 13 所示，形成第二光刻胶层（未图示）在所述第三层间介质层 220 上，所述第二光刻胶层覆盖所述第三层间介质层 220 并填充所述第一凹槽 301 与所述布线层凹槽 302，图形化所述第二光刻胶层以形成图形化的第二光刻胶层，所述图形化的第二光刻胶层暴露出所述第一凹槽 301 底部预定形成第一开孔的区域，接着以所述图形化的第二光刻胶层为掩膜，刻蚀所述第三层间介质层 220 与部分厚度的所述第二半导体 20 以形成第一开孔 303，最后去除所述图形化的第二光刻胶层。

在本申请实施例中，所述第一开孔 303 的开口尺寸小于所述第一凹槽 301 的开口尺寸，并且所述第一凹槽 301 在所述第三层间介质层 220 表面的投影覆盖所述第一开孔 303 在所述第三层间介质层 220 表面的投影。

优选实施例中，请继续参考图 13 所示，形成第二光刻胶层（未图示）在所述第三层间介质层 220 上，所述第二光刻胶层覆盖所述第三层间介质层 220 并填充所述第一凹槽 301 与所述布线层凹槽 301，图形化所述第二光刻胶层以形成图形化的第二光刻胶层，所述图形化的第二光刻胶层暴露出所述第一凹槽 301 底部预定形成第一开孔的区域，接着以所述图形化的第二光刻胶层为掩膜，刻蚀所述第三层间介质层 220、所述第二衬底 200 与部分厚度的所述第三子层间介质层 211 以形成第一开孔 303，最后去除所述图形化的第二光刻胶层。所述第一开孔 303 在所述第二层间介质层 210 上的投影覆盖每相邻两条所述第二导电层 201 中的每个所述第二导电层 201 的部分，使得后续通过刻蚀形成的第二开孔位于两条所述第二导电层 201 之间，且所述第一开孔 303 位于所述第二导电层 201 上方并靠近所述第二层导电层 201。所述第一开孔 303 在所述第一层间介质层 110 上的投影覆盖所述第一导电层 101，使得后续

在所述第一开孔 303 内形成的第二开孔位于所述第一导电层 101 上，从而最终暴露出所述第一导电层 101。

在形成所述第一开孔 303 之后，还包括：形成绝缘层 304，所述绝缘层 304 覆盖所述第三层间介质层 220 以及所述第一凹槽 301、所述布线层凹槽 302 与所述第一开孔 303 的侧壁及底部，形成如图 14 所示的结构。所述绝缘层 304 的材质包含但不限于氧化硅。

在步骤 S400 中，请参考图 11 与图 15 所示，形成第二开孔 305，所述第二开孔 305 贯穿所述第三层间介质层 220、所述第二半导体 20 和部分厚度的所述第一半导体 10，且所述第二开孔 305 位于所述第一导电层 101 上方并靠近所述第一导电层 101，所述第二开孔 305 与所述第一凹槽 301 连通。

在本申请实施例中，所述第二开孔 305 的开口尺寸小于所述第一开孔 303 的开口尺寸，并且所述第一开孔 303 在所述第三层间介质层 220 表面的投影覆盖所述第二开孔 305 在所述第三层间介质层 220 表面的投影。

具体的，形成第三光刻胶层（未图示）在所述绝缘层 304 之上，所述光刻胶层填充所述第一开孔 303、所述第一凹槽 301 与所述布线层凹槽 302，图形化所述第三光刻胶层以形成图形化的第三光刻胶层，所述图形化的第三光刻胶层暴露出预定形成所述第二开孔 305 的区域。接着以所述图形化的第三光刻胶层为掩膜，依次刻蚀所述绝缘层 304、所述第三层间介质层 220、所述第二半导体 20、所述第三阻挡层 203、所述第二子层间介质层 112 以及所述第一阻挡层 102，至所述第一阻挡层 102 中（即保留部分厚度的所述第一阻挡层 102），以形成第二开孔 305，最后去除所述图形化的第三光刻胶层。当然，根据所述第一开孔 303 的深度可以选择其余的方法形成所述第二开孔 305，本发明对此不作限定。

优选实施例中，请参考图 15，在所述第一开孔 303 底部形成所述第二开孔 305。具体的，在所述第一开孔 303 底部依次刻蚀所述绝缘层 304、所述第二层间介质层 210、所述第三阻挡层 203、所述第二子层间介质层 112 以及所述第一阻挡层 102，至所述第一阻挡层 102 中（即保留部分厚度的所述第一阻挡层 102），以在所述第一开孔 303 的底部形成第二开孔 305，所述第二开孔

305 位于所述第一开孔 303 的底部,且所述第二开孔 305 位于所述第一导电层 101 的上方且靠近所述第一导电层 101,所述第二开孔 305 并未暴露出所述第一导电层 101,而是在所述第一导电层 101 上保留有部分厚度的所述第一阻挡层 102,以防止所述第一导电层 101 被氧化。优选的,所述第二开孔 305 的开口尺寸小于所述第一开孔 303 的开口尺寸。优选的,投影均与同一所述第一导电层 101 具有部分重叠的每相邻两条所述第二层导电层 201 位于所述第二开孔 305 的两侧。

在步骤 S500 中,请参考图 11 与图 16 所示,暴露所述第二开孔 305 下方的所述第一导电层 101 和所述第一开孔 303 下方的所述第二导电层 201。暴露所述第二开孔 305 下方的所述第一导电层 101 和所述第一开孔 303 下方的所述第二导电层 201 时,所述布线层凹槽 302 应位于第三层间介质层 220 内。

具体的,刻蚀去除所述第二开孔 305 底部剩余的所述第一阻挡层 102,暴露出所述第一导电层 101,刻蚀去除所述第一开孔 303 底部的所述绝缘层 304 与所述第三子层间介质层 211,暴露出所述第二导电层 201。

优选实施例中,暴露所述第二开孔 305 下方的所述第一导电层 101 和所述第一开孔 303 下方的所述第二导电层 201 的同时,还去除了所述布线层凹槽 302 底部暴露出的所述绝缘层 304 与部分厚度的所述第三层间介质层 220。然而,所述布线层凹槽 302 后续用于填充导电材料形成布线层,因此所述布线层凹槽 302 不易暴露出所述第二衬底 200。

在步骤 S600 中,请参考图 11 与图 17 所示,填充导电材料在所述第二开孔 305、所述第一开孔 303、所述第一凹槽 301 以及所述布线层凹槽 302 内,以形成导电结构 306 与布线层 307。

所述导电材料填满所述第二开孔 305、所述第一开孔 303 与所述第一凹槽 301,并连接所述第一导电层 101 与所述第二导电层 201,形成导电结构 306,同时所述导电材料填满所述布线层凹槽 302 以形成布线层 307。所述导电材料优选为金属,例如铜。

本发明实施例中,首先同时形成第一凹槽 301 与布线层凹槽 302,接着形成第一开孔 303 与第二开孔 305,在形成导电结构 306 的过程中形成布线层

307，与现有技术相比，节省了两张掩模板，由此节约了生产成本。并且，本发明实施例中省略了抗反射层的形成，进一步节约了生产成本。

本发明提供的半导体器件及其制作方法中，首先同时形成第一凹槽 301 与布线层凹槽 302，接着形成第一开孔 303 与第二开孔 305，之后填充导电材料在第二开孔 305、第一开孔 303 与第一凹槽 301 的过程中同时填充布线层凹槽 302，在形成导电结构 306 的同时形成布线层 307，不需要再额外开孔将导电结构引出，也不需要再在沉积铝层之后再刻蚀形成布线层，节省了两张掩模板，节约了生产成本。

相应的，本发明还提供一种半导体器件，可以采用如上所述的半导体器件的制作方法制作而成。请参考图 17 所示，所述半导体器件包括：

相键合的第一半导体 10 和第二半导体 20，所述第一半导体 10 和所述第二半导体 20 的键合处形成键合界面，所述第一半导体 10 包括第一衬底 100、位于所述第一衬底 100 正面 S1 的第一层间介质层 110 和嵌设于所述第一层间介质层 110 中的第一导电层 101，所述第二半导体 20 包括第二衬底 200、位于所述第二衬底 200 正面 S1 的第二层间介质层 210 和嵌设于所述第二层间介质层 210 中的第二导电层 201，所述第二半导体 20 远离所述键合界面的一面形成有第三层间介质层 220；

布线层凹槽 302，位于所述第三层间介质层 220 内；

第一凹槽 301，位于所述第三层间介质层 220 内，且所述第一凹槽 301 与所述布线层凹槽 302 同时形成；

第一开孔 303，贯穿所述第三层间介质层 220 和部分厚度的所述第二半导体 20，且所述第一开孔 303 位于所述第二导电层 201 上方并暴露所述第二导电层 201，所述第一开孔 303 与所述第一凹槽 301 连通；

第二开孔 305，贯穿所述第三层间介质层 220、所述第二半导体 20 和部分厚度的所述第一半导体 10，位于所述第一导电层 101 的上方且暴露所述第一导电层 101，所述第二开孔 305 与所述第一凹槽 301 连通；以及，

导电材料，所述导电材料填充于所述第一凹槽 301、所述第一开孔 303 与

所述第二开孔 305 内，并连接所述第一导电层 101 与所述第二导电层 201 形成导电结构 306，所述导电材料填充于所述布线层凹槽 301 内形成布线层 307。

具体的，所述第一层间介质层 110 包含第一子层间介质层 111 与第二子层间介质层 112，所述第一导电层 101 嵌于所述第一子层间介质层 111 内并自所述第一子层间介质层 111 的上表面延伸至所述第一子层间介质层 111 中，所述第二子层间介质层 112 覆盖所述第一导电层 101 以及所述第一子层间介质层 111。并且，在所述第一子层间介质层 111 与所述第二子层间介质层 112 之间还设置有第一阻挡层 102。

所述第二层间介质层 210 包含第三子层间介质层 211 与第四子层间介质层 212，所述第二导电层 201 位于所述第四子层间介质层 212 之上，所述第三子层间介质层 211 覆盖所述第二导电层 201 与所述第四子层间介质层 212。并且，在所述第三子层间介质层 211 与所述第四子层间介质层 212 之间还设置有第二阻挡层 202。在所述第二子层间介质层 112 与所述第四子层间介质层 212 之间还设置有第三阻挡层 203。

所述第二开孔 305 位于所述第一开孔 303 的底部，所述第一开孔 303 位于所述第一凹槽 301 的底部。

所述第一凹槽 301 的侧壁与所述布线层凹槽 302 的侧壁以及所述第一开孔 303 的部分侧壁形成有绝缘层 304。

综上所述，本发明提供的金属引线、半导体器件及其制作方法中，首先同时形成第一凹槽与布线层凹槽，接着形成第二凹槽，所述第二凹槽与所述第一凹槽连通，之后填充导电材料在第一凹槽、第二凹槽的过程中同时填充布线层凹槽，在形成导电结构的同时形成布线层，不需要再额外开孔将导电结构引出，也不需要再沉积铝层之后再刻蚀形成布线层，节省了两张掩模板，节约了生产成本。

上述描述仅是对本发明较佳实施例的描述，并非对本发明范围的任何限定，本发明领域的普通技术人员根据上述揭示内容做的任何变更、修饰，均属于权利要求书的保护范围。

权利要求

1、一种金属引线的制作方法，其特征在于，包括：

提供一半导体衬底，在所述半导体衬底内同时形成第一凹槽与布线层凹槽，其中，所述第一凹槽与所述布线层凹槽分别从所述半导体衬底表面延伸至所述半导体衬底内部；

形成第二凹槽，所述第二凹槽从所述半导体衬底表面延伸至所述半导体衬底内部，且与所述第一凹槽连通；以及，

填充导电材料于所述第一凹槽、所述第二凹槽与所述布线层凹槽以形成导电结构与布线层。

2、如权利要求1所述的金属引线的制作方法，其特征在于，所述第二凹槽从所述半导体衬底表面延伸至所述半导体衬底内部的深度较所述第一凹槽从所述半导体衬底表面延伸至所述半导体衬底内部的深度深，且所述第一凹槽与所述第二凹槽形成大马士革结构。

3、如权利要求1所述的金属引线的制作方法，其特征在于，所述第一凹槽与所述布线层凹槽具有相同的深度。

4、如权利要求1所述的金属引线的制作方法，其特征在于，所述第二凹槽的开口尺寸小于所述第一凹槽的开口尺寸。

5、如权利要求4所述的金属引线的制作方法，其特征在于，所述第一凹槽在所述半导体衬底表面的投影覆盖所述第二凹槽在所述半导体衬底表面的投影。

6、一种半导体器件的制作方法，其特征在于，包括：

提供键合后的第一半导体和第二半导体，所述第二半导体键合于所述第一半导体上并在键合处形成键合界面，所述第一半导体包括第一衬底、位于所述第一衬底正面的第一层间介质层和嵌设于所述第一层间介质层中的第一导电层，所述第二半导体包括第二衬底、位于所述第二衬底正面的第二层间介质层和嵌设于所述第二层间介质层中的第二导电层，所述第二半导体远离所述键合界面的一面形成有第三层间介质层；

同时形成第一凹槽与布线层凹槽，所述第一凹槽与所述布线层凹槽分别形成于所述第三层间介质层内；

形成第一开孔，所述第一开孔贯穿所述第三层间介质层和部分厚度的所述第二半导体，且所述第一开孔位于所述第二导电层上方，所述第一开孔与所述第一凹槽连通；

形成第二开孔，所述第二开孔贯穿所述第三层间介质层、所述第二半导体和部分厚度的所述第一半导体，且所述第二开孔位于所述第一导电层上方，所述第二开孔与所述第一凹槽连通；

暴露所述第二开孔下方的所述第一导电层和所述第一开孔下方的所述第二导电层；以及，

填充导电材料在所述第一凹槽、所述第一开孔、所述第二开孔以及所述布线层凹槽内，以形成导电结构与布线层。

7、如权利要求6所述的半导体器件的制作方法，其特征在于，所述第一开孔的开口尺寸小于所述第一凹槽的开口尺寸，并且所述第一凹槽在所述第三层间介质层表面的投影覆盖所述第一开孔在所述第三层间介质层表面的投影。

8、如权利要求7所述的半导体器件的制作方法，其特征在于，所述第二开孔的开口尺寸小于所述第一开孔的开口尺寸，并且所述第一开孔在所述第三层间介质层表面的投影覆盖所述第二开孔在所述第三层间介质层表面的投影。

9、如权利要求6所述的半导体器件的制作方法，其特征在于，在形成所述第一开孔之后，在形成所述第二开孔之前，还包括：形成绝缘层，所述绝缘层覆盖所述第一凹槽、所述第一开孔与所述布线层凹槽的侧壁及底部。

10、如权利要求6所述的半导体器件的制作方法，其特征在于，暴露所述第二开孔下方的所述第一导电层和所述第一开孔下方的所述第二导电层时，所述布线层凹槽位于第三层间介质层内。

11、一种金属引线，形成于半导体衬底中，其特征在于，包括：

布线层凹槽，所述布线层凹槽从所述半导体衬底表面延伸至所述半导体

衬底内部；

第一凹槽，所述第一凹槽从所述半导体衬底表面延伸至所述半导体衬底内部，且所述第一凹槽与所述布线层凹槽同时形成；

第二凹槽，所述第二凹槽从所述半导体衬底表面延伸至所述半导体衬底内部，且所述第二凹槽与第一凹槽连通；

导电结构，填充于所述第一凹槽与所述第二凹槽内；以及，
布线层，填充于所述布线层凹槽内。

12、如权利要求 11 所述的金属引线，其特征在于，所述第一凹槽与所述布线层凹槽具有相同的深度。

13、如权利要求 11 所述的金属引线，其特征在于，所述第二凹槽的开口尺寸小于所述第一凹槽的开口尺寸。

14、如权利要求 13 所述的金属引线，其特征在于，所述第一凹槽在所述半导体衬底表面的投影覆盖所述第二凹槽在所述半导体衬底表面的投影。

15、一种半导体器件，其特征在于，包括：

相键合的第一半导体和第二半导体，所述第二半导体键合于所述第一半导体上并在键合处形成键合界面，所述第一半导体包括第一衬底、位于所述第一衬底正面的第一层间介质层和嵌设于所述第一层间介质层中的第一导电层，所述第二半导体包括第二衬底、位于所述第二衬底正面的第二层间介质层和嵌设于所述第二层间介质层中的第二导电层，所述第二半导体远离所述键合界面的一面形成有第三层间介质层；

布线层凹槽，位于所述第三层间介质层内；

第一凹槽，位于所述第三层间介质层内，且所述第一凹槽与所述布线层凹槽同时形成；

第一开孔，贯穿所述第三层间介质层和部分厚度的所述第二半导体，且所述第一开孔位于所述第二导电层上方并暴露所述第二导电层，所述第一开孔与所述第一凹槽连通；

第二开孔，贯穿所述第三层间介质层、所述第二半导体和部分厚度的所述第一半导体，且所述第二开孔位于所述第一导电层的上方且暴露所述第一

导电层，所述第二开孔与所述第一凹槽连通；

导电结构，填充于所述第一凹槽、所述第一开孔与所述第二开孔内，并连接所述第一导电层与所述第二导电层；以及，

布线层，填充于所述布线层凹槽内。

16、如权利要求 15 所述的半导体器件，其特征在于，所述第一开孔的开口尺寸小于所述第一凹槽的开口尺寸，并且所述第一凹槽在所述第三层间介质层表面的投影覆盖所述第一开孔在所述第三层间介质层表面的投影。

17、如权利要求 16 所述的半导体器件，其特征在于，所述第二开孔的开口尺寸小于所述第一开孔的开口尺寸，并且所述第一开孔在所述第三层间介质层表面的投影覆盖所述第二开孔在所述第三层间介质层表面的投影。

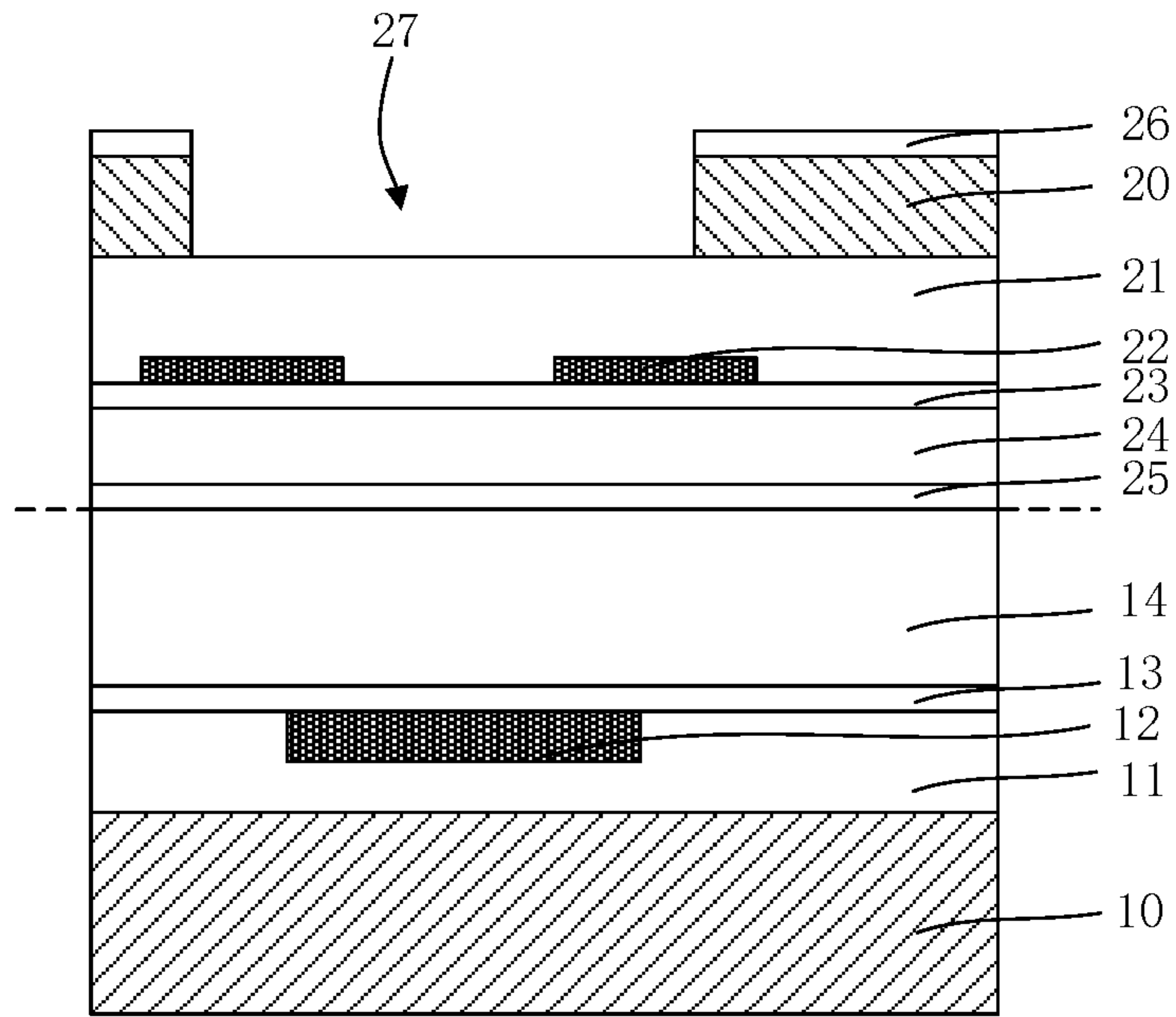


图 1

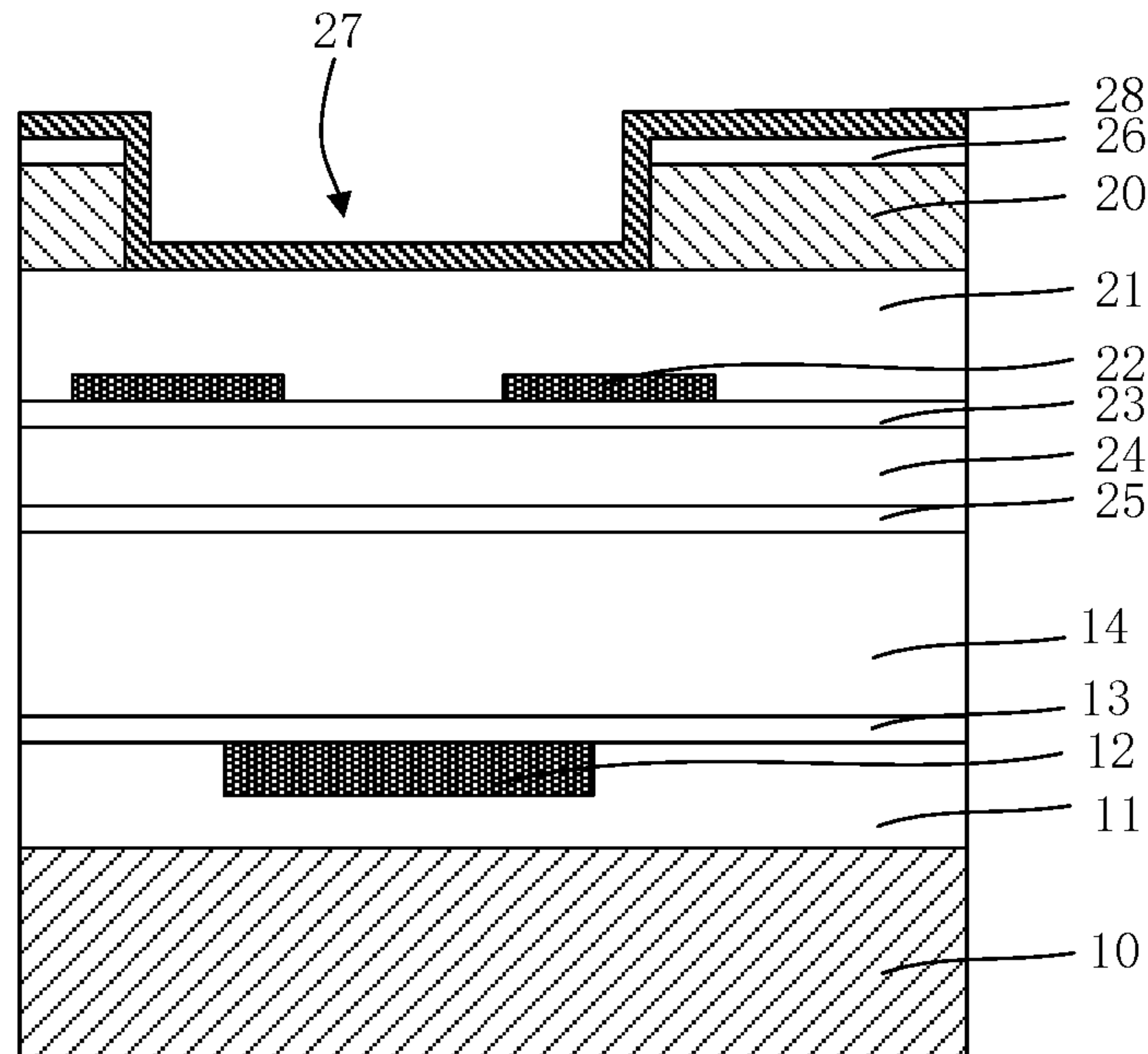


图 2

2/10

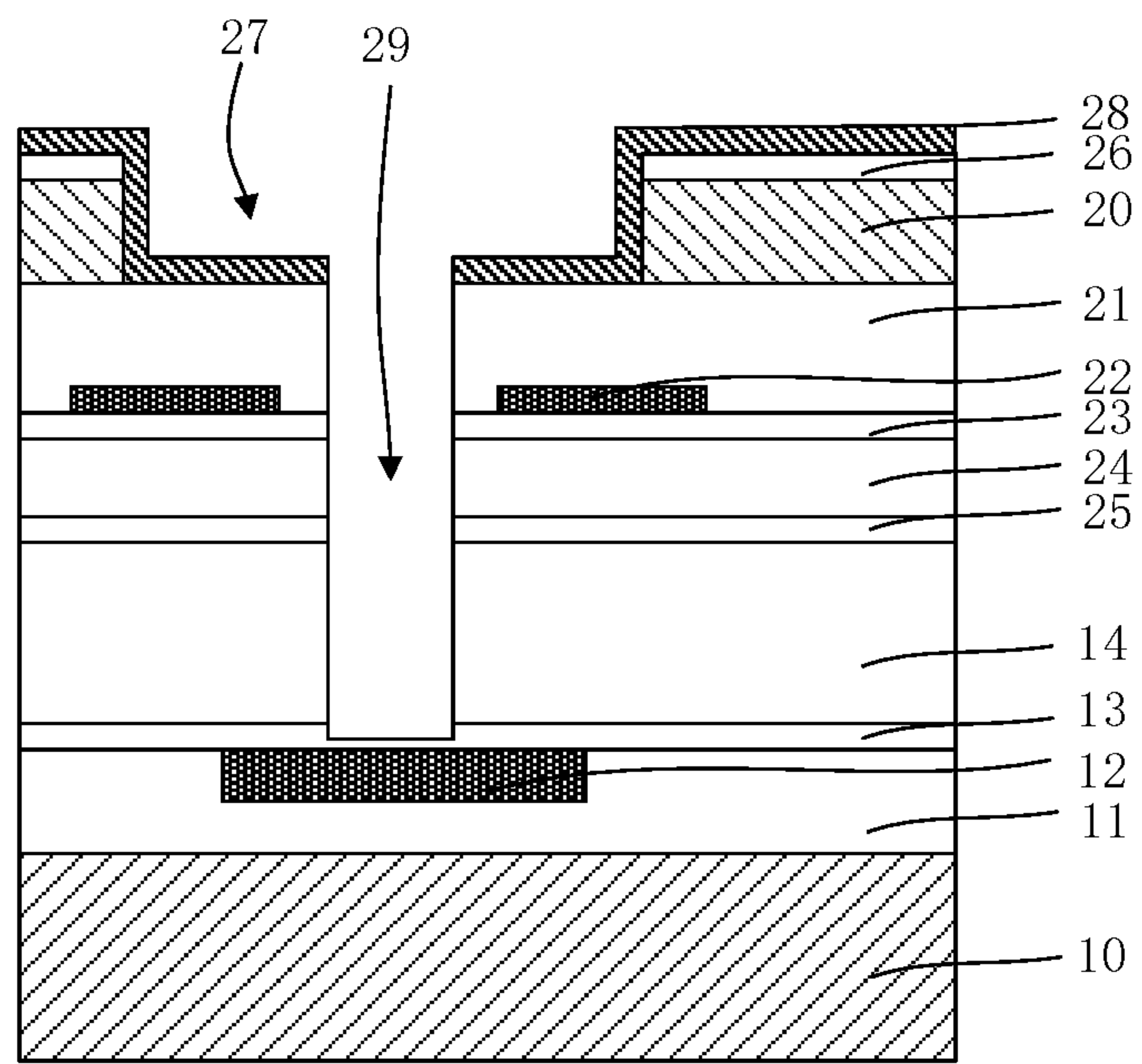


图 3

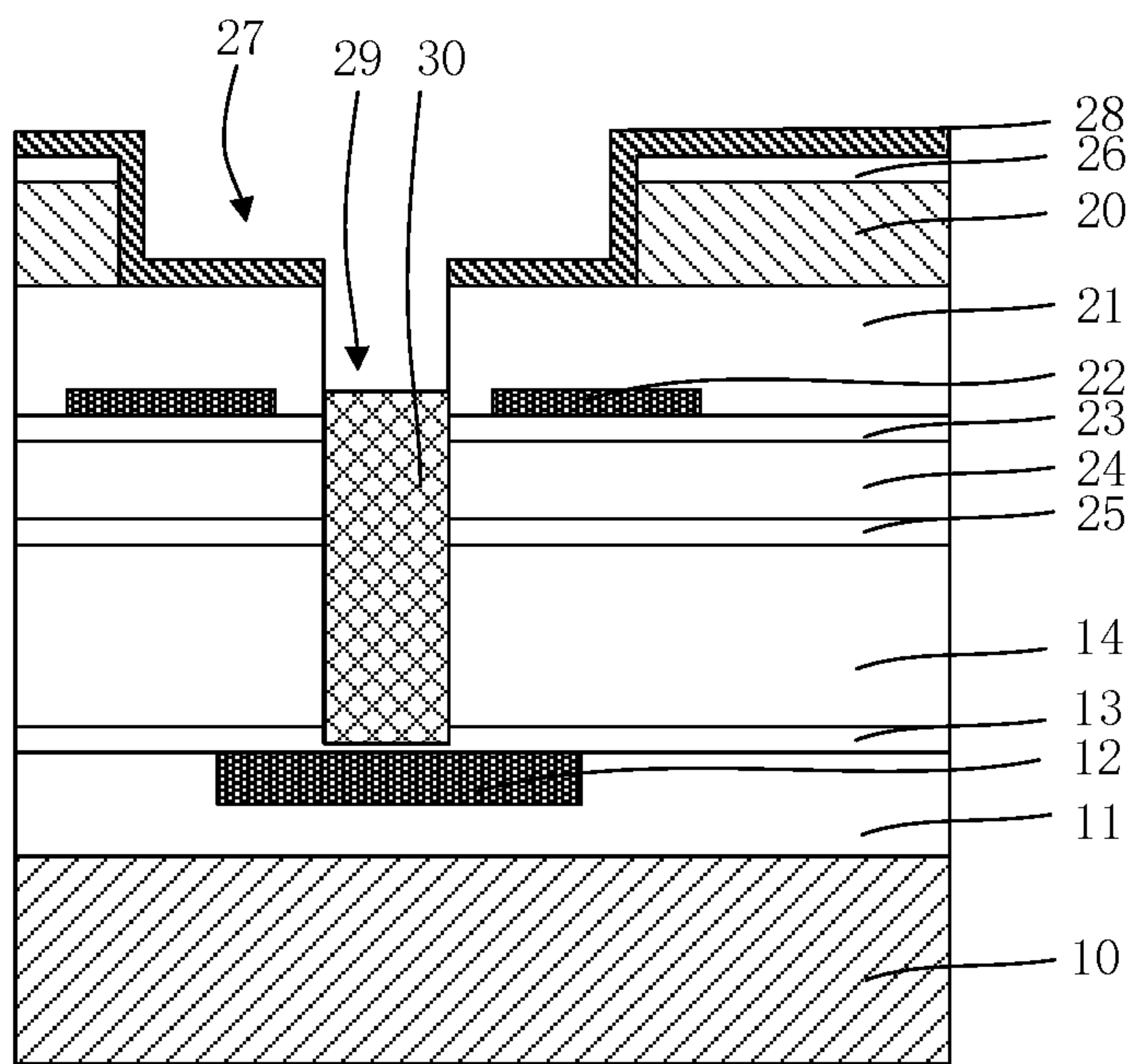


图 4

3/10

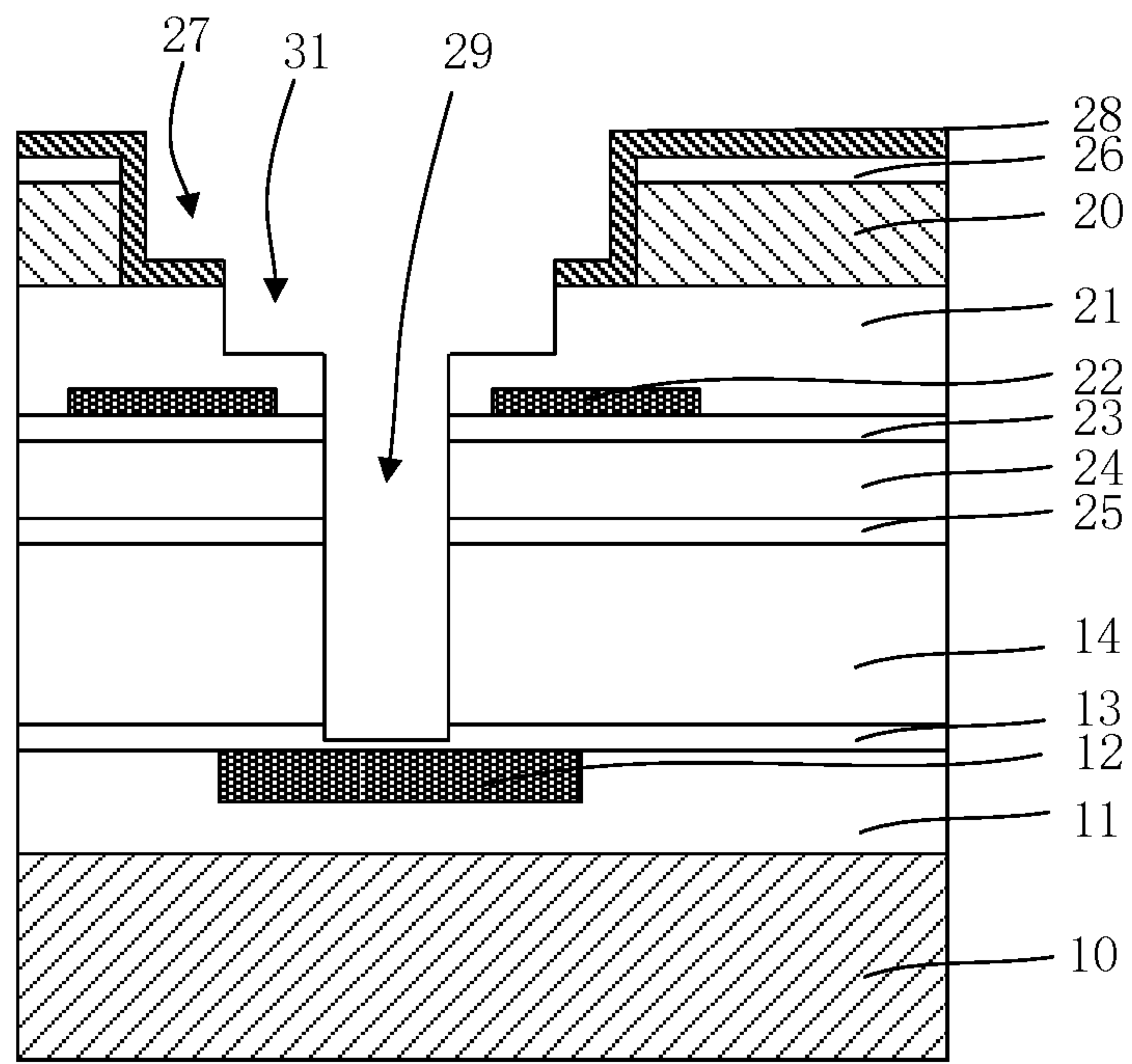


图 5

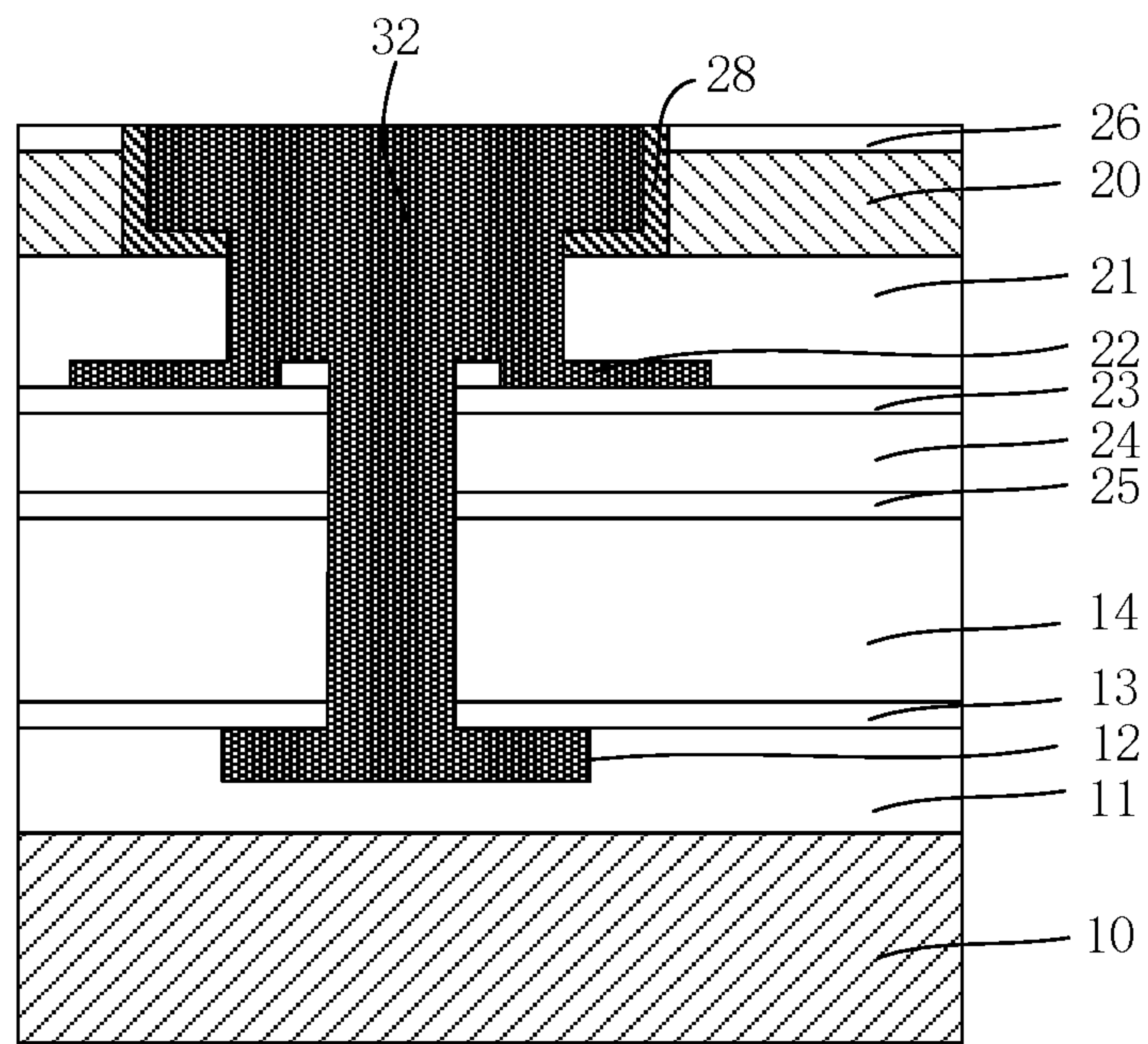


图 6

4/10

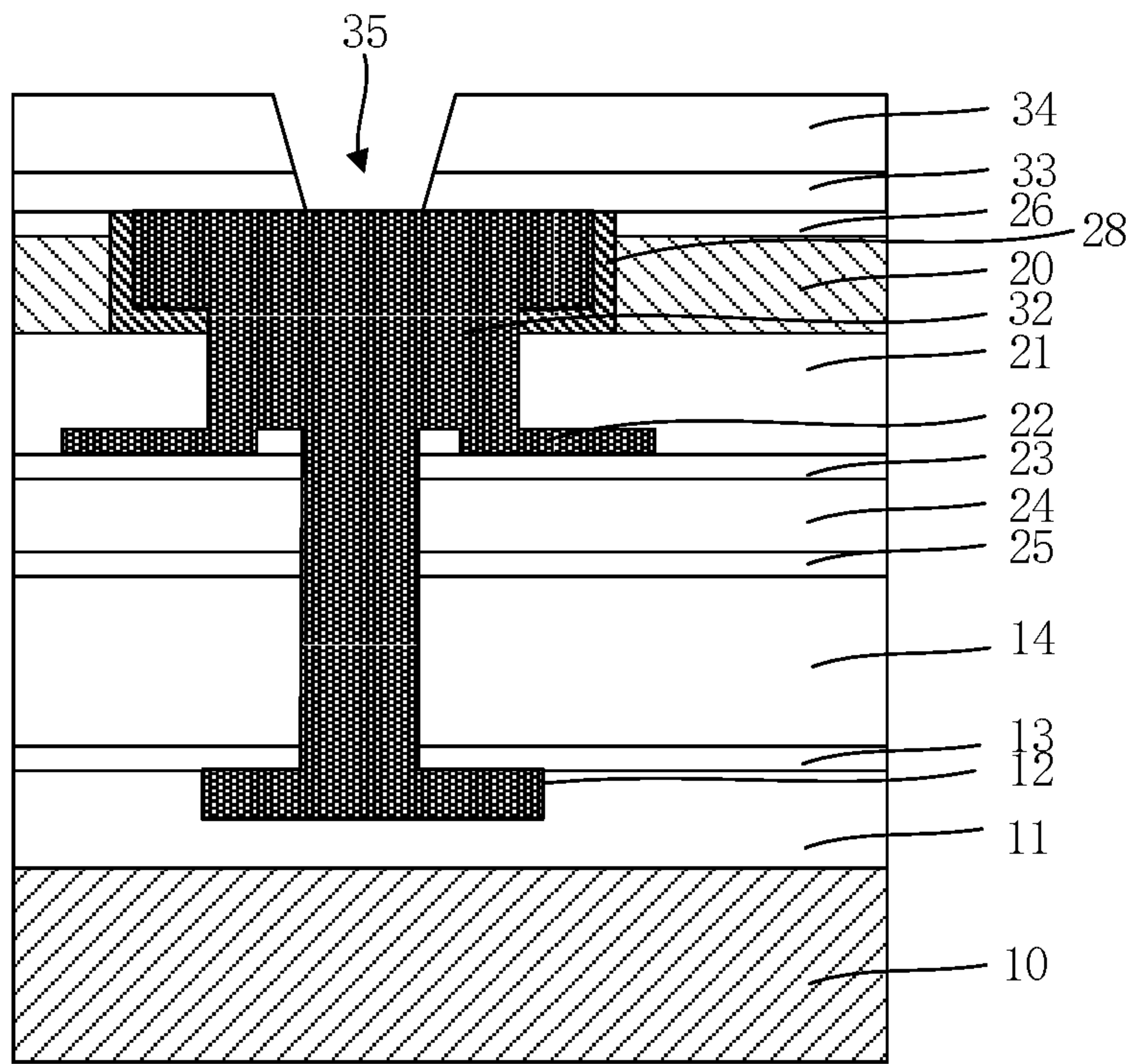


图 7

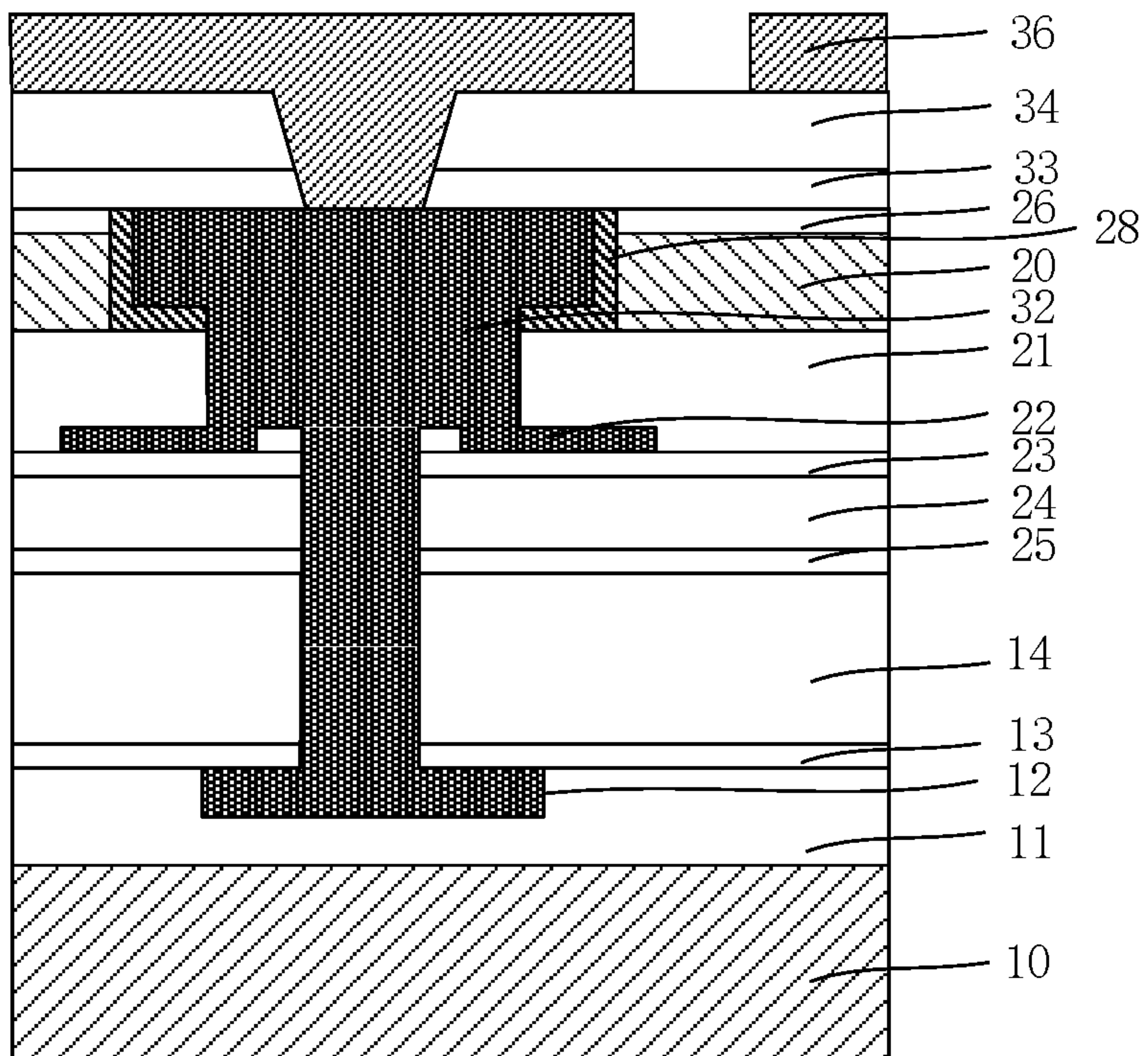


图 8

5/10

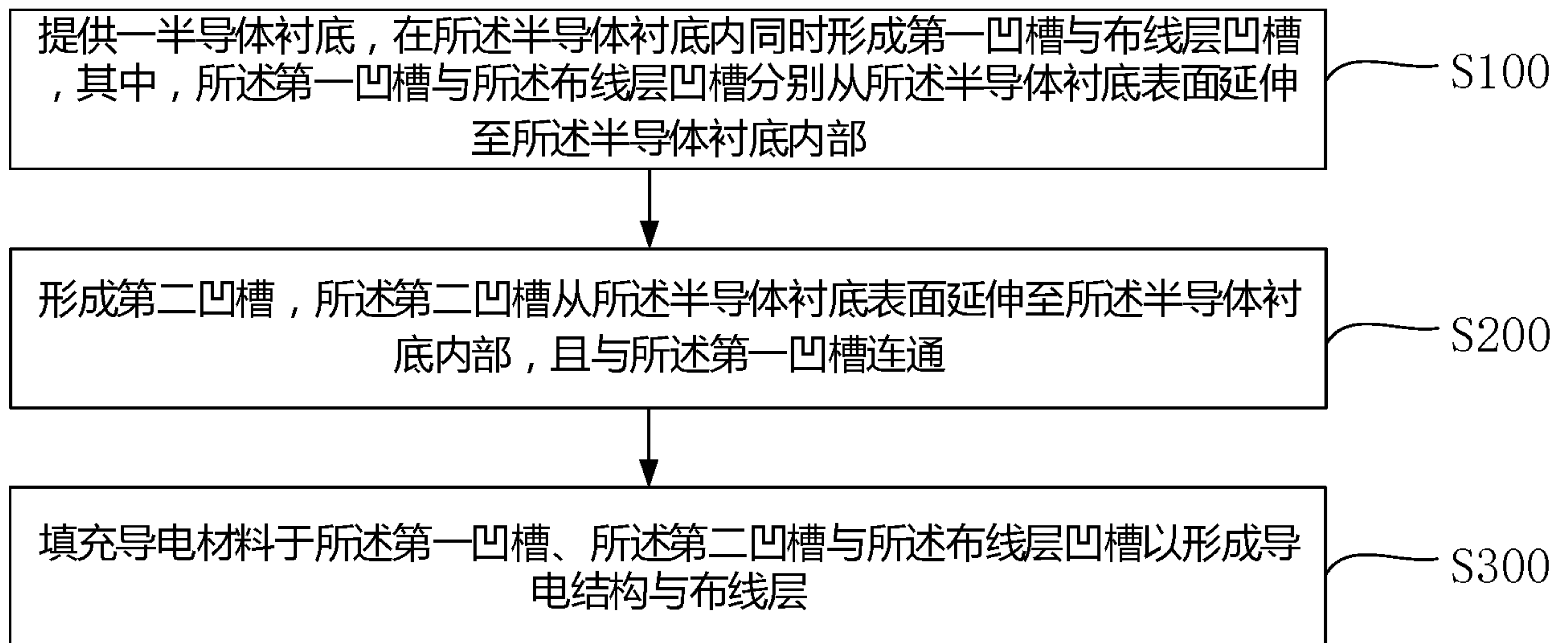


图 9

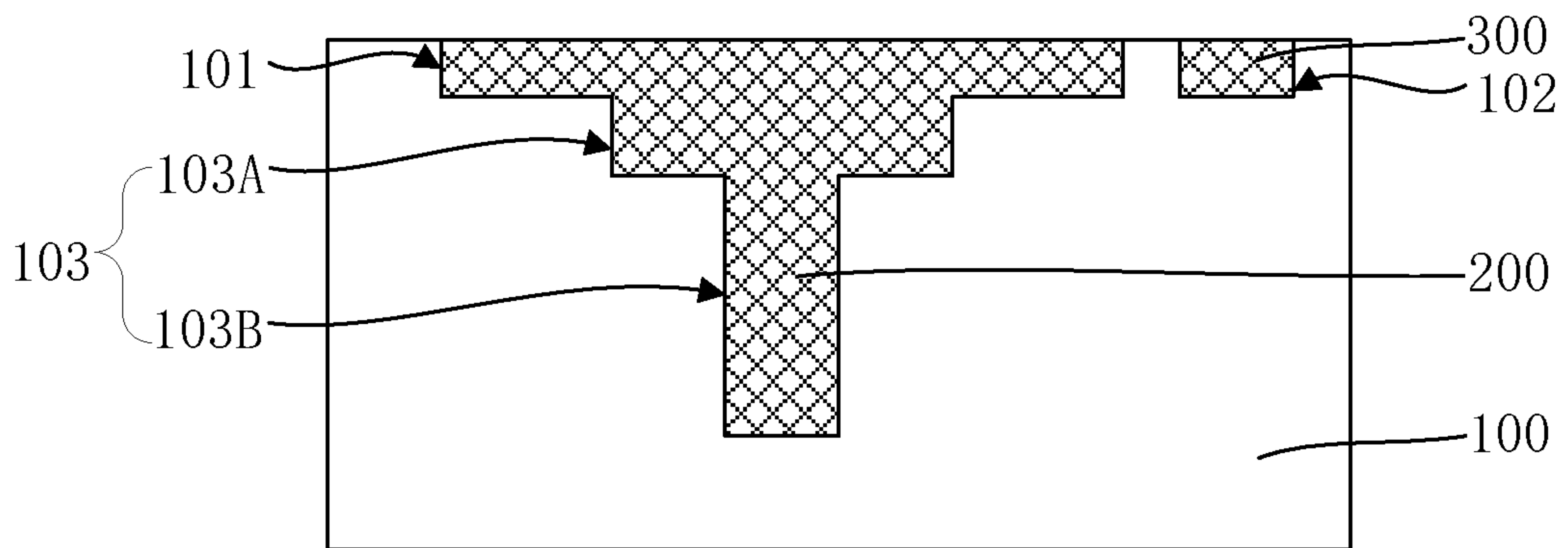


图 10

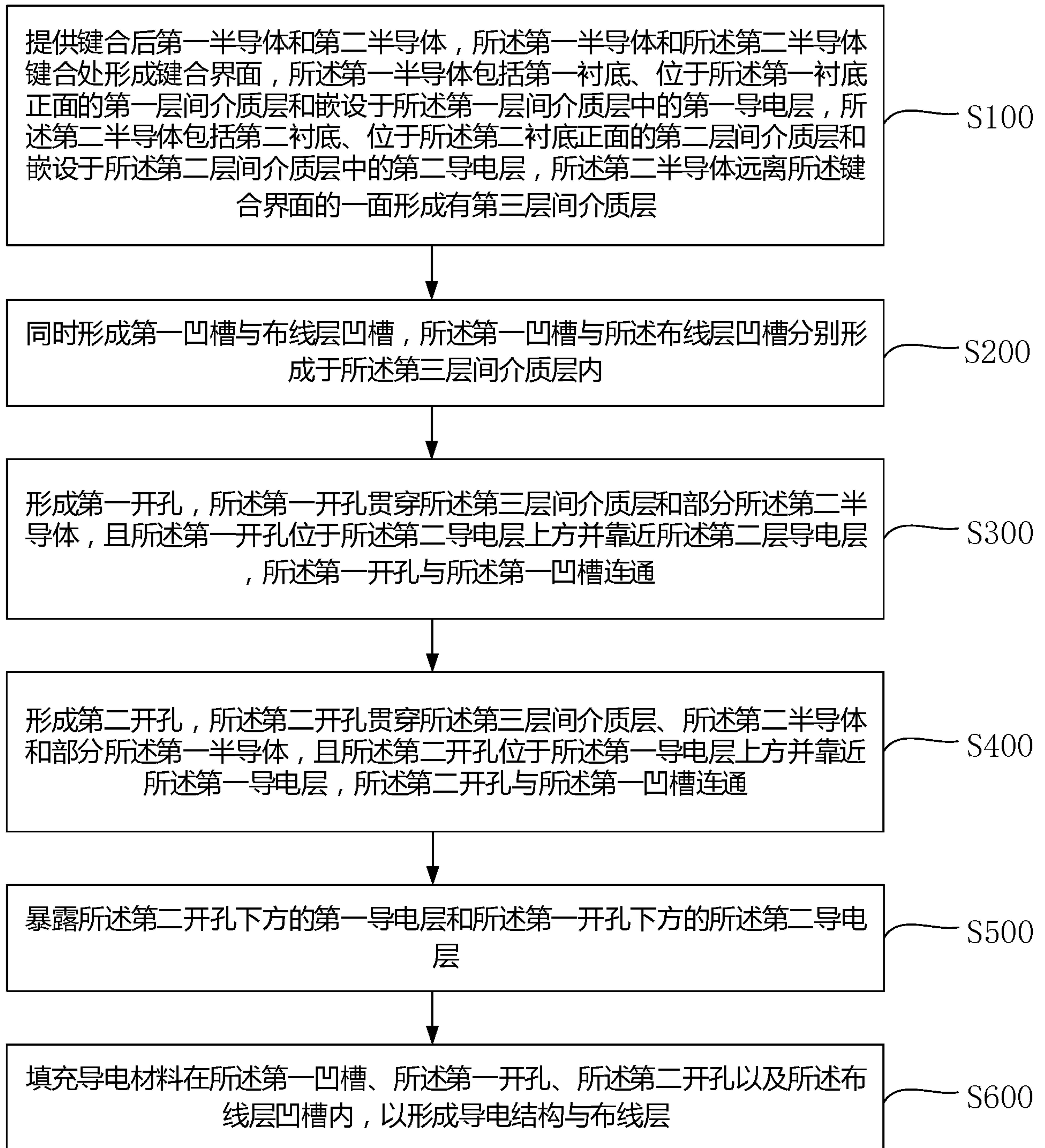


图 11

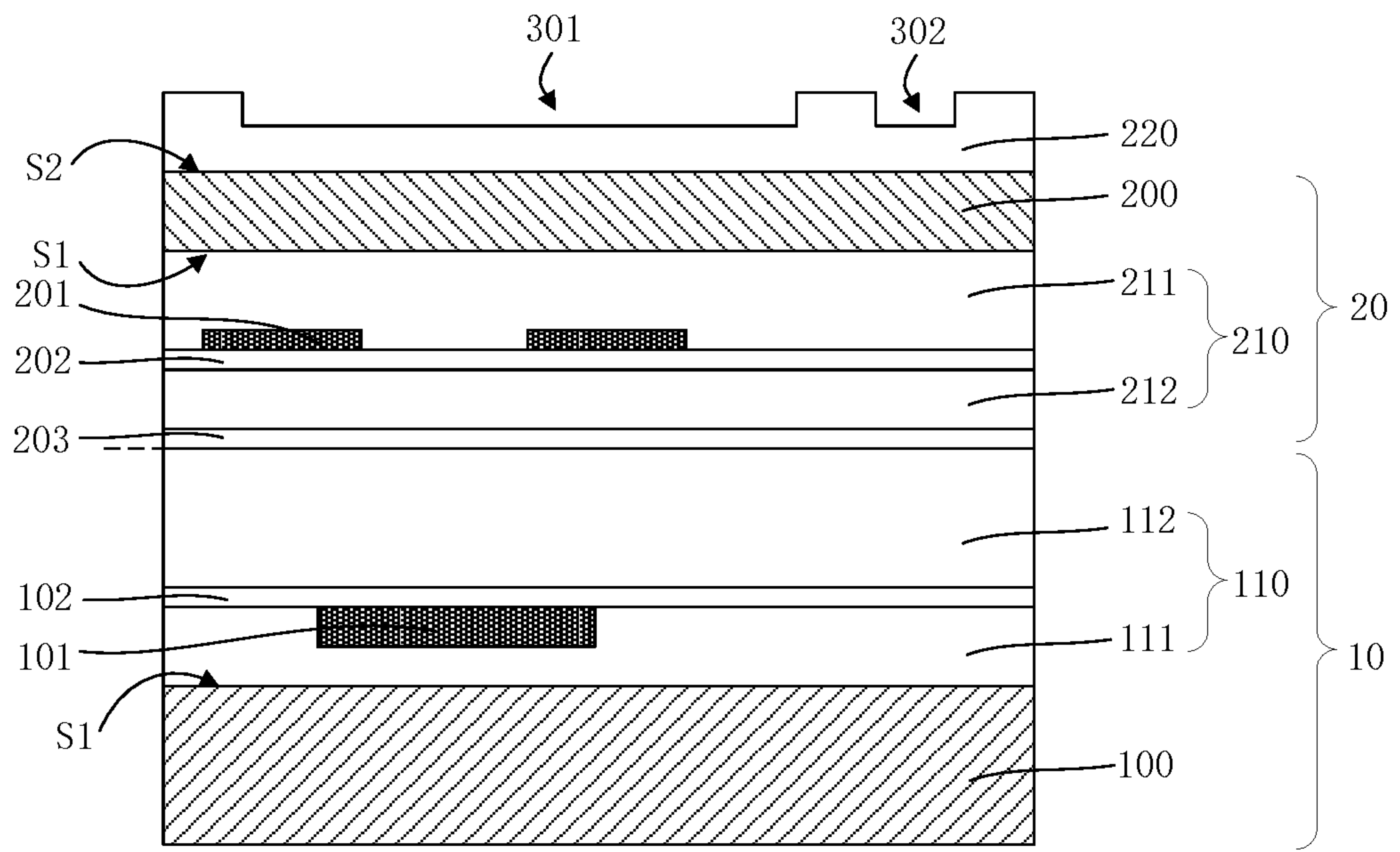


图 12

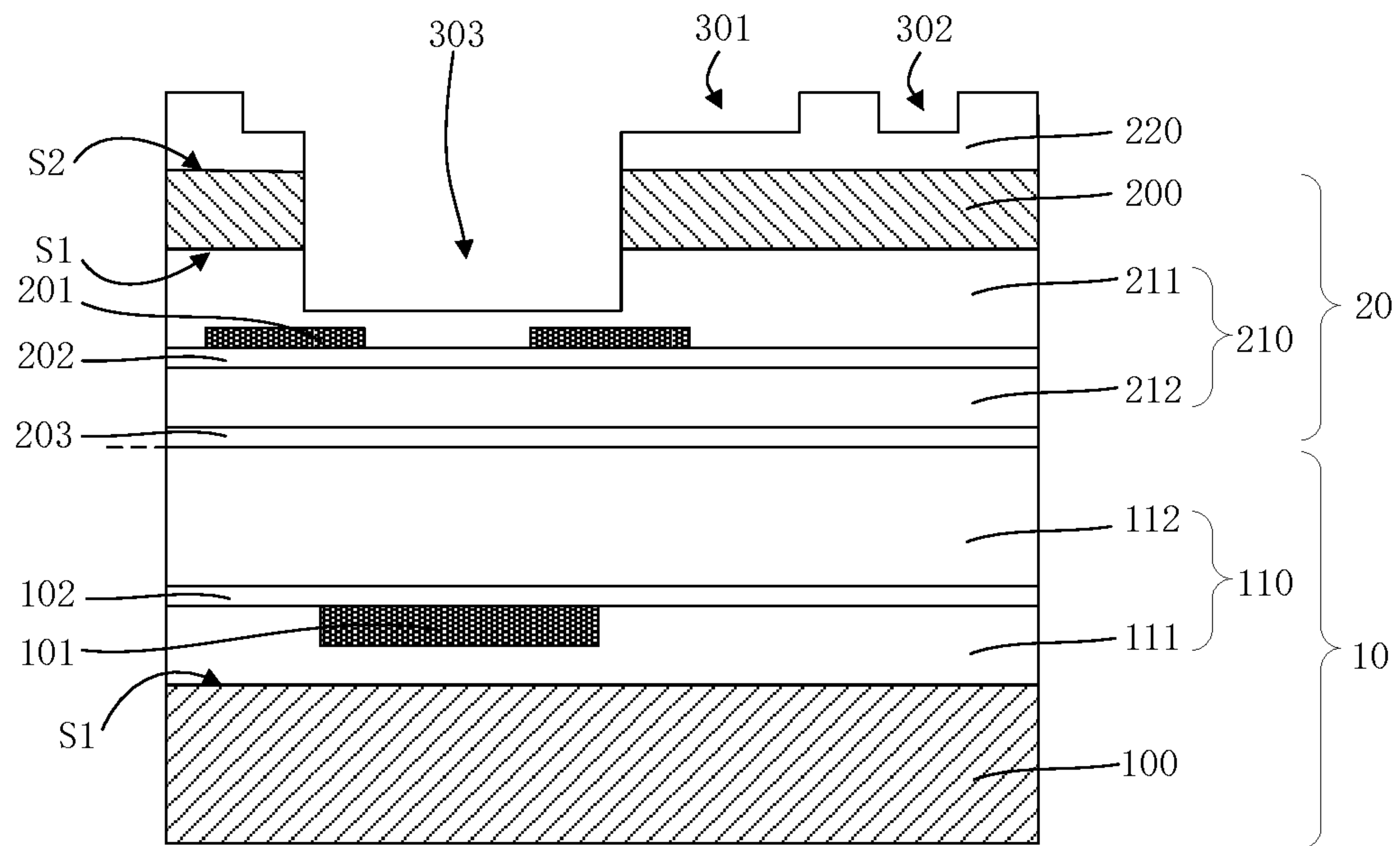


图 13

8/10

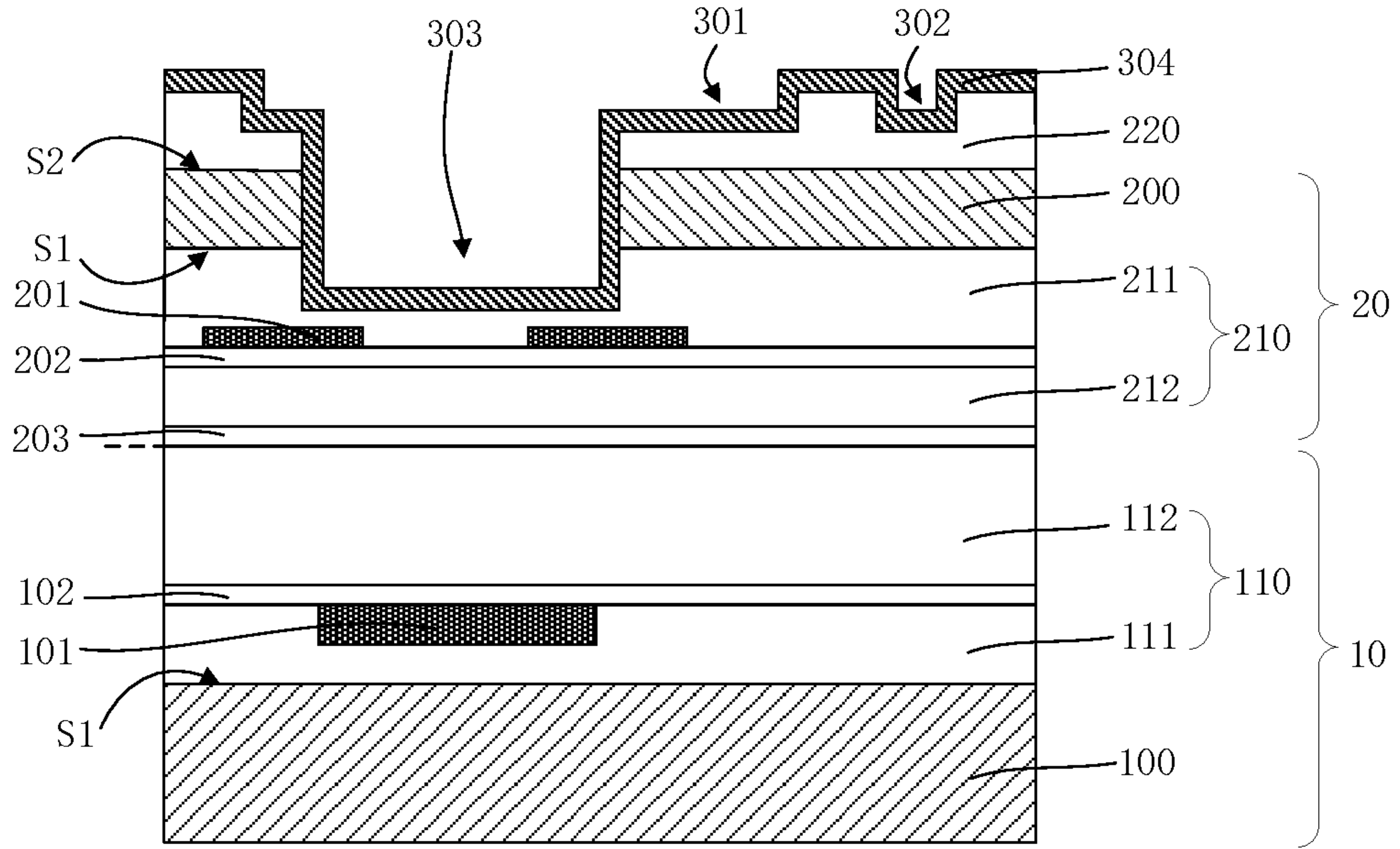


图 14

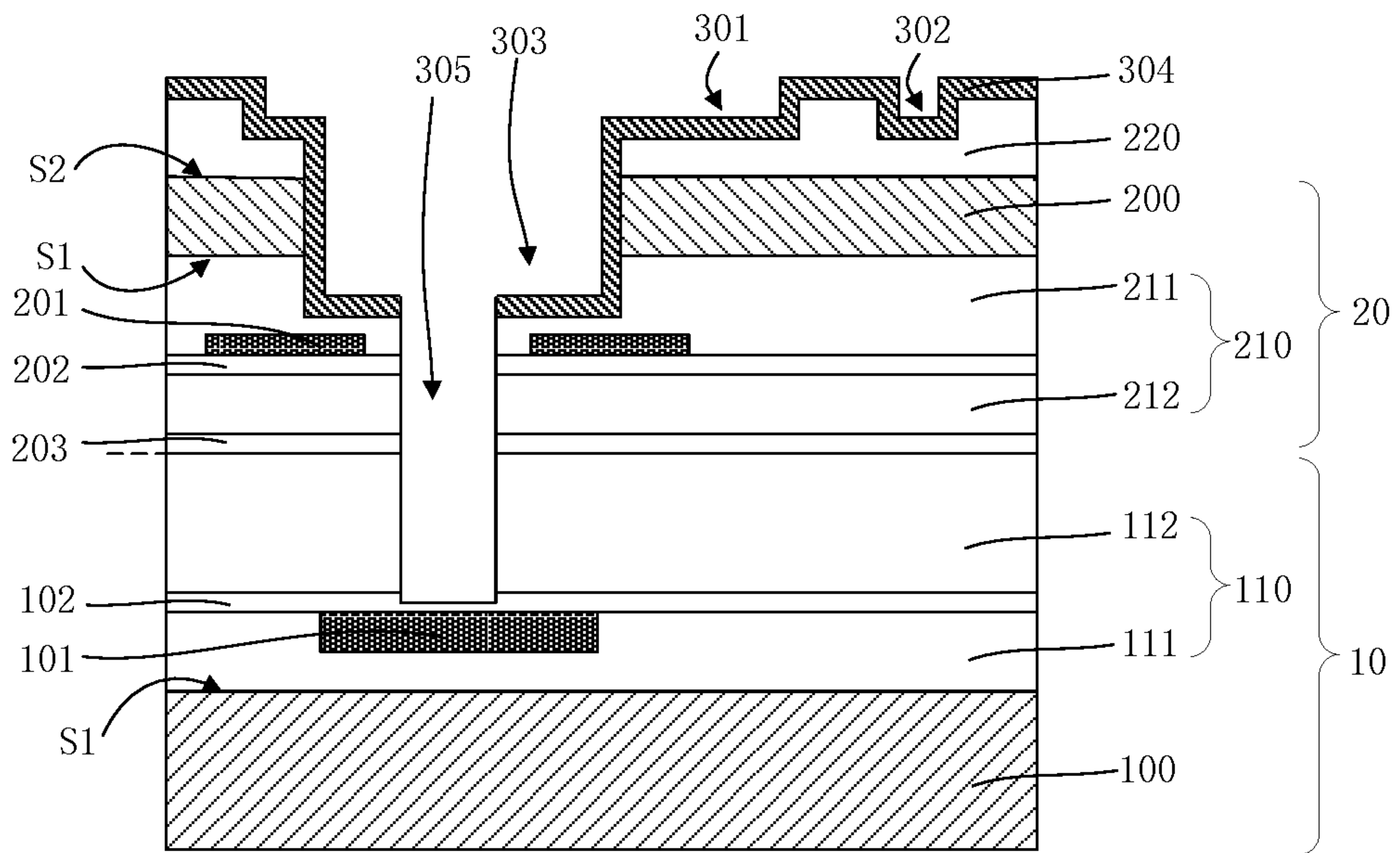


图 15

9/10

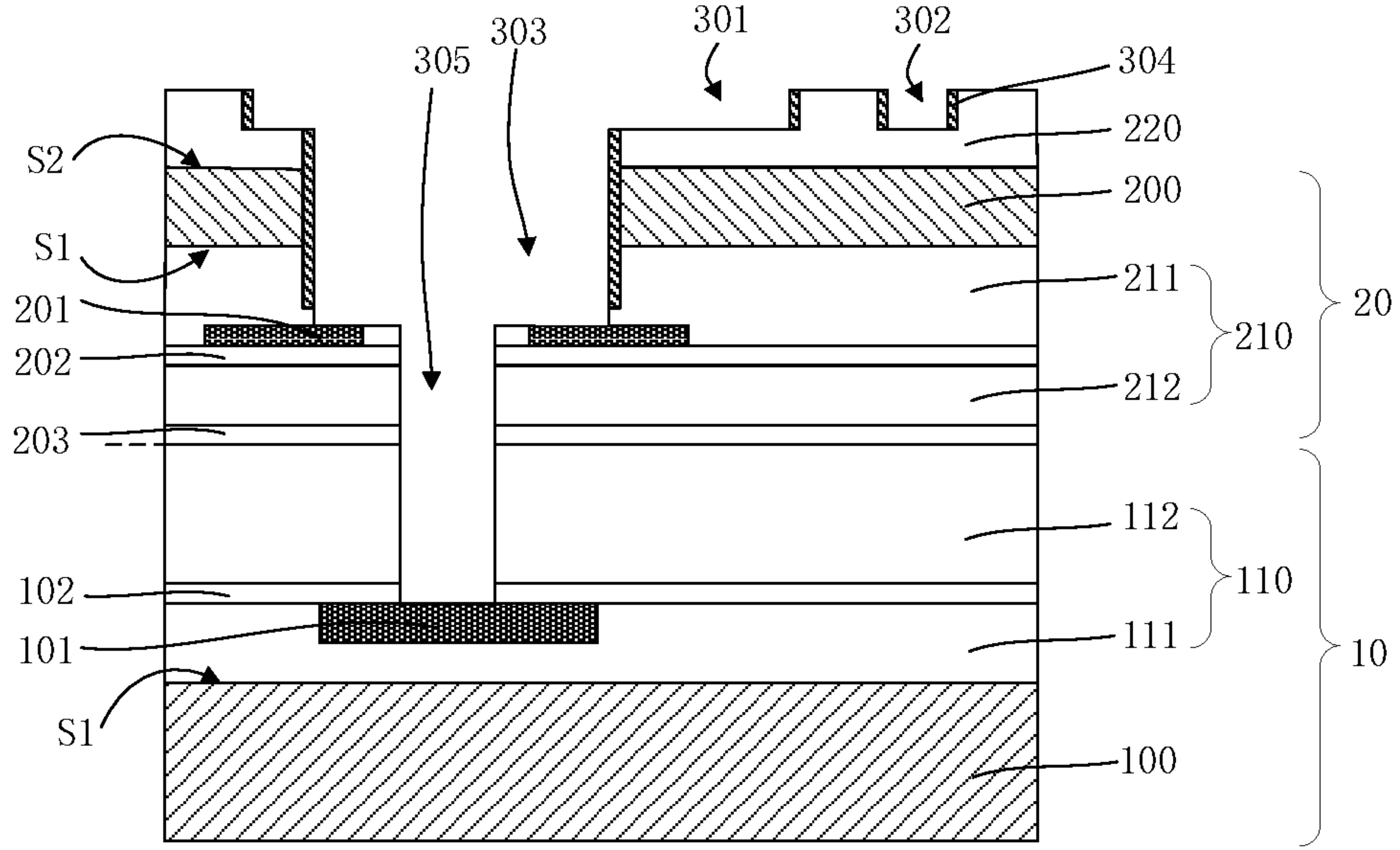


图 16

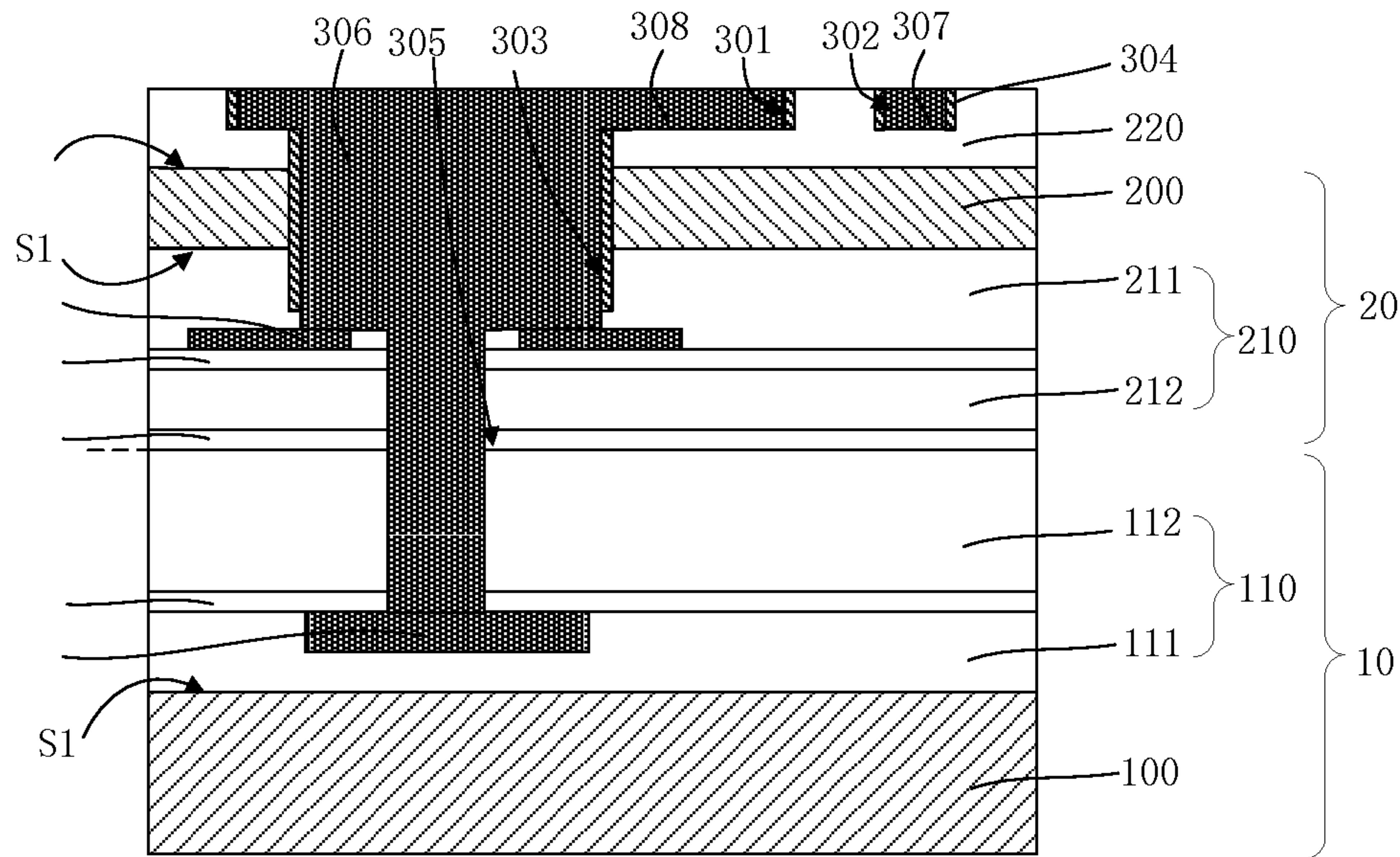


图 17

10/10

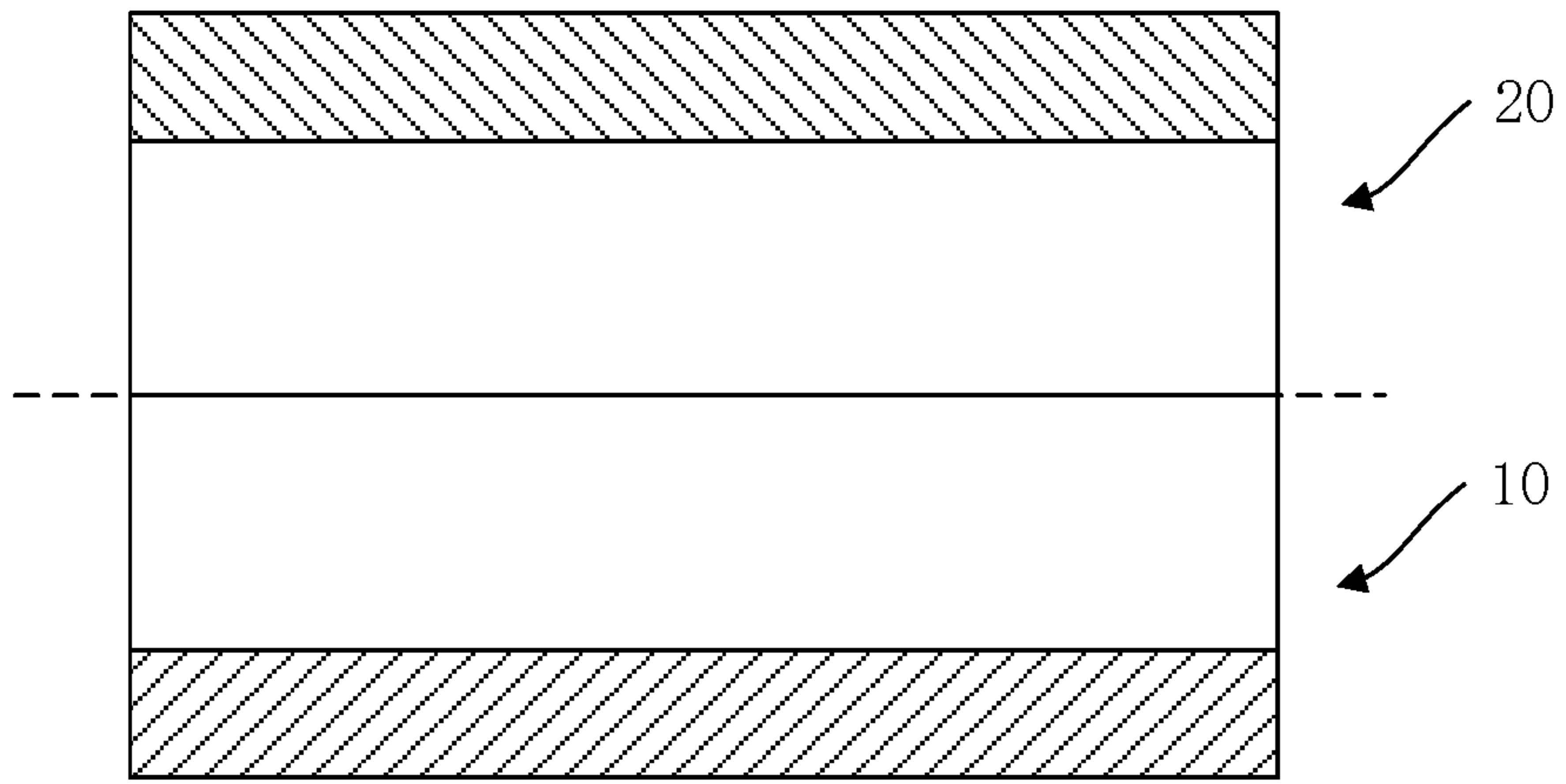


图 18a

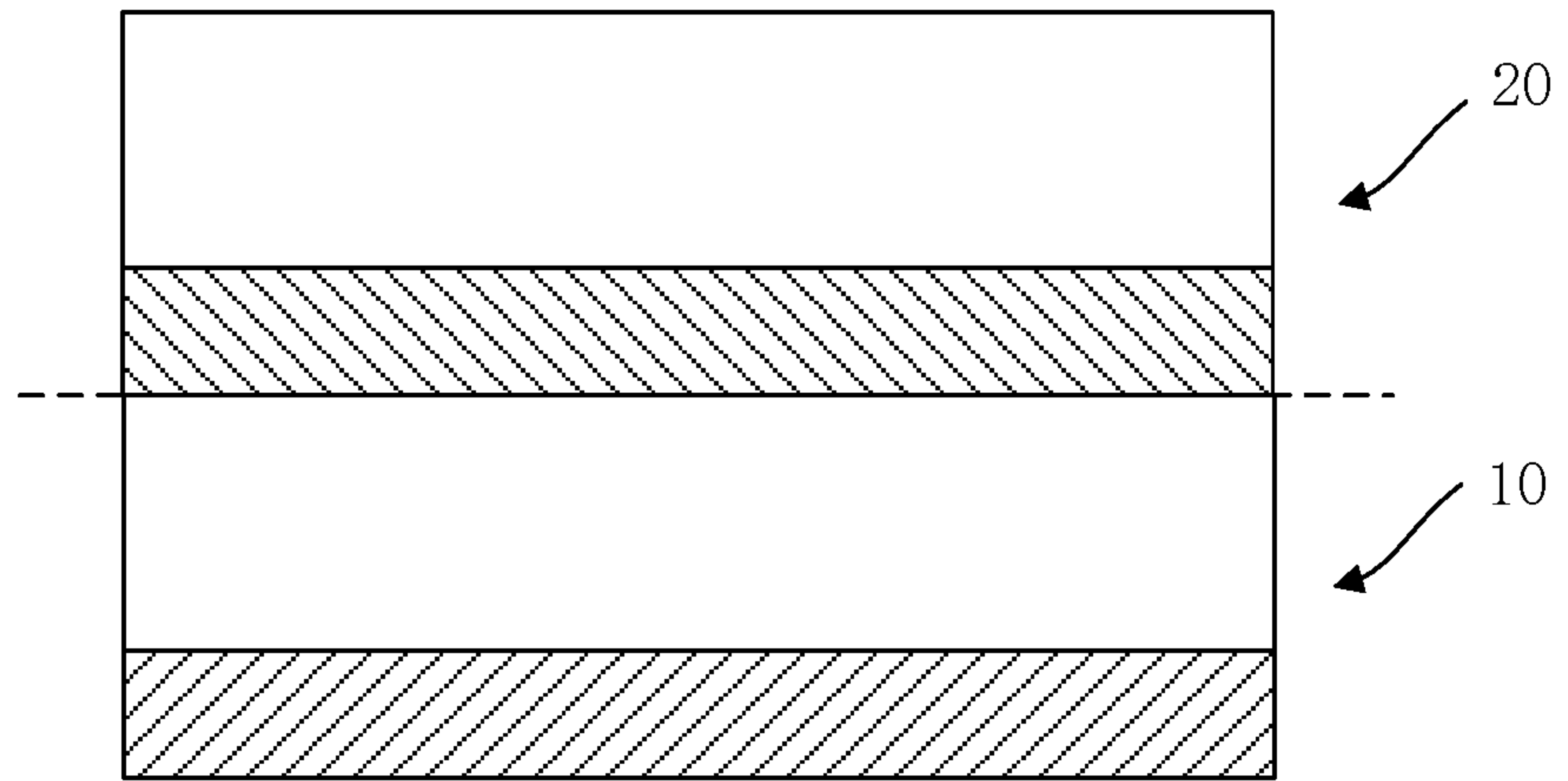


图 18b

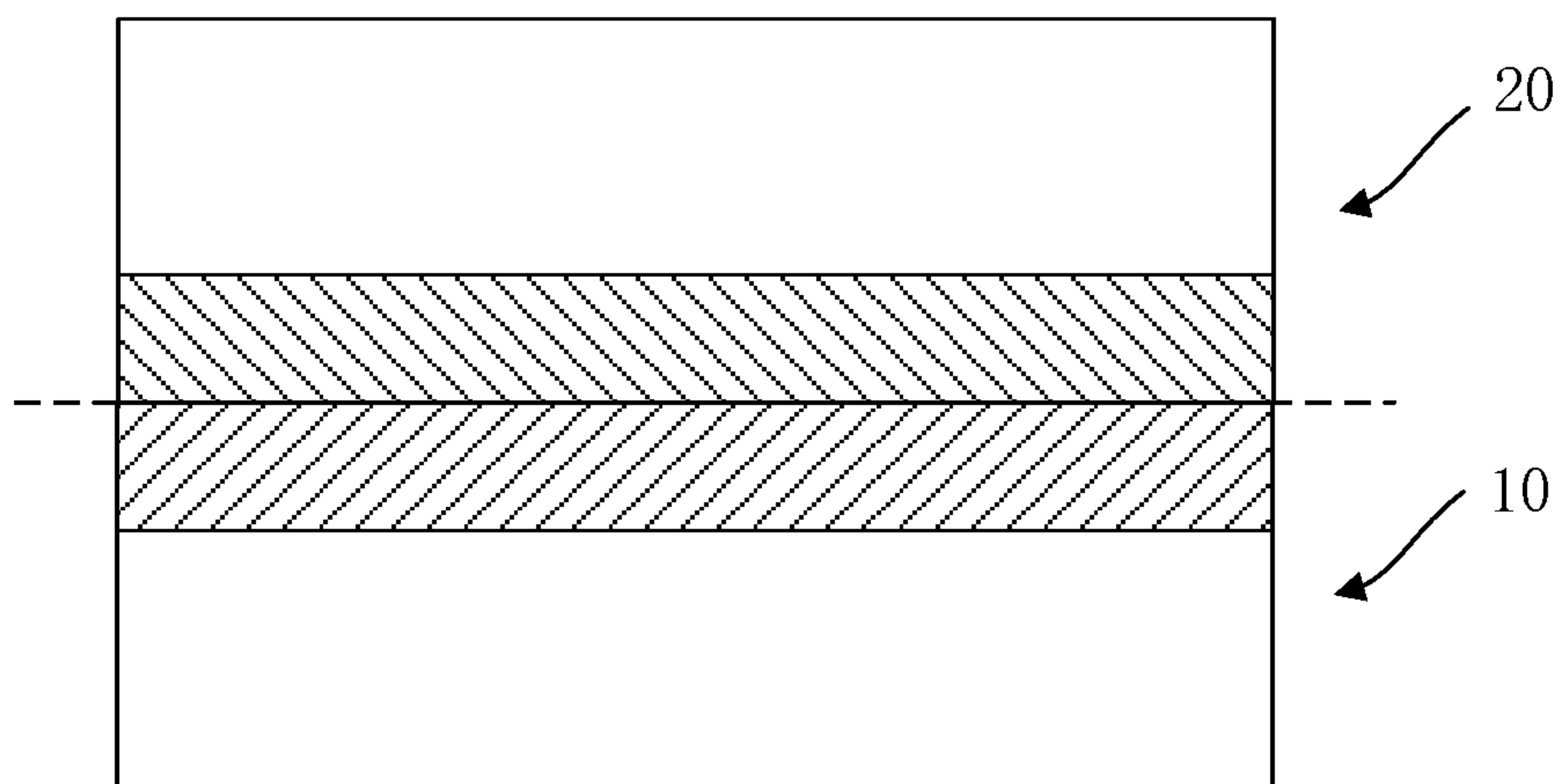


图 18c

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/079615

A. CLASSIFICATION OF SUBJECT MATTER H01L 21/768(2006.01)i; H01L 23/522(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) DWPI; CNKI; SIPOABS; CNABS; CNTXT: 半导体, 引线, 导线, 凹槽, 开口, 金属, 衬底, 互连, 导电, semiconductor, lead, wire, conductive, metal, interconnect+, substrate, groove, opening, trench		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 110828372 A (WUHAN XINXIN SEMICONDUCTOR MANUFACTURING CORPORATION) 21 February 2020 (2020-02-21) description, paragraphs 0005-0111	1-17
Y	CN 109449091 A (WUHAN XINXIN SEMICONDUCTOR MANUFACTURING CORPORATION) 08 March 2019 (2019-03-08) description paragraphs 0040-0067, figures 1-8	1-17
Y	CN 109698133 A (SAMSUNG ELECTRONICS CO., LTD.) 30 April 2019 (2019-04-30) description paragraphs 0015-0046, figures 1-9	1-17
A	US 2018366447 A1 (TAIWAN SEMICONDUCTOR MFG CO., LTD.) 20 December 2018 (2018-12-20) entire document	1-17
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>		
Date of the actual completion of the international search 06 August 2020		Date of mailing of the international search report 17 August 2020
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088 China		Authorized officer
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2020/079615

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	110828372	A	21 February 2020	None			
CN	109449091	A	08 March 2019	US	2020144108	A1	07 May 2020
				CN	109449091	B	10 April 2020
CN	109698133	A	30 April 2019	US	2019122919	A1	25 April 2019
				KR	20190044196	A	30 April 2019
US	2018366447	A1	20 December 2018	US	2015179613	A1	25 June 2015
				US	10056353	B2	21 August 2018
				SG	10201400154	A1	30 July 2015
				SG	10201400154	B	05 March 2019

<p>A. 主题的分类</p> <p>H01L 21/768(2006.01)i; H01L 23/522(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																	
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>DWPI;CNKI;SIPOABS;CNABS;CNTXT:半导体, 引线, 导线, 凹槽, 开口, 金属, 衬底, 互连, 导电, semiconductor, lead, wire, conductive, metal, interconnect+, substrate, groove, opening, trench</p>																	
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 110828372 A (武汉新芯集成电路制造有限公司) 2020年 2月 21日 (2020 - 02 - 21) 说明书第0005-0111段</td> <td>1-17</td> </tr> <tr> <td>Y</td> <td>CN 109449091 A (武汉新芯集成电路制造有限公司) 2019年 3月 8日 (2019 - 03 - 08) 说明书第0040-0067段, 图1-8</td> <td>1-17</td> </tr> <tr> <td>Y</td> <td>CN 109698133 A (三星电子株式会社) 2019年 4月 30日 (2019 - 04 - 30) 说明书第0015-0046段, 图1-9</td> <td>1-17</td> </tr> <tr> <td>A</td> <td>US 2018366447 A1 (TAIWAN SEMICONDUCTOR MFG CO LTD) 2018年 12月 20日 (2018 - 12 - 20) 全文</td> <td>1-17</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 110828372 A (武汉新芯集成电路制造有限公司) 2020年 2月 21日 (2020 - 02 - 21) 说明书第0005-0111段	1-17	Y	CN 109449091 A (武汉新芯集成电路制造有限公司) 2019年 3月 8日 (2019 - 03 - 08) 说明书第0040-0067段, 图1-8	1-17	Y	CN 109698133 A (三星电子株式会社) 2019年 4月 30日 (2019 - 04 - 30) 说明书第0015-0046段, 图1-9	1-17	A	US 2018366447 A1 (TAIWAN SEMICONDUCTOR MFG CO LTD) 2018年 12月 20日 (2018 - 12 - 20) 全文	1-17
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
PX	CN 110828372 A (武汉新芯集成电路制造有限公司) 2020年 2月 21日 (2020 - 02 - 21) 说明书第0005-0111段	1-17															
Y	CN 109449091 A (武汉新芯集成电路制造有限公司) 2019年 3月 8日 (2019 - 03 - 08) 说明书第0040-0067段, 图1-8	1-17															
Y	CN 109698133 A (三星电子株式会社) 2019年 4月 30日 (2019 - 04 - 30) 说明书第0015-0046段, 图1-9	1-17															
A	US 2018366447 A1 (TAIWAN SEMICONDUCTOR MFG CO LTD) 2018年 12月 20日 (2018 - 12 - 20) 全文	1-17															
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p>																	
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																	
<p>国际检索实际完成的日期</p> <p>2020年 8月 6日</p>		<p>国际检索报告邮寄日期</p> <p>2020年 8月 17日</p>															
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>刘颖洁</p> <p>电话号码 86-010-62089869</p>															

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2020/079615

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	110828372	A	2020年 2月 21日	无			
CN	109449091	A	2019年 3月 8日	US	2020144108	A1	2020年 5月 7日
				CN	109449091	B	2020年 4月 10日
CN	109698133	A	2019年 4月 30日	US	2019122919	A1	2019年 4月 25日
				KR	20190044196	A	2019年 4月 30日
US	2018366447	A1	2018年 12月 20日	US	2015179613	A1	2015年 6月 25日
				US	10056353	B2	2018年 8月 21日
				SG	10201400154	A1	2015年 7月 30日
				SG	10201400154	B	2019年 3月 5日