

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5886676号
(P5886676)

(45) 発行日 平成28年3月16日(2016.3.16)

(24) 登録日 平成28年2月19日(2016.2.19)

(51) Int.Cl.	F I				
HO 1 L 21/336 (2006.01)	HO 1 L	29/78	6 2 6 C		
HO 1 L 29/786 (2006.01)	HO 1 L	29/78	6 1 8 B		
HO 1 L 27/10 (2006.01)	HO 1 L	29/78	6 1 6 T		
HO 1 L 21/8242 (2006.01)	HO 1 L	29/78	6 1 6 V		
HO 1 L 27/108 (2006.01)	HO 1 L	29/78	6 1 8 A		
請求項の数 10 (全 42 頁) 最終頁に続く					

(21) 出願番号 特願2012-86925 (P2012-86925)
 (22) 出願日 平成24年4月6日(2012.4.6)
 (65) 公開番号 特開2012-227522 (P2012-227522A)
 (43) 公開日 平成24年11月15日(2012.11.15)
 審査請求日 平成27年1月15日(2015.1.15)
 (31) 優先権主張番号 特願2011-86442 (P2011-86442)
 (32) 優先日 平成23年4月8日(2011.4.8)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 岩本 勉

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

化学量論比を満たす酸素よりも多くの酸素を含む第1の酸化絶縁膜と、
 前記第1の酸化絶縁膜の周りに設けられる、酸素拡散を防ぐ第2の酸化絶縁膜と、
 少なくとも前記第1の酸化絶縁膜上に設けられる酸化物半導体膜と、
 前記酸化物半導体膜の少なくとも一部を覆うゲート絶縁膜と、
 前記ゲート絶縁膜を介して、前記酸化物半導体膜と重畳するゲート電極と、
 前記酸化物半導体膜と接する一対の電極と、を有するトランジスタを有し、
 前記トランジスタのチャンネル幅方向と交差する前記酸化物半導体膜の端部は前記第1の
 酸化絶縁膜上に位置することを特徴とする半導体装置。

10

【請求項2】

請求項1において、
 前記第1の酸化絶縁膜は、酸化シリコン膜または酸化窒化シリコン膜であることを特徴
 とする半導体装置。

【請求項3】

請求項1または請求項2において、
 前記第2の酸化絶縁膜は、酸化アルミニウム膜または酸化窒化アルミニウム膜であるこ
 とを特徴とする半導体装置。

【請求項4】

請求項1乃至請求項3のいずれか一項において、

20

前記トランジスタのチャンネル長方向と交差する前記酸化物半導体膜の端部は、前記第1の酸化絶縁膜上に位置することを特徴とする半導体装置。

【請求項5】

請求項1乃至請求項3のいずれか一項において、

前記トランジスタのチャンネル長方向と交差する前記酸化物半導体膜の端部は、前記第2の酸化絶縁膜上に位置することを特徴とする半導体装置。

【請求項6】

請求項1乃至請求項5のいずれか一項において、

前記ゲート電極の側面にサイドウォール絶縁膜を有し、前記一对の電極は、前記酸化物半導体膜及び前記サイドウォール絶縁膜のそれぞれ一部に接することを特徴とする半導体装置。

10

【請求項7】

請求項1乃至請求項6のいずれか一項において、

前記酸化物半導体膜は、前記ゲート電極と重畳する第1の領域と、前記第1の領域を挟む一对の第2の領域とを有し、前記第2の領域は、ドーパントを含むことを特徴とする半導体装置。

【請求項8】

請求項7において、

前記ドーパントは、ホウ素、窒素、リン、またはヒ素から選ばれた少なくとも一以上であることを特徴とする半導体装置。

20

【請求項9】

請求項7において、

前記ドーパントは、ヘリウム、ネオン、アルゴン、クリプトン、またはキセノンから選ばれた少なくとも一以上であることを特徴とする半導体装置。

【請求項10】

請求項1乃至請求項9のいずれか一項において、

前記酸化物半導体膜が、In、Ga、Sn及びZnから選ばれた一種以上の元素を含むことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

トランジスタなどの半導体素子を含む回路を有する半導体装置及びその作製方法に関する。例えば、電源回路に搭載されるパワーデバイス、メモリ、サイリスタ、コンバータ、イメージセンサなどを含む半導体集積回路、液晶表示パネルに代表される電気光学装置、発光素子を有する発光表示装置等を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、発光表示装置、半導体回路及び電子機器は全て半導体装置である。

【背景技術】

40

【0003】

液晶表示装置に代表されるように、ガラス基板等に形成されるトランジスタはアモルファスシリコン、多結晶シリコンなどによって構成されている。アモルファスシリコンを用いたトランジスタは電界効果移動度が低いもののガラス基板の大面积化に対応することができる。また、多結晶シリコンを用いたトランジスタの電界効果移動度は高いがガラス基板の大面积化には適していないという欠点を有している。

【0004】

シリコンを用いたトランジスタに対して、酸化物半導体を用いてトランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体として、酸化亜鉛、In-Ga-Zn-O系酸化物を用いてトランジスタを作製し、表示装置

50

の画素のスイッチング素子などに用いる技術が特許文献 1 及び特許文献 2 で開示されている。

【 0 0 0 5 】

ところで、特に酸化物半導体においては、水素がキャリアの供給源となることが指摘されている。そのため、酸化物半導体の形成時に水素が混入しないような措置を講じることが求められる。また、酸化物半導体のみならず、酸化物半導体に接するゲート絶縁膜の水素を低減することで、しきい値電圧の変動を低減している（特許文献 3 参照）。

【先行技術文献】

【特許文献】

【 0 0 0 6 】

【特許文献 1】特開 2 0 0 7 - 1 2 3 8 6 1 号公報

【特許文献 2】特開 2 0 0 7 - 9 6 0 5 5 号公報

【特許文献 3】特開 2 0 0 9 - 2 2 4 4 7 9 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 7 】

しかしながら、酸化物半導体を用いたトランジスタにおいて、酸化物半導体を所望の形状にエッチングするためのエッチング処理、酸化物半導体の側面の減圧雰囲気における暴露等により、酸化物半導体の側面から酸化物半導体中の酸素が脱離してしまい、酸素欠損が形成されてしまう。酸化物半導体において酸素欠損が形成された領域は、酸素欠損がキャリアの供給源になるため、トランジスタの電気特性に影響する。特に、酸素欠損が形成された領域がソース及びドレインの間にあると、当該領域が意図しないキャリアの移動経路、即ち寄生チャネルとなり、トランジスタのソース及びドレインの間においてリーク電流が高くなるという問題がある。

【 0 0 0 8 】

そこで、本発明の一態様は、酸化物半導体を用いるトランジスタにおいて、電気特性の良好なトランジスタ及びその作製方法を提供することを課題の一とする。

【課題を解決するための手段】

【 0 0 0 9 】

本発明の一態様は、下地絶縁膜上に形成される酸化物半導体膜と、当該酸化物半導体膜とゲート絶縁膜を介して重畳するゲート電極と、酸化物半導体膜に接する、ソース電極及びドレイン電極として機能する一対の電極とを備えるトランジスタを有し、下地絶縁膜は、酸化物半導体膜と一部接する第 1 の酸化絶縁膜と、当該第 1 の酸化絶縁膜の周囲に設けられる第 2 の酸化絶縁膜とを有し、トランジスタのチャネル幅方向と交差する酸化物半導体膜の端部は、第 1 の酸化絶縁膜上に位置することを特徴とする半導体装置である。即ち、酸化物半導体膜に接する面において第 1 の酸化絶縁膜及び第 2 の酸化絶縁膜の境界は、酸化物半導体膜の側面より外側に位置することを特徴とする半導体装置である。

【 0 0 1 0 】

なお、酸化物半導体膜は、ゲート電極と重畳する第 1 の領域と、第 1 の領域を挟むドーパントを含む一対の第 2 の領域とを有してもよい。第 1 の領域はチャネル領域として機能し、一対の第 2 の領域は、一部が電界緩和領域として機能し、他部はソース領域及びドレイン領域として機能する。

【 0 0 1 1 】

また、本発明の一態様は、第 1 の酸化絶縁膜と、当該第 1 の酸化絶縁膜の周りに設けられる第 2 の酸化絶縁膜を形成し、端部の少なくとも一部が第 1 の酸化絶縁膜上に位置するように第 1 の酸化物半導体膜を形成し、第 1 の酸化絶縁膜、第 2 の酸化絶縁膜、及び第 1 の酸化物半導体膜上に、絶縁膜を形成した後、加熱処理を行って第 2 の酸化物半導体膜を形成し、絶縁膜上にゲート電極を形成した後、絶縁膜の一部をエッチングして、第 2 の酸化物半導体膜の一部を露出すると共に、ゲート絶縁膜を形成し、露出された第 2 の酸化物半導体膜に接する一対の電極を形成して、トランジスタを作製することを特徴とする半導体

10

20

30

40

50

装置の作製方法である。なお、トランジスタのチャンネル幅方向と交差する端部が第1の酸化絶縁膜上に位置するように、第1の酸化物半導体膜を形成する。即ち、酸化物半導体膜に接する面において第1の酸化絶縁膜及び第2の酸化絶縁膜の境界が、第1の酸化物半導体膜の側面より外側に位置するように、第1の酸化物半導体膜を形成する。

【0012】

加熱により酸素の一部が脱離する酸化絶縁膜で第1の酸化絶縁膜を形成し、外部への酸素の拡散を防ぐ酸化絶縁膜で第2の酸化絶縁膜を形成する。なお、トランジスタのチャンネル長方向と交差する第1の酸化物半導体膜の端部は、第1の酸化絶縁膜上に位置してもよい。または、トランジスタのチャンネル長方向と交差する第1の酸化物半導体膜の端部は、第2の酸化絶縁膜上に位置してもよい。

10

【0013】

また、酸化物半導体膜、第1の酸化物半導体膜、及び第2の酸化物半導体膜は、In、Ga、Sn及びZnから選ばれた一種以上の元素を含む。

【0014】

第1の酸化物半導体膜上に絶縁膜を形成した後、加熱処理を行うことで、第1の酸化絶縁膜から脱離する酸素をトランジスタのチャンネル幅方向と交差する酸化物半導体膜の側面に拡散させることができる。また、第1の酸化絶縁膜は、第1の酸化物半導体膜と接する側において、外部への酸素の拡散を防ぐ酸化絶縁膜で形成される第2の酸化絶縁膜で周囲が囲まれているため、加熱により第1の酸化絶縁膜から脱離する酸素を、第1の酸化物半導体膜と、第1の酸化絶縁膜及び第1の酸化物半導体膜の界面近傍に効率よく拡散させることができる。以上の結果、第1の酸化物半導体膜の側面において寄生チャンネルの形成を低減すると共に、酸素欠損の少ない第1の酸化物半導体膜を形成することができる。

20

【発明の効果】

【0015】

本発明の一態様によって、酸化物半導体膜の酸素欠損を低減することができる。この結果、トランジスタのしきい値電圧のマイナスシフトを低減すると共に、トランジスタのソース及びドレインにおけるリーク電流を低減することが可能であり、トランジスタの電気特性を向上させることができる。

【図面の簡単な説明】

【0016】

【図1】本発明の一態様に係る半導体装置を説明する上面図及び断面図である。

【図2】本発明の一態様に係る半導体装置の作製方法を説明する断面図である。

【図3】本発明の一態様に係る半導体装置の作製方法を説明する断面図である。

【図4】本発明の一態様に係る半導体装置の作製方法を説明する断面図である。

【図5】本発明の一態様に係る半導体装置を説明する上面図及び断面図である。

【図6】本発明の一態様に係る半導体装置を説明する上面図及び断面図である。

【図7】本発明の一態様に係る半導体装置を説明する断面図、平面図及び回路図である。

【図8】本発明の一態様に係る半導体装置を説明する回路図である。

【図9】本発明の一態様に係る半導体装置を説明する回路図である。

【図10】本発明の一態様に係る半導体装置を説明する図である。

30

40

【図11】本発明の一態様を示すアクティブマトリクス型表示装置を説明する図及び回路図である。

【図12】本発明の一態様を示す電子機器の外観図である。

【発明を実施するための形態】

【0017】

本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分または同様な機能を有する部分には、同一の符号を異なる図面間

50

で共通して用い、その繰り返しの説明は省略する。

【0018】

なお、本明細書で説明する各図において、各構成の大きさ、膜の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0019】

また、本明細書にて用いる第1、第2、第3などの用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。

【0020】

(実施の形態1)

本実施の形態では、リーク電流の低減が可能なトランジスタの構造及び作製方法について、図1乃至図4を用いて説明する。

【0021】

図1は、本実施の形態に示すトランジスタの上面図及び断面図である。図1(A)は、本実施の形態に示すトランジスタの上面図であり、図1(B)は、図1(A)の一点鎖線A-Bに対応する断面図であり、図1(C)は図1(A)の一点鎖線C-Dに対応する断面図である。なお、図1(A)では、明瞭化のため、トランジスタの構成要素の一部(例えば、ゲート絶縁膜59、サイドウォール絶縁膜65、絶縁膜71、絶縁膜73など)を省略している。

【0022】

図1(A)乃至(C)に示すトランジスタは、基板51上に設けられる第1の酸化絶縁膜53と、第1の酸化絶縁膜53の周辺に設けられる第2の酸化絶縁膜55と、第1の酸化絶縁膜53及び第2の酸化絶縁膜55上に設けられる酸化物半導体膜63と、酸化物半導体膜63に接する、ソース電極及びドレイン電極として機能する一対の電極67、69と、酸化物半導体膜63の少なくとも一部と接するゲート絶縁膜59と、ゲート絶縁膜59上であって、且つ酸化物半導体膜63と重畳するゲート電極61とを有する。また、ゲート電極61の側面に接するサイドウォール絶縁膜65を有してもよい。また、酸化物半導体膜63は、ゲート電極61と重畳する第1の領域63aと、第1の領域63aを挟むドーパントを含む一対の第2の領域63b、63cとを有する。なお、酸化物半導体膜63において、第1の領域63aはチャネル領域として機能し、ドーパントを含む一対の第2の領域63b、63cにおいて、サイドウォール絶縁膜65と重畳する領域は電界緩和領域として機能し、一対の電極67、69と接する領域はソース領域及びドレイン領域として機能する。また、第1の酸化絶縁膜53、第2の酸化絶縁膜55、ゲート電極61、サイドウォール絶縁膜65、及び一対の電極67、69を覆う絶縁膜71と、絶縁膜71を覆う絶縁膜73を有してもよい。

【0023】

本実施の形態において、第1の酸化絶縁膜53及び第2の酸化絶縁膜55は、酸化物半導体膜63の下地絶縁膜として機能する。また、図1(B)に示すように、トランジスタのチャネル幅方向と交差する酸化物半導体膜63の端部は、第1の酸化絶縁膜53上に位置することを特徴とする。即ち、酸化物半導体膜63に接する面において第1の酸化絶縁膜53及び第2の酸化絶縁膜55の境界が、酸化物半導体膜63の側面より外側に位置することを特徴とする。なお、トランジスタのチャネル幅方向とは、一対の電極67、69が対向する辺と平行な方向である。なお、本明細書において、端部とは、少なくとも側面を含む領域であり、側面と、当該側面に接する面の一部とを含んでいてもよい。

【0024】

また、図1(C)に示すように、トランジスタのチャネル長方向と交差する酸化物半導体膜63の端部は、第2の酸化絶縁膜55上に位置する。即ち、酸化物半導体膜63に接する面において第1の酸化絶縁膜53及び第2の酸化絶縁膜55の境界が、酸化物半導体膜63の側面より内側に位置する。なお、トランジスタのチャネル長方向とは、一対の電極

10

20

30

40

50

67、69が対向する辺と垂直な方向である。

【0025】

基板51の材質などに大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板などを、基板51として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板51として用いてもよい。

【0026】

また、基板51として、可撓性基板を用いてもよい。基板51と第1の酸化絶縁膜53の間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板51より分離し、他の基板に転載するのに用いることができる。その際、半導体装置は耐熱性の劣る基板や可撓性の基板にも転載できる。

10

【0027】

第1の酸化絶縁膜53は、加熱により酸素の一部が脱離する酸化絶縁膜を用いて形成する。加熱により酸素の一部が脱離する酸化絶縁膜としては、化学量論比を満たす酸素よりも多くの酸素を含む酸化絶縁膜を用いることが好ましい。加熱により酸素の一部が脱離する酸化絶縁膜は、加熱により酸化物半導体膜に酸素を拡散させることができる。第1の酸化絶縁膜53の代表例としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム等がある。

20

【0028】

第1の酸化絶縁膜53は、50nm以上、好ましくは200nm以上500nm以下とする。第1の酸化絶縁膜53を厚くすることで、第1の酸化絶縁膜53の酸素脱離量を増加させることができると共に、第1の酸化絶縁膜53及び後に形成される酸化物半導体膜との界面における界面準位を低減することが可能である。

【0029】

ここで、「加熱により酸素の一部が脱離する」とは、TDS(Thermal Desorption Spectroscopy: 昇温脱離ガス分光法)分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上であることをいう。

30

【0030】

ここで、TDS分析にて、酸素原子に換算しての酸素の脱離量の測定方法について、以下に説明する。

【0031】

TDS分析したときの気体の脱離量は、スペクトルの積分値に比例する。このため、絶縁膜のスペクトルの積分値と、標準試料の基準値に対する比とにより、気体の脱離量を計算することができる。標準試料の基準値とは、所定の原子を含む試料の、スペクトルの積分値に対する原子の密度の割合である。

【0032】

例えば、標準試料である所定の密度の水素を含むシリコンウェハのTDS分析結果、及び絶縁膜のTDS分析結果から、絶縁膜の酸素分子の脱離量(N_{O_2})は、数式1で求めることができる。ここで、TDS分析で得られる質量数32で検出されるスペクトルの全てが酸素分子由来と仮定する。質量数32のものとして CH_3OH があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数17の酸素原子及び質量数18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

40

【0033】

$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times \quad (\text{数式1})$$

【0034】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試

50

料をTDS分析したときのスペクトルの積分値である。ここで、標準試料の基準値を、 N_{H_2} / S_{H_2} とする。 S_{O_2} は、絶縁膜をTDS分析したときのスペクトルの積分値である。は、TDS分析におけるスペクトル強度に影響する係数である。数式1の詳細に関しては、特開平6-275697公報を参照する。なお、上記絶縁膜の酸素の脱離量は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として $1 \times 10^{16} \text{ atoms/cm}^3$ の水素原子を含むシリコンウェハを用いて測定する。

【0035】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述のは酸素分子のイオン化率を含むため、酸素分子の脱離量を評価することで、酸素原子の脱離量についても見積もることができる。

10

【0036】

なお、 N_{O_2} は酸素分子の脱離量である。絶縁膜においては、酸素原子に換算したときの酸素の脱離量は、酸素分子の脱離量の2倍となる。

【0037】

上記構成において、加熱により酸素脱離される絶縁膜は、酸素が過剰な酸化シリコン(SiO_x ($x > 2$))であってもよい。酸素が過剰な酸化シリコン(SiO_x ($x > 2$))とは、シリコン原子数の2倍より多い酸素原子を単位体積当たりを含むものである。単位体積当たりのシリコン原子数及び酸素原子数は、ラザフォード後方散乱法により測定した値である。

20

【0038】

第2の酸化絶縁膜55は、外部への酸素の拡散を防ぐ酸化絶縁膜で形成する。第1の酸化絶縁膜53の周囲に外部への酸素拡散を防ぐ酸化絶縁膜を形成することで、加熱による第1の酸化絶縁膜からの酸素の脱離を制御することが可能であり、選択的に酸化物半導体膜63に酸素を拡散させることができる。第2の酸化絶縁膜55の代表例としては、酸化アルミニウム、酸化窒化アルミニウム等がある。なお、酸化アルミニウムは、化学量論比を満たす酸素を含む酸化アルミニウム、または化学量論比を満たす酸素よりも多くの酸素を含む酸化アルミニウム(AlO_x 、 x は $3/2$ 以上)とすることが好ましい。また、酸化窒化アルミニウムは、化学量論比を満たす酸素を含む酸化アルミニウムの酸素の一部が窒素で置換されている。

30

【0039】

第1の酸化絶縁膜53から酸化物半導体膜63に酸素が供給されることで、第1の酸化絶縁膜53及び酸化物半導体膜63の界面準位を低減できる。この結果、トランジスタの動作などに起因して生じる電荷などが、上述の第1の酸化絶縁膜53及び酸化物半導体膜63の界面に捕獲されることを抑制することができ、しきい値電圧のマイナスシフトが低減され、電気特性の劣化の少ないトランジスタを得ることができる。

【0040】

さらに、酸化物半導体膜63の酸素欠損に起因して電荷が生じる場合がある。一般に、酸化物半導体膜の酸素欠損は、一部がドナーとなりキャリアである電子を生じる。この結果、トランジスタのしきい値電圧がマイナス方向にシフトしてしまう。この傾向はバックチャネル側で生じる酸素欠損において顕著である。なお、本明細書におけるバックチャネルとは、図1(B)に示す酸化物半導体膜63の第1の領域63aにおいて第1の酸化絶縁膜53との界面近傍を指す。第1の酸化絶縁膜53から酸化物半導体膜63に酸素が十分に供給されることにより、しきい値電圧がマイナス方向へシフトする要因である、酸化物半導体膜63の酸素欠損を補償することができる。

40

【0041】

即ち、酸化物半導体膜63に酸素欠損が生じると、第1の酸化絶縁膜53と酸化物半導体膜63との界面において電荷が捕獲され、当該電荷がトランジスタの電気特性に影響してしまうところ、第1の酸化絶縁膜53に、加熱により酸素脱離される絶縁膜を設けること

50

で、酸化物半導体膜 6 3 及び第 1 の酸化絶縁膜 5 3 の界面準位、ならびに酸化物半導体膜 6 3 の酸素欠損を低減し、酸化物半導体膜 6 3 及び第 1 の酸化絶縁膜 5 3 の界面における電荷捕獲の影響を小さくすることができる。

【 0 0 4 2 】

また、第 1 の酸化絶縁膜 5 3 は、酸化物半導体膜 6 3 と接する側において、外部への酸素の拡散を防ぐ酸化絶縁膜で形成される第 2 の酸化絶縁膜 5 5 で周囲が囲まれている。このため、加熱により第 1 の酸化絶縁膜 5 3 から脱離する酸素を、酸化物半導体膜 6 3 に効率よく拡散させることができる。

【 0 0 4 3 】

また、図 1 (B) に示すように、トランジスタのチャンネル幅方向と交差する酸化物半導体膜 6 3 の端部が第 1 の酸化絶縁膜 5 3 上に位置し、酸化物半導体膜 6 3 に接する面において第 1 の酸化絶縁膜 5 3 及び第 2 の酸化絶縁膜 5 5 の境界が、酸化物半導体膜 6 3 の側面の外側に位置する。このため、第 1 の酸化絶縁膜 5 3 に含まれる酸素は、加熱により選択的に酸化物半導体膜 6 3 に拡散すると共に、第 1 の酸化絶縁膜 5 3 において酸化物半導体膜 6 3 に覆われていない領域においては、酸素が第 1 の酸化絶縁膜 5 3 の上方に拡散する。当該酸素の一部が酸化物半導体膜 6 3 の側面にも拡散するため、酸化物半導体膜 6 3 の側面の酸素欠損を補償することが可能であり、寄生チャンネルの発生を低減することができる。この結果、トランジスタのリーク電流を低減することができる。

【 0 0 4 4 】

酸化物半導体膜 6 3 としては、少なくとも、In、Ga、Sn 及び Zn から選ばれた一種以上の元素を含むこと酸化物半導体膜である。代表的には、四元系金属酸化物である In - Sn - Ga - Zn - O 系金属酸化物や、三元系金属酸化物である In - Ga - Zn - O 系金属酸化物、In - Sn - Zn - O 系金属酸化物、In - Al - Zn - O 系金属酸化物、Sn - Ga - Zn - O 系金属酸化物、Al - Ga - Zn - O 系金属酸化物、Sn - Al - Zn - O 系金属酸化物や、二元系金属酸化物である In - Zn - O 系金属酸化物、Sn - Zn - O 系金属酸化物や、一元系金属酸化物である ZnO、SnO、InO などを用いることができる。また、上記酸化物半導体に酸化シリコンを含んでもよい。ここで、例えば、In - Ga - Zn - O 系材料とは、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn) を有する酸化物、という意味であり、その組成比は特に問わない。また、インジウムとガリウムと亜鉛以外の元素を含んでもよい。このとき、上記酸化物半導体膜においては、化学量論比に対し、酸素を過剰にすると好ましい。酸素を過剰にすることで酸化物半導体膜の酸素欠損に起因するキャリアの生成を抑制することができる。

【 0 0 4 5 】

酸化物半導体膜として In - Zn - O 系金属酸化物の材料を用いる場合、原子数比で、 $In / Zn = 0.5 \sim 50$ 、好ましくは $In / Zn = 1 \sim 20$ 、さらに好ましくは $In / Zn = 1.5 \sim 15$ とする。In と Zn との原子数比を好ましい前記範囲とすることで、トランジスタの電界効果移動度を向上させることができる。ここで、化合物の原子数比が $In : Zn : O = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。

【 0 0 4 6 】

なお、酸化物半導体膜 6 3 に形成することが可能な金属酸化物は、エネルギーギャップが 2 eV 以上、好ましくは 2.5 eV 以上、より好ましくは 3 eV 以上である。このように、エネルギーギャップの広い酸化物半導体を用いることで、トランジスタのオフ電流を低減することができる。

【 0 0 4 7 】

なお、酸化物半導体膜 6 3 は、非晶質構造であってもよい。

【 0 0 4 8 】

また、酸化物半導体膜 6 3 として、結晶化した部分を有する C A A C - O S (C A x i s A l i g n e d C r y s t a l l i n e O x i d e S e m i c o n d u c t o r と も い う 。) 膜を用いてもよい。

【 0 0 4 9 】

10

20

30

40

50

CAAC-OSS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OSS膜は、非晶質相に結晶部及び非晶質部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OSS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OSS膜には粒界(グレインバウンダリーともいう。)は確認できない。そのため、CAAC-OSS膜は、粒界に起因する電子移動度の低下が抑制される。

【0050】

CAAC-OSS膜に含まれる結晶部は、c軸がCAAC-OSS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつab面に垂直な方向から見て三角形または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸及びb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上5°以下の範囲も含まれることとする。なお、酸化物半導体膜を構成する酸素の一部は窒素で置換されてもよい。

10

【0051】

なお、CAAC-OSS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OSS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、CAAC-OSS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

20

【0052】

CAAC-OSS膜に含まれる結晶部のc軸は、CAAC-OSS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAAC-OSS膜の形状(被形成面の断面形状または表面の断面形状)によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OSS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

30

【0053】

CAAC-OSS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

【0054】

酸化物半導体膜63の厚さは、1nm以上50nm以下、更に好ましくは1nm以上30nm以下、更に好ましくは1nm以上10nm以下、更に好ましくは3nm以上7nm以下とすることが好ましい。酸化物半導体膜63の厚さを上記厚さとすることで、トランジスタの短チャネル効果を抑制することができる。

【0055】

酸化物半導体膜63において、アルカリ金属またはアルカリ土類金属の濃度は、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下であることが望ましい。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があり、トランジスタのオフ電流の上昇の原因となるためである。

40

【0056】

酸化物半導体膜63の第1の領域63aには、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下の窒素が含まれてもよい。

【0057】

酸化物半導体膜63の第1の領域63aは、水素濃度を $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{ a}$

50

atoms/cm^3 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下とすることが好ましい。酸化物半導体及び水素の結合により、水素の一部がドナーとなり、キャリアである電子が生じてしまう。これらのため、酸化物半導体膜 63 の第 1 の領域 63 a 中の水素濃度を低減することで、しきい値電圧のマイナスシフトを低減することができる。

【0058】

ドーパントを含む一对の第 2 の領域 63 b、63 c は、ドーパントとして、ホウ素、窒素、リン、及びヒ素の少なくとも一以上が含まれる。または、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンの少なくとも一以上が含まれる。なお、ドーパントとして、ホウ素、窒素、リン、及びヒ素の一以上と、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンの一以上とが適宜組み合わせられて含まれていてもよい。

10

【0059】

ドーパントを含む一对の第 2 の領域 63 b、63 c に含まれるドーパントの濃度は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以上 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以上 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満とする。

【0060】

ドーパントを含む一对の第 2 の領域 63 b、63 c はドーパントを含むため、キャリア密度または欠陥を増加させることができる。このため、ドーパントを含まない第 1 の領域 63 a と比較して導電性を高めることができる。なお、ドーパント濃度を増加させすぎると、ドーパントがキャリアの移動を阻害することになり、ドーパントを含む一对の第 2 の領域 63 b、63 c の導電性を低下させることになる。

20

【0061】

ドーパントを含む一对の第 2 の領域 63 b、63 c は、導電率が 0.1 S/cm 以上 1000 S/cm 以下、好ましくは 10 S/cm 以上 1000 S/cm 以下とすることが好ましい。

【0062】

酸化物半導体膜 63 において、ドーパントを含む一对の第 2 の領域 63 b、63 c を有することで、チャネル領域として機能する第 1 の領域 63 a の端部に加わる電界を緩和させることができる。このため、トランジスタの短チャネル効果を抑制することができる。

【0063】

一对の電極 67、69 は導電材料として、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンからなる単体金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、タングステン膜上にチタン膜を積層する二層構造、銅 - マグネシウム - アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造などがある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。なお、一对の電極 67、69 は配線としても機能させてもよい。

30

【0064】

図 1 (A) 及び図 1 (C) に示すように、一对の電極 67、69 は、酸化物半導体膜 63 の露出部及び側面、特にチャネル長方向と平行な側面、及びチャネル幅方向と平行な側面、それぞれを覆う場合、酸化物半導体膜 63 との接触面積を広くすることができる。このため、酸化物半導体膜 63 と、一对の電極 67、69 との接触抵抗を低減でき、またチャネル幅を広げることが可能であり、トランジスタのオン電流を高めることができる。

40

【0065】

ゲート絶縁膜 59 は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたは Ga - Zn - O 系金属酸化物などを用いればよく、積層または単層で設ける。また、ゲート絶縁膜 59 は、第 1 の酸化絶縁膜 53 に示すような、加熱により酸素が脱離する酸化絶縁膜を用いてもよい。ゲート絶縁膜 59 に加熱により酸素が脱離する膜を用いることで、酸化物半導体膜 63

50

に生じる酸素欠損を修復することができ、トランジスタの電気特性の劣化を抑制できる。

【0066】

また、ゲート絶縁膜59として、ハフニウムシリケート(HfSiO_x)、窒素が添加されたハフニウムシリケート($\text{HfSi}_x\text{O}_y\text{N}_z$)、窒素が添加されたハフニウムアルミネート($\text{HfAl}_x\text{O}_y\text{N}_z$)、酸化ハフニウム、酸化イットリウムなどのhigh-k材料を用いてもよい。該high-k材料を用いることでゲートリークを低減できる。

【0067】

ゲート絶縁膜59の厚さは、10nm以上300nm以下、より好ましくは5nm以上50nm以下、より好ましくは10nm以上30nm以下とするとよい。

【0068】

ゲート電極61は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金などを用いて形成することができる。また、マンガン、ジルコニウムのいずれかまたは複数から選択された金属元素を用いてもよい。また、ゲート電極61は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造などがある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素の膜、または複数組み合わせた合金膜、もしくは窒化膜を用いてもよい。

【0069】

また、ゲート電極61は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

【0070】

また、ゲート電極61とゲート絶縁膜59との間に、ゲート絶縁膜59に接する材料層として、窒素を含むIn-Ga-Zn-O膜や、窒素を含むIn-Sn-O膜や、窒素を含むIn-Ga-O膜や、窒素を含むIn-Zn-O膜や、窒素を含むSn-O膜や、窒素を含むIn-O膜や、金属窒化膜(InN、ZnNなど)を設けることが好ましい。これらの膜は5eV、好ましくは5.5eV以上の仕事関数を有し、トランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。例えば、窒素を含むIn-Ga-Zn-O膜を用いる場合、少なくとも酸化物半導体膜63より高い窒素濃度、具体的には7原子%以上の窒素を含むIn-Ga-Zn-O膜を用いる。

【0071】

サイドウォール絶縁膜65は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよく、積層または単層で設ける。なお、サイドウォール絶縁膜65として、第1の酸化絶縁膜53と同様に、加熱により酸素の一部が脱離する酸化絶縁膜を用いて形成してもよい。

【0072】

本実施の形態に示すトランジスタは、一对の電極67、69及びゲート電極61が重畳しないため、一对の電極67、69及びゲート電極61の間に生じる寄生容量を低減することができる。このため、トランジスタの高速動作が可能である。また、トランジスタの一对の電極67、69の端部がサイドウォール絶縁膜65上に位置し、酸化物半導体膜63において、ドーパントを含む一对の第2の領域63b、63cの露出部を全て覆っている

10

20

30

40

50

。このため、チャンネル長方向における電界緩和領域の長さはサイドウォール絶縁膜65の長さで制御され、一对の電極67、69を形成するためのマスク合わせの精度を緩和することができる。よって、複数のトランジスタにおけるばらつきを低減することができる。

【0073】

絶縁膜71、73は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよく、積層または単層で設ける。なお、絶縁膜71として、第1の酸化絶縁膜53と同様に、加熱により酸素の一部が脱離する酸化絶縁膜を用いて形成してもよい。また、絶縁膜73として、第2の酸化絶縁膜55と同様に、外部への酸素の拡散を防ぐ酸化絶縁膜を用いることで、絶縁膜71から脱離する酸素を酸化物半導体膜に供給することができる。また、絶縁膜73として、外部からの水素の拡散を防ぐ酸化絶縁膜を用いることで、外部から酸化物半導体膜への水素の拡散を低減することが可能であり、酸化物半導体膜の酸素欠損を低減することができる。外部からの水素の拡散を防ぐ酸化絶縁膜の代表例としては、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム等がある。

10

【0074】

なお、本実施の形態においては、一对の電極67、69の対向領域が直線状のトランジスタを用いて説明したが、一对の電極67、69の対向領域を適宜、U字状、C字状等としてもよい。このような構造のトランジスタは、チャンネル幅を大きくすることが可能であり、オン電流を高くすることができる。

20

【0075】

次に、図1に示すトランジスタの作製方法について、図2乃至図4を用いて説明する。なお、各図において、(A)、(C)、(E)、(G)、(I)は図1(B)に示すA-B断面図(トランジスタのチャンネル幅方向)の作製工程を説明し、(B)、(D)、(F)、(H)、(J)は図1(C)に示すC-D断面図(トランジスタのチャンネル長方向)の作製工程を説明する。

【0076】

図2(A)、図2(B)に示すように、基板51上に第1の酸化絶縁膜52を形成する。

【0077】

第1の酸化絶縁膜52は、後に第1の酸化絶縁膜53となるため、図1に示す第1の酸化絶縁膜53に列挙する材料を適宜用いることができる。また、第1の酸化絶縁膜52は、スパッタリング法、CVD法等により形成する。なお、加熱により酸素の一部が脱離する酸化絶縁膜は、スパッタリング法を用いることで形成しやすいため好ましい。

30

【0078】

加熱により酸素の一部が脱離する酸化絶縁膜をスパッタリング法により形成する場合は、成膜ガス中の酸素量が高いことが好ましく、酸素、または酸素及び希ガスの混合ガス等を用いることができる。代表的には、成膜ガス中の酸素濃度を6%以上100%以下にすることが好ましい。

【0079】

加熱により酸素の一部が脱離する酸化絶縁膜の代表例として酸化シリコン膜を形成する場合、石英(好ましくは合成石英)をターゲットに用い、基板温度300以上450以下(好ましくは700以上2000以下)、基板とターゲットの間の距離(T-S間距離)を20mm以上400mm以下(好ましくは40mm以上200mm以下)、圧力を0.1Pa以上4Pa以下(好ましくは0.2Pa以上1.2Pa以下)、高周波電源を0.5kW以上12kW以下(好ましくは1kW以上5kW以下)、成膜ガス中の $O_2 / (O_2 + Ar)$ 割合を1%以上100%以下(好ましくは6%以上100%以下)として、RFスパッタリング法により酸化シリコン膜を形成することが好ましい。なお、石英(好ましくは合成石英)ターゲットに代えてシリコンターゲットを用いることもできる。なお、成膜ガスとしては、酸素のみを用いてもよい。

40

【0080】

50

なお、第1の酸化絶縁膜52を形成する前に、加熱処理またはプラズマ処理により、基板に含まれる水素を放出させることが好ましい。この結果、後の加熱処理において、第1の酸化絶縁膜、第2の酸化絶縁膜、及び酸化物半導体膜中に水素が拡散することを防ぐことができる。なお、加熱処理は、不活性雰囲気、減圧雰囲気または乾燥空気雰囲気にて、100以上基板の歪み点未満で行う。また、プラズマ処理は、希ガス、酸素、窒素または酸化窒素（亜酸化窒素、一酸化窒素、二酸化窒素など）を用いる。

【0081】

次に、第1の酸化絶縁膜52上にマスクを形成した後、第1の酸化絶縁膜52の一部をエッチングして、図2(C)及び図2(D)に示すように、凸部を有する第1の酸化絶縁膜53を形成する。ここでは、後に酸化物半導体膜が形成される領域近傍に凸部が形成されるように、第1の酸化絶縁膜52上にマスクを配置し、第1の酸化絶縁膜52をエッチングする。

10

【0082】

第1の酸化絶縁膜52は、ウエットエッチング及びドライエッチングのいずれ以上を用いてエッチングすることができる。

【0083】

次に、図2(E)及び図2(F)に示すように、第1の酸化絶縁膜53上に第2の酸化絶縁膜54を形成する。

【0084】

第2の酸化絶縁膜54は、後に第2の酸化絶縁膜55となるため、図1に示す第2の酸化絶縁膜55に列挙する材料を適宜用いることができる。また、スパッタリング法、CVD法等により形成する。第2の酸化絶縁膜54は、少なくとも第1の酸化絶縁膜52のエッチング深さよりも厚い膜厚で形成することが好ましい。この結果、後の第1の酸化絶縁膜及び第2の酸化絶縁膜の平坦化工程において、平坦性の高い第1の酸化絶縁膜及び第2の酸化絶縁膜を形成することができる。

20

【0085】

次に、第1の酸化絶縁膜53及び第2の酸化絶縁膜54を平坦化することで、図2(G)及び図2(H)に示すように、第2の酸化絶縁膜55を形成する。なお、当該平坦化処理において、第1の酸化絶縁膜53の一部がエッチングされてもよい。

【0086】

平坦化処理方法としては、化学的機械的研磨（Chemical Mechanical Polishing：CMP）処理を用いて行うことが好ましい。ここで、CMP処理とは、被加工物の表面を基準にし、それにならって表面を化学的・機械的な複合作用により、平坦化する手法である。一般的に研磨ステージの上に研磨布を貼り付け、被加工物と研磨布との間にスラリー（研磨剤）を供給しながら研磨ステージと被加工物とを各々回転または揺動させて、スラリー及び被加工物表面の間での化学反応、並びに研磨布及び被加工物の機械的研磨の作用により、被加工物の表面を研磨する方法である。

30

【0087】

CMP処理は、1回行ってよいし、複数回行ってよい。複数回に分けてCMP処理を行う場合は、高い研磨レートでの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うのが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、第1の酸化絶縁膜53及び第2の酸化絶縁膜54の表面の平坦性をさらに向上させることができる。

40

【0088】

また、第1の酸化絶縁膜53及び第2の酸化絶縁膜54を平坦化させる処理としては、CMP処理の他にドライエッチング処理などを適用することも可能である。エッチングガスとしては、塩素、塩化硼素、塩化珪素または四塩化炭素などの塩素系ガス、四弗化炭素、弗化硫黄または弗化窒素などのフッ素系ガス、酸素などを適宜用いることができる。例えば、反応性イオンエッチング（RIE：Reactive Ion Etching）法、ICP（Inductively Coupled Plasma）エッチング法、E

50

CR (Electron Cyclotron Resonance) エッチング法、平行平板型 (容量結合型) エッチング法、マグネトロンプラズマエッチング法、2周波プラズマエッチング法またはヘリコン波プラズマエッチング法等のドライエッチング法を用いることができる。

【0089】

また、第1の酸化絶縁膜53及び第2の酸化絶縁膜54を平坦化させる処理としては、CMP処理の他にプラズマ処理などを適用することも可能である。プラズマ処理は、真空のチャンパーに不活性ガス、例えばアルゴンガスを導入し、被処理面を陰極とする電界をかけて行う。その原理としてはプラズマドライエッチング法と同等であるが、不活性ガスを
10 用いることで、通常のスputtering装置の成膜チャンパーにて処理可能であり簡便な方法である。すなわち、このプラズマ処理は、被処理面に不活性ガスのイオンを照射して、スputtering効果により表面の微細な凹凸を平坦化する処理である。このことから本明細書では、このプラズマ処理を「逆スパッタ」ともいう。

【0090】

当該逆スパッタにおいて、プラズマ中には電子とアルゴンの陽イオンが存在し、陰極方向にアルゴンの陽イオンが加速される。加速されたアルゴンの陽イオンは被処理面をスパッタする。このとき、該被処理面の凸部から優先的にスパッタされる。被処理面からスパッタされた粒子は、被処理面の別の場所に付着する。このとき、該被処理面の凹部に優先的に付着する。このように凸部を削り、凹部を埋めることで被処理面の平坦性が向上する。

【0091】

なお、第1の酸化絶縁膜53及び第2の酸化絶縁膜55が平坦であると、後に形成する酸化物半導体膜の断切れ防止が可能であるため好ましい。

【0092】

次に、図2(I)及び図2(J)に示すように、第1の酸化絶縁膜53上に酸化物半導体膜57を形成する。ここでは、図2(I)に示すように、酸化物半導体膜57に接する面において第1の酸化絶縁膜53及び第2の酸化絶縁膜55の境界が、チャンネル幅方向と交差する酸化物半導体膜57の側面の外側となるように、また、酸化物半導体膜57に接する面において第1の酸化絶縁膜53及び第2の酸化絶縁膜55の境界が、図2(J)に示すように、トランジスタのチャンネル長方向と交差する酸化物半導体膜57の側面の内側となるように、酸化物半導体膜57を形成する。
30

【0093】

酸化物半導体膜57は、スputtering法、塗布法、印刷法、パルスレーザー蒸着法、レーザーアブレーション法等により形成することができる。

【0094】

ここでは、酸化物半導体膜57は、スputtering法により、1nm以上50nm以下、更に好ましくは3nm以上30nm以下の厚さで酸化物半導体膜を形成した後、当該酸化物半導体膜上にマスクを形成し、酸化物半導体膜の一部を選択的にエッチングすることで形成する。

【0095】

ここで、酸化物半導体膜を成膜するスputtering装置について、以下に詳細を説明する。
40

【0096】

酸化物半導体膜を成膜する処理室は、リークレートを $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$ 以下とすることが好ましく、それによりスputtering法により成膜する際、膜中への不純物の混入を低減することができる。

【0097】

リークレートを低くするには、外部リークのみならず内部リークを低減する必要がある。外部リークとは、微小な穴やシール不良などによって真空系の外から気体が流入することである。内部リークとは、真空系内のバルブなどの仕切りからの漏れや内部の部材からの放出ガスに起因する。リークレートを $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$ 以下とするためには
50

、外部リーク及び内部リークの両面から対策をとる必要がある。

【0098】

外部リークを減らすには、処理室の開閉部分はメタルガスケットでシールするとよい。メタルガスケットは、フッ化鉄、酸化アルミニウム、または酸化クロムによって被覆された金属材料を用いると好ましい。メタルガスケットはOリングと比べ密着性が高く、外部リークを低減できる。また、フッ化鉄、酸化アルミニウム、酸化クロムなどの不動態によって被覆された金属材料を用いることで、メタルガスケットから生じる水素を含む放出ガスが抑制され、内部リークも低減することができる。

【0099】

処理室の内壁を構成する部材として、水素を含む放出ガスの少ないアルミニウム、クロム、チタン、ジルコニウム、ニッケルまたはバナジウムを用いる。また、前述の材料を鉄、クロム及びニッケルなどを含む合金材料に被覆して用いてもよい。鉄、クロム及びニッケルなどを含む合金材料は、剛性があり、熱に強く、また加工に適している。ここで、表面積を小さくするために部材の表面凹凸を研磨などによって低減しておくこと、放出ガスを低減できる。あるいは、前述の成膜装置の部材をフッ化鉄、酸化アルミニウム、酸化クロムなどの不動態で被覆してもよい。

10

【0100】

さらに、スパッタガスを処理室に導入する直前に、スパッタガスの精製機を設けることが好ましい。このとき、精製機から処理室までの配管の長さを5m以下、好ましくは1m以下とする。配管の長さを5m以下または1m以下とすることで、配管からの放出ガスの影響を長さに応じて低減できる。

20

【0101】

処理室の排気は、ドライポンプなどの粗引きポンプと、スパッタイオンポンプ、ターボ分子ポンプ及びクライオポンプなどの高真空ポンプとを適宜組み合わせるとよい。ターボ分子ポンプは大きいサイズの分子の排気が優れる一方、水素や水の排気能力が低い。そこで、水の排気能力の高いクライオポンプ及び水素の排気能力の高いスパッタイオンポンプを組み合わせることが有効となる。

【0102】

処理室の内側に存在する吸着物は、内壁に吸着しているために処理室の圧力に影響しないが、処理室を排気した際のガス放出の原因となる。そのため、リークレートと排気速度に相関はないが、排気能力の高いポンプを用いて、処理室に存在する吸着物をできる限り脱離し、予め排気しておくことが重要である。なお、吸着物の脱離を促すために、処理室をベーキングしてもよい。ベーキングすることで吸着物の脱離速度を10倍程度大きくすることができる。ベーキングは100以上450以下で行えばよい。このとき、不活性ガスを導入しながら吸着物の除去を行うと、排気するだけでは脱離しにくい水などの脱離速度をさらに大きくすることができる。

30

【0103】

このように、酸化物半導体膜の成膜工程において、更に好ましくは酸化絶縁膜の成膜工程において、処理室の圧力、処理室のリークレートなどにおいて、不純物の混入を極力抑えることによって、酸化物半導体膜に含まれる水素を含む不純物の混入を低減することができる。また、酸化絶縁膜から酸化物半導体膜への水素などの不純物の拡散を低減することができる。

40

【0104】

酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水となると共に、酸素が脱離した格子（あるいは酸素が脱離した部分）には欠損が形成されてしまう。このため、酸化物半導体膜の成膜工程において、水素を含む不純物を極めて減らすことにより、酸化物半導体膜の欠損を低減することが可能である。このため、不純物をできるだけ除去し、高純度化させた酸化物半導体膜をチャンネル領域とすることにより、トランジスタの信頼性を高めることができる。

【0105】

50

スパッタリング法において、プラズマを発生させるための電源装置は、RF電源装置、AC電源装置、DC電源装置等を適宜用いることができる。

【0106】

ターゲットとしては、亜鉛を含む金属酸化物ターゲットを用いることができる。ターゲットとしては、四元系金属酸化物であるIn-Sn-Ga-Zn-O系金属酸化物や、三元系金属酸化物であるIn-Ga-Zn-O系金属酸化物、In-Sn-Zn-O系金属酸化物、In-Al-Zn-O系金属酸化物、Sn-Ga-Zn-O系金属酸化物、Al-Ga-Zn-O系金属酸化物、Sn-Al-Zn-O系金属酸化物や、二元系金属酸化物であるIn-Zn-O系金属酸化物、Sn-Zn-O系金属酸化物や、一元系金属酸化物であるZnO系金属酸化物、SnO系金属酸化物などのターゲットを用いることができる。

10

【0107】

ターゲットの一例として、In、Ga、及びZnを含む金属酸化物ターゲットを、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ [mol数比]の組成比とする。また、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$ [mol数比]の組成比を有するターゲット、または $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 4$ [mol数比]の組成比を有するターゲット、 $In_2O_3 : Ga_2O_3 : ZnO = 2 : 1 : 8$ [mol数比]の組成比を有するターゲットを用いることもできる。また、 $In_2O_3 : ZnO = 25 : 1 \sim 1 : 4$ [mol数比]の組成比を有するターゲットを用いることもできる。

【0108】

なお、スパッタリングガスは、希ガス(代表的にはアルゴン)、酸素、希ガス及び酸素の混合ガスを適宜用いる。なお、希ガス及び酸素の混合ガスの場合、希ガスに対して酸素のガス比を高めることが好ましい。また、スパッタリングガスには、水素を含む不純物が除去された高純度ガスを用いることが好ましい。

20

【0109】

なお、酸化物半導体膜をスパッタリング装置で成膜する前に、スパッタリング装置にダミー基板を搬入し、ダミー基板上に酸化物半導体膜を成膜して、ターゲット表面、または附着板に付着した水素、水分を取り除く工程を行ってもよい。

【0110】

次に、図3(A)及び図3(B)に示すように、第1の酸化絶縁膜53、第2の酸化絶縁膜55、及び酸化物半導体膜57上に絶縁膜58を形成する。

30

【0111】

絶縁膜58は、後にゲート絶縁膜となるため、図1に示すゲート絶縁膜59に列挙する材料を適宜用いることができる。また、絶縁膜58は、スパッタリング法、CVD法等により形成する。

【0112】

次に、基板51に加熱処理を施して、酸化物半導体膜57より水素を放出させると共に、第1の酸化絶縁膜53に含まれる酸素の一部を、酸化物半導体膜57と、第1の酸化絶縁膜53及び酸化物半導体膜57の界面近傍と、酸化物半導体膜57の側面、即ち酸化物半導体膜57及び絶縁膜58の界面近傍とに拡散させる。図3(A)に示すトランジスタのチャンネル幅方向と交差する酸化物半導体膜の側面の近傍においては、当該加熱処理において、酸化絶縁膜53に含まれる酸素が、酸化物半導体膜に覆われていない領域から、絶縁膜58の方向へ拡散する。当該酸素の一部が酸化物半導体膜57の側面にも拡散するため、酸化物半導体膜57の側面における酸素欠損を低減することができる。この結果、後に形成されるトランジスタにおいて、一对の電極67、69が酸化物半導体膜63のチャンネル幅方向と交差する端部を覆っていても、ゲート電極61と重畳する酸化物半導体膜63の端部において寄生チャンネルが形成されにくい。また、図3(B)に示すトランジスタのチャンネル長方向と交差する酸化物半導体膜の側面の近傍においては、第1の酸化絶縁膜53の表面は酸化物半導体膜57で覆われており、周囲は酸素の拡散を抑制する第2の酸化絶縁膜55で囲まれている。このため、当該加熱処理において、第1の酸化絶縁膜53に

40

50

含まれる酸素が優先的に酸化物半導体膜57に拡散するため、酸化物半導体膜と、当該酸化物半導体膜において第1の酸化絶縁膜と接する界面近傍とにおける酸素欠損を低減することができる。以上のことから、図3(C)及び図3(D)に示すように、水素濃度及び酸素欠損が低減された酸化物半導体膜60を形成することができる。

【0113】

該加熱処理の温度は、酸化物半導体膜57から水素を放出させると共に、第1の酸化絶縁膜53に含まれる酸素の一部を脱離させ、さらには酸化物半導体膜57に拡散させる温度が好ましく、代表的には、150以上基板歪み点未満、好ましくは250以上450以下、更に好ましくは300以上450以下とする。

【0114】

また、該加熱処理は、RTA(Rapid Thermal Anneal)装置を用いることができる。RTAを用いることで、短時間に限り、基板の歪み点以上の温度で熱処理を行うことができる。そのため、酸化物半導体膜からの水素の放出、及び第1の酸化絶縁膜53から酸化物半導体膜57への酸素拡散の時間を短縮することができる。

【0115】

加熱処理は、不活性ガス雰囲気で行うことができ、代表的には、ヘリウム、ネオン、アルゴン、キセノン、クリプトン等の希ガス、または窒素雰囲気で行うことが好ましい。また、酸素雰囲気及び減圧雰囲気で行ってもよい。処理時間は3分~24時間とする。

【0116】

次に、図3(E)及び図3(F)に示すように、絶縁膜58上にゲート電極61を形成する。

【0117】

ゲート電極61は、印刷法またはインクジェット法により形成する。若しくは、スパッタリング法、CVD法、蒸着法等で導電膜を形成した後、該導電膜上にマスクを形成して導電膜をエッチングして、ゲート電極61を形成する。導電膜上に形成するマスクは、印刷法、インクジェット法、フォトリソグラフィ法を適宜用いることができる。なお、マスクを用いてゲート電極61を形成した場合は、この後マスクを除去する。

【0118】

次に、ゲート電極61をマスクとして、酸化物半導体膜60にドーパント62を添加する処理(図3(E)及び図3(F)参照)を行って、図3(H)に示すように、ドーパントを含む一对の第2の領域63b、63cを形成する。ゲート電極61をマスクにしてドーパントを添加するため、セルフアラインでドーパントを含む一对の第2の領域63b、63c、及びドーパントが添加されない第1の領域63aを形成することができる(図3(H)参照)。なお、ゲート電極61と重畳する第1の領域63aはチャンネル領域として機能する。また、ドーパントを含む一对の第2の領域63b、63cは、電界緩和領域、ソース領域、及びドレイン領域として機能する。また、第1の領域63a、及びドーパントを含む一对の第2の領域63b、63cを酸化物半導体膜63と示す。

【0119】

酸化物半導体膜60にドーパントを添加する方法として、イオンドーピング法またはイオンインプランテーション法を用いることができる。また、添加するドーパントとしては、ホウ素、窒素、リン、及びヒ素の少なくとも一以上がある。または、ドーパントとしては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンの少なくとも一以上がある。なお、ドーパントとして、ホウ素、窒素、リン、及びヒ素の一以上と、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンの一以上とを適宜組み合わせてもよい。

【0120】

また、酸化物半導体膜60へのドーパントの添加は、酸化物半導体膜60を覆って、絶縁膜などが形成されている状態を示したが、酸化物半導体膜60が露出している状態でドーパントの添加を行ってもよい。

【0121】

さらに、上記ドーパントの添加はイオンドーピング法またはイオンインプランテーション

10

20

30

40

50

法などによる注入する以外の方法でも行うことができる。例えば、添加する元素を含むガス雰囲気にてプラズマを発生させて、被添加物に対してプラズマ処理を行うことによって、ドーパントを添加することができる。上記プラズマを発生させる装置としては、ドライエッチング装置やプラズマCVD装置、高密度プラズマCVD装置などを用いることができる。

【0122】

この後、加熱処理を行ってもよい。当該加熱処理の温度は、代表的には、150 以上450 以下、好ましくは250 以上325 以下とする。または、250 から325 まで徐々に温度上昇させながら加熱してもよい。

【0123】

当該加熱処理により、ドーパントを含む一対の第2の領域63b、63cの抵抗を低減することができる。なお、当該加熱処理において、ドーパントを含む一対の第2の領域63b、63cは、結晶状態でも非晶質状態でもよい。

【0124】

次に、図4(A)及び図4(B)に示すように、ゲート電極61の側面にサイドウォール絶縁膜65及びゲート絶縁膜59を形成する。ここで、サイドウォール絶縁膜65の形成方法について説明する。

【0125】

まず、絶縁膜58及びゲート電極61上に、後にサイドウォール絶縁膜65となる絶縁膜を形成する。絶縁膜は、スパッタリング法、CVD法等により形成する。また、当該絶縁膜の厚さは特に限定はないが、ゲート電極61の形状に応じる被覆性を考慮して、適宜選択すればよい。

【0126】

次に、絶縁膜をエッチングすることによりサイドウォール絶縁膜65を形成する。サイドウォール絶縁膜65は、絶縁膜に異方性の高いエッチング工程を行うことでセルフアラインに形成することができる。ここで、異方性の高いエッチングとしては、ドライエッチングが好ましく、例えば、エッチングガスとして、トリフルオロメタン(CHF_3)、オクタフルオロシクロブタン(C_4F_8)、テトラフルオロメタン(CF_4)などのフッ素を含むガスを用いることができ、ヘリウム(He)やアルゴン(Ar)などの希ガスまたは水素(H_2)を添加しても良い。さらに、ドライエッチングとして、基板に高周波電圧を印加する、反応性イオンエッチング法(RIE法)を用いるのが好ましい。

【0127】

また、ドーパントを含む一対の第2の領域63b、63cにおいて、電界緩和領域として機能する幅は、サイドウォール絶縁膜65の幅に対応し、またサイドウォール絶縁膜65の幅は、ゲート電極61の厚さにも対応することから、電界緩和領域の範囲が、所望の範囲となるように、ゲート電極61の厚さを決めればよい。

【0128】

また、サイドウォール絶縁膜65の形成工程と共に、異方性の高いエッチングを用いて絶縁膜58をエッチングし、酸化物半導体膜63を露出させることで、ゲート絶縁膜59を形成することができる。

【0129】

次に、図4(C)及び図4(D)に示すように、一対の電極67、69を形成する。

【0130】

一対の電極67、69は、印刷法またはインクジェット法を用いて形成する。または、スパッタリング法、CVD法、蒸着法等で導電膜を形成した後、該導電膜上にマスクを形成して導電膜をエッチングして、一対の電極67、69を形成する。導電膜上に形成するマスクは、印刷法、インクジェット法、フォトリソグラフィ法を適宜用いることができる。なお、マスクを用いて一対の電極67、69を形成した場合は、この後マスクを除去する。

【0131】

一对の電極67、69は、サイドウォール絶縁膜65及びゲート絶縁膜59の側面と接するように、形成することが好ましい。即ち、トランジスタの一对の電極67、69の端部がサイドウォール絶縁膜65上に位置し、酸化物半導体膜63において、ドーパントを含む一对の第2の領域63b、63cの露出部を全て覆っていることが好ましい。この結果、ドーパントが含まれる一对の第2の領域63b、63cにおいて、一对の電極67、69と接する領域63b1、63c1がソース領域及びドレイン領域として機能すると共に、サイドウォール絶縁膜65及びゲート絶縁膜59と重なる領域63b2、63c2が電界緩和領域として機能する。また、サイドウォール絶縁膜65の長さにより電界緩和領域の幅が制御できるため、一对の電極67、69を形成するためのマスク合わせの精度を緩和することができる。よって、複数のトランジスタにおけるばらつきを低減することができる。

10

【0132】

次に、図4(E)及び図4(F)に示すように、絶縁膜71及び絶縁膜73を形成する。

【0133】

絶縁膜71及び絶縁膜73は、スパッタリング法、CVD法、塗布法、印刷法等により形成する。

【0134】

以上の工程により、トランジスタを作製することができる。

【0135】

ここで、本実施の形態に示すトランジスタと、SOI(Silicon On Insulator)基板を用いたMOS(Metal Oxide Semiconductor)トランジスタについて比較する。

20

【0136】

SOI基板を用いたMOSトランジスタは、基板と、基板上に形成されるBOX(Buried Oxide)層と、BOX層上に設けられる半導体領域及び素子分離領域と、半導体領域上に形成されるゲート絶縁膜と、ゲート絶縁膜上に形成されるゲート電極とを有する。

【0137】

半導体領域には、npn領域またはpnp領域が形成される。ソース領域及びドレイン領域、並びに電界緩和領域であるLDD(Light Doped Drain)領域は、抵抗を低減するため、不純物元素の添加と共に活性化処理により形成される。また、半導体領域の厚さは、50nm以上500nm以下、薄い場合でも50nm以上100nm以下と比較的厚い。これは、SOI基板の作製工程において、CMP、エッチング等により薄膜化処理が行われるが、当該工程において、結晶性の低下、欠陥の増大等が生じてしまう。このため、半導体領域の極薄化が困難であり、半導体領域の厚さを比較的厚くする必要がある。また、短チャネル効果の抑制手段として、逆極性の不純物をチャネル領域に添加するチャネルドーピングが行われる。しかしながら、高濃度のチャネルドーピングはドーパントの統計的ゆらぎによるしきい値ばらつきの要因であるため、無制限にドーピング量を高めることはできない。すなわち、半導体領域の厚さとチャネルドーピングに限界があるため、短チャネル効果を抑制するにも限度がある。

30

40

【0138】

半導体領域の周囲には、LOCOS(Local Oxidation of Silicon)法またはSTI(Shallow Trench Isolation)法で形成された素子分離領域を有する。また、ゲート配線の断切れを防止するため、素子分離領域と、npn領域またはpnp領域との表面を平坦化するための平坦化処理が行われる。

【0139】

ゲート絶縁膜は熱酸化法により形成されるため、1~2nmと極めて薄い絶縁膜である。また、ソース電極及びドレイン電極間のリーク電流は数pA~数nAであるため、半導体領域とゲート電極の間のリーク電流、即ちゲート絶縁膜におけるリーク電流もその程度でよく、したがって、ゲート絶縁膜の厚さは1~2nmと極めて薄くてもよい。

50

【0140】

一方、本実施の形態に示すトランジスタは、基板と、基板上に形成される下地絶縁膜と、下地絶縁膜上に形成される酸化物半導体膜と、酸化物半導体膜上に形成されるゲート絶縁膜と、ゲート絶縁膜上に形成されるゲート電極とを有する。

【0141】

下地絶縁膜は、酸化物半導体膜と少なくとも一部が接し、加熱により酸素の一部が脱離する第1の酸化絶縁膜と、第1の酸化絶縁膜の周囲に位置し、外部への酸素の拡散を防ぐ酸化絶縁膜で形成される第2の酸化絶縁膜とで構成される。このため、第1の酸化絶縁膜に含まれる過剰酸素を選択的に酸化物半導体膜に拡散させることができる。また、酸化物半導体膜の段切れを防止するため、下地絶縁膜の表面を平坦化するための平坦化処理が行われる。

10

【0142】

酸化物半導体膜は、チャネル領域と、チャネル領域を挟む電界緩和領域とを有する。電界緩和領域には、ドーパントとして、ホウ素、窒素、リン、及びヒ素の少なくとも一以上が含まれる。または、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンの少なくとも一以上が含まれる。なお、ドーパントとして、ホウ素、窒素、リン、及びヒ素の一以上と、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンの一以上とが適宜組み合わせられて含まれていてもよい。酸化物半導体膜の厚さは、1 nm以上50 nm以下、更に好ましくは1 nm以上30 nm以下、更に好ましくは1 nm以上10 nm以下、更に好ましくは3 nm以上7 nm以下と、極めて薄くすることが可能である。このため、厚さを薄くすることで、チャネルドープをせずとも、短チャネル効果を抑制させることができるため、生産性を高めることが可能である。

20

【0143】

ゲート絶縁膜は、CVD法、スパッタリング法等の薄膜堆積法を用いることができるため、ゲート絶縁膜の厚さの選択範囲を広げることができる。また、半導体領域及びゲート電極のリーク電流、即ちゲート絶縁膜におけるリーク電流は、ソース電極及びドレイン電極間のリーク電流と同等で数y A～数z Aと極めて低いため、ゲート絶縁膜の厚さを薄膜堆積法で任意の厚さとすることが好ましい。

【0144】

平坦化処理をする対象物、半導体の下地絶縁膜、短チャネル効果の抑制の方法、ゲート絶縁膜の厚さ、チャネル領域の極性等が、SOI基板を用いたMOSトランジスタと、本実施の形態に示すトランジスタとは異なるため、SOI基板を用いたMOSトランジスタをもとに、本実施の形態に示すトランジスタを容易に形成することは困難である。

30

【0145】

本実施の形態に示すトランジスタは、チャネル幅方向と交差する酸化物半導体膜の端部が、加熱により酸素の一部が脱離する第1の酸化絶縁膜上に位置する。このため、当該領域の酸化物半導体膜には酸素が拡散し、酸素欠損が拡散した酸素により補償され、寄生チャネルの発生を低減することができる。この結果、ゲート電極と重畳する酸化物半導体膜の端部を介して発生するソース電極及びドレイン電極の間のリーク電流を低減することができる。また、加熱により酸素の一部が脱離する第1の酸化絶縁膜の周囲には、酸素の拡散を抑制することができる第2の酸化絶縁膜が設けられる。このため、加熱処理工程において、第1の酸化絶縁膜に含まれる酸素を効率よく酸化物半導体膜に拡散させることが可能であり、酸化物半導体膜と、酸化物半導体膜において第1の酸化絶縁膜と接する界面の近傍とにおける酸素欠損を低減することができる。以上のことから、トランジスタのしきい値電圧のマイナスシフトを低減すると共に、トランジスタのソース及びドレインにおけるリーク電流を低減することが可能であり、トランジスタの電気特性を向上させることができる。また、このようなトランジスタ及びその周辺部分(下地絶縁膜を含む)の構造により、トランジスタのチャネル長を100 nm以下、例えば30 nmにまで微細化することができ、このような場合であってもオフ電流を数y A/μm～数z A/μmとすることが可能となる。

40

50

【 0 1 4 6 】

(実施の形態 2)

本実施の形態では、実施の形態 1 と異なる構造のトランジスタ及びのその作製方法について、図 5 を用いて説明する。本実施の形態では、トランジスタのチャンネル長方向と交差する酸化半導体膜の端部の位置と、酸化半導体膜に接する面において第 1 の酸化絶縁膜 5 3 及び第 2 の酸化絶縁膜 5 5 の境界の位置とが、実施の形態 1 と異なる。

【 0 1 4 7 】

図 5 は、本実施の形態に示すトランジスタの上面図及び断面図である。図 5 (A) は、本実施の形態に示すトランジスタの上面図であり、図 5 (B) は、図 5 (A) の一点鎖線 A - B に対応する断面図であり、図 5 (C) は図 5 (A) の一点鎖線 C - D に対応する断面図である。なお、図 5 (A) では、明瞭化のため、トランジスタの構成要素の一部 (例えば、ゲート絶縁膜 5 9、サイドウォール絶縁膜 6 5、絶縁膜 7 1、絶縁膜 7 3 など) を省略している。

10

【 0 1 4 8 】

図 5 に示すトランジスタは、基板 5 1 上に設けられる第 1 の酸化絶縁膜 5 3 と、第 1 の酸化絶縁膜 5 3 の周辺に設けられる第 2 の酸化絶縁膜 5 5 と、第 1 の酸化絶縁膜 5 3 及び第 2 の酸化絶縁膜 5 5 上に設けられる酸化半導体膜 6 4 と、酸化半導体膜 6 4 に接する、ソース電極及びドレイン電極として機能する一対の電極 6 7、6 9 と、酸化半導体膜 6 4 の少なくとも一部と接するゲート絶縁膜 5 9 と、ゲート絶縁膜 5 9 上であって、且つ酸化半導体膜 6 4 と重畳するゲート電極 6 1 とを有する。また、ゲート電極 6 1 の側面に接するサイドウォール絶縁膜 6 5 を有してもよい。また、酸化半導体膜 6 4 は、ゲート電極 6 1 と重畳する第 1 の領域 6 4 a と、第 1 の領域 6 4 a を挟むドーパントを含む一対の第 2 の領域 6 4 b、6 4 c とを有する。なお、酸化半導体膜 6 4 において、第 1 の領域 6 4 a はチャンネル領域として機能し、ドーパントを含む一対の第 2 の領域 6 4 b、6 4 c において、サイドウォール絶縁膜 6 5 と重畳する領域は電界緩和領域として機能し、一対の電極 6 7、6 9 と接する領域はソース領域及びドレイン領域として機能する。

20

【 0 1 4 9 】

本実施の形態において、第 1 の酸化絶縁膜 5 3 及び第 2 の酸化絶縁膜 5 5 は、酸化半導体膜 6 4 の下地絶縁膜として機能する。また、図 5 (B) に示すように、トランジスタのチャンネル幅方向と交差する酸化半導体膜 6 4 の端部は、第 1 の酸化絶縁膜 5 3 上に位置することを特徴とする。即ち、酸化半導体膜 6 4 に接する面において、第 1 の酸化絶縁膜 5 3 及び第 2 の酸化絶縁膜 5 5 の境界が、酸化半導体膜 6 4 の側面より外側に位置することを特徴とする。

30

【 0 1 5 0 】

また、図 5 (C) に示すように、トランジスタのチャンネル長方向と交差する酸化半導体膜 6 4 の端部は、第 1 の酸化絶縁膜 5 3 上に位置する。即ち、酸化半導体膜 6 4 に接する面において、第 1 の酸化絶縁膜 5 3 及び第 2 の酸化絶縁膜 5 5 の境界が、酸化半導体膜 6 4 の側面より外側に位置する。

【 0 1 5 1 】

図 5 に示すトランジスタは、実施の形態 1 において酸化半導体膜 6 3 を形成する代わりに、チャンネル長方向及びチャンネル幅方向それぞれと交差する酸化半導体膜 6 4 の端部が、第 1 の酸化絶縁膜 5 3 の上に位置するように形成することで、作製できる。

40

【 0 1 5 2 】

本実施の形態により、酸化半導体膜より水素を放出させると共に、第 1 の酸化絶縁膜 5 3 に含まれる酸素の一部を、酸化半導体膜と、第 1 の酸化絶縁膜 5 3 及び酸化半導体膜 6 4 の界面近傍と、酸化半導体膜の側面全てに拡散させる。即ち、トランジスタのチャンネル長方向及びトランジスタのチャンネル幅方向それぞれと交差する酸化半導体膜の側面における酸素欠損を低減すると共に、酸化半導体膜と、酸化半導体膜において第 1 の酸化絶縁膜と接する界面の近傍とにおける酸素欠損を低減することができる。この結果、図 5 に示すように、水素濃度及び酸素欠損が低減された酸化半導体膜 6 4 を形成する

50

ことができる。以上のことから、トランジスタのしきい値電圧のマイナスシフトを低減すると共に、トランジスタのソース及びドレインにおけるリーク電流を低減することが可能であり、トランジスタの電気特性を向上させることができる。

【 0 1 5 3 】

(実施の形態 3)

本実施の形態では、実施の形態 1 及び実施の形態 2 と異なる構造のトランジスタの構造及び作製方法について、図 6 を用いて説明する。本実施の形態では、一对の電極に接する一对の配線を有することが実施の形態 1 及び実施の形態 2 と異なる。ここでは、実施の形態 2 に示すトランジスタの別形態として説明するが、実施の形態 1 に適宜適用することができる。

10

【 0 1 5 4 】

図 6 は、本実施の形態に示すトランジスタの上面図及び断面図である。図 6 (A) は、本実施の形態に示すトランジスタの上面図であり、図 6 (B) は、図 6 (A) の一点鎖線 C - D に対応する断面図である。なお、図 6 (A) では、明瞭化のため、トランジスタの構成要素の一部 (例えば、ゲート絶縁膜 5 9、サイドウォール絶縁膜 6 5、絶縁膜 7 1、絶縁膜 7 3 など) を省略している。

【 0 1 5 5 】

図 6 に示すトランジスタは、基板 5 1 上に設けられる第 1 の酸化絶縁膜 5 3 と、第 1 の酸化絶縁膜 5 3 の周辺に設けられる第 2 の酸化絶縁膜 5 5 と、第 1 の酸化絶縁膜 5 3 及び第 2 の酸化絶縁膜 5 5 上に設けられる酸化物半導体膜 6 4 と、酸化物半導体膜 6 4 に接する、ソース電極及びドレイン電極として機能する一对の電極 6 8、7 0 と、酸化物半導体膜 6 4 の少なくとも一部と接するゲート絶縁膜 5 9 と、ゲート絶縁膜 5 9 上であって、且つ酸化物半導体膜 6 4 と重畳するゲート電極 6 1 とを有する。また、ゲート電極 6 1 の側面に接するサイドウォール絶縁膜 6 5 を有してもよい。また、酸化物半導体膜 6 4 は、ゲート電極 6 1 と重畳する第 1 の領域 6 4 a と、第 1 の領域 6 4 a を挟むドーパントを含む一对の第 2 の領域 6 4 b、6 4 c とを有する。また、第 1 の酸化絶縁膜 5 3、第 2 の酸化絶縁膜 5 5、ゲート電極 6 1、サイドウォール絶縁膜 6 5、及び一对の電極 6 8、7 0 を覆う絶縁膜 7 1 と、絶縁膜 7 1 を覆う絶縁膜 7 3 を有する。また、絶縁膜 7 1、7 3 に設けられる開口部において、一对の電極 6 8、7 0 と接続する一对の配線 8 1、8 3 を有する。

20

30

【 0 1 5 6 】

一对の電極 6 8、7 0、及び配線 8 1、8 3 は、実施の形態 1 で説明した一对の電極 6 7、6 9 と同様の材料及び構造を適宜用いることができる。なお、配線 8 1、8 3 の一方は信号線としても機能するため、配線 8 1、8 3 を低抵抗材料であるアルミニウム、銅等を用いて形成することで、配線抵抗を低減することができる。

【 0 1 5 7 】

図 6 に示すトランジスタは、実施の形態 1 において、絶縁膜 7 1、7 3 のそれぞれ一部をエッチングして開口部を形成した後、当該開口部に配線 8 1、8 3 を形成することで、作製できる。また、酸化物半導体膜 6 4 上に一对の電極 6 8、7 0 が形成される。このため、絶縁膜 7 1、7 3 のエッチングの際 (当該開口を形成する際) に、酸化物半導体膜 6 4 のオーバーエッチングを抑制できるため、歩留まり高くトランジスタを作製することができる。また、酸化物半導体膜 6 4 を流れる電流量を大きくすることができる。

40

【 0 1 5 8 】

本実施の形態により、トランジスタのしきい値電圧のマイナスシフトを低減すると共に、トランジスタのソース及びドレインにおけるリーク電流を低減することが可能であり、トランジスタの電気特性を向上させることができる。

【 0 1 5 9 】

(実施の形態 4)

本実施の形態では、実施の形態 1 乃至実施の形態 3 に示す酸化物半導体膜 6 3、6 4 が、C A A C - O S 膜である場合について、説明する。

50

【0160】

C A A C - O S 膜である酸化物半導体膜 6 3、6 4 を形成する第 1 の方法について、以下に説明する。

【0161】

C A A C - O S 膜である酸化物半導体膜 6 3、6 4 を形成する方法は、実施の形態 1 の図 2 (I) 及び図 2 (J) に示す酸化物半導体膜 5 7 となる酸化物半導体膜を形成する際に、例えば、スパッタリング法を用いる場合、基板温度を 1 5 0 以上 7 5 0 以下、好ましくは 1 5 0 以上 4 5 0 以下、さらに好ましくは 2 0 0 以上 3 5 0 以下として、酸化物半導体膜を成膜することである。このように形成することで、酸化物半導体膜中への水分（水素を含む）などの混入を低減しつつ、C A A C - O S 膜を形成することができる。

10

【0162】

上記形成方法により酸化物半導体膜を形成し、一部を選択的にエッチングして所定の形状を有する酸化物半導体膜 5 7 を形成し、図 3 (A) 及び図 3 (B) に示すように、絶縁膜 5 8 を形成した後に加熱する。このようにすることで、酸化物半導体膜 5 7 からより水素を放出させると共に、第 1 の酸化絶縁膜 5 3 に含まれる酸素の一部を、酸化物半導体膜 5 7 と、第 1 の酸化絶縁膜 5 3 及び酸化物半導体膜 5 7 の界面近傍と、チャネル幅方向と交差する酸化物半導体膜の側面とに拡散させることができると共に、当該加熱処理により、より結晶性の高い C A A C - O S 膜の酸化物半導体膜 6 0 を形成することができる。この後、図 3 (E) 乃至図 3 (H) に示した工程を経て、酸化物半導体膜 6 3、6 4 を形成することができる。

20

【0163】

次に、C A A C を用いて酸化物半導体膜 6 3、6 4 を形成する第 2 の方法について、以下に説明する。

【0164】

第 1 の酸化絶縁膜 5 3 及び第 2 の酸化絶縁膜 5 5 上に第 1 の酸化物半導体膜を形成する。第 1 の酸化物半導体膜は、一原子層以上 1 0 n m 以下、好ましくは 2 n m 以上 5 n m 以下とする。

【0165】

第 1 の酸化物半導体膜の形成時、基板温度を 1 5 0 以上 7 5 0 以下、好ましくは 1 5 0 以上 4 5 0 以下、さらに好ましくは 2 0 0 以上 3 5 0 以下とする。このようにすることで、形成した第 1 の酸化物半導体膜中に含まれる水分（水素を含む）などの不純物の混入を低減させることができる。さらに、第 1 の酸化物半導体膜の結晶性を向上させることができ、配向性の高い C A A C - O S 膜を形成することができる。

30

【0166】

なお、第 1 の酸化物半導体膜の形成後に、第 1 の加熱処理を行ってもよい。該第 1 の加熱処理により、第 1 の酸化物半導体膜から、水分（水素含む）を放出させることができ、さらに結晶性も向上させることができる。該第 1 の加熱処理を行うことにより、配向性の高い C A A C - O S 膜を形成することができる。また、該第 1 の加熱処理は、1 5 0 以上基板の歪み点未満、好ましくは 2 5 0 以上 4 5 0 以下、さらに好ましくは 3 0 0 以上 4 5 0 以下とする。

40

【0167】

また該第 1 の加熱処理は、R T A (R a p i d T h e r m a l A n n e a l) 装置を用いることができる。R T A を用いることで、短時間に限り、基板の歪み点以上の温度で熱処理を行うことができる。そのため、非晶質領域に対して結晶領域の割合の多い酸化物半導体膜を形成するための時間を短縮することができる。

【0168】

該第 1 の加熱処理は、不活性ガス雰囲気で行うことができ、代表的には、ヘリウム、ネオン、アルゴン、キセノン、クリプトン等の希ガス、または窒素雰囲気で行うことが好ましい。また、酸素雰囲気及び減圧雰囲気で行ってもよい。処理時間は 3 分 ~ 2 4 時間とする

50

。処理時間を長くするほど非晶質領域に対して結晶領域の割合の多い酸化物半導体膜を形成することができるが、24時間を超える熱処理は生産性の低下を招くため好ましくない。

【0169】

次に、第1の酸化物半導体膜上に第2の酸化物半導体膜を成膜する。第2の酸化物半導体膜は、第1の酸化物半導体膜と同様の方法で成膜することができる。

【0170】

第2の酸化物半導体膜を成膜する際、基板加熱しながら成膜することで、第1の酸化物半導体膜を種結晶として、第2の酸化物半導体膜を結晶化させることができる。このとき、第1の酸化物半導体膜と第2の酸化物半導体膜が同一の元素から構成されることをホモ成長という。または、第1の酸化物半導体膜と第2の酸化物半導体膜とが、少なくとも一種以上の異なる元素から構成されることをヘテロ成長という。

【0171】

なお、第2の酸化物半導体膜を成膜した後、第2の加熱処理を行ってもよい。第2の加熱処理は、第1の加熱処理と同様の方法で行えばよい。第2の加熱処理を行うことによって、第1の酸化物半導体膜または第2の酸化物半導体膜中に含まれる水分（水素含む）を放出させることができ、非晶質領域に対して結晶領域の割合の多い酸化物半導体膜とすることができる。または、第2の加熱処理を行うことによって、第1の酸化物半導体膜を種結晶として、第2の酸化物半導体膜を結晶化させることができる。

【0172】

以上の方法により、酸化物半導体膜中への水素などの混入を低減しつつ、CAAC-OS膜の酸化物半導体膜を形成することができる。また、当該酸化物半導体膜の一部を選択的にエッチングして所定の形状を有する酸化物半導体膜57を形成することができる。図3(A)及び図3(B)に示すように、絶縁膜58を形成した後の加熱処理により、酸化物半導体膜57からより水素を放出させると共に、第1の酸化絶縁膜53に含まれる酸素の一部を、酸化物半導体膜と、第1の酸化絶縁膜及び酸化物半導体膜57の界面近傍と、チャンネル幅方向と交差する酸化物半導体膜の側面とに拡散させることができると共に、当該加熱処理により、より結晶性の高いCAAC-OS膜の酸化物半導体膜60を形成することができる。この後、図3(E)乃至図3(H)に示した工程を経て、酸化物半導体膜63、64を形成することができる。

【0173】

酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水となると共に、酸素が脱離した格子（あるいは酸素が脱離した部分）には欠損が形成されてしまう。このため、酸化物半導体膜の成膜工程において、不純物を極めて減らすことにより、酸化物半導体膜の欠損を低減することが可能である。このため、不純物をできるだけ除去し、高純度化させたCAAC-OS膜である酸化物半導体膜をチャンネル領域とすることにより、トランジスタに対する光照射やBT試験前後でのしきい値電圧の変化量が少ないため、安定した電気的特性を有することができる。

【0174】

なお、CAAC-OS膜に含まれる粒界を低減させるためには、酸化物半導体膜の下地絶縁膜である、第1の酸化絶縁膜53及び第2の酸化絶縁膜55の表面の平坦性を良好にすることが好ましい。代表的には、第1の酸化絶縁膜53及び第2の酸化絶縁膜55の平均面粗さ(Ra)を、0.1nm以上0.5nm未満とすることが好ましい。なお、本明細書等において、平均面粗さ(Ra)とは、JISB0601:2001(ISO4287:1997)で定義されている中心線平均粗さ(Ra)を用いる。酸化物半導体膜に含まれる結晶は、下地絶縁膜の表面に概略垂直な方向に成長するため、下地絶縁膜の平坦性を高めることで、結晶の成長方向を略同一方向にすることが可能であり、この結果層状に結晶を配列させ、結晶粒界を低減することができる。

【0175】

(実施の形態5)

本実施の形態では、先の実施の形態に示す半導体装置の作製方法を用いて形成する半導体装置の一例として、記憶媒体（メモリ素子）を示す。特に、本実施の形態では、先の実施の形態に示した作製方法で作製した酸化物半導体を用いたトランジスタと、酸化物半導体以外の材料を用いたトランジスタとを同一基板に形成するメモリ素子について説明する。

【0176】

図7は、本実施の形態で説明するメモリ素子の構成の一例である。図7(A)には、メモリ素子の断面を、図7(B)には、メモリ素子の平面を、それぞれ示す。ここで、図7(A)は、図7(B)のC1-C2及びD1-D2における断面に相当する。また、図7(C)には、該メモリ素子の回路図を示す。なお、図7(B)には、明瞭化のために、後述する第1の酸化絶縁膜53及び後述する第2の酸化絶縁膜55を図示していない。

10

【0177】

図7(A)及び図7(B)に示されるメモリ素子は、下部に第1の半導体材料を用いたトランジスタ500を有し、上部に先の実施の形態で示したトランジスタ120を有する。本実施の形態では、第1の半導体材料を酸化物半導体以外の半導体材料とする。酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いるのが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、高速動作が容易である。一方で、トランジスタ120は、第2の半導体材料として酸化物半導体を用いている。つまり、トランジスタ120は、先の実施の形態に示したトランジスタを用いることができ、例えば、図1及び図5に示したトランジスタを用いることができる。このように酸化物半導体を用いたトランジスタはオフ電流が極めて小さいという特徴を有しており、その特性により長時間の電荷保持を可能とする。

20

【0178】

トランジスタ500のC1-C2(図7(B)参照。)における断面は、第1の半導体材料として適用可能な半導体材料を含む基板400に設けられたチャネル形成領域416と、チャネル形成領域416を挟むように設けられた不純物領域420と、不純物領域420に接する金属化合物領域424と、チャネル形成領域416上に設けられたゲート絶縁膜408と、ゲート絶縁膜408上に設けられたゲート電極410と、を有する。

【0179】

基板400は、上記した第1の半導体材料として適用可能な半導体材料を含む基板とすればよい。例えば、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することができる。また、SOI基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体膜が設けられた構成のものが含まれる。

30

【0180】

基板400上にはトランジスタ500を囲むように素子分離絶縁層406が設けられている(図7(A)及び図7(B)参照。)。なお、高集積化を実現するためには、図7に示すようにトランジスタ500がサイドウォール絶縁膜を有しない構成とすることが望ましい。一方で、トランジスタ500の特性を重視する場合には、ゲート電極410の側面にサイドウォール絶縁膜を設け、不純物領域420に不純物濃度が異なる領域を設けてもよい。

40

【0181】

第1の半導体材料を有するトランジスタ500は、高速動作が可能である。このため、トランジスタ500を読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。

【0182】

次に、トランジスタ500上に設けられるトランジスタ120について図7(A)を参照して説明する。上記したようにトランジスタ120には、先の実施の形態に示したトランジスタを適用することができることから、トランジスタ120を説明する際に、先の実施の形態で用いた符号と同じ符号を用いる。トランジスタ500上に第1の酸化絶縁膜53

50

及び第2の酸化絶縁膜55が設けられている。第1の酸化絶縁膜53及び第2の酸化絶縁膜55は、トランジスタ500とトランジスタ120との層間絶縁膜として機能するため、第1の酸化絶縁膜53及び第2の酸化絶縁膜55を合わせた厚さは、トランジスタ500とトランジスタ120との間に寄生容量が生じない程度の厚さにすることが好ましい。また、第1の酸化絶縁膜53、第2の酸化絶縁膜55及びトランジスタ500のゲート電極410は高い平坦性を有するように加工されている。そして、第1の酸化絶縁膜53及び第2の酸化絶縁膜55上に酸化物半導体膜63が接して設けられている。なお、第1の酸化絶縁膜53、第2の酸化絶縁膜55及び酸化物半導体膜63の詳細及び作製方法については、先の実施の形態の記載を参酌することができる。

【0183】

さらに、酸化物半導体膜63上にゲート絶縁膜59及びゲート電極61が接して設けられており、ゲート電極61を挟むようにしてサイドウォール絶縁膜65が設けられている。一对の電極67、69のうち、トランジスタ120のソース電極として機能する電極67は、酸化物半導体膜63、ゲート絶縁膜59及びサイドウォール絶縁膜65の一方、並びにトランジスタ500のゲート電極410と接して設けられている。また、トランジスタ120のドレイン電極として機能する電極69は、酸化物半導体膜63、ゲート絶縁膜59及びサイドウォール絶縁膜65の他方と接して設けられている。ゲート絶縁膜59、ゲート電極61、一对の電極67、69の詳細及び作製方法については、先の実施の形態の記載を参酌することができる。

【0184】

トランジスタ120のソース電極として機能する電極67はトランジスタ500のゲート電極410と接するように設けられるので、トランジスタ500とトランジスタ120は電氣的に接続されている。

【0185】

ここで、トランジスタ120に用いられている酸化物半導体膜63がCAAC-OS膜であるとする、酸化物半導体膜63は、酸素欠損などの欠陥や水素などの不純物が低減される。よって、酸化物半導体膜63は、可視光や紫外光などの照射に対しても電氣的に安定である。つまり、酸化物半導体膜63を有するトランジスタ120は、安定な電氣的特性を有しており、トランジスタ120を用いることによって、安定した電氣的特性を有する信頼性の高いメモリ素子を提供することができる。

【0186】

第2の酸化絶縁膜55、サイドウォール絶縁膜65、及び一对の電極67、69上に絶縁膜71が設けられており、トランジスタ120のソース電極として機能する電極67と重畳するように配線72が設けられている。このように、トランジスタ120のソース電極として機能する電極67、絶縁膜71及び配線72によって、容量素子520が構成されている。なお、容量が不要の場合は、容量素子520を設けない構成とすることも可能である。また、図7(A)のように配線72上に保護膜として、絶縁膜73を設けてもよい。絶縁膜71及び絶縁膜73の詳細については先の実施の形態の記載を参酌することができる。配線72は、トランジスタ120のゲート電極61、一对の電極67、69に適用できる材料を用いて導電膜を形成した後、当該導電膜を選択的にエッチングすることによって形成される。

【0187】

また、絶縁膜73上に、トランジスタ120及び容量素子520と後述する配線156との層間絶縁膜として機能する絶縁膜152が形成される。絶縁膜152は、スパッタ法をはじめとするPVD法やプラズマCVD法をはじめとするCVD法などを用いて形成することができる。また、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化アルミニウム、酸化ガリウム等の無機絶縁材料を含む材料を用いて形成することができる。

【0188】

絶縁膜152上に配線156が形成されている。配線156は、絶縁膜71、絶縁膜73、及び絶縁膜152に設けられた開口に形成された電極154を介してトランジスタ12

10

20

30

40

50

0のドレイン電極として機能する電極69と電氣的に接続されている。

【0189】

電極154は、例えば、開口を含む領域にスパッタ法をはじめとするPVD法やプラズマCVD法をはじめとするCVD法などを用いて導電膜を形成した後、エッチング処理やCMPといった方法を用いて、該導電膜の一部を除去することにより形成することができる。また、電極154は、トランジスタ120のゲート電極61、一对の電極67、69に適用できる材料を用いて形成することができる。

【0190】

配線156は、電極154と同様にPVD法やCVD法を用いて導電膜を形成した後、当該導電膜を選択的にエッチングすることによって形成される。また、配線156は、トランジスタ120のゲート電極61、一对の電極67、69に適用できる材料を用いて形成することができる。

10

【0191】

本実施の形態において示すメモリ素子は、トランジスタ500とトランジスタ120を重畳させていることで、メモリ素子におけるトランジスタの専有面積を拡大せずにトランジスタの集積度を高めることができる。該メモリ素子を用いることで、集積度の高いメモリ素子アレイなどの半導体装置を実現できる。

【0192】

図7(C)には、図7(A)及び図7(B)に示したメモリ素子の回路図を示す。図7(C)において、トランジスタ120のソース電極またはドレイン電極の一方と、容量素子520の電極の一方と、トランジスタ500のゲート電極と、は電氣的に接続されている。また、第1の配線(1st Line:ソース線とも呼ぶ)とトランジスタ500のソース電極とは、電氣的に接続され、第2の配線(2nd Line:ビット線とも呼ぶ)とトランジスタ500のドレイン電極とは、電氣的に接続されている。また、第3の配線(3rd Line:第1の信号線とも呼ぶ)とトランジスタ120のソース電極またはドレイン電極の他方とは、電氣的に接続され、第4の配線(4th Line:第2の信号線とも呼ぶ)と、トランジスタ120のゲート電極とは、電氣的に接続されている。そして、第5の配線(5th Line:ワード線とも呼ぶ)と、容量素子520の電極の他方は電氣的に接続されている。

20

【0193】

酸化物半導体を用いたトランジスタ120は、オフ電流が極めて小さいという特徴を有しているため、トランジスタ120をオフ状態とすることで、トランジスタ120のソース電極またはドレイン電極の一方と、容量素子520の電極の一方と、トランジスタ500のゲート電極とが電氣的に接続されたノード(以下、ノードFG)の電位を極めて長時間にわたって保持することが可能である。そして、容量素子520を有することにより、ノードFGに与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。

30

【0194】

半導体装置に情報を記憶させる場合(書き込み)は、まず、第4の配線の電位を、トランジスタ120がオン状態となる電位にして、トランジスタ120をオン状態とする。これにより、第3の配線の電位が、ノードFGに供給され、ノードFGに所定量の電荷が蓄積される。ここでは、異なる二つの電位レベルを与える電荷(以下、ロー(Low)レベル電荷、ハイ(High)レベル電荷という)のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ120がオフ状態となる電位にして、トランジスタ120をオフ状態とすることにより、ノードFGが浮遊状態となるため、ノードFGには所定の電荷が保持されたままの状態となる。以上のように、ノードFGに所定量の電荷を蓄積及び保持させることで、メモリ素子に情報を記憶させることができる。

40

【0195】

トランジスタ120のオフ電流は極めて小さいため、ノードFGに供給された電荷は長時間にわたって保持される。したがって、リフレッシュ動作が不要となるか、または、リフ

50

レッシュ動作の頻度を極めて低くすることが可能となり、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【0196】

記憶された情報を読み出す場合（読み出し）は、第1の配線に所定の電位（定電位）を与えた状態で、第5の配線に適切な電位（読み出し電位）を与えると、ノードFGに保持された電荷量に応じて、トランジスタ500は異なる状態をとる。一般に、トランジスタ500をnチャンネル型とすると、ノードFGにHighレベル電荷が保持されている場合のトランジスタ500の見かけのしきい値 V_{th_H} は、ノードFGにLowレベル電荷が保持されている場合のトランジスタ500の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値とは、トランジスタ500を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の中間の電位 V_0 とすることにより、ノードFGに保持された電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ500は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ500は「オフ状態」のままである。このため、第5の配線の電位を制御して、トランジスタ500のオン状態またはオフ状態を読み出す（第2の配線の電位を読み出す）ことで、記憶された情報を読み出すことができる。

10

【0197】

また、記憶させた情報を書き換える場合においては、上記の書き込みによって所定量の電荷を保持したノードFGに、新たな電位を供給することで、ノードFGに新たな情報に係る電荷を保持させる。具体的には、第4の配線の電位を、トランジスタ120がオン状態となる電位にして、トランジスタ120をオン状態とする。これにより、第3の配線の電位（新たな情報に係る電位）が、ノードFGに供給され、ノードFGに所定量の電荷が蓄積される。その後、第4の配線の電位をトランジスタ120がオフ状態となる電位にして、トランジスタ120をオフ状態とすることにより、ノードFGには、新たな情報に係る電荷が保持された状態となる。すなわち、ノードFGに第1の書き込みによって所定量の電荷が保持された状態で、第1の書き込みと同様の動作（第2の書き込み）を行うことで、記憶させた情報を上書きすることが可能である。

20

30

【0198】

本実施の形態で示すトランジスタ120は、高純度化された酸化物半導体膜63を用いることで、トランジスタ120のオフ電流を十分に低減することができる。さらに、平坦性の高い第1の酸化絶縁膜53及び第2の酸化絶縁膜55上に接して形成する酸化物半導体膜63は、高純度化されているだけでなく、c軸配向を有した結晶性を有することにより、安定した電気的特性が付与された信頼性の高いトランジスタ120を形成することができる。そして、このようなトランジスタ120を用いることで、極めて長期にわたり記憶内容を保持することが可能で、信頼性の高いメモリ素子が得られる。

【0199】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

40

【0200】

（実施の形態6）

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図8を用いて説明する。

【0201】

図8(A)及び図8(B)は、図7(A)乃至図7(C)に示したメモリ素子（以下、メモリセル550とも記載する。）を複数用いて形成される半導体装置の回路図である。図8(A)は、メモリセル550が直列に接続された、いわゆるNAND型の半導体装置の回路図であり、図8(B)は、メモリセル550が並列に接続された、いわゆるNOR型

50

の半導体装置の回路図である。

【0202】

図8(A)に示す半導体装置は、ソース線SL、ビット線BL、第1信号線S1、複数本の第2信号線S2、複数本のワード線WL、複数のメモリセル550を有する。図8(A)では、ソース線SL及びビット線BLを1本ずつ有する構成となっているが、これに限られることなく、ソース線SL及びビット線BLを複数本有する構成としてもよい。

【0203】

各メモリセル550において、トランジスタ500のゲート電極と、トランジスタ120のソース電極またはドレイン電極の一方と、容量素子520の電極の一方とは、電気的に接続されている。また、第1信号線S1とトランジスタ120のソース電極またはドレイン電極の他方とは、電気的に接続され、第2信号線S2と、トランジスタ120のゲート電極とは、電気的に接続されている。そして、ワード線WLと、容量素子520の電極の他方は電気的に接続されている。

10

【0204】

また、メモリセル550が有するトランジスタ500のソース電極は、隣接するメモリセル550のトランジスタ500のドレイン電極と電気的に接続され、メモリセル550が有するトランジスタ500のドレイン電極は、隣接するメモリセル550のトランジスタ500のソース電極と電気的に接続される。ただし、直列に接続された複数のメモリセルのうち、一方の端に設けられたメモリセル550が有するトランジスタ500のドレイン電極は、ビット線と電気的に接続される。また、直列に接続された複数のメモリセルのうち、他方の端に設けられたメモリセル550が有するトランジスタ500のソース電極は、ソース線と電気的に接続される。

20

【0205】

図8(A)に示す半導体装置では、行ごとの書き込み動作及び読み出し動作を行う。書き込み動作は次のように行われる。書き込みを行う行の第2の信号線S2にトランジスタ120がオン状態となる電位を与え、書き込みを行う行のトランジスタ120をオン状態にする。これにより、指定した行のトランジスタ500のゲート電極に第1の信号線S1の電位が与えられ、該ゲート電極に所定の電荷が与えられる。このようにして、指定した行のメモリセルにデータを書き込むことができる。

【0206】

また、読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線WLに、トランジスタ500のゲート電極に与えられた電荷によらず、トランジスタ500がオン状態となるような電位を与え、読み出しを行う行以外のトランジスタ500をオン状態とする。それから、読み出しを行う行のワード線WLに、トランジスタ500のゲート電極が有する電荷によって、トランジスタ500のオン状態またはオフ状態が選択されるような電位(読み出し電位)を与える。そして、ソース線SLに定電位を与え、ビット線BLに接続されている読み出し回路(図示しない)を動作状態とする。ここで、ソース線SL-ビット線BL間の複数のトランジスタ500は、読み出しを行う行を除いてオン状態となっているため、ソース線SL-ビット線BL間のコンダクタンスは、読み出しを行う行のトランジスタ500の状態(オン状態またはオフ状態)によって決定される。読み出しを行う行のトランジスタ500のゲート電極が有する電荷によって、トランジスタのコンダクタンスは異なるから、それに応じて、ビット線BLの電位は異なる値をとることになる。ビット線の電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

30

40

【0207】

図8(B)に示す半導体装置は、ソース線SL、ビット線BL、第1信号線S1、第2信号線S2、及びワード線WLをそれぞれ複数本有し、複数のメモリセル550を有する。各トランジスタ500のゲート電極と、トランジスタ120のソース電極またはドレイン電極の一方と、容量素子520の電極の一方とは、電気的に接続されている。また、ソース線SLとトランジスタ500のソース電極とは、電気的に接続され、ビット線BLとト

50

ランジスタ500のドレイン電極とは、電氣的に接続されている。また、第1信号線S1とトランジスタ120のソース電極またはドレイン電極の他方とは、電氣的に接続され、第2信号線S2と、トランジスタ120のゲート電極とは、電氣的に接続されている。そして、ワード線WLと、容量素子520の電極の他方は電氣的に接続されている。

【0208】

図8(B)に示す半導体装置では、行ごとの書き込み動作及び読み出し動作を行う。書き込み動作は、上述の図8(A)に示す半導体装置と同様の方法で行われる。読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線WLに、トランジスタ500のゲート電極に与えられた電荷によらず、トランジスタ500がオフ状態となるような電位を与え、読み出しを行う行以外のトランジスタ500をオフ状態とする。それから、読み出しを行う行のワード線WLに、トランジスタ500のゲート電極が有する電荷によって、トランジスタ500のオン状態またはオフ状態が選択されるような電位(読み出し電位)を与える。そして、ソース線SLに定電位を与え、ビット線BLに接続されている読み出し回路(図示しない)を動作状態とする。ここで、ソース線SL-ビット線BL間のコンダクタンスは、読み出しを行う行のトランジスタ500の状態(オン状態またはオフ状態)によって決定される。つまり、読み出しを行う行のトランジスタ500のゲート電極が有する電荷によって、ビット線BLの電位は異なる値をとることになる。ビット線の電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

10

【0209】

なお、上記においては、各メモリセル550に保持させる情報量を1ビットとしたが、本実施の形態に示す半導体装置の構成はこれに限られない。トランジスタ500のゲート電極に与える電位を3以上用意して、各メモリセル550が保持する情報量を増加させても良い。例えば、トランジスタ500のゲート電極にあたる電位を4種類とする場合には、各メモリセルに2ビットの情報を保持させることができる。

20

【0210】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0211】

(実施の形態7)

本実施の形態では、先の実施の形態に示すトランジスタを用いた半導体装置の例について、図9を参照して説明する。

30

【0212】

図9(A)には、いわゆるDRAM(Dynamic Random Access Memory)に相当する構成の半導体装置の一例を示す。図9(A)に示すメモリセルアレイ1120は、複数のメモリセル1130がマトリクス状に配列された構成を有している。また、メモリセルアレイ1120は、m本の第1の配線、及びn本の第2の配線を有する。なお、本実施の形態においては、第1の配線をビット線BLとよび、第2の配線をワード線WLとよぶ。

【0213】

メモリセル1130は、トランジスタ1131と、容量素子1132と、から構成されている。トランジスタ1131のゲート電極は、第1の配線(ワード線WL)と接続されている。また、トランジスタ1131のソース電極またはドレイン電極の一方は、第2の配線(ビット線BL)と接続されており、トランジスタ1131のソース電極またはドレイン電極の他方は、容量素子の電極の一方と接続されている。また、容量素子の電極の他方は容量線CLと接続され、一定の電位が与えられている。トランジスタ1131には、先の実施の形態に示すトランジスタが適用される。

40

【0214】

先の実施の形態で示したトランジスタは、高純度化され、真性化された酸化物半導体膜を用いており、当該トランジスタのオフ電流を十分に低減することができる。さらに、表面

50

粗さの低減された絶縁膜上に接して、結晶性を有する酸化物半導体膜を形成することにより、電気伝導度の安定した酸化物半導体膜を形成することができる。このような酸化物半導体膜をトランジスタに用いることにより、安定した電气的特性が付与された、信頼性の高いトランジスタとすることができる。そして、このようなトランジスタを用いることで、いわゆるDRAMとして認識されている図9(A)に示す半導体装置を実質的な不揮発性メモリとして使用することが可能になる。

【0215】

図9(B)には、いわゆるSRAM(Static Random Access Memory)に相当する構成の半導体装置の一例を示す。図9(B)に示すメモリセルレイ1140は、複数のメモリセル1150がマトリクス状に配列された構成とすることができる。また、メモリセルレイ1140は、第1の配線(ワード線WL)、第2の配線(ビット線BL)及び第3の配線(反転ビット線/BL)、電源線Vdd、及び接地電位線Vssを有する。

10

【0216】

メモリセル1150は、第1のトランジスタ1151、第2のトランジスタ1152、第3のトランジスタ1153、第4のトランジスタ1154、第5のトランジスタ1155、及び第6のトランジスタ1156を有している。第1のトランジスタ1151と第2のトランジスタ1152は、選択トランジスタとして機能する。また、第3のトランジスタ1153と第4のトランジスタ1154のうち、一方はnチャネル型トランジスタ(ここでは、第4のトランジスタ1154)であり、他方はpチャネル型トランジスタ(ここでは、第3のトランジスタ1153)である。つまり、第3のトランジスタ1153と第4のトランジスタ1154によってCMOS回路が構成されている。同様に、第5のトランジスタ1155と第6のトランジスタ1156によってCMOS回路が構成されている。

20

【0217】

第1のトランジスタ1151、第2のトランジスタ1152、第4のトランジスタ1154、第6のトランジスタ1156は、nチャネル型のトランジスタであり、先の実施の形態において示したトランジスタを適用することができる。第3のトランジスタ1153と第5のトランジスタ1155は、pチャネル型のトランジスタであり、酸化物半導体以外の材料(例えば、単結晶シリコンなど)をチャネル形成領域に用いる。

30

【0218】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0219】

(実施の形態8)

酸化物半導体をチャネル形成領域に用いたトランジスタを少なくとも一部に用いてCPU(Central Processing Unit)を構成することができる。

【0220】

図10(A)は、CPUの具体的な構成を示すブロック図である。図10(A)に示すCPUは、基板1190上に、演算回路(ALU:Arithmetic Logic Unit)1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース(Bus I/F)1198、書き換え可能なROM1199、及びROMインターフェース(ROM I/F)1189を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199及びROMインターフェース1189は、別チップに設けても良い。勿論、図10(A)に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。

40

【0221】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタ

50

ラプトコントローラ 1194、レジスタコントローラ 1197、タイミングコントローラ 1195 に入力される。

【0222】

ALUコントローラ 1192、インタラプトコントローラ 1194、レジスタコントローラ 1197、タイミングコントローラ 1195 は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ 1192 は、ALU 1191 の動作を制御するための信号を生成する。また、インタラプトコントローラ 1194 は、CPU のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ 1197 は、レジスタ 1196 のアドレスを生成し、CPU の状態に応じてレジスタ 1196 の読み出しや書き込みを行なう。

10

【0223】

また、タイミングコントローラ 1195 は、ALU 1191、ALUコントローラ 1192、インストラクションデコーダ 1193、インタラプトコントローラ 1194、及びレジスタコントローラ 1197 の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ 1195 は、基準クロック信号 CLK 1 を元に、内部クロック信号 CLK 2 を生成する内部クロック生成部を備えており、内部クロック信号 CLK 2 を上記各種回路に供給する。

【0224】

図 10 (A) に示す CPU では、レジスタ 1196 に、記憶素子が設けられている。レジスタ 1196 の記憶素子には、実施の形態 5 乃至実施の形態 7 に記載されている記憶素子を用いることができる。

20

【0225】

図 10 (A) に示す CPU において、レジスタコントローラ 1197 は、ALU 1191 からの指示に従い、レジスタ 1196 における保持動作の選択を行う。すなわち、レジスタ 1196 が有する記憶素子において、位相反転素子によるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。位相反転素子によるデータの保持が選択されている場合、レジスタ 1196 内の記憶素子への、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ 1196 内の記憶素子への電源電圧の供給を停止することができる。

【0226】

電源停止に関しては、図 10 (B) または図 10 (C) に示すように、記憶素子群と、電源電位 VDD または電源電位 VSS の与えられているノード間に、スイッチング素子をつけることにより行うことができる。以下に図 10 (B) 及び図 10 (C) の回路の説明を行う。

30

【0227】

図 10 (B) 及び図 10 (C) では、記憶素子への電源電位の供給を制御するスイッチング素子に、酸化物半導体をチャネル形成領域に用いたトランジスタを含む記憶回路の構成の一例を示す。

【0228】

図 10 (B) に示す記憶装置は、スイッチング素子 1141 と、記憶素子 1142 を複数有する記憶素子群 1143 とを有している。具体的に、各記憶素子 1142 には、実施の形態 5 乃至実施の形態 7 に記載されている記憶素子を用いることができる。記憶素子群 1143 が有する各記憶素子 1142 には、スイッチング素子 1141 を介して、ハイレベルの電源電位 VDD が供給されている。さらに、記憶素子群 1143 が有する各記憶素子 1142 には、信号 IN の電位と、ローレベルの電源電位 VSS の電位が与えられている。

40

【0229】

図 10 (B) では、スイッチング素子 1141 として、酸化物半導体をチャネル形成領域に有するトランジスタを用いており、該トランジスタは、そのゲート電極に与えられる信号 Sig A によりスイッチングが制御される。

50

【0230】

なお、図10(B)では、スイッチング素子1141がトランジスタを一つだけ有する構成を示しているが、特に限定されず、トランジスタを複数有していても良い。スイッチング素子1141が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わされて接続されていても良い。

【0231】

また、図10(B)では、スイッチング素子1141により、記憶素子群1143が有する各記憶素子1142への、ハイレベルの電源電位VDDの供給が制御されているが、スイッチング素子1141により、ローレベルの電源電位VSSの供給が制御されていても良い。

10

【0232】

また、図10(C)には、記憶素子群1143が有する各記憶素子1142に、スイッチング素子1141を介して、ローレベルの電源電位VSSが供給されている、記憶装置の一例を示す。スイッチング素子1141により、記憶素子群1143が有する各記憶素子1142への、ローレベルの電源電位VSSの供給を制御することができる。

【0233】

記憶素子群と、電源電位VDDまたは電源電位VSSの与えられているノード間に、スイッチング素子を設け、一時的にCPUの動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。具体的には、例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、CPUの動作を停止することができ、それにより消費電力を低減することができる。

20

【0234】

ここでは、CPUを例に挙げて説明したが、DSP(Digital Signal Processor)、カスタムLSI、FPGA(Field Programmable Gate Array)等のLSIにも応用可能である。

【0235】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

30

【0236】

(実施の形態9)

本実施の形態では、同一基板上に少なくとも駆動回路の一部と、画素部に配置するトランジスタを作製する例について以下に説明する。

【0237】

画素部に配置するトランジスタは、先の実施の形態に示した方法に従って形成する。また、当該トランジスタはnチャンネル型とすることが容易なので、駆動回路のうち、nチャンネル型TFTで構成することができる駆動回路の一部を画素部のトランジスタと同一基板上に形成することができる。このように、画素部や駆動回路に先の実施の形態に示すトランジスタを用いることにより、信頼性の高い表示装置を提供することができる。

40

【0238】

アクティブマトリクス型表示装置の一例を図11(A)に示す。表示装置の基板600上には、画素部601、第1の走査線駆動回路602、第2の走査線駆動回路603、信号線駆動回路604を有する。画素部601には、複数の信号線が信号線駆動回路604から延伸して配置され、複数の走査線が第1の走査線駆動回路602、及び第2の走査線駆動回路603から延伸して配置されている。なお、走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に設けられている。また、表示装置の基板600はFPC(Flexible Printed Circuit)等の接続部を介して、タイミング制御回路(コントローラ、制御ICともいう)に接続されている。

【0239】

50

図11(A)では、第1の走査線駆動回路602、第2の走査線駆動回路603、信号線駆動回路604は、画素部601と同じ基板600上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板600外部に駆動回路を設けた場合、配線を延伸させる必要が生じ、配線間の接続数が増える。同じ基板600上に駆動回路を設けた場合、その配線間の接続数を減らすことができ、信頼性の向上、または歩留まりの向上を図ることができる。

【0240】

また、画素部の回路構成の一例を図11(B)に示す。ここでは、VA型液晶表示パネルの画素構造を示す。

【0241】

この画素構造は、一つの画素に複数の画素電極が有り、それぞれの画素電極にトランジスタが接続されている。各TFTは、異なるゲート信号で駆動されるように構成されている。すなわち、マルチドメイン設計された画素において、個々の画素電極に印加する信号を、独立して制御する構成を有している。

【0242】

トランジスタ616のゲート配線612と、トランジスタ617のゲート配線613には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能するソース電極またはドレイン電極614は、トランジスタ616とトランジスタ617で共通に用いられている。トランジスタ616とトランジスタ617は先の実施の形態に示すトランジスタを適宜用いることができる。これにより、信頼性の高い液晶表示パネルを提供することができる。

【0243】

トランジスタ616と電氣的に接続する第1の画素電極と、トランジスタ617と電氣的に接続する第2の画素電極の形状は異なっており、スリットによって分離されている。V字型に広がる第1の画素電極の外側を囲むように第2の画素電極が形成されている。第1の画素電極と第2の画素電極に印加する電圧のタイミングを、トランジスタ616及びトランジスタ617により異ならせることで、液晶の配向を制御している。トランジスタ616はゲート配線612と接続し、トランジスタ617はゲート配線613と接続している。ゲート配線612とゲート配線613は異なるゲート信号を与えることで、トランジスタ616とトランジスタ617の動作タイミングを異ならせることができる。

【0244】

また、容量配線610と、誘電体として機能するゲート絶縁膜と、第1の画素電極または第2の画素電極と電氣的に接続する容量電極とで保持容量を形成する。

【0245】

第1の画素電極と液晶層と対向電極が重なり合うことで、第1の液晶素子618が形成されている。また、第2の画素電極と液晶層と対向電極が重なり合うことで、第2の液晶素子619が形成されている。また、一画素に第1の液晶素子618と第2の液晶素子619が設けられたマルチドメイン構造である。

【0246】

なお、図11(B)に示す画素構成は、これに限定されない。例えば、図11(B)に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ、センサ、または論理回路などを追加してもよい。

【0247】

また、画素部の回路構成の一例を図11(C)に示す。ここでは、有機EL素子を用いた表示パネルの画素構造を示す。

【0248】

有機EL素子は、発光素子に電圧を印加することにより、一对の電極から電子及び正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア(電子及び正孔)が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発

10

20

30

40

50

光素子は、電流励起型の発光素子と呼ばれる。

【 0 2 4 9 】

図 1 1 (C) は、半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【 0 2 5 0 】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体層をチャンネル形成領域に用いる n チャンネル型のトランジスタを 1 つの画素に 2 つ用いる例を示す。

【 0 2 5 1 】

画素 6 2 0 は、スイッチング用トランジスタ 6 2 1、駆動用トランジスタ 6 2 2、発光素子 6 2 4 及び容量素子 6 2 3 を有している。スイッチング用トランジスタ 6 2 1 は、ゲート電極が走査線 6 2 6 に接続され、第 1 電極 (ソース電極及びドレイン電極の一方) が信号線 6 2 5 に接続され、第 2 電極 (ソース電極及びドレイン電極の他方) が駆動用トランジスタ 6 2 2 のゲート電極に接続されている。駆動用トランジスタ 6 2 2 は、ゲート電極が容量素子 6 2 3 を介して電源線 6 2 7 に接続され、第 1 電極が電源線 6 2 7 に接続され、第 2 電極が発光素子 6 2 4 の第 1 電極 (画素電極) に接続されている。発光素子 6 2 4 の第 2 電極は共通電極 6 2 8 に相当する。共通電極 6 2 8 は、同一基板上に形成される共通電位線と電氣的に接続される。

【 0 2 5 2 】

スイッチング用トランジスタ 6 2 1 及び駆動用トランジスタ 6 2 2 は先の実施の形態に示すトランジスタを適宜用いることができる。これにより、信頼性の高い有機 E L 素子を用いた表示パネルを提供することができる。

【 0 2 5 3 】

なお、発光素子 6 2 4 の第 2 電極 (共通電極 6 2 8) には低電源電位が設定されている。なお、低電源電位とは、電源線 6 2 7 に設定される高電源電位を基準にして低電源電位 < 高電源電位を満たす電位であり、低電源電位としては例えば G N D、0 V などが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子 6 2 4 に印加して、発光素子 6 2 4 に電流を流して発光素子 6 2 4 を発光させるため、高電源電位と低電源電位との電位差が発光素子 6 2 4 の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

【 0 2 5 4 】

なお、容量素子 6 2 3 は駆動用トランジスタ 6 2 2 のゲート容量を代用して省略することも可能である。駆動用トランジスタ 6 2 2 のゲート容量については、チャンネル形成領域とゲート電極との間で容量が形成されていてもよい。

【 0 2 5 5 】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ 6 2 2 のゲート電極には、駆動用トランジスタ 6 2 2 が十分なオン状態またはオフ状態の二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ 6 2 2 は線形領域で動作させる。駆動用トランジスタ 6 2 2 は線形領域で動作させるため、電源線 6 2 7 の電圧よりも高い電圧を駆動用トランジスタ 6 2 2 のゲート電極にかける。なお、信号線 6 2 5 には、(電源線電圧 + 駆動用トランジスタ 6 2 2 の V_{th}) 以上の電圧をかける。

【 0 2 5 6 】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図 1 1 (C) と同じ画素構成を用いることができる。

【 0 2 5 7 】

アナログ階調駆動を行う場合、駆動用トランジスタ 6 2 2 のゲート電極に発光素子 6 2 4 の順方向電圧 + 駆動用トランジスタ 6 2 2 の V_{th} 以上の電圧をかける。発光素子 6 2 4 の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、駆動用トランジスタ 6 2 2 が飽和領域で動作するようなビデオ信号を入力することで、発光素子 6 2 4 に電流を流すことができる。駆動用トランジスタ 6 2

10

20

30

40

50

2を飽和領域で動作させるため、電源線627の電位は、駆動用トランジスタ622のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子624にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【0258】

なお、図11(C)に示す画素構成は、これに限定されない。例えば、図11(C)に示す画素に新たにスイッチ、抵抗素子、容量素子、センサ、トランジスタまたは論理回路などを追加してもよい。

【0259】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

10

【0260】

(実施の形態10)

本明細書に開示する半導体装置は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ等のカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。上記実施の形態で説明した半導体装置を具備する電子機器の例について説明する。

【0261】

図12(A)は、携帯型の情報端末であり、本体1001、筐体1002、表示部1003a、1003bなどによって構成されている。表示部1003bはタッチパネルとなっており、表示部1003bに表示されるキーボードボタン1004を触れることで画面操作や、文字入力を行うことができる。勿論、表示部1003aをタッチパネルとして構成してもよい。先の実施の形態で示したトランジスタをスイッチング素子として液晶パネルや有機発光パネルを作製して表示部1003a、1003bに適用することにより、携帯型の情報端末の表示部の信頼性を向上させることができる。

20

【0262】

図12(A)に示す携帯型の情報端末は、様々な情報(静止画、動画、テキスト画像など)を表示する機能、カレンダー、日付または時刻などを表示部に表示する機能、表示部に表示した情報を操作または編集する機能、様々なソフトウェア(プログラム)によって処理を制御する機能、等を有することができる。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子など)、記録媒体挿入部などを備える構成としてもよい。

30

【0263】

また、図12(A)に示す携帯型の情報端末は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0264】

図12(B)は、携帯音楽プレイヤーであり、本体1021には表示部1023と、耳に装着するための固定部1022と、スピーカ、操作ボタン1024、外部メモリスロット1025等が設けられている。先の実施の形態で示したトランジスタをスイッチング素子として液晶パネルや有機発光パネルを作製して表示部1023に適用することにより、携帯音楽プレイヤーの表示部の信頼性を向上させることができる。

40

【0265】

さらに、図12(B)に示す携帯音楽プレイヤーにアンテナやマイク機能や無線機能を持たせ、携帯電話と連携させれば、乗用車などを運転しながらワイヤレスによるハンズフリーでの会話も可能である。

【0266】

図12(C)は、携帯電話であり、筐体1030及び筐体1031の二つの筐体で構成されている。筐体1031には、表示パネル1032、スピーカ1033、マイクロフォン

50

1034、ポインティングデバイス1036、カメラ用レンズ1037、外部接続端子1038などを備えている。また、筐体1030には、携帯電話の充電を行う太陽電池セル1040、外部メモリスロット1041などを備えている。また、アンテナは筐体1031内部に内蔵されている。先の実施の形態で示したトランジスタを表示パネル1032に適用することにより、携帯電話の表示部の信頼性を向上させることができる。

【0267】

また、表示パネル1032はタッチパネルを備えており、図12(C)には映像表示されている複数の操作キー1035を点線で示している。なお、太陽電池セル1040で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路も実装している。

【0268】

表示パネル1032は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル1032と同一面上にカメラ用レンズ1037を備えているため、テレビ電話が可能である。スピーカ1033及びマイクロフォン1034は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体1030と筐体1031は、スライドし、図12(C)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

【0269】

外部接続端子1038はACアダプタ及びUSBケーブルなどの各種ケーブルと接続可能であり、充電及びパーソナルコンピュータなどとのデータ通信が可能である。また、外部メモリスロット1041に記録媒体を挿入し、より大量のデータ保存及び移動に対応できる。

【0270】

また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【0271】

図12(D)は、テレビジョン装置の一例を示している。テレビジョン装置1050は、筐体1051に表示部1053が組み込まれている。表示部1053により、映像を表示することが可能である。また、ここでは、CPUを内蔵したスタンド1055により筐体1051を支持した構成を示している。先の実施の形態で示したトランジスタを表示部1053に適用することにより、テレビジョン装置1050の表示部の信頼性を向上させることができる。

【0272】

テレビジョン装置1050の操作は、筐体1051が備える操作スイッチや、別体のリモコン操作機により行うことができる。また、リモコン操作機に、当該リモコン操作機から出力する情報を表示する表示部を設ける構成としてもよい。

【0273】

なお、テレビジョン装置1050は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向(送信者から受信者)または双方向(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことも可能である。

【0274】

また、テレビジョン装置1050は、外部接続端子1054や、記憶媒体再生録画部1052、外部メモリスロットを備えている。外部接続端子1054は、USBケーブルなどの各種ケーブルと接続可能であり、パーソナルコンピュータなどとのデータ通信が可能である。記憶媒体再生録画部1052では、ディスク状の記録媒体を挿入し、記録媒体に記憶されているデータの読み出し、記録媒体への書き込みが可能である。また、外部メモリスロットに差し込まれた外部メモリ1056にデータ保存されている画像や映像などを表示部1053に映し出すことも可能である。

【0275】

また、先の実施の形態で示した記憶装置を外部メモリ1056やCPUに適用することに

10

20

30

40

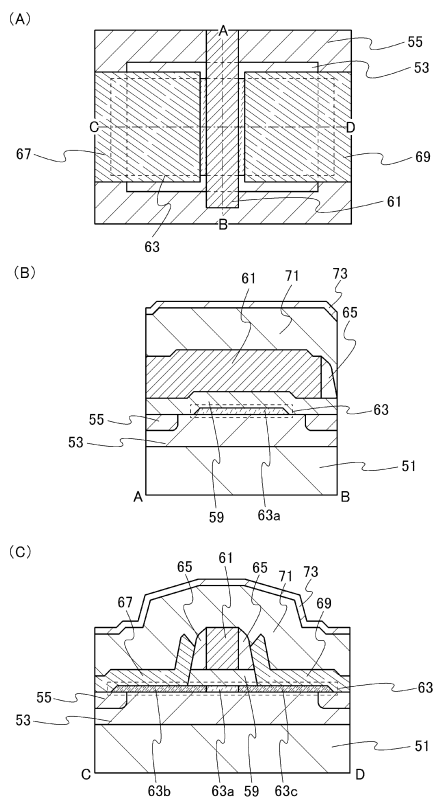
50

より、消費電力が十分に低減された信頼性の高いテレビジョン装置 1050 とすることができる。

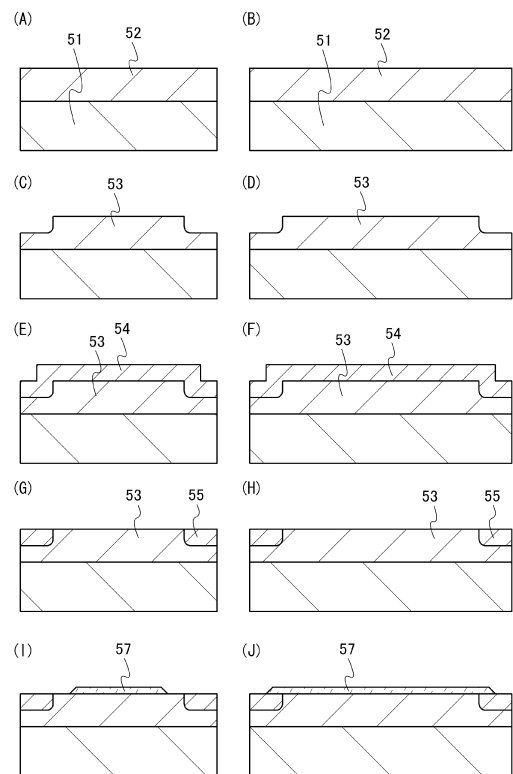
【0276】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

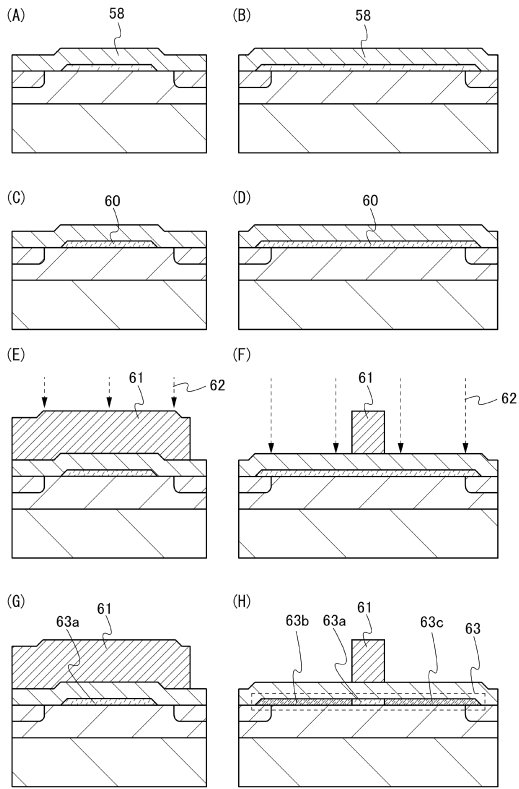
【図1】



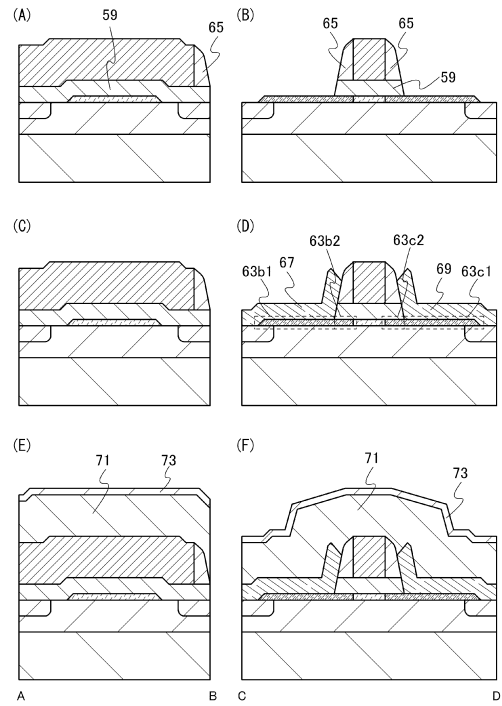
【図2】



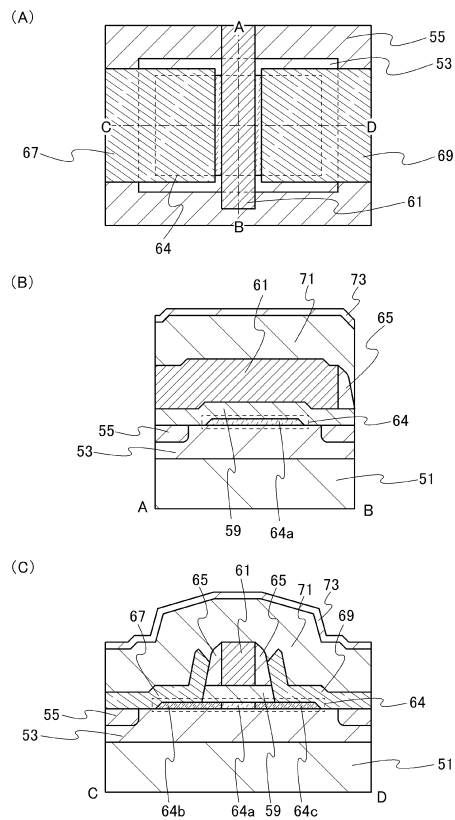
【図3】



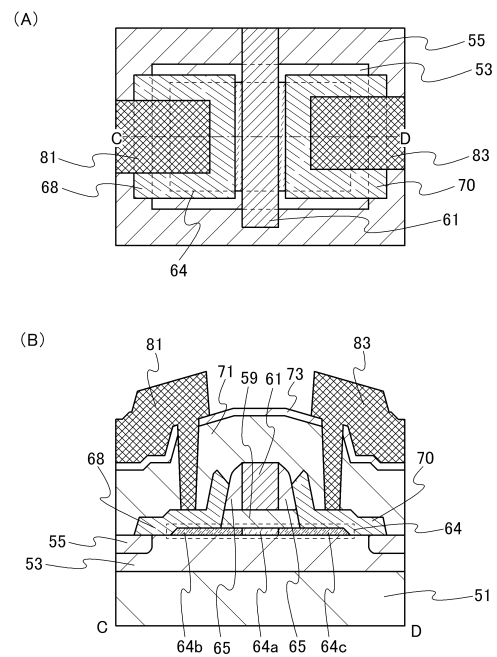
【図4】



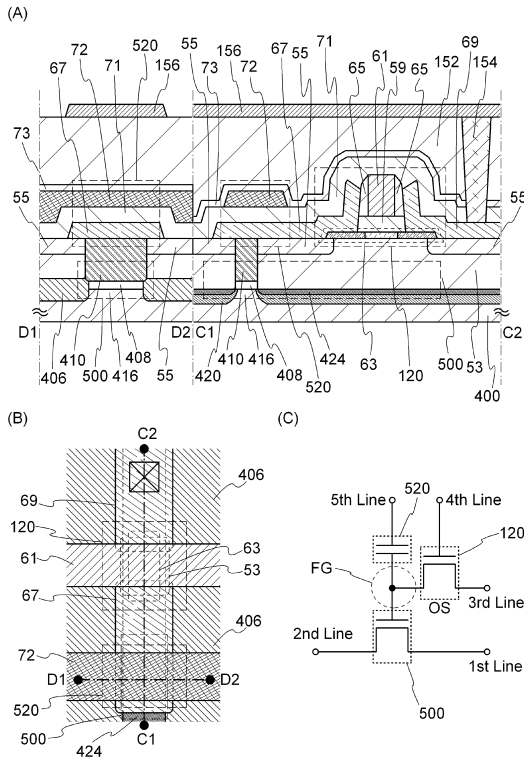
【図5】



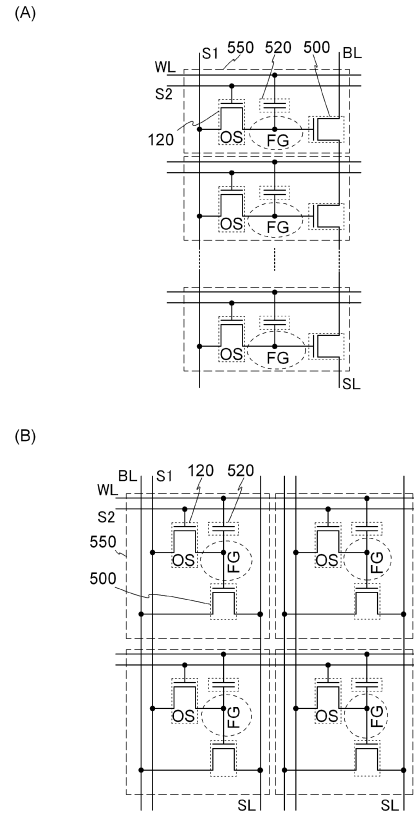
【図6】



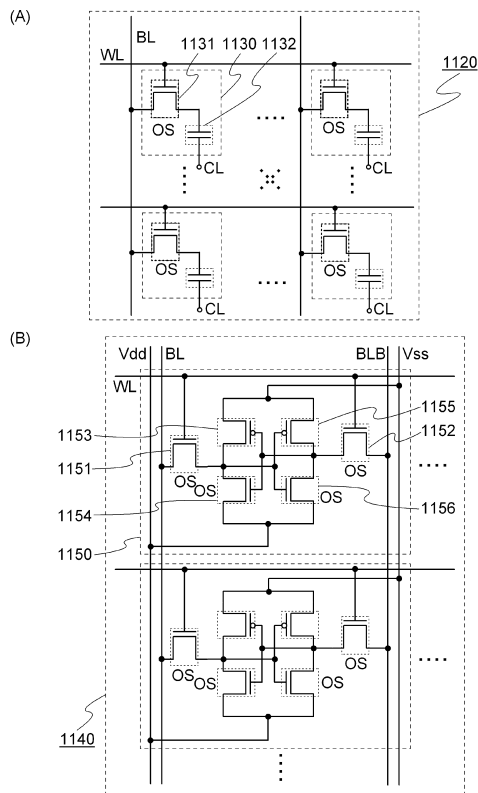
【図 7】



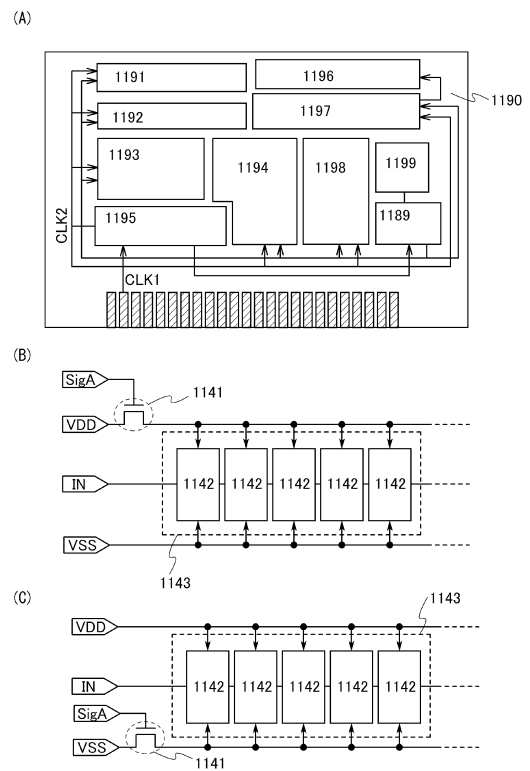
【図 8】



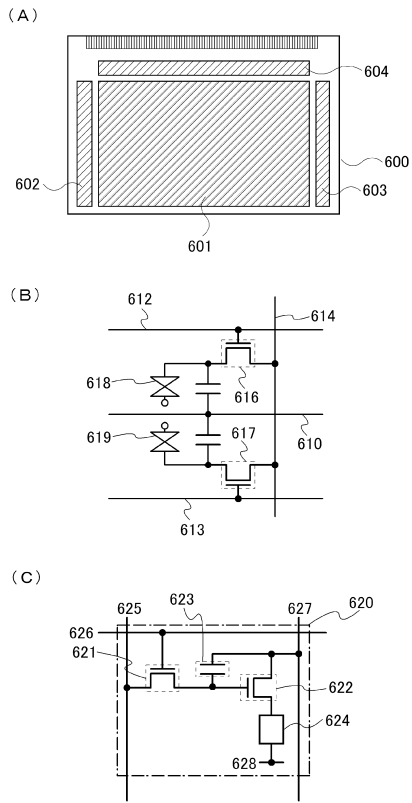
【図 9】



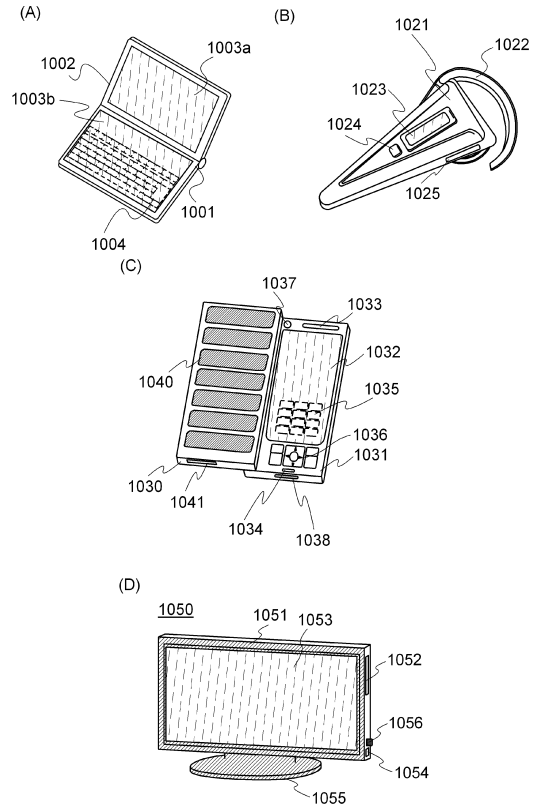
【図 10】



【 1 1 】



【 1 2 】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	29/788 (2006.01)	H 0 1 L	29/78	6 1 6 L
H 0 1 L	29/792 (2006.01)	H 0 1 L	27/10	4 9 5
H 0 1 L	21/8247 (2006.01)	H 0 1 L	27/10	3 2 1
H 0 1 L	27/115 (2006.01)	H 0 1 L	29/78	3 7 1
H 0 1 L	27/105 (2006.01)	H 0 1 L	27/10	4 3 4
H 0 1 L	21/8244 (2006.01)	H 0 1 L	27/10	4 4 1
H 0 1 L	27/11 (2006.01)	H 0 1 L	27/10	6 2 1 Z
		H 0 1 L	27/10	6 7 1 C
		H 0 1 L	27/10	6 7 1 Z
		H 0 1 L	27/10	3 8 1

- (56)参考文献 特開2009 - 278115 (JP, A)
 米国特許出願公開第2009 / 0283763 (US, A1)
 特開2008 - 042088 (JP, A)
 特開2007 - 115735 (JP, A)
 特開2008 - 294408 (JP, A)
 特開2010 - 073894 (JP, A)
 特開2005 - 116977 (JP, A)
 特開2011 - 054957 (JP, A)
 特開2010 - 062549 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 9 / 7 8 6