

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2016年3月17日(17.03.2016)



(10) 国際公開番号  
WO 2016/038673 A1

- (51) 国際特許分類:  
G06F 12/16 (2006.01)
- (21) 国際出願番号: PCT/JP2014/073760
- (22) 国際出願日: 2014年9月9日(09.09.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒1008280 東京都千代田区丸の内一丁目6番6号 Tokyo (JP).
- (72) 発明者: 松村 忠幸 (MATSUMURA, Tadayuki); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 田中 剛 (TANAKA, Tsuyoshi); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP).
- (74) 代理人: 特許業務法人藤央特許事務所 (TOU-OU PATENT FIRM); 〒1050001 東京都港区虎ノ門一丁目1番4号アーバン虎ノ門ビル Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

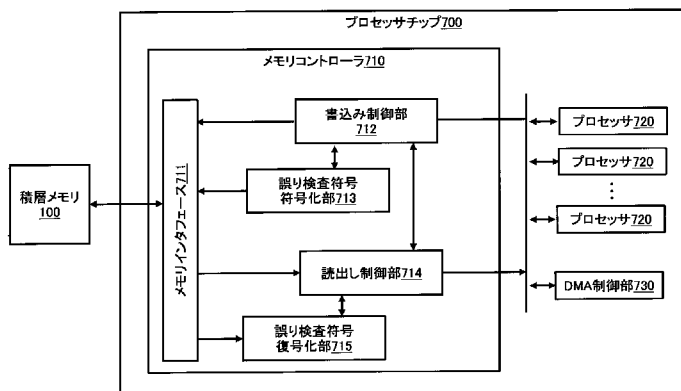
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロアジア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: ERROR CORRECTION DEVICE, ERROR CORRECTION METHOD, AND ERROR CORRECTION SYSTEM

(54) 発明の名称: 誤り訂正装置、誤り訂正方法、及び誤り訂正システム



- 100 Stacked memory
- 700 Processor chip
- 710 Memory controller
- 711 Memory interface
- 712 Write control unit
- 713 Error check code encoding unit
- 714 Read control unit
- 715 Error check code decoding unit
- 720 Processor
- 730 DMA control unit

(57) Abstract: This error correction device reads, from a memory device, first data which has been encoded by an encoding process using a product code including a code of a first type and a code of a second type, and in which the length of the data overlap between a codeword of the first type that has been encoded using the code of the first type and a codeword of the second type that has been encoded using the code of the second type is equal to or less than the byte length of the code of the second type. The error correction device then performs decoding on the first data using the code of the second type, and if an uncorrectable error is detected in a first codeword of the second type, the error correction device sets an error flag, performs decoding, using the code of the first type, on the first data on which the decoding using the code of the second type has been performed, and corrects an error in a first byte of the first codeword of the second type on the basis of the error flag using a first codeword of the first type that includes the first byte of the first codeword of the second type and that consists of a plurality of bytes, each stored in a different memory unit in the memory device.

(57) 要約:

[続葉有]



WO 2016/038673 A1



---

誤り訂正装置は、第1種符号と第2種符号との積符号における符号処理により符号化され、第1種符号により符号化された任意の第1種符号語と、第2種符号により符号化された任意の第2種符号語との重複するデータ長は第2種符号におけるバイト長以下である、第1データをメモリ装置から読み出し、第1データに対して、第2種符号における復号処理を行い、第1の第2種符号語において訂正不能な誤りを検出した場合、エラーフラグをセットし、当該復号処理が行われた第1データに対して、第1種符号における復号処理を行い、第1の第2種符号語に含まれる第1のバイトを含み、メモリ装置内の異なるメモリユニットそれぞれに格納されるバイトからなる第1の第1種符号語において、エラーフラグに基づき第1のバイトにおけるエラーを訂正する。

## 明 細 書

発明の名称：

誤り訂正装置、誤り訂正方法、及び誤り訂正システム

### 技術分野

[0001] 本発明は、誤り訂正装置、誤り訂正方法、及び誤り訂正システムに関する。

### 背景技術

[0002] 図1は、8層8チャネルの積層メモリの構成例を示す。近年、メモリバンド幅の更なる広帯域化を目的に、図1のように複数のメモリチップ110同士をTSV（シリコン貫通ビア）140などにより接続する積層メモリ100が普及し始めている。例えば、JEDECが仕様を定めるHBM（High Bandwidth Memory）や、HMCコンソーシアムが仕様を定めるHMC（Hybrid Memory Cube）は、従来のDDR3メモリよりも広帯域を実現可能な積層メモリとして普及が期待されている。

[0003] 積層メモリ100はメモリチップ110だけでなく、図1のようにさらに制御用チップ120を含んでもよい。積層メモリ100と外部とのインターフェースを、チャンネル130と呼ぶ。積層メモリ100には複数のチャンネル130を含む構成も可能であり、図1は、8つのメモリチップ110と1つの制御チップ120を含む積層メモリ100に、8つのチャンネル130が搭載される例を示す。

[0004] 一方、HPC（High Performance Computing）分野やデータセンタなど、多数のメモリを搭載する大規模計算機システムでは、メモリの故障発生が無視できない頻度で発生するため、当該システムの高信頼性が要求される用途では、メモリの耐故障技術が必須となっている。

[0005] メモリの故障には、以下の2種類の故障が存在する。第1種の故障は、例

例えば中性子や $\alpha$ 線がメモリチップに衝突および通過する事によりメモリ内のデータが一時的に破壊される過渡故障である。第2種の故障は、例えば回路の摩耗などによって回路が所望の機能を満たせなくなり、故障発生後は永続的にデータが壊され続ける永続故障である。過渡故障は、ソフトエラーとも呼ばれる。

[0006] 多くの場合において、ソフトエラーにより誤りとなるビットは1ビットである。そのため、データに対して冗長に検査用のビットを付与し、データ内の任意の1ビットエラーを検出および訂正する事が可能な誤り検出、訂正符号を用いたソフトエラー対策がこれまで行われてきた。誤り訂正符号と誤り検出符号とを併せて、誤り制御符号と呼ぶ。

[0007] 例えば、64ビットのデータに8ビットの検査ビットを付与することで、データおよび検査ビットの合計72ビット内の任意の1ビットで発生する誤りを検出および訂正し、同時に72ビット内の任意の2ビットで発生する誤りを検出することが可能な(72, 64) 1ビット誤り訂正-2ビット誤り検出符号 (SEC-DED符号: Single Error Correction-Double Error Detection Code) が広く知られている。

[0008] 図2は、HBMのチャネルフォーマットの例を示す。HBMの仕様では、メモリへのインターフェースであるチャネルは、128ビットのデータビット210に対して16ビットの検査ビット220が付与可能な構成となっている。図3は、HMCのチャネルフォーマットの例を示す。HMCは、32ビットのデータビット310と4ビットの検査ビット320との組を4組含み、合計128ビットのデータビットと合計16ビットの検査ビットとを組合せた構成となっている。よって、HBM、HMCの双方の例において、128ビットのデータビットと16ビットの検査ビットを、64ビットのデータと8ビットの検査ビットとの組が2組あると考えることで、ソフトエラーに関しては従来と同様の方式の適用が可能である。

[0009] 一方、永続故障はソフトエラーと異なり、多くの場合は複数のビットが同

時に故障する。例えば、行アドレスデコーダの一部が故障した場合、当該故障した行へのメモリアクセスに対して読み書きされる一塊のデータが誤る可能性がある。そのため、永続故障対策技術として、一塊の複数ビットが同時に誤る場合にも、誤りの検出、訂正が可能なバイト誤り検出、訂正符号が用いられている。ここで、バイトとは、連続する複数のビットからなる単位であり、バイトを構成するビット数をバイト長と呼ぶ。

[0010] 図4は、x4 DIMMの構成例を示す。例えば、DIMM400 (Dual Inline Memory Module) は、図4のようにDIMM400に搭載される複数の各メモリチップ410からの出力ビットを組合せて、所望のデータ幅を構成する。しかし、行アドレスデコーダの故障や電源回路の故障などによりメモリチップ410全体にわたる影響の故障が発生した場合、当該の故障メモリチップから出力される複数のビットが故障する。

[0011] 例えば、図4のように各メモリチップ410から4ビットを出力するDIMM400 (x4-DIMM) は、16個のメモリチップ410からの出力ビットを纏めることで64ビットのデータを構成する。この場合、メモリチップ410の故障が発生すると、64ビットのデータのうち、当該故障メモリチップから出力される4ビットの塊が誤ることになる。

[0012] よって、メモリチップ故障の永続故障に対してはこれらバイト誤りを検出、訂正可能なバイト誤り制御正符号が適用される。例えば、バイト長4の誤りにおいては、128ビットのデータに対して16ビットの検査ビットを付与することで、データと検査ビットの合計144ビット中の任意の1バイト誤りを訂正し、任意の2バイトの誤りを検出可能な1バイト誤り訂正-2バイト誤り検出符号 (SECDED符号: Single 4bit Error Correction - Double 4bit Error Detection Code) が知られている。

[0013] また、誤り制御符号として以下のものが知られている。特許文献1には、2つの符号を組合せて適用する事で、各符号をそれぞれ独立に適用する場合

よりも誤り制御能力の高い符合を構成する、クロスインターリーブドソ  
ロモン符号（C I R C）が記載されている。また、非特許文献1には、S E  
C - D E D符合と同等の誤り制御能力を有し、かつ、バイト長bビットのバ  
イト誤りを検出可能な、S E C - D E D - S b E D符合の具体的な構成方法  
が記載されている。

## 先行技術文献

### 特許文献

[0014] 特許文献1：米国特許第4 4 1 3 3 4 0号明細書

### 非特許文献

[0015] 非特許文献1：L a r r y A. D u n n i n g, "S E C - B E D - D  
E D C o d e s f o r E r r o r C o n t r o l i n B y t e  
- O r g a n i z e d M e m o r y S y s t e m s, " I E E E T r  
a n s a c t i o n s o n c o m p u t e r s, V o l. c - 3 4  
, N o. 6, J u n e 1 9 8 5.

## 発明の概要

### 発明が解決しようとする課題

[0016] 例えば、H P C分野やデータセンタなどの高信頼用途分野で使用される積  
層メモリ1 0 0において、メモリユニット又はチャネルの永続故障対策を適  
用されることが望ましい。しかし、H B MやH M Cなどの積層メモリ1 0 0  
は、T S V 1 4 0により複数のメモリチップ1 1 0が積層したモジュールと  
して提供され、計算機システム設計者が別途検査ビットを出力するためのメ  
モリチップを追加することはできない。

[0017] また、積層メモリ1 0 0とのインターフェースであるチャネル1 3 0内の  
データビット及び検査ビットのビット幅は仕様により予め規定されており、  
計算機システム設計者はチャネル内の検査ビットを増やすことはできない。  
そのため、H B MやH M Cなどの積層メモリ1 0 0において、メモリユニッ  
ト又はチャネルの永続故障対策として誤り制御符号を適用する場合には、予

め仕様で定められた検査ビット数で構成可能な符号しか適用することができない。

[0018] 一方、各チャンネル130が各メモリチップ110に内蔵される場合、例えば、メモリユニットの一例であるメモリチップ110の永続故障発生時には、当該メモリチップ110に対応するチャンネルから出力されるデータ128ビットと、検査ビット16ビットの合計144ビットの全てが故障となる。つまり、この場合、従来のDIMM400よりも長いバイト長の誤りを扱う必要がある。長いバイト長の誤り検出、制御にはより多くの検査ビットが必要となる。従って、従来のDIMMにおける永続故障対策技術、特許文献1に記載のクロスインターリーブリードソロモン符号、及び非特許文献1に記載のSEC-DED-SbED符合等を適用することはできない。

[0019] 以上のように、メモリ装置におけるメモリユニット又はチャンネルの永続故障に対する耐故障技術実現には、以下の課題がある。第1の課題は各メモリユニットから出力されるデータビット、及び検査ビットのビット幅が予め決められており、従来のDIMM400のように新たにビットを追加することはできないことである。第2の課題は永続故障が発生した場合、誤るビット数が従来のDIMM400等と比較して大きいことである。

[0020] 本案は以上の課題を鑑みて考案されたものであり、メモリ装置におけるメモリユニット、又はチャンネルの永続故障により発生する誤りを検出、訂正するための構成、および方式を開示する。

### 課題を解決するための手段

[0021] 上記課題を解決するために、本発明は、例えば、以下のような構成を採用する。メモリ装置からデータを読み出し、前記読み出したデータ内の誤りを訂正する、誤り訂正装置であって、前記メモリ装置は、第1種符号と第2種符号との積符号における符号処理により符号化された第1データを保持し、前記第1データにおいて、前記第1種符号により符号化された任意の第1種符号語と、前記第2種符号により符号化された任意の第2種符号語との重複するデータ長は前記第2種符号におけるバイト長以下であり、前記誤り訂正

装置は、前記メモリ装置から、前記第1データを読み出す読出し制御部と、前記読み出した第1データに対して、前記第2種符号における復号処理を行う第2復号処理部と、前記第2復号処理部による復号処理が行われた第1データに対して、前記第1種符号における復号処理を行う第1復号処理部と、を含み、前記第2復号処理部は、前記メモリ装置から取得した第1の第2種符号語において訂正不能な誤りを検出した場合、前記第1の第2種符号語がエラーを含むことを示すエラーフラグをセットし、前記第1復号処理部は、前記第1の第2種符号語に含まれる第1のバイトを含み、前記メモリ装置内の異なるメモリユニットそれぞれに格納されるバイトからなる第1の第1種符号語において、前記エラーフラグに基づき前記第1のバイトにおけるエラーを訂正する、誤り訂正装置。

### 発明の効果

[0022] 本発明の一態様によれば、メモリ装置におけるメモリユニット又はチャンネルの故障発生時に、故障箇所から出力される誤ったデータを高精度に検出することができる。ひいては、当該メモリ装置を含む情報処理装置で実行されるプログラムの出力が誤ることを高精度に検出することが可能となる。また、当該誤りを訂正することでプログラムの平均連続稼働時間を増大することが可能となる。

### 図面の簡単な説明

- [0023] [図1] 8層8チャンネルの積層メモリの構成例を示すブロック図である。  
[図2] HBMのチャンネルフォーマットの例を示す図である。  
[図3] HMCのチャンネルフォーマットの例を示す図である。  
[図4]  $\times 4$  DIMMの構成例を示す図である。  
[図5] 実施例1において、誤り訂正システムの構成例を示すブロック図である。  
[図6] 実施例1において、1チャンネルが配置されるメモリチップの構成例を示すブロック図である。  
[図7] 実施例1において、誤り制御符号の一例を示す説明図である。



[図8]実施例1において、チャンネルのバイト分割フォーマットの第1の例を示す図である。

[図9]誤り制御符号の比較例を示す図である。

[図10]実施例1において、誤り検査符号復号化部の構成例を示すブロック図である。

[図11]実施例1において、CODE\_\_H復号処理部の構成例を示すブロック図である。

[図12]実施例1において、CODE\_\_V復号処理部の構成例を示すブロック図である。

[図13]実施例1において、復号処理の第1の例を示すフローチャートである。

[図14]実施例1において、復号処理の第2の一例を示すフローチャートである。

[図15]実施例1において、積層メモリ内のメモリチップが故障した場合の、第1の誤りパタンの例を示す図である。

[図16]実施例1において、積層メモリ内のメモリチップが故障した場合の、第2の誤りパタンの例を示す図である。

[図17]実施例1において、積層メモリ内のメモリチップが故障した場合の、第3の誤りパタンの例を示す図である。

[図18]実施例1において、同一チャンネルから出力される2サイクルのデータにおける、誤りパタンの例を示す図である。

[図19]実施例1において、チャンネルのバイト分割フォーマットの第2の例を示す図である。

[図20]実施例1において、2チャンネルが配置されたメモリチップの構成例を示すブロック図である。

[図21]実施例1において、1メモリチップに2チャンネルが配置された場合に適用される誤り制御符号の第1の例を示す図である。

[図22]実施例1において、1メモリチップに2チャンネルが配置された場合に

適用される誤り制御符号の第2の例を示す図である。

[図23]実施例1において、バンク故障を想定する場合の誤り制御符号適用の例を示す図である。

[図24]実施例2において、4つの積層メモリを用いた誤り制御符号適用の例を示す図である。

[図25]実施例3において、HMCのチャネル構成例を示す図である。

[図26]実施例3において、TSV故障によるエラーパタンの例を示す図である。

[図27]実施例3において、TSV故障によってエラーとなるビットを特定バイトに固めるデータ並び替えの前後のエラーパタンの例を示す図である。

### 発明を実施するための形態

[0024] 以下、添付図面を参照して本発明の実施形態を説明する。本実施形態は本発明を実現するための一例に過ぎず、本発明の技術的範囲を限定するものではないことに注意すべきである。各図において共通の構成については同一の参照符号が付されている。

#### 実施例 1

[0025] 図5は、本実施例の誤り制御システムの構成例を示す。誤り制御システムは、例えば、積層メモリ100と、積層メモリ100に接続されたプロセッサチップ700と、を含む。積層メモリ100は、メモリ装置の一例であり、例えば、図1と同様の構成である。プロセッサチップ700は、メモリコントローラ710、複数のプロセッサ720、及びDMA制御部730を含む。

[0026] メモリコントローラ710は、データの誤り制御、及びプロセッサ720やDMA制御部730からのメモリへの読み書きの制御を行う。プロセッサ720は、プログラムに従って動作し、データの入力/出力、読み込み/書き込みを行い、さらに、後述する各プログラムを実行する。DMA制御部730は、DMA転送における通信の制御を行う。

[0027] メモリコントローラ710は、例えば、メモリインターフェース711、

書込み制御部 712、誤り検査符号符号化部 713、読出し制御部 714、及び誤り検査符号復号化部 715を含む。メモリインターフェース 711は、積層メモリ 100からデータ等の入出力を行うインターフェースである。書込み制御部 712／読出し制御部 714は、プログラムであり、プロセッサ 720やDMA制御部 730からの積層メモリ 100へのデータの書込み／読出しを制御する。

[0028] 誤り検査符号符号化部 713は、プログラムを含み、積層メモリ 100に書き込まれるデータに対して符号化処理を行う。誤り検査符号復号化部 715は、プログラムを含み、積層メモリ 100から読み出されたデータに対して復号化処理を行い、誤り検出、及び誤り訂正を行う。本実施例の誤り制御システムは、図5の構成に限定されず、例えば、積層メモリ 100内の制御チップ 120に、メモリコントローラ 710が構成されてもよい。

[0029] プログラムはプロセッサ 720によって実行されることで、定められた処理を記憶装置及びメモリインターフェース 711を用いながら行う。従って、本実施形態及び他の実施形態においてプログラムを主語とする説明は、プロセッサ 720を主語とした説明でもよい。若しくは、プログラムが実行する処理は、そのプログラムが動作する計算機及び計算機システムが行う処理である。

[0030] プロセッサ 720は、プログラムに従って動作することによって、所定の機能を実現する機能部として動作する。例えば、プロセッサ 720は、書込み制御部 712に従って動作することで書込み制御部として機能し、読出し制御部 714に従って動作することで読出し制御部として機能する。他のプログラムについても同様である。さらに、プロセッサ 720は、各プログラムが実行する複数の処理のそれぞれを実現する機能部としても動作する。計算機及び計算機システムは、これらの機能部を含む装置及びシステムである。

[0031] なお、プログラムの少なくとも一部は、専用ハードウェアによって実現されてもよい。プログラムは、プログラム配布サーバや、計算機読み取り可能

な非一時的記憶媒体によって各計算機にインストールすることができ、各計算機の不揮発性記憶デバイスに格納することができる。

[0032] 本実施例では、積層メモリ100へのインターフェースであるチャンネルが、図2のように128ビットのデータと16ビットのデータから構成される場合を考える。図6は、1つのメモリチップに1チャンネルが配置される場合の、チャンネルの構成例を示す。積層メモリ100は、8層のメモリチップからなり、合計8チャンネルを内蔵する。つまり、メモリチップとチャンネルは1対1で対応する。

[0033] 図6において、メモリチップ1(111)が故障し、チャンネル1(131)のアクセスの際に入出力される、データビット128ビットと検査ビット16ビットとの合計144ビットが、誤りとなる場合を考える。ここで誤りとは、メモリに読み書きされるデータが本来期待するデータとは異なる値になることを意味する。なお、128ビットのデータに対して16ビットの検査ビットを付加することで、144ビットの誤りを検出および訂正する誤り制御符号は知られていない。

[0034] 図7は、本実施例において適用される誤り制御符号の一例を示す。図8は、チャンネルのバイト分割フォーマットの第1の例を示す。本実施例が開示する方式は、図7のように複数の積層メモリから出力される、複数のチャンネルを纏めて得られるデータセットに対して2つの誤り制御符号による積符号を適用する。

[0035] 具体的には、誤り検査符号符号化部713は、まず各チャンネルのデータビットと検査ビットとの合計144ビットを、例えば、図8のように複数のバイト(B0~B9、及びC0)に分割する。分割されたバイトの内、B0からB9までの10バイトそれぞれは、13ビット又は11ビットのデータビットを含み、合計128ビットのデータビットを含む。また、B0からB9までの各バイトは、1ビットの検査ビットを含む。誤り検査符号符号化部713は、この検査ビットを用いて第1の符号CODE\_\_Vを構成する。

[0036] また、各チャンネルは、第2の符号CODE\_\_Hにおける5ビットの検査ビ

ットと、この5ビットの検査ビットに対して符号CODE\_\_Vを適用するための検査ビット1ビットと、を含むバイトC0を含む。

[0037] 誤り検査符号符号化部713は、例えば、2つの積層メモリ（積層メモリ0（100）、及び積層メモリ1（101））に含まれるCH0からCH15の合計16チャンネルのうち、それぞれのチャンネル内の分割したバイトを纏める。誤り検査符号符号化部713は、纏めたバイトの組それぞれに対して、第1の符号CODE\_\_Vとして、例えば、SEC-DED-S14ED符号を適用する。

[0038] 具体的には、誤り検査符号符号化部713は、チャンネルCH0からチャンネルCH15までの16のバイトB0を纏める。誤り検査符号符号化部713は、合計208ビット（=13bit×16ch）のデータビットと、合計16ビット（=1bit×16ch）の検査ビットと、に対して、例えば、非特許文献1で開示される（224，208）SEC-DED-S14ED符号を適用する。

[0039] 誤り検査符号符号化部713は、B1～B9についても同様に（224，208）SEC-DED-S14ED符号を適用する。なお、B9は符号化対象のデータビットのビット長が13ではないため、誤り検査符号符号化部713は、B9に対して短縮符号を適用する。

[0040] つまり、誤り検査符号符号化部713は、積層メモリ0（100）及び積層メモリ1（101）におけるメモリユニットそれぞれに含まれるバイトに対して、CODE\_\_Vを適用する。上述した例では、各メモリチップをメモリユニットとしている。

[0041] また、誤り検査符号符号化部713は、2サイクル分（サイクル0、及びサイクル1）の1つのチャンネルを纏める。誤り検査符号符号化部713は、C0の2サイクル分の検査ビットである合計10ビット（5ビット×2）の検査ビットと、B0～B9の2サイクル分のデータである合計276ビットのデータビットと、に対して、第2の符号CODE\_\_Hを適用する。誤り検査符号符号化部713は、CODE\_\_Hとして、例えば、（286，276

) SEC-DED符号を適用する。

[0042] 続いて、誤り検査符号符号化部713は、C0に対して、その他のバイトと同様に、CODE\_Vの短縮符号を適用する。具体的には、誤り検査符号符号化部713は、CODE\_Hにおける検査ビットである合計80ビット(=5ビット×16ch)をデータビット、CODE\_Hの符号化対象外のビットである合計16ビット(=1ビット×16ch)を検査ビットとし、CODE\_Vの短縮符号を適用する。

[0043] ここで、SEC-DED符号とは、符号語内の任意の1ビット誤りを訂正し、かつ任意の2ビットの誤りを検出することが可能な能力を持つ符号である。さらに、SEC-DED符号は、3ビット以上の誤りに関しても確率的に検出することが可能である。また、SEC-DED-S14ED符号とは、上述したSEC-DED符号と同等の能力に加え、バイト長が14ビットとした時に、符号語内の任意の1バイト誤りを検出可能な能力を持つ符号である。

[0044] 図9は、1サイクルのデータに対して符号を適用する比較例を示す。図9の例は、CODE\_Hを1サイクルの2チャンネルのデータに対して適用している点において、図7の例と異なる。図9の例では、1つのCODE\_Hによって符号化されるデータと、1つのCODE\_Vによって符号化されるデータと、の重複部分が2バイト存在する。従って、CODE\_Hによって訂正不能な誤りが検出された場合、CODE\_Vは、どちらのチャンネルで誤りが発生したのかを特定することができない。

[0045] 一方、図7の例では、CODE\_HとしてSEC-DED符号を適用するための検査ビット数を確保するために、2チャンネルのデータを纏めているが、図9のように単純に2つのチャンネルのデータに対してCODE\_Hを適用するのではなく、同一メモリチップから出力される2サイクルのデータに対してCODE\_Hを適用する。本構成を採ることにより、CODE\_Hによって符号化された任意の符号語と、CODE\_Vによって符号化された任意の符号語と、の重複部分はCODE\_Vにおけるバイト誤りの検出長(1バ

イト) 以下となる。従って、CODE\_\_Hによる訂正不能誤りが検出された場合、CODE\_\_Vにおける復号によって当該誤りが発生したチャネルを一意に確定することができる。

[0046] 図10は、誤り検査符号復号化部715の構成例を示す。誤り検査符号復号化部715は、符号CODE\_\_Hについての復号処理を行うCODE\_\_H復号処理部1210、及び符号CODE\_\_Vについての復号処理を行うCODE\_\_V復号処理部1220を含む。

[0047] 積層メモリ100~101の各チャネルから出力される入力データは、まずCODE\_\_H復号処理部1210に入力され、SEC-DED符号(CODE\_\_H)の復号処理が行われる。図10に示すように、CODE\_\_H復号処理部1210は、各チャネルから出力された入力データに対するCODE\_\_Hの復号処理を並列に行ってもよい。

[0048] 図11は、CODE\_\_H復号処理部1210の構成例を示す。CODE\_\_H復号処理部1210は、バッファ1211、並びにそれぞれプログラムである、シンドローム生成部1212、誤り訂正部1213、及びシンドローム復号部1214を含む。

[0049] 符号CODE\_\_Hは同一チャネルから出力される2サイクル分のデータに対して適用されるため、バッファ1211は、1サイクル前のデータを保持する。なお、バッファ1211は、読出し制御部714に含まれていてもよい。シンドローム生成部1212は、積層メモリから出力された入力データに対して、CODE\_\_Hにおけるシンドロームを生成する。なお、線形符号は、それぞれの符号を定める検査行列と呼ばれる行列を持ち、シンドロームは、検査行列と符号語との積として計算されるベクトル値である。

[0050] シンドローム復号部1214は、シンドローム生成部1212が生成したシンドロームの値によりエラーの有無や、エラー発生場所を判定する。シンドローム復号部1214は、CODE\_\_Hによる復号処理によって訂正不能なエラーが発生したと判定した場合、エラー発生フラグ信号をCODE\_\_V復号処理部1220に送信する。誤り訂正部1213は、シンドローム復号

部 1 2 1 4 が発生場所を特定した誤りを訂正する。

[0051] 図 1 2 は、CODE\_\_V 復号処理部 1 2 2 0 の構成例を示す。CODE\_\_V 復号処理部 1 2 2 0 は、それぞれプログラムである、シンドローム生成部 1 2 2 1、誤り訂正部 1 2 2 2、シンドローム復号部 1 2 2 3、及びエラー発生フラグ検査部 1 2 2 4 を含む。シンドローム生成部 1 2 2 1 は、CODE\_\_H 復号処理部 1 2 1 0 から出力された中間データに対して、CODE\_\_V におけるシンドロームを生成する。

[0052] シンドローム復号部 1 2 2 3 は、シンドローム生成部 1 2 1 2 が生成したシンドロームの値によりエラーの有無や、エラー発生場所を判定する。誤り訂正部 1 2 2 2 は、シンドローム復号部 1 2 2 3 が発生場所を特定した誤りを訂正する。エラー発生フラグ検査部 1 2 2 4 は、CODE\_\_H 復号処理部 1 2 1 0 から受信したエラー発生フラグ信号と、シンドローム復号部 1 2 2 3 による判定結果と、を用いて、エラーの有無やエラー発生場所を判定する。

[0053] 以下、メモリから読み出したデータに対する復号処理、及びメモリチップ故障が発生した際に発生する 1 4 4 ビットの誤りを、図 7 に例示した符号を用いて検出し、訂正する方法を説明する。

[0054] 本実施例の誤り制御システムは、符号 CODE\_\_V の SEC-DED-S 1 4 ED 能力により、積層メモリのメモリチップ故障時に発生する 1 4 4 ビットの誤りを 1 0 0 % 検出する。各メモリチップから出力される 1 4 4 ビットは、図 8 に示すように B 0 から C 0 までの 1 1 バイトに分割され、それぞれ異なる CODE\_\_V の符号語に分散される。B 0 から B 9 は 1 4 ビット、B 9 は 1 2 ビット、C 0 は 6 ビットから構成され、CODE\_\_V の各符号語は、各メモリチップにおける B 0 から C 0 のデータを含む。よって、バイト長が 1 4 の 1 バイト誤りを検出可能な CODE\_\_V の SEC-DED-S 1 4 ED 符号により、メモリチップ故障発生時に生じる 1 4 4 ビットの誤りを検出することが可能となる。

[0055] SEC-DED-S 1 4 ED 符号は、バイト長 1 4 の 1 バイト誤りを検出



可能であるが、その誤りを訂正することはできない。そのため、SECDED-S14ED符号単体ではメモリチップ故障時に発生する144ビットの誤りを訂正することはできない。

[0056] 一方、SECDED-S14ED符号は、符号語を構成する複数のバイトのうち、どのバイトが誤りであるのかを別途知ることができれば、生成されたシンドロームに従ってバイト内の誤り位置を特定する、即ち当該バイト内の誤りを訂正することが可能である。

[0057] 例えば、16チャンネルのバイトB0を纏めてSECDED-S14ED符号を適用した時に、SECDED-S14ED符号は16バイトのB0の中のいずれか1つが誤った場合にそれを検出することができる。加えて、例えば、当該誤りがチャンネル1のB0で発生していることが別途分かれば、SECDED-S14ED符号はチャンネル1のB0内で発生した誤り位置を特定することが可能である。

[0058] そこで、本実施例の誤り制御システムは、第2の符号であるCODE\_\_Hの復号処理の結果設定され得る、エラー発生フラグを利用して、故障が発生したメモリチップを特定する。さらに、誤り制御システムは、各CODE\_\_Vの符号語が含むメモリチップから出力されるバイトを、生成されたシンドロームに従い訂正する。

[0059] 図13は、誤り検査符号復号化部715による復号処理の第1の例を示す。まずCODE\_\_H復号処理部1210による復号処理に関して述べる。シンドローム生成部1212は、バッファ1211内に保持される積層メモリから受信した1サイクル目のデータと、積層メモリ100から受信した2サイクル目のデータと、を纏めた各チャンネルにおける入力データからC0のCODE\_\_Hによる符号化対象外である2ビット（1ビット×2）を除いたデータ、即ちCODE\_\_Hにおける各符号語に対してCODE\_\_Hにおけるシンドロームを生成する。シンドローム生成部1212は、生成したシンドロームをシンドローム復号部1214に送信する（S1101）。

[0060] シンドローム復号部1214は、受信したシンドロームの値によりエラー

の有無や、当該チャネルにおける、エラー発生場所を判定し、判定結果を誤り訂正部1213に送信する(S1102)。SEC-DED符号において、シンドローム復号部1214は、シンドロームの値が0である場合に、符号語には誤りが無いと判定する。また、シンドロームの値が検査行列内の列ベクトルのいずれかの値と一致する場合、シンドローム復号部1214は、1ビット誤りが発生したと判定する。また、シンドロームの値が0ではなく、かつ、検査行列内のいずれの列ベクトルとも一致しない場合、シンドローム復号部1214は、訂正不能な2ビットの誤りが発生したと判定する。

[0061] ここで、SEC-DED符号は、3ビット以上の誤りを、確率的に検出することが可能である。つまり、3ビット以上の誤りに対しても、シンドロームが0でなく、かつ、検査行列のいずれの列ベクトルとも一致しないことが確率的に発生する。この場合、シンドローム復号部1214は、2ビットの誤りと同様に、訂正不能な誤りが発生したと判定する。

[0062] 続いて、シンドローム復号部1214が誤りを検出しなかった場合(S1102:エラー無し)、後述するステップS1105に遷移する。また、このとき、誤り訂正部1213は、当該チャネルにおける入力データを訂正せず、そのまま当該チャネルにおける中間データとして、CODE\_V復号処理部1220に送信する。

[0063] シンドローム復号部1214が1ビット誤りを検出した場合(S1102:1ビットエラー)、誤り訂正部1213は、当該1ビット誤りの訂正を行う。1ビット誤り訂正能力を有する符号の検査行列と1ビット誤りの符号語との積として算出されるシンドロームそれぞれは、全ての1ビット誤りのパターンに対して全てのシンドロームの値が異なる性質を満たす。よって、シンドローム復号部1214は、1ビット誤りについては、シンドロームの値によりエラー発生ビットの位置を一意に決定することができる。

[0064] 従って、誤り訂正部1213は、当該チャネルにおける入力データの、一意に決定されたビット位置のビットを反転させることでデータを訂正する(S1103)。このとき、誤り訂正部1213は、当該訂正したデータを、

当該チャネルにおける中間データとして、CODE\_\_V復号処理部に送信する。

[0065] また、2ビット以上のエラーが発生した場合、シンドローム復号部1214は、シンドロームの値から誤っているビット位置を一意に特定することはできない。従って、誤り訂正部1213は誤りを訂正することができない。シンドローム復号部1214は2ビット以上の誤りを検出した場合（S1102：訂正不能エラー検出）、2ビット以上のエラーが当該チャネルで発生したことを示すエラー発生フラグをセットし、当該チャネルにおけるエラー発生フラグ信号をCODE\_\_V復号処理部1220に送信する（S1104）。このとき、誤り訂正部1213は、当該チャネルにおける入力データを訂正せず、そのまま当該チャネルにおける中間データとして、CODE\_\_V復号処理部1220に対して送信する。

[0066] CODE\_\_H復号処理部1210は全てのチャネル、即ちCODE\_\_Hにおける全ての符号語に対してステップS1101～ステップS1104における処理を行う。以上が、CODE\_\_H復号処理部1210による復号処理である。次に、CODE\_\_V復号処理部1220による復号処理に関して述べる。

[0067] 符号CODE\_\_Vは2つの積層メモリを纏めた16チャネルのデータに対して適用される。具体的には、シンドローム生成部1221は、CODE\_\_H復号処理部1210から出力された、16チャネル分の中間データの各バイトを纏めたデータについて、CODE\_\_Vにおけるシンドロームを生成する（S1105）。シンドローム生成部1221は、生成したシンドロームを、シンドローム復号部1223に送信する。

[0068] シンドローム復号部1223は、シンドローム復号部1223が生成したシンドロームを用いて、当該バイトにおける、誤り検出、及び訂正を行う（S1106）。このとき、エラー発生フラグ検査部1224はCODE\_\_H復号処理部1210から受信したエラー発生フラグ信号に基づき、エラー発生フラグがセットされていることを検出する。

- [0069] なお、シンドローム復号部1223は、SEC-DED-S14ED符号において、生成されたシンドロームに従い、SEC-DED符号を利用するシンドローム復号部1214と同様に、エラーの発生有無と、1ビットの誤り訂正、および2ビット誤りの検出を行う。加えて、シンドローム復号部1223は、SEC-DED-S14ED符号において、バイト長14のバイト誤りを検出することができる。
- [0070] シンドローム復号部1223が、誤りを検出しなかった場合（S1106：エラー無し）、誤り検査符号復号化部715は、当該バイトを纏めたデータにおける復号処理を正常終了する（S1110）。
- [0071] シンドローム復号部1223が、1ビットの誤りを検出した場合（S1106：1ビットエラー）、誤り訂正部1222は、当該1ビット誤りの訂正を行う（S1107）。続いて、誤り検査符号復号化部715は、当該バイトを纏めたデータにおける復号処理を正常終了する（S1110）。
- [0072] シンドローム復号部1223が、バイトエラー又は2ビット以上の誤りを検出した場合（S1106：バイトエラー検出 or 2bit誤り検出）、エラー発生フラグ検査部1224は、シンドローム復号部1214から受信したエラー発生フラグ検出信号に基づき、セットされたエラー発生フラグが1箇所であるかをチェックする（S1108）。
- [0073] エラー発生フラグ検査部1224は、セットされたエラー発生フラグが1箇所であると判定した場合（S1108：YES）、当該エラー発生フラグがセットされたチャンネルでバイト誤りが発生したと判断する。このとき、エラー発生フラグ検査部1224は、当該チャンネルの情報を含むエラー発生チャンネル信号を、誤り訂正部1222に送信する。誤り訂正部1222は、エラー発生チャンネル信号が示すチャンネルから出力されたバイトの値を、シンドロームの値に基づき訂正する（S1109）。続いて、誤り検査符号復号化部715は、復号処理を正常終了する（S1110）。
- [0074] エラー発生フラグ検査部1224が、セットされたエラー発生フラグが1箇所でないとは判定した場合（S1108：No）、複数のチャンネルにおいて

エラーが発生している可能性がある。従って、エラー発生フラグ検査部1224は、どのチャンネルが故障しているのかを一意に特定できないため、誤り訂正部1222は、誤りを訂正することはできない。この場合、エラー発生フラグ検査部1224は、訂正不能な誤りを検出したことを示す訂正不能誤り検出信号をセットし、当該バイトを纏めたデータにおけるエラー検出を終了する(S1111)。CODE\_\_V復号処理部1220は、CODE\_\_Vにおける全ての符号語に対してステップS1105～ステップS1111における処理を行う。以上が、CODE\_\_V復号処理部1220による復号処理である。

[0075] なお、SECURED符号は3ビット以上の誤りは確率的にしか検出することができないため、誤りが発生している場合であっても、CODE\_\_H復号処理部1210が当該誤りを検出できないことがある。このとき、エラー発生フラグは設定されず、CODE\_\_V復号処理部1220がバイト誤りを検出しても、当該誤りを訂正することはできない。このとき、ステップS1108において、エラー発生フラグ検査部1224は訂正不能誤り検出信号をセットすればよい。

[0076] 訂正不能誤り検出信号は、例えばメモリコントローラ710等に送られる。メモリコントローラ710は、例えば、訂正不能エラーが発生したこと表示レジスタに値を設定するなどにより、エラーの記録を残してもよい。オペレーティングシステムなどは、例えば、エラー記録を利用してシステムを再起動する、または当該メモリのアドレスをページ割当て対象から除外する、などの対策を行ってもよい。

[0077] また、エラー発生フラグ検査部1224は訂正不能エラーが発生したことだけでなく、訂正不能エラーが発生したアドレス情報などを併せて、例えばメモリコントローラ710等に対して通知してもよい。但し、これらの訂正不能エラーの発生を検出した場合の処理に関しては、個々のシステム設計によって決めることが可能であり、上述した処理に限定されない。

[0078] 図14は、誤り検査符号復号化部715による復号処理の第2の例を示す

。図14について図13との相違点のみ説明する。シンドローム復号部1223が、誤りを検出しなかった場合（S1106：エラー無し）、又はステップS1107において誤り訂正部1222が1ビット誤りを訂正した後、エラー発生フラグ検査部1224は、エラー発生フラグがセットされていないかをチェックする（S2812）。つまり、シンドローム復号部1223は、CODE\_Vにおけるエラーが無いときに、ステップS2812におけるチェックを行う。

[0079] エラー発生フラグがセットされていない場合（S2812：Yes）、誤り検査符号復号化部715は、当該バイトにおける復号処理を正常終了する（S1110）。エラー発生フラグがセットされている場合（S2812：No）、エラー発生フラグ検査部1224は、訂正不能な誤りを検出したことを示す訂正不能誤り検出信号をセットし、当該バイトを纏めたデータにおけるエラー検出を終了する（S1111）。

[0080] ステップS2812の処理によれば、CODE\_V復号処理部1220は、確率的にしか検出できない誤りを検出できなかった場合であっても、エラー発生フラグのセット状況に従って、誤りの発生を検出することができる。

[0081] 以下、積層メモリ内のメモリチップが故障した場合の誤り制御の具体例を説明する。図15は、積層メモリ内のメモリチップが故障した場合の誤りパタンの第1の例を示す。図15において、積層メモリ内のチャンネル6（CH6）が実装されているメモリチップが故障し、チャンネル6の全てのバイトが誤っている。このとき、ステップS1104において、シンドローム復号部1214は、チャンネル6が誤りであることを示すエラー発生フラグ信号を、CODE\_V復号処理部1220に送信する。

[0082] このとき、エラー発生フラグがセットされているのはチャンネル6のみである。従って、ステップS1108において、エラー発生フラグ検査部1224は、バイト誤りの発生がチャンネル6で発生したと判断し、エラー発生チャンネル信号を誤り訂正部1222に送信する。ステップS1109において、誤り訂正部1222は、各データ内のエラー発生チャンネル信号が示すチャネ

ルから出力されたバイトの値を、シンδροームの値に基づき訂正する。

[0083] 例えば、図15のようにチップ故障が発生し、当該チップにおける全てのバイトが誤っている場合、当該故障チップは誤りを出力し続けるため、次のメモリアクセス時にも確率的にバイト誤りが検出される。その際に、CODE\_\_H復号処理部1210が再び当該バイト誤りを確率的に検出することは好ましくない。

[0084] そこで、CODE\_\_V復号処理部1220は、各チップが故障していることを表す情報を保持する記憶素子を含んでもよい。CODE\_\_V復号処理部1220は、例えば、バイト誤り訂正時に当該チップが故障していることを示す値を当該記憶素子に書き込む。エラー発生フラグ検査部1224は、バイト誤り訂正後の2回目以降のバイト誤り検出時には、当該故障チップ情報とCODE\_\_H復号処理部1210が出力するエラー発生フラグ信号とを併せて、エラー発生フラグの検査を行う。

[0085] 図16は、積層メモリ内のメモリチップが故障した場合の誤りパタンの第2の例を示す。複数のチャネルにおいてエラー発生フラグが設定されている場合、CODE\_\_V復号処理部1220はエラー発生チップを一意に特定することができないため、メモリチップ故障により発生する誤りを訂正することはできない。図16において、チャネル6が実装されているメモリチップ6が故障しており、かつ同時に、チャネル2内のデータのうち2ビット以上（B1及びB5）が誤っている。

[0086] この場合、CODE\_\_H復号処理部1210は、チャネル2とチャネル6のそれぞれにおいて2ビット以上の誤りを検出するため、チャネル2とチャネル6の2チャネルがエラーであることを示すエラー発生フラグを設定する。

[0087] シンδροーム復号部1223がCODE\_\_Vの復号処理にて誤りを検出した場合に、エラー発生フラグ検査部1224は、チャネル2とチャネル6の2つがエラーの可能性があるため、どちらのチャネルが故障しているかを一意に特定できず、誤りを訂正することはできない。この場合、ステップS1

111において、エラー発生フラグ検査部1224は訂正不能な誤りを検出したことを示す訂正不能誤り検出信号をセットする。

[0088] 図17は、積層メモリ内のメモリチップが故障した場合の誤りパタンの第3の例を示す。図17において、チャンネル2及びチャンネル6の、B1が誤っている。図17中のバツ印はバイト誤りを表す。このとき、CODE\_\_H復号処理部1210が、チャンネル2とチャンネル6の少なくとも一方の誤りを、SECDED符号により検出し、エラーを検出したチャンネルにエラー発生フラグをセットしたとする。このとき、B1には2バイトの誤りがあるため、CODE\_\_V復号処理部1220は、SECDED-S14ED符号において、当該誤りを確率的にしか検出できない。従って、CODE\_\_V復号処理部1220は、当該誤りを検出できない可能性がある。

[0089] よって、シンドローム復号部1223が、誤りが無いと判定した（シンドロームが0）場合でも、エラー発生フラグ検査部1224が、エラー発生フラグを確認する、つまりステップS2812の処理を行うことで、より誤り検出能力を向上することができる。

[0090] 本実施例の誤り制御システムは、符号CODE\_\_Vによりバイト誤りを検出した際に、符号CODE\_\_Hにより確率的にメモリチップ故障が発生したと思われるメモリチップを推定する事で、バイト誤りの検出、訂正を行うことができる。ひいては、本実施例の誤り制御システムは、メモリユニットの故障等による長いビットの誤りを検出、訂正することができる。

[0091] また、本実施例の誤り制御システムは、任意のCODE\_\_Hにおける符号語と、任意のCODE\_\_Vにおける符号語と、の重複部分がCODE\_\_Vにおけるバイト誤りの検出長以下となるよう構成された積符号を用いて誤り制御を行う。本実施例の誤り制御システムは、当該符号を用いて誤り制御を行うことにより、CODE\_\_H復号処理部1210が訂正不能誤りを検出した場合、CODE\_\_V復号処理部1220は、当該誤りが発生したチャンネルを一意に確定することができる。

[0092] 図18は、同一チャンネルから出力される2サイクルのデータにおける誤り



パタンの例を示す。本実施例の誤り制御システムは、同一チャンネルから出力される2サイクルのデータに対してCODE\_\_Hを適用している。ここで、チャンネル130内の特定のビットが永続的に誤る永続故障が発生する場合を考える。この場合、図18のようにチャンネル130内のビット誤りが偶数個の場合(CASE1)、及び奇数個の場合(CASE2)のいずれにおいても、2サイクル分のデータにおけるビット誤りは偶数個である。

[0093] 例えば、SECDED符号のうち、検査行列の列ベクトルの重みが全て奇数である奇数重みSECDED符号と呼ばれる符号は、データ内の偶数個の誤りを高確率で検出することが可能である。ここで、ベクトルの重みとはベクトルの非零の要素の数である。従って、本実施例のように、例えば、同一チャンネルなど同一データパスを通るデータを偶数サイクル分纏めて符号を適用する場合、奇数重み符号を適用することにより、誤りを高確率で検出することができる。

[0094] また、ここまで、CODE\_\_Hとして(286, 276)SECDED符号、CODE\_\_Vとして(224, 208)SECDED-S14EDの符号を適用した例を示したが、本実施例の誤り制御システムは、他の符号を適用してもよい。以下、CODE\_\_Hを別の符号とする例を説明する。

[0095] まず、CODE\_\_Hは、誤り検出機能を有し、かつ、CODE\_\_VがCODE\_\_Hの検出結果を利用して、特定のメモリチップ(特定のチャンネル)において当該誤りが発生していることを特定可能な符号であればよい。例えば、CODE\_\_Hは、単一パリティ検査符号でもよい。このとき、誤り制御システムは、上述した方法と同様の誤り検出、訂正を行うことができる。単一パリティ検査符号とは、データを構成するビットのXORにより計算される値を1ビットの検査ビットとする符号である。つまり、単一パリティ検査符号は、符号語内の奇数個の誤りを検出することができる。

[0096] CODE\_\_Hが単一パリティ検査符号であるときも、CODE\_\_HがSECDED符号であるときと同様に、シンδροーム復号部1214は誤りを検出した場合、当該チャンネルのエラー発生フラグをセットする。つまり、C

ODE\_\_Hが単一パリティ検査符号であるときは、CODE\_\_HがSECDED符号であるときの訂正方式と同様の方式を適用することができる。

[0097] また、単一パリティ検査行列は、1ビットで検査ビットを生成することができるため、誤り検査符号符号化部713は、2サイクル分のデータを纏めて検査ビットを確保する必要はなく、1サイクルの1チャンネルのデータに対して、CODE\_\_Hの符号処理を適用することができる。

[0098] CODE\_\_Hとして単一パリティ符号を適用することで、2サイクル分ではなく1サイクル分のデータに対して符号を適用することができる。従って、メモリアクセス粒度が小さくなり、積層メモリの利便性が向上する。なお同様に、CODE\_\_Hは、例えば、チェックサムや巡回冗長検査符号(CRC:Cyclic redundancy check code)であってもよい。

[0099] また、CODE\_\_Vは、例えば、メモリチップ、チャンネルに対応するメモリユニット、又はバンク単位等の誤りを検出することが可能な符号であればよい。CODE\_\_Vは、例えば、SECDED-SbED符号(bは任意の正の整数)であってもよい。SECDED-SbED符号とはSECDED符号の機能を有し、かつ、バイト長がbビットである時に、1バイト誤りを検出可能な符号である。

[0100] 図19は、チャンネルのバイト分割フォーマットの第2の例を示す。例えば、CODE\_\_Vは、図19のようにb=30としたバイトを纏めたデータに適用されるSECDED-S30ED符号であってもよい。SECDED-S30ED符号において、B0からB3は28ビットのデータと2ビットの検査ビットとを、B4は28ビットのデータビットと2ビットの検査ビットとを、C0は5ビットのCODE\_\_Hにおける検査ビットと1ビットの検査ビットとを、それぞれ含む。なお、SECDED-SbED符号におけるバイト長bが短い程、メモリチップ全体での誤り検出及び訂正能力は向上し、符号化及び復号化回路の規模は小さくなる。

[0101] ここまでは図6のように8層の積層メモリの各メモリチップに1チャンネル

が配置される例を示したが、以下では別のチャンネル構成例における誤り制御方式を説明する。但し、同じI/F仕様に従うために、チャンネル数は一定であるとする。容量を増加した積層メモリを構成するために、例えば、16層のメモリチップが積層される場合には本実施例を容易に適用することができる。一方、容量を減らすために4層積層となった場合を考える。

[0102] 図20は、各メモリチップに2チャンネルが配置されるチャンネルの構成例を示す。メモリチップ0(110)に、チャンネル0(130)、及びチャンネル1(131)が配置される。図20の構成の場合、例えば、電源やクロックなどのメモリチップ0(110)全体にわたる故障が発生した場合、2チャンネルが故障することになる。

[0103] 図21は、2チャンネルが配置されたメモリチップにおける符号適用の例を示す。図21においては、4つの積層メモリ0~3(100~103)に対して、CODE\_\_HとCODE\_\_Vとの積符号を適用する。例えば、図21のようにCODE\_\_Vに含まれる各メモリチップからの出力バイトは1バイトとなるように構成する方法が考えられる。図21では、例えば、CH\_\_0、CH\_\_2、CH\_\_4、...、CH\_\_30に対応するメモリユニットにおけるデータに対してCODE\_\_Vを適用する。ここで、CODE\_\_Vは、図7と同様に、例えば、図8におけるチャンネルをバイト分割した各バイトセットに対して適用される。

[0104] また、同一チャンネルに対応するメモリユニットにおける2サイクルのデータに対して、CODE\_\_Hが適用される。図21のようにCODE\_\_V及びCODE\_\_Hが構成されれば、CODE\_\_V及びCODE\_\_Hを適用するために必要となる積層メモリの数は増加するものの、メモリアクセス粒度は図7に例示した符号と同じである。

[0105] 図22は、2チャンネルが配置された4層のメモリチップを含む積層メモリにおける符号適用の例を示す。図22においては、積層メモリ0(100)、及び積層メモリ1(101)に対してCODE\_\_H及びCODE\_\_Vが適用される。例えば、CH\_\_0、CH\_\_2、...、CH\_\_14、CH\_\_1、CH

\_\_3、・・・、CH15に対応するメモリユニットにおけるデータに対してCODE\_\_Vが適用される。また、同一チャンネルに対応するメモリユニットにおける2サイクルのデータに対して、CODE\_\_Hが適用される。

[0106] つまり、図22において、CODE\_\_Vによって符号化されるバイトを含むメモリユニットは、同一メモリチップに構成される全てのチャンネルに対応するメモリユニットを含む。図22のようにCODE\_\_Vを構成することで、メモリチップの故障が、電源やクロックなどのメモリチップ全体にわたるものではなく、例えば、アドレスデコーダの故障など、メモリチップ内の1つのチャンネルに限定される故障に対する誤り制御に関して、本実施例の方式が適用可能である。

[0107] ここまで、メモリチップが故障した際にチャンネル単位の故障が発生する場合を想定し、16チャンネルを纏めたデータセットに対して符号CODE\_\_Vを適用する例を示した。図23は、メモリチップの永続故障が、チャンネル内の特定のバンクに発生する場合を想定した符号適用の例を示す。例えば、バンク内のセンスアンプ故障などがこの場合に当てはまる。

[0108] この場合、本実施例でチャンネルに対して適用した構成をバンクに適用することで同様の方式を構成可能である。つまり、チャンネルが8バンクからなる場合には図23のように、例えば、2チャンネルの16バンクから得られるデータセットに対して符号CODE\_\_Vを適用することで同様の方式の実現が可能となる。つまり、各バンクをメモリユニットとして、CODE\_\_Vが適用される。このとき、2サイクルの同一チャンネル、かつ同一バンクのデータに対して、CODE\_\_Hが適用される。

[0109] 図23のようなバンク単位で纏めたデータに対して符号を適用する方式は、図7などのチャンネルを纏める方式とは異なり、チャンネルを占有しないためチャンネルレベル並列性を有効に活用することが可能である。従って、図23に示す符号適用例は、チャンネルレベル並列性が必要なシステムに適する。

[0110] 本実施例の復号処理で述べた通り、図7の符号は128ビットのデータを含むチャンネルを16チャンネル×2サイクル纏めた4,096(=512バイ

ト) ビットの一塊のデータセットに対して適用される。よって、メモリにデータを読み書きするプロセッサ720やDMA制御部730からのメモリアクセス粒度が、4,096ビットでない場合、例えばメモリコントローラ710は、記憶機構をさらに含む。なお当該記憶機構は、例えば、誤り検査符号復号化部715に含まれていてもよいし、読出し制御部714に含まれていてもよい。

[0111] プロセッサ720又はDMA制御部730による読出し要求が4,096ビットよりも小さい場合を考える。例えば、多くのプロセッサにおけるキャッシュラインサイズは、512ビット(64バイト)または1024ビット(128バイト)であるため、キャッシュミス時に発生するメモリアクセス1つは4,096ビットよりも少なくなる可能性がある。

[0112] このとき、読出し制御部714は、例えば、プロセッサ720が要求する512ビット(又は1,024ビット)のデータを含む、4,096ビットの符号化されたデータを一旦読出す。誤り検査符号復号化部715は、読出されたデータに対して復号処理を行い、続いて、記憶機構は元来要求されたデータではない部分を一時的にキャッシュする。

[0113] 読出し制御部714は、プロセッサ720、又はDMA制御部730からの読出し要求を受けた場合に、まず要求されたデータがキャッシュに保存されていないかを確認する。要求されたデータがキャッシュに保存されている場合には、キャッシュ内からデータを送信する。一般的に、メモリへの読出しは時間的、空間的に局所性を有するが多いため、キャッシュメモリがデータを保持することにより、読み出し時の性能が向上する。

[0114] プロセッサ720又はDMA制御部730による書込み要求が、4,096ビットよりも少ない場合、読出し制御部714は符号を構成する残りのビットを読み出す必要がある。例えば、プロセッサチップ700がキャッシュを持たない場合、積層メモリ100にのみ最後に更新されたデータが格納されている場合、読出し制御部714は積層メモリ100から他の部分のデータを読み出し、誤り検査符号復号化部713は当該他の部分と併せて符号を

適用する。

[0115] そのため、書込み制御部 712 は、読出し制御部 714 に読出し要求を送る機能を持ち、受信したデータを一時的に記憶するバッファを含んでもよい。また、例えば、積層メモリ 100 へのデータ書込み要求元がキャッシュを含む場合など、最後に更新されたデータが積層メモリ 100 以外に格納されている場合、書込み制御部 712 は、当該最後に更新されたデータを含むメモリからデータを読み出す機能を有し、当該のメモリから符号化に必要な他のデータを読み出した後に、それらのデータと併せて符号化する。

[0116] また、メモリへの書込みも読み出しと同様に時間的、空間的に局所性を持つ。これら局所性を利用するため、書込み制御部 712 は、書込み要求を受け付けた際に即座に積層メモリ 100 にデータを書き込むのではなく、一旦バッファすることにより、書込み時の性能が向上する。

## 実施例 2

[0117] 実施例 1 の誤り制御システムは、CODE\_\_H 復号処理部 1210 が、誤り訂正不能と判定した場合、CODE\_\_V 復号処理部 1220 が、当該誤りがどのメモリチップで発生したのかを一意に特定するために、同一メモリチップから出力される 2 サイクル分のデータに対して符号を適用した。

[0118] このように、ある CODE\_\_V 符号が適用されたデータ中のバイトが、ある CODE\_\_H 符号が適用されたデータ中に 1 つになるように符号の組合せ方を工夫することで、CODE\_\_V のバイト誤り検出時に、CODE\_\_H の誤り検出情報を利用してバイト誤りの訂正を可能にした。本実施例の誤り制御システムは、4 つの積層メモリを利用して同様の符号適用を実現する。

[0119] 図 24 は、4 つの積層メモリを用いた符号適用の例を示す。実施例 1 の誤り制御システムは CODE\_\_H に必要な検査ビットを確保する為に時間方向にデータ量を拡張し、2 サイクル分のデータに対して符号を適用した。本実施例の誤り制御システムは、積層メモリ 0~3 (100~103) を搭載するシステムを用いて、必要な検査ビット数を空間方向にデータ量を拡張することで、実施例 1 と同様の誤り制御を実現する。

- [0120] つまり、図24のように、2つの積層メモリから出力される16チャンネルのデータセットに対してCODE\_\_Vが適用され、CODE\_\_Vで組合せた16チャンネルのチャンネルと別の積層メモリのチャンネルとを組合せたデータに対してCODE\_\_Hが適用される。
- [0121] 図24の例では、積層メモリ0、1（100、101）の16チャンネルにCODE\_\_Vが適用される。さらに、積層メモリ0（100）と積層メモリ2（102）の各チャンネルとを組合せたデータ、及び積層メモリ1（101）と積層メモリ3（103）の各チャンネルを組合せたデータに対して、CODE\_\_Hが適用される。
- [0122] 図24に例示した符号適用方法によれば、メモリチップ故障時にCODE\_\_Hの復号にて訂正不能誤りが検出される際にセットされるエラー発生フラグが示すチャンネルは、各CODE\_\_Vの符号語内に一意に決定される。従って、本実施例における誤り制御方式は、実施例1と同様のフローにより誤り検出、及び誤り訂正を行うことができる。
- [0123] なお、図21、図22のようにチャンネルに対応するメモリユニットにCODE\_\_Vを適用する場合、4つの積層メモリの1サイクルのデータに対して、図24と同様の方法で符号を適用することができる。また、図23のように、バンクに対してCODE\_\_Vを適用する場合についても4つのメモリチップの1サイクルのデータに対して、図24と同様の方法で符号を適用することができる。

### 実施例 3

- [0124] 図25は、HMCにおけるチャンネルの構成例を示す。HMCにおいては、複数のメモリチップ510にチャンネル530が分散配置され、各メモリチップ510からの出力ビットは時分割で同一のTSVセットを利用する。例えば、4つのメモリチップ510を積層するHMCは、各メモリチップ510からデータビット32ビットと検査ビット4ビットとの合計36ビットを出力し、4層併せてデータビット128ビットと検査ビット16ビットとを構成する。

- [0125] 図26は、HMCにおけるTSV故障発生時のエラーパタンの例を示す。ここで、メモリチップ510同士を接続するTSVが摩耗等により故障した場合を考える。この場合、各メモリチップ510からの出力ビットはTSVを共有しているため、当該故障TSVを経由する複数のビットが誤る可能性がある。
- [0126] 単純に各メモリチップ510の36ビットを順に並べると、図27のように144ビットの中に4ビットの誤りが、飛び飛びに発生する。これら4ビットの誤りは、一塊の誤りとみなされない。従って、従来のx4 DIMMなどで利用される128ビットのデータビットに対する16ビットの検査ビットにより一塊の4ビットの誤りを検出、訂正するS4ED-D4ED符号を適用しても、当該誤りを検出、訂正することはできない。
- [0127] そこで、本実施例では、出力されるメモリチップ510毎にデータを並べるのではなく、誤り検査符号符号化部713、および誤り検査符号復号化部715が、各ビットを通過するTSV毎にデータを並び替える。図27は、当該並び替え前後のエラーパターンを示す例である。当該並び替えによって、誤り検査符号符号化部713は、飛び飛びに発生した4ビットの誤りを、一塊の4ビットの誤りとして扱う事ができる。
- [0128] このとき、誤り検査符号符号化部713は、例えば、従来のx4 DIMMなどにおいて4ビットのバイト誤り訂正に用いられる、128ビットのデータに対して16ビットの検査ビットを付与するバイト長4のバイト誤り訂正符号を適用することで、S4ED-D4ED (Single 4bit Error Detection - Double 4bit Error Detection) 符号を適用することができる。
- [0129] つまり、この方法を適用することにより、図25のようにTSVを時分割共有する一塊のデータに対して符号を適用する場合にバイト誤り検出を行う制御符号の適用が可能となる。従って、誤り制御システムは、図27における並び替えを行うことにより、1つのTSV故障時に発生する4ビット誤りの検出、訂正、及び2つのTSV故障時に発生する8ビット誤りの検出を行



うことが可能となる。誤り制御システムは、TSVだけでなく、同一のハードウェア資源を時分割利用する一塊のデータに対して符号を適用する場合一般において、当該方法を適用可能である。

[0130] なお、本発明は上記した実施例に限定されるものではなく、様々な変形例が含まれる。例えば、上記した実施例は本発明を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施例の構成の一部を他の実施例の構成に置き換えることも可能であり、また、ある実施例の構成に他の実施例の構成を加えることも可能である。また、各実施例の構成の一部について、他の構成の追加・削除・置換をすることが可能である。

[0131] また、上記の各構成、機能、処理部、処理手段等は、それらの一部又は全部を、例えば集積回路で設計する等によりハードウェアで実現してもよい。また、上記の各構成、機能等は、プロセッサがそれぞれの機能を実現するプログラムを解釈し、実行することによりソフトウェアで実現してもよい。各機能を実現するプログラム、テーブル、ファイル等の情報は、メモリや、ハードディスク、SSD (Solid State Drive) 等の記録装置、または、ICカード、SDカード、DVD等の記録媒体に置くことができる。

[0132] また、制御線や情報線は説明上必要と考えられるものを示しており、製品上必ずしも全ての制御線や情報線を示しているとは限らない。実際には殆ど全ての構成が相互に接続されていると考えてもよい。

## 請求の範囲

### [請求項1]

メモリ装置からデータを読み出し、前記読み出したデータ内の誤りを訂正する、誤り訂正装置であって、

前記メモリ装置は、第1種符号と第2種符号との積符号における符号処理により符号化された第1データを保持し、

前記第1データにおいて、前記第1種符号により符号化された任意の第1種符号語と、前記第2種符号により符号化された任意の第2種符号語との重複するデータ長は前記第2種符号におけるバイト長以下であり、

前記誤り訂正装置は、

前記メモリ装置から、前記第1データを読み出す読出し制御部と、

前記読み出した第1データに対して、前記第2種符号における復号処理を行う第2復号処理部と、

前記第2復号処理部による復号処理が行われた第1データに対して、前記第1種符号における復号処理を行う第1復号処理部と、を含み、

前記第2復号処理部は、前記メモリ装置から取得した第1の第2種符号語において訂正不能な誤りを検出した場合、前記第1の第2種符号語がエラーを含むことを示すエラーフラグをセットし、

前記第1復号処理部は、前記第1の第2種符号語に含まれる第1のバイトを含み、前記メモリ装置内の異なるメモリユニットそれぞれに格納されるバイトからなる第1の第1種符号語において、前記エラーフラグに基づき前記第1のバイトにおけるエラーを訂正する、誤り訂正装置。

### [請求項2]

請求項1に記載の誤り訂正装置であって、

前記メモリ装置は、前記メモリユニットとして、複数のメモリチップをさらに含み、

前記第1種符号語は、前記複数のメモリチップそれぞれに格納され

るバイトを含み、

前記第2種符号語は、1つのメモリチップの複数サイクルのデータを含む、誤り訂正装置。

[請求項3]

請求項1に記載の誤り訂正装置であって、

前記メモリ装置は、前記メモリユニットにおけるデータを入出力するための複数のチャンネルをさらに含み、

前記第1種符号語は、前記複数のチャンネルそれぞれにおいて入出力されるバイトを含み、

前記第2種符号語は、1つのチャンネルに対応するメモリユニットの複数サイクルのデータを含む、誤り訂正装置。

[請求項4]

請求項1に記載の誤り訂正装置であって、

前記メモリ装置は、前記メモリユニットとして、複数のバンクをさらに含み、

前記第1種符号語は、前記複数のバンクそれぞれに格納されるバイトを含み、

前記第2種符号語は、1つのバンクの複数サイクルのデータを含む、誤り訂正装置。

[請求項5]

請求項1から4のいずれか1つに記載の誤り訂正装置であって、

前記第1種符号は、ビット誤り検出能力を有し、

前記第2種符号は、バイト誤り検出能力を有する、誤り訂正装置。

[請求項6]

請求項5に記載の誤り訂正装置であって、

前記第1種符号は、SECDED-SbED符号（bは正の整数）であり、

前記第2種符号は、SECDED符号である、誤り訂正装置。

[請求項7]

請求項2から4のいずれか1つに記載の誤り訂正装置であって、

前記複数サイクルは、偶数サイクルであり、

前記第2種符号は、奇数重み符号である、誤り訂正装置。

[請求項8]

請求項1に記載の誤り訂正装置であって、

前記メモリ装置は、複数のメモリチップ群をさらに含み、

前記第1種符号語は、1つのメモリチップ群に含まれるメモリチップそれぞれに格納されるバイトを含み、

前記第2種符号語は、異なるメモリチップ群に含まれるメモリチップのデータを含み、

前記メモリユニットは、前記1つのメモリチップ群に含まれるメモリチップそれぞれである、誤り訂正装置。

[請求項9] 請求項1に記載の誤り訂正装置であって、

前記第1復号処理部は、前記第1の第1種符号語内に前記第1種符号におけるエラーが無く、かつ前記エラーフラグがセットされていると判定した場合、前記第1の第1種符号語に訂正不能エラーが存在すると判定する、誤り訂正装置。

[請求項10] 請求項1に記載の誤り訂正装置であって、

前記読出し制御部が前記第1データの一部についての読出し要求を受信した場合、前記第1復号処理部及び前記第2復号処理部による復号処理が行われた第1データをキャッシュし、

前記読出し制御部は、前記第1データの別の一部についての読出し要求に対して、前記キャッシュした第1データを読出す、誤り訂正装置。

[請求項11] メモリ装置からデータを読み出し、前記読み出したデータ内の誤りを訂正する、誤り訂正方法であって、

前記メモリ装置は、第1種符号と第2種符号との積符号における符号処理により符号化された第1データを保持し、

前記第1データにおいて、前記第1種符号により符号化された任意の第1種符号語と、前記第2種符号により符号化された任意の第2種符号語との重複するデータ長は前記第2種符号におけるバイト長以下であり、

前記誤り訂正方法は、

前記メモリ装置から、前記第1データを読み出す第1の手順と、  
前記読み出した第1データに対して、前記第2種符号における復号処理を行う第2の手順と、

前記第2の手順において復号処理が行われた第1データに対して、  
前記第1種符号における復号処理を行う第3の手順と、を含み、

前記第2の手順は、前記メモリ装置から取得した第1の第2種符号語において訂正不能な誤りを検出した場合、前記第1の第2種符号語がエラーを含むことを示すエラーフラグをセットすることを含み、

前記第3の手順は、前記第1の第2種符号語に含まれる第1のバイトを含み、前記メモリ装置内の異なるメモリユニットそれぞれに格納されるバイトからなる第1の第1種符号語において、前記エラーフラグに基づき前記第1のバイトにおけるエラーを訂正することを含む、  
誤り訂正方法。

[請求項12]

請求項11に記載の誤り訂正方法であって、

前記メモリ装置は、複数のメモリチップをさらに含み、

前記第1種符号語は、前記複数のメモリチップそれぞれに格納されるバイトからなり、

前記第2種符号語は、1つのメモリチップの複数サイクルのデータからなり、

前記メモリユニットは、前記複数のメモリチップそれぞれである、  
誤り訂正方法。

[請求項13]

請求項11に記載の誤り訂正方法であって、

前記メモリ装置は、前記メモリ装置へのインターフェースである複数のチャンネルをさらに含み、

前記第1種符号語は、前記複数のチャンネルそれぞれに格納されるバイトからなり、

前記第2種符号語は、1つのチャンネルの複数サイクルのデータからなり、

前記メモリユニットは、前記複数のチャンネルである、誤り訂正方法  
。

[請求項14]

請求項11に記載の誤り訂正方法であって、

前記メモリ装置は、複数のバンクをさらに含み、

前記第1種符号語は、前記複数のバンクそれぞれに格納されるバイトからなり、

前記第2種符号語は、1つのバンクの複数サイクルのデータからなり、

前記メモリユニットは、前記複数のバンクである、誤り訂正方法。

[請求項15]

メモリ装置と、

前記メモリ装置からデータを読み出し、前記読み出したデータ内の誤りを訂正する、誤り訂正装置と、を含む誤り訂正システムであって、

前記メモリ装置は、第1種符号と第2種符号との積符号における符号処理により符号化された第1データを保持し、

前記第1データにおいて、前記第1種符号により符号化された任意の第1種符号語と、前記第2種符号により符号化された任意の第2種符号語との重複するデータ長は前記第2種符号におけるバイト長以下であり、

前記誤り訂正装置は、

前記メモリ装置から、前記第1データを読み出す読出し制御部と、

前記読み出した第1データに対して、前記第2種符号における復号処理を行う第2復号処理部と、

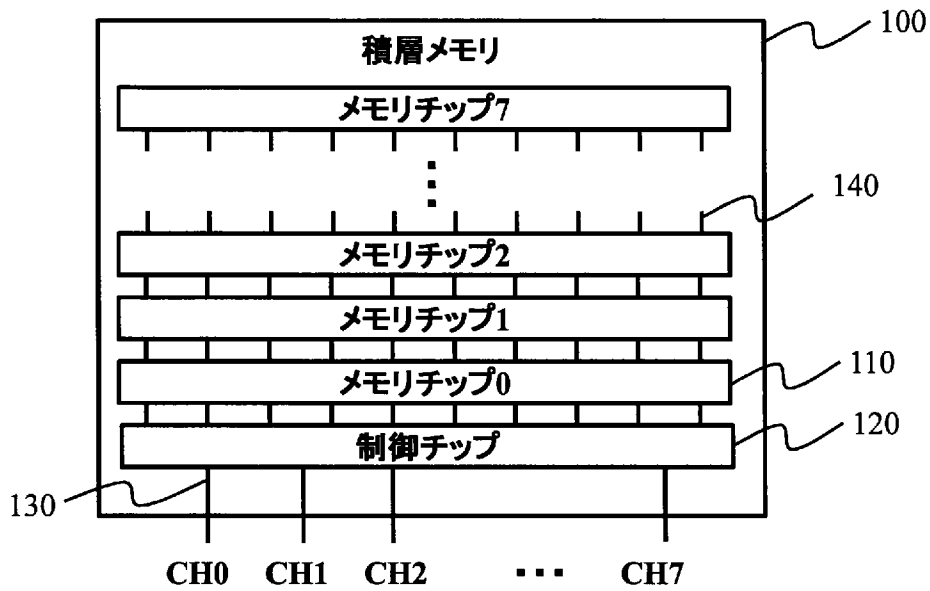
前記第2復号処理部による復号処理が行われた第1データに対して、前記第1種符号における復号処理を行う第1復号処理部と、を含み、

前記第2復号処理部は、前記メモリ装置から取得した第1の第2種符号語において訂正不能な誤りを検出した場合、前記第1の第2種符

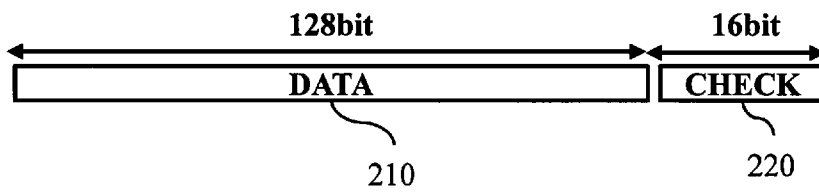
号語がエラーを含むことを示すエラーフラグをセットし、

前記第1復号処理部は、前記第1の第2種符号語に含まれる第1のバイトを含み、前記メモリ装置内の異なるメモリユニットそれぞれに格納されるバイトからなる第1の第1種符号語において、前記エラーフラグに基づき前記第1のバイトにおけるエラーを訂正する、誤り訂正システム。

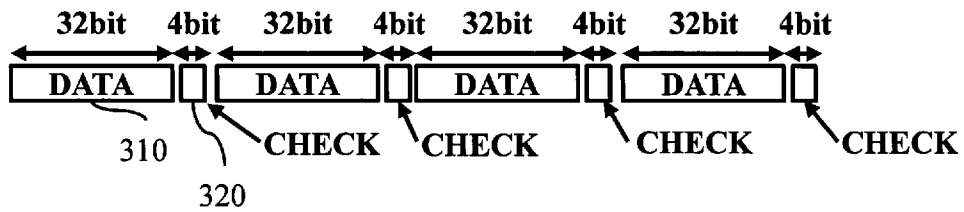
[図1]



[図2]

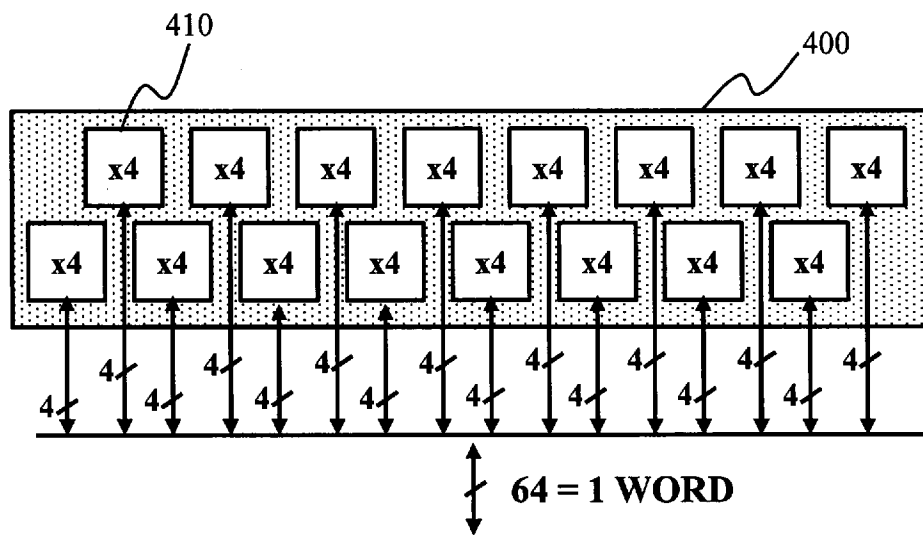


[図3]

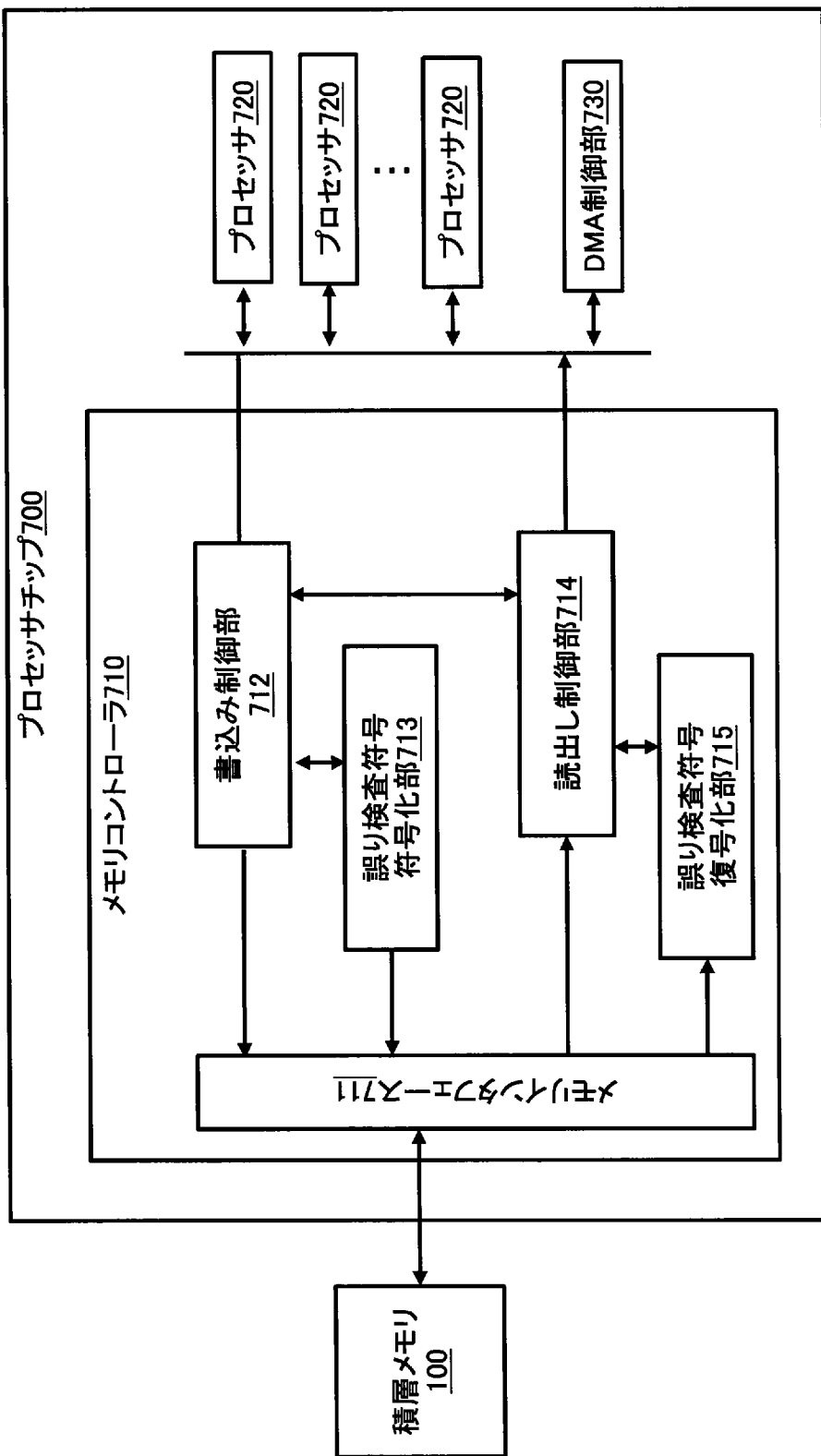




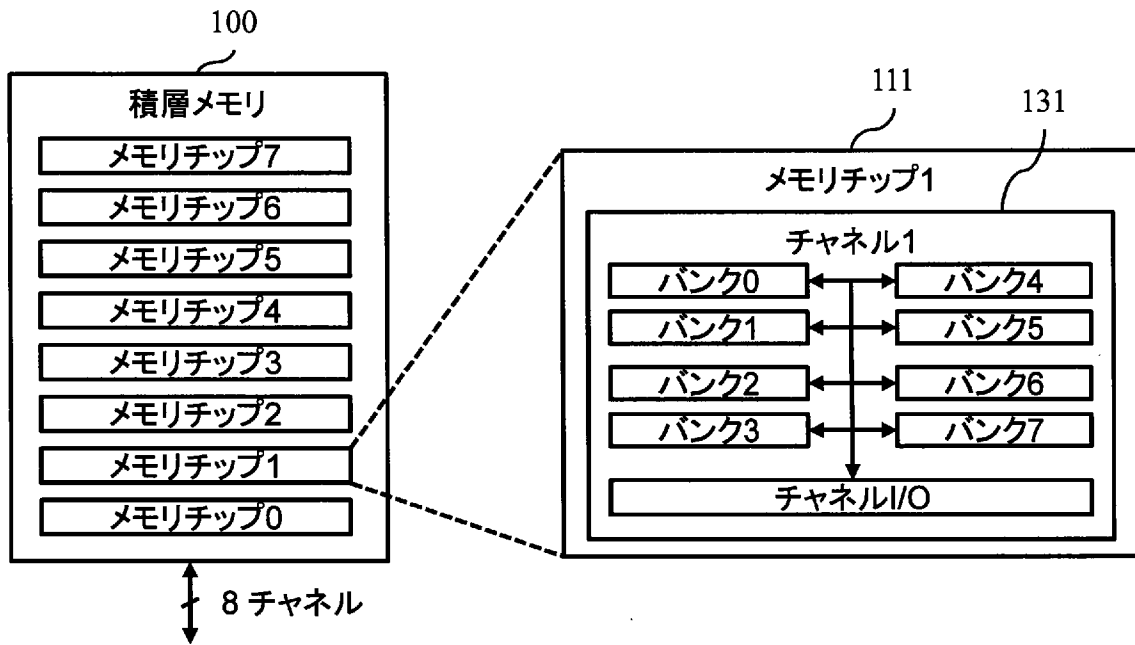
[図4]



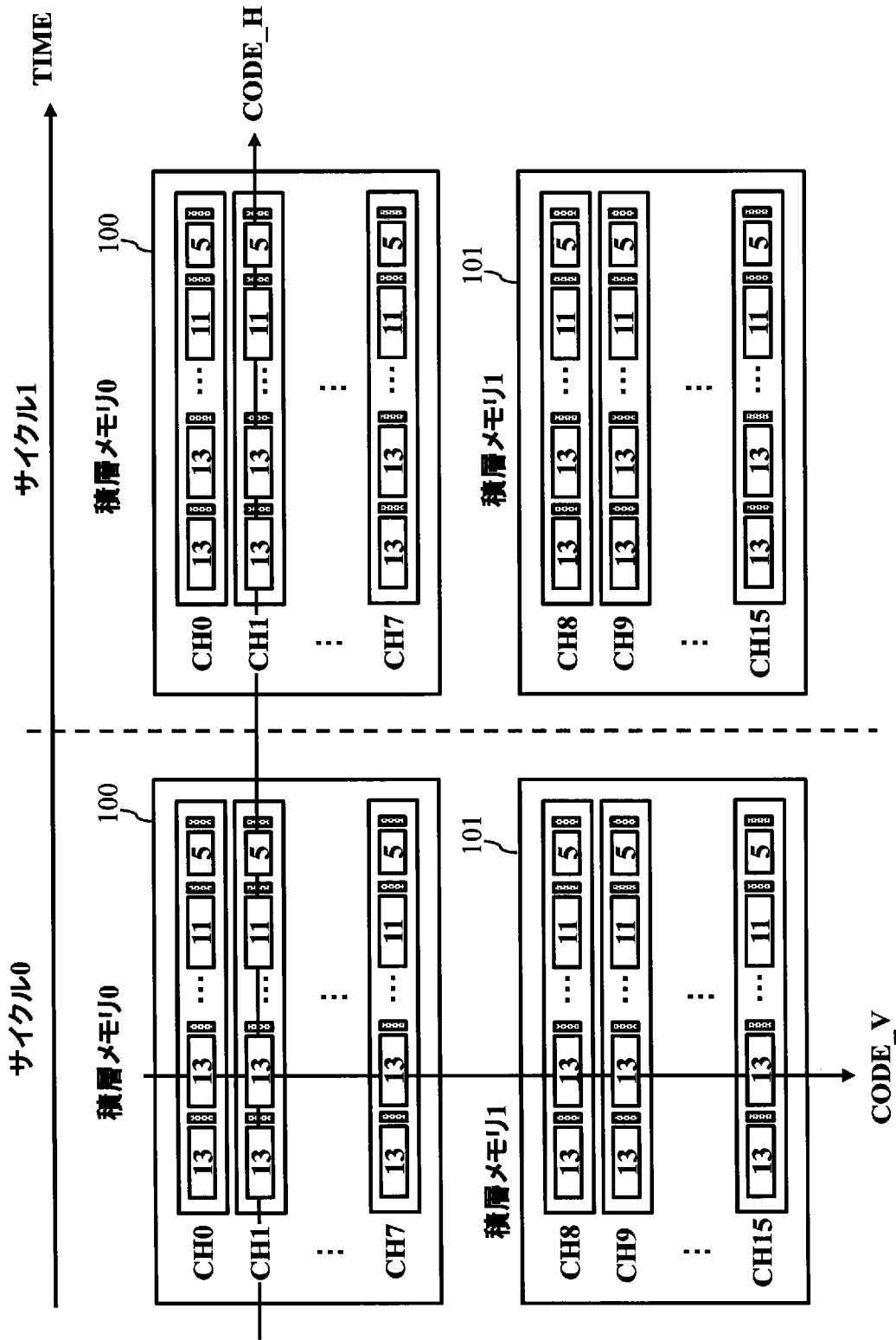
[図5]



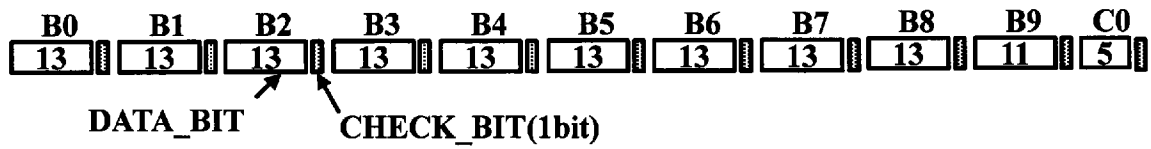
[図6]



[図7]

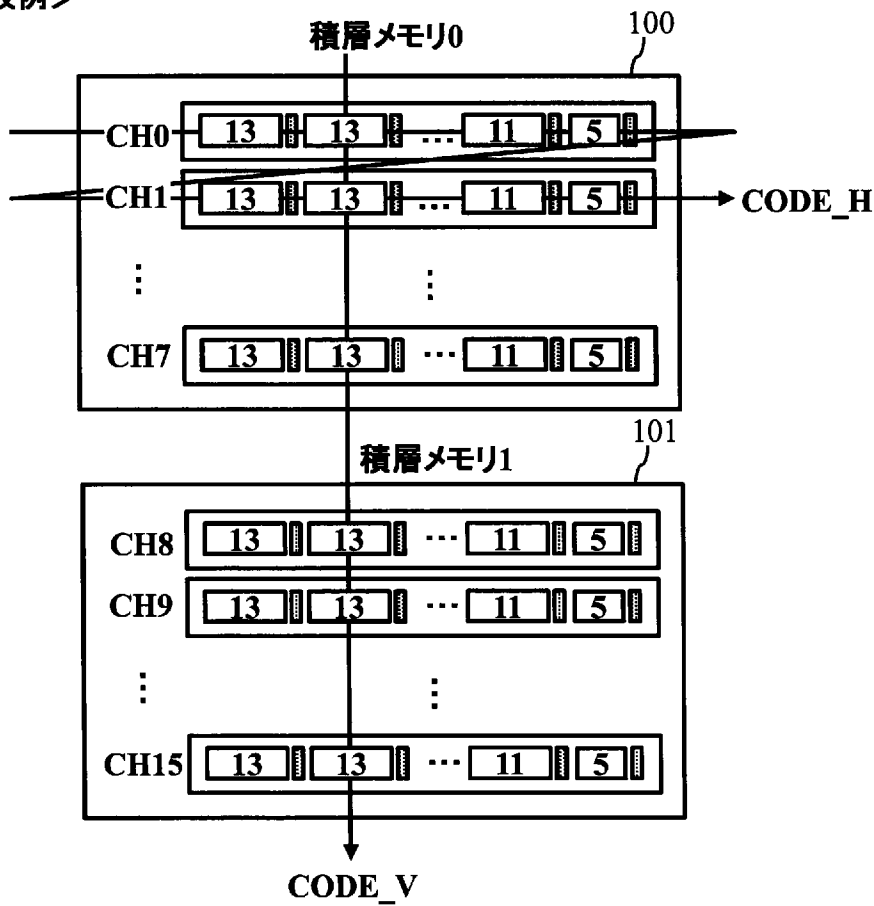


[図8]

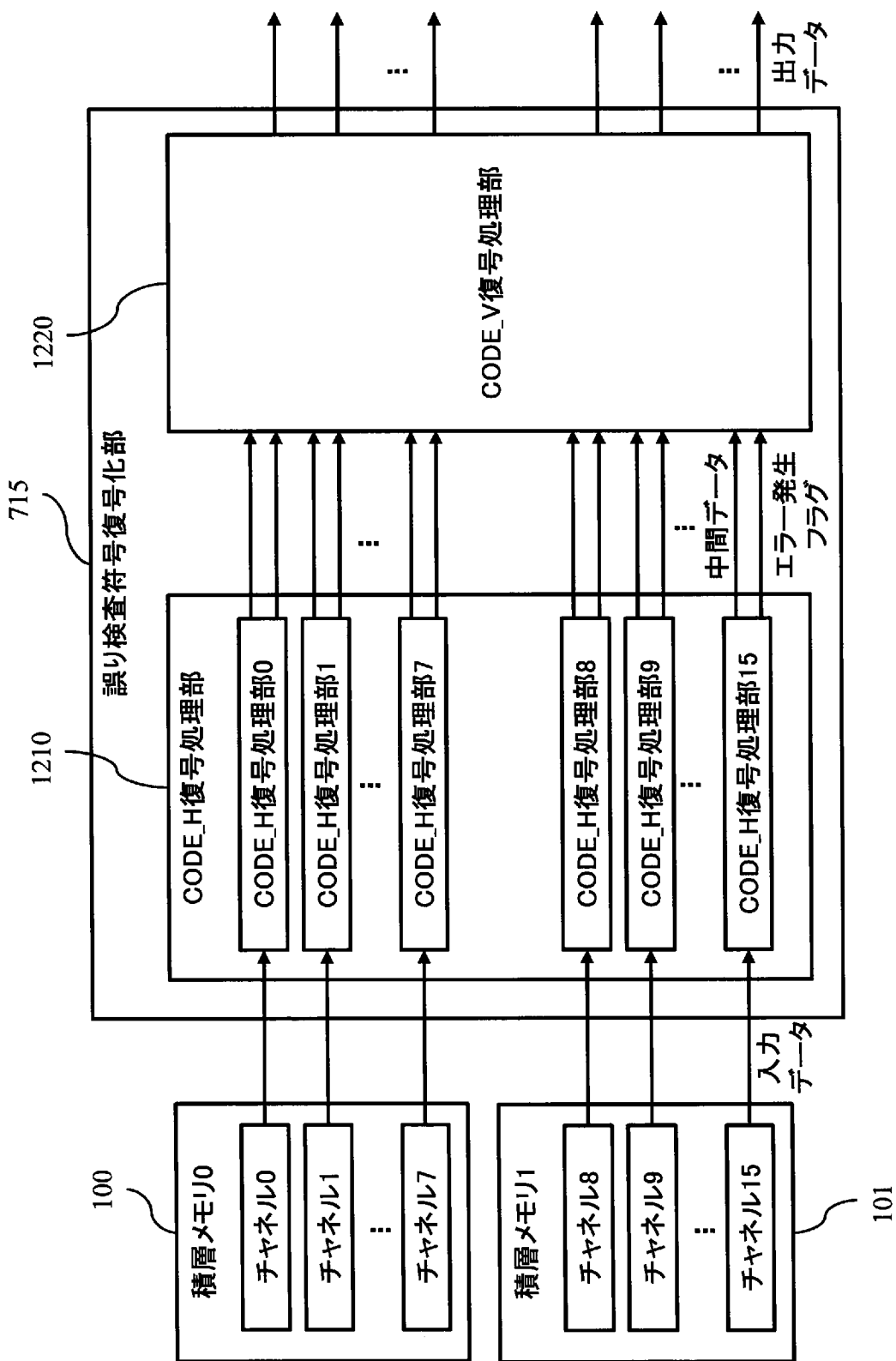


[図9]

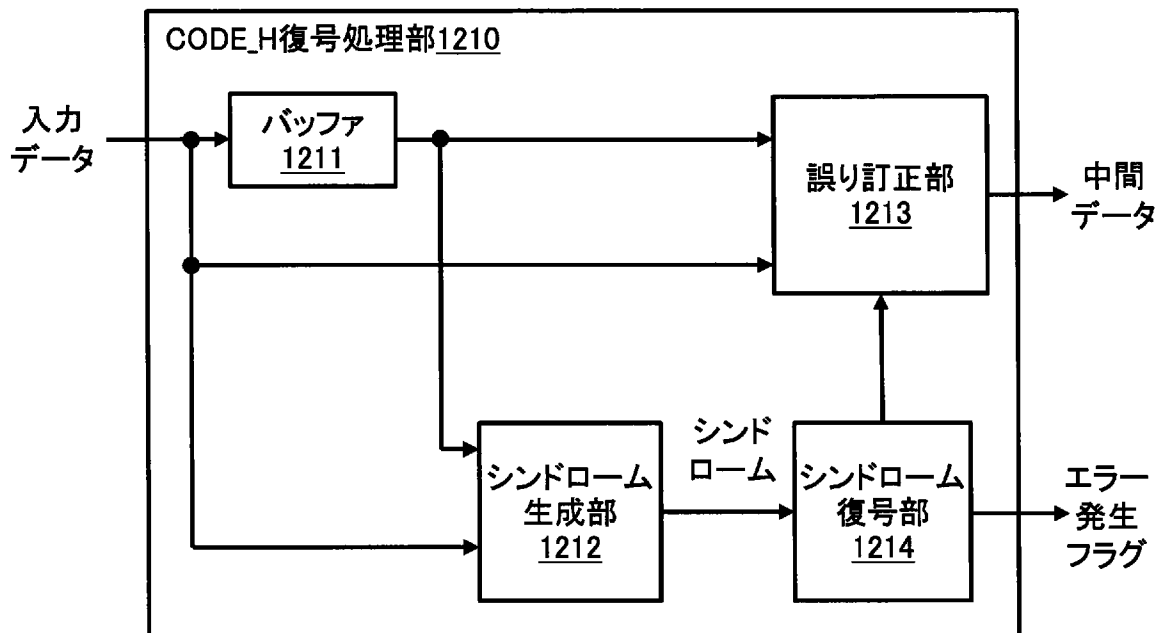
&lt;比較例&gt;



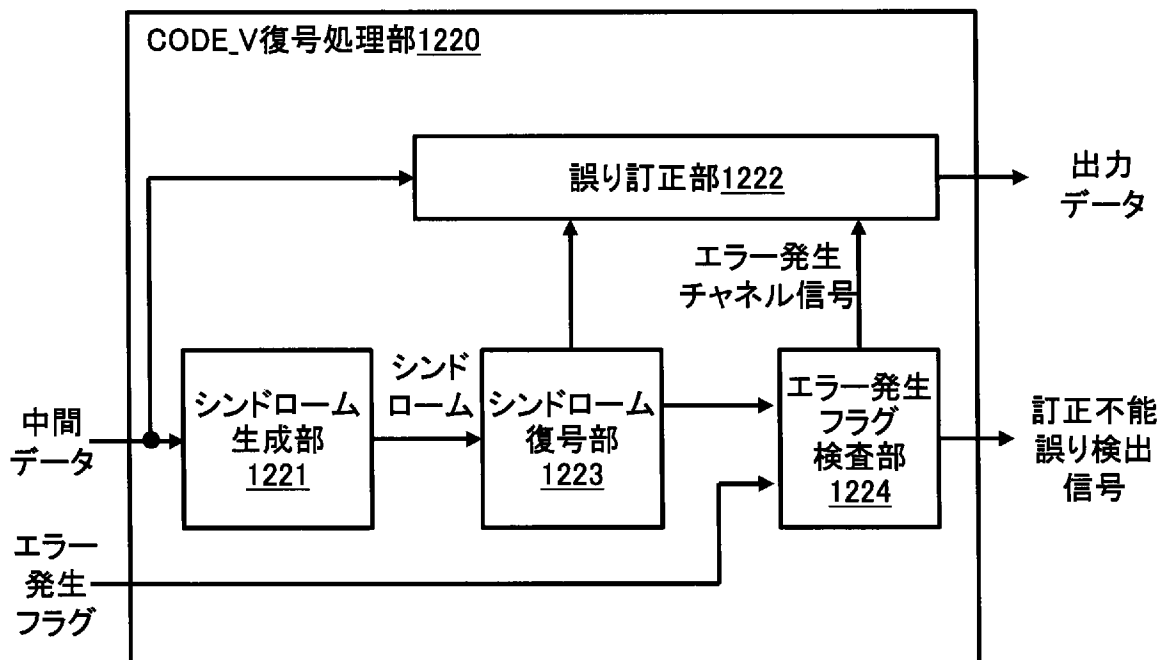
[図10]



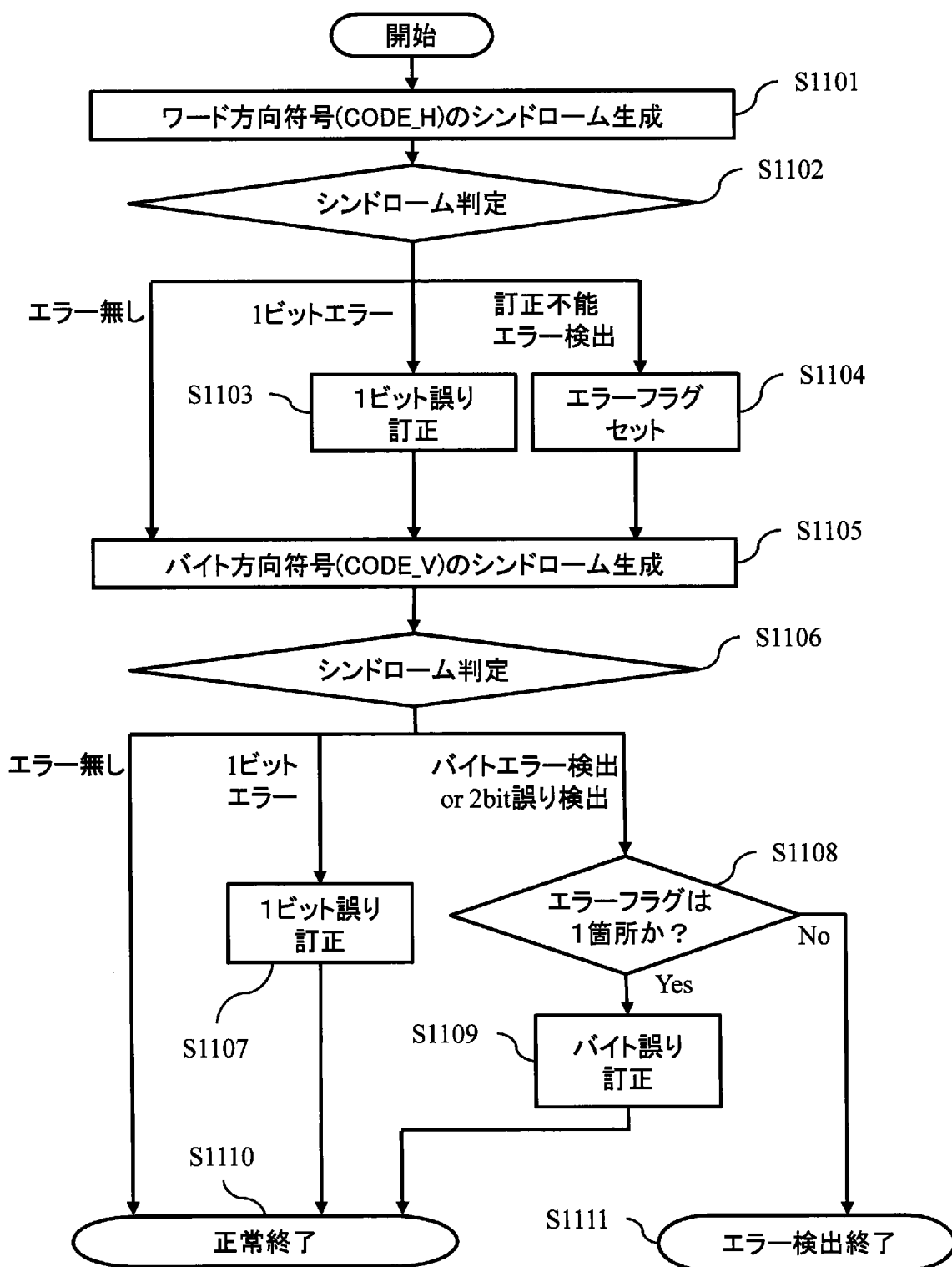
[図11]



[図12]

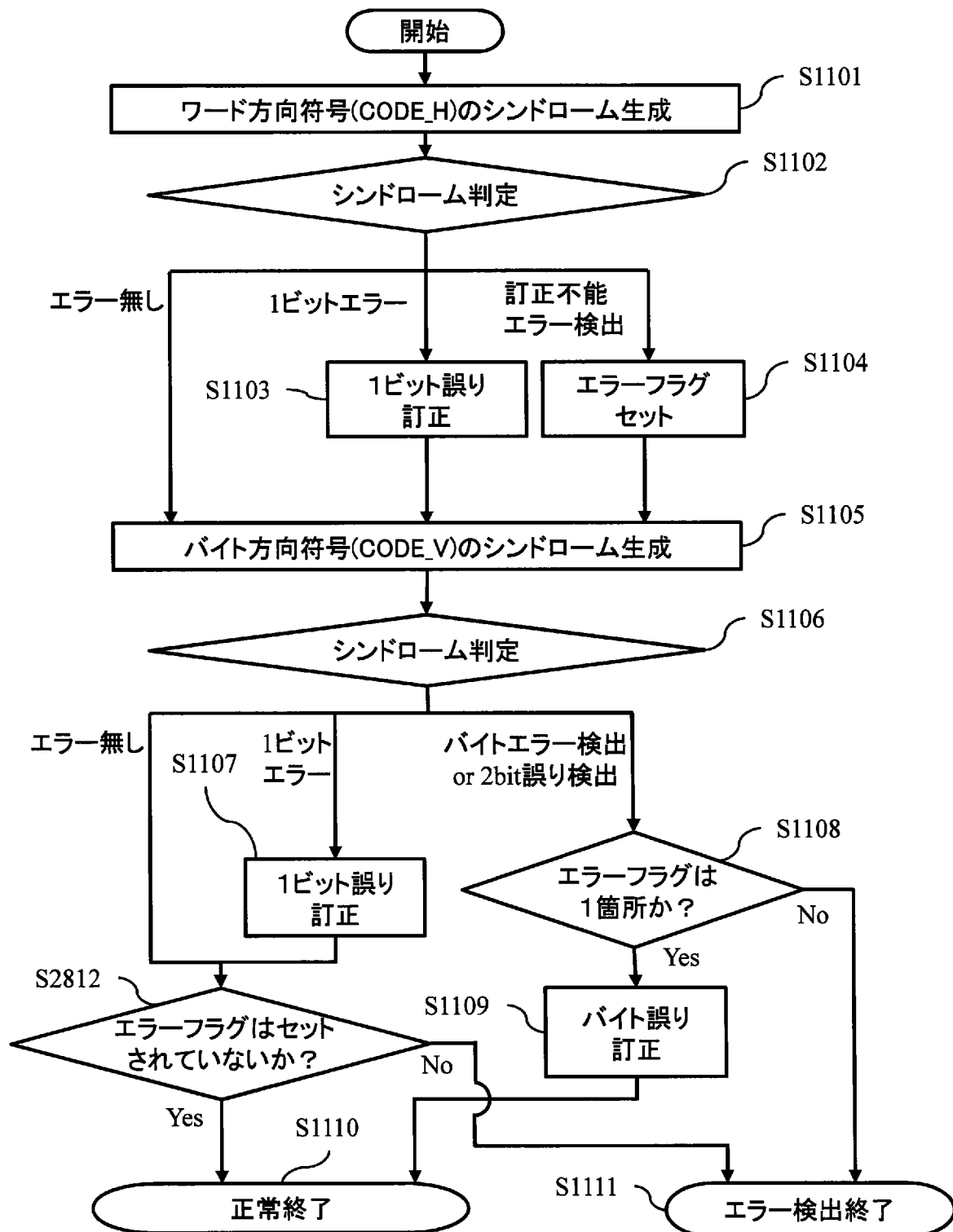


[図13]





[図14]

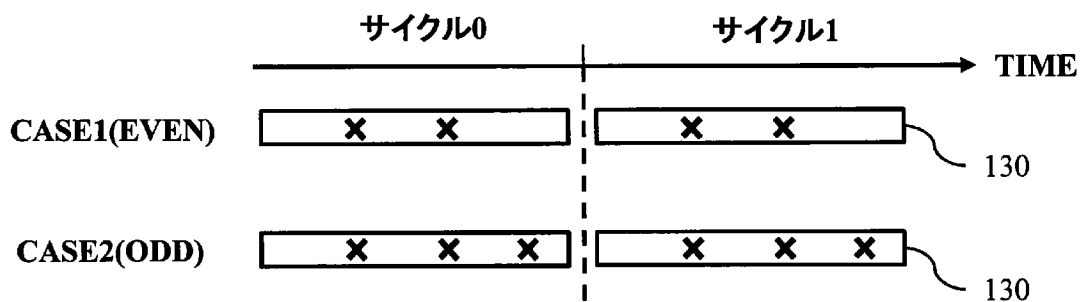




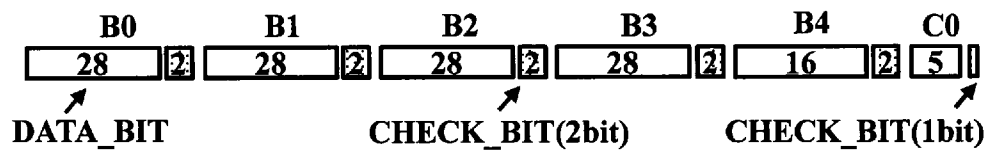




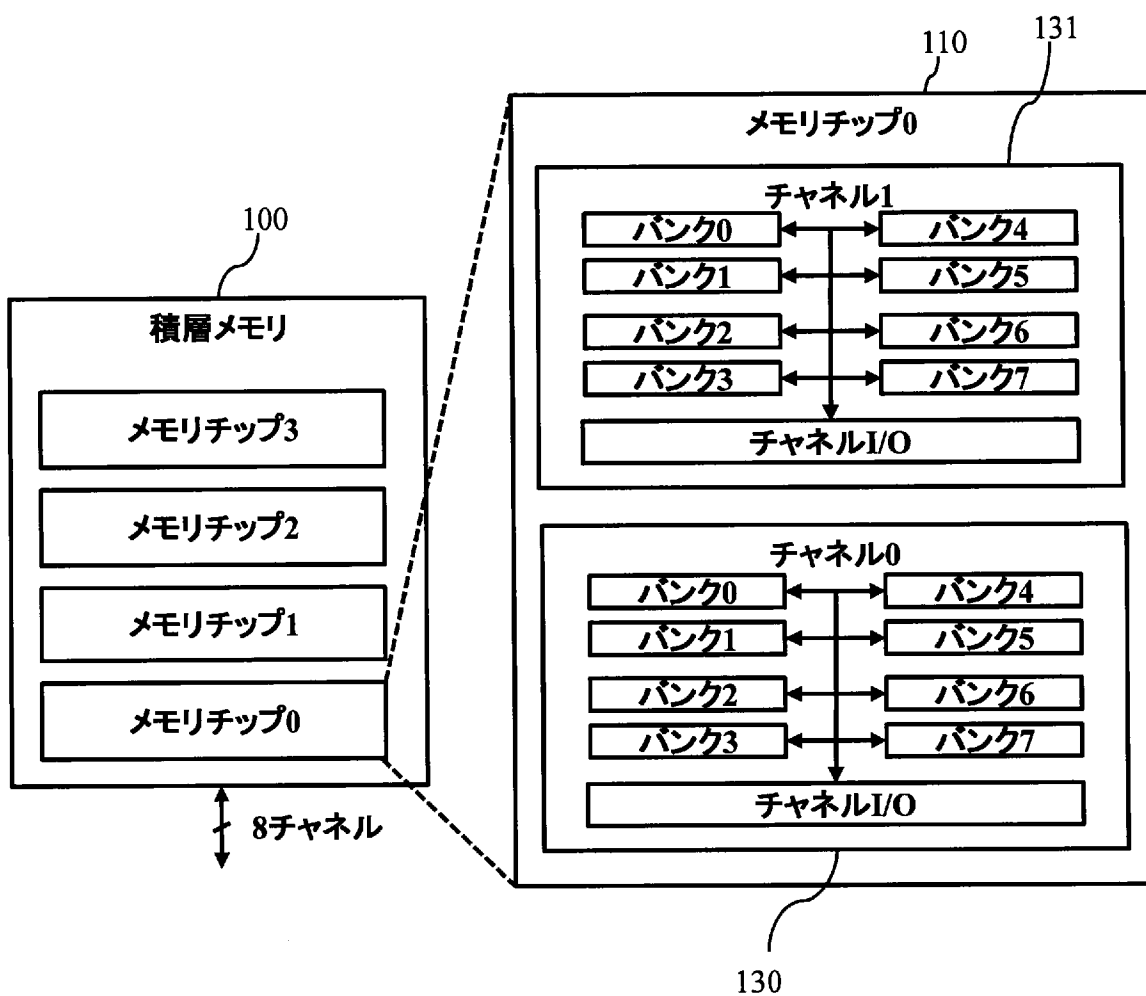
[図18]



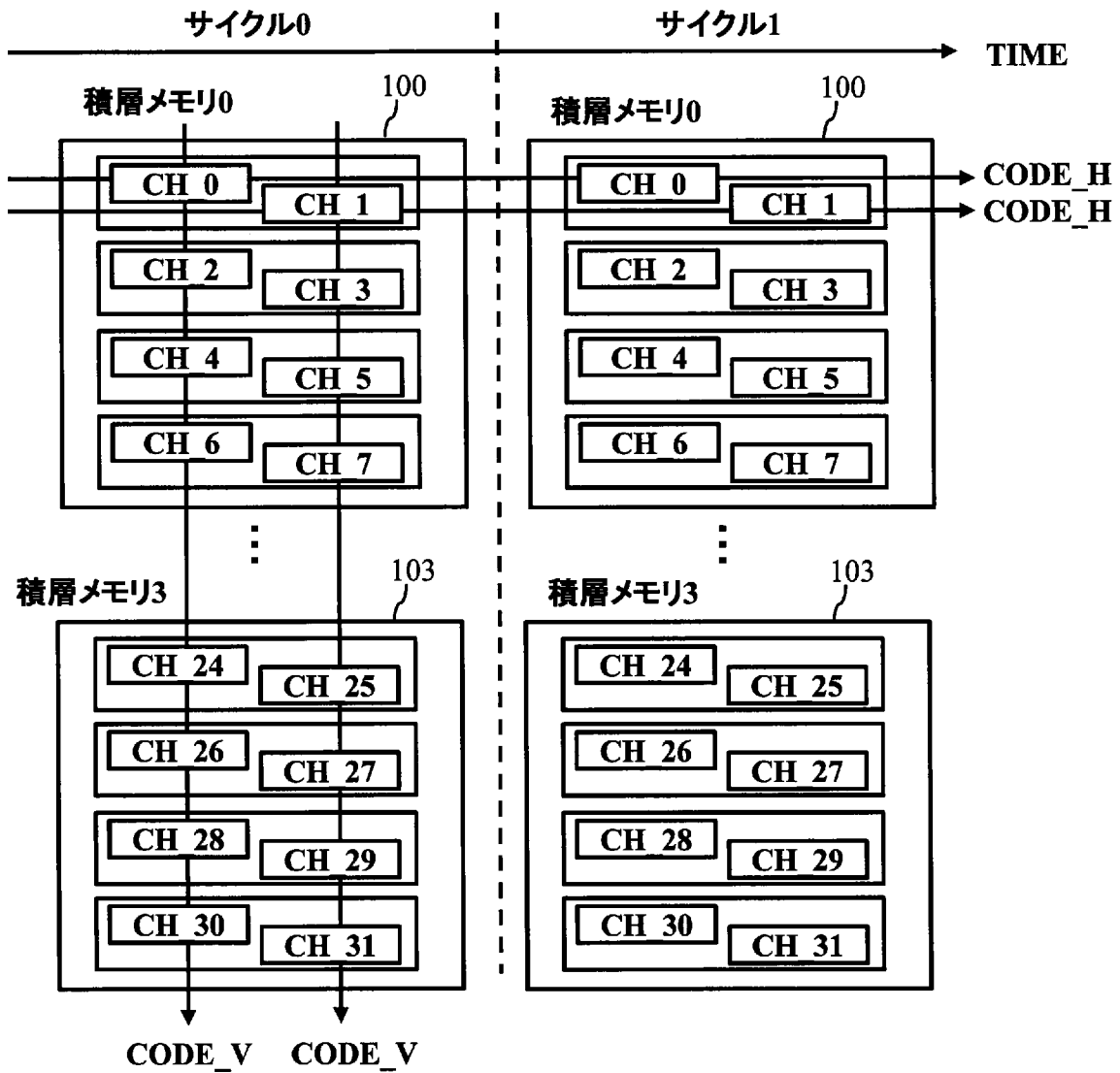
[図19]



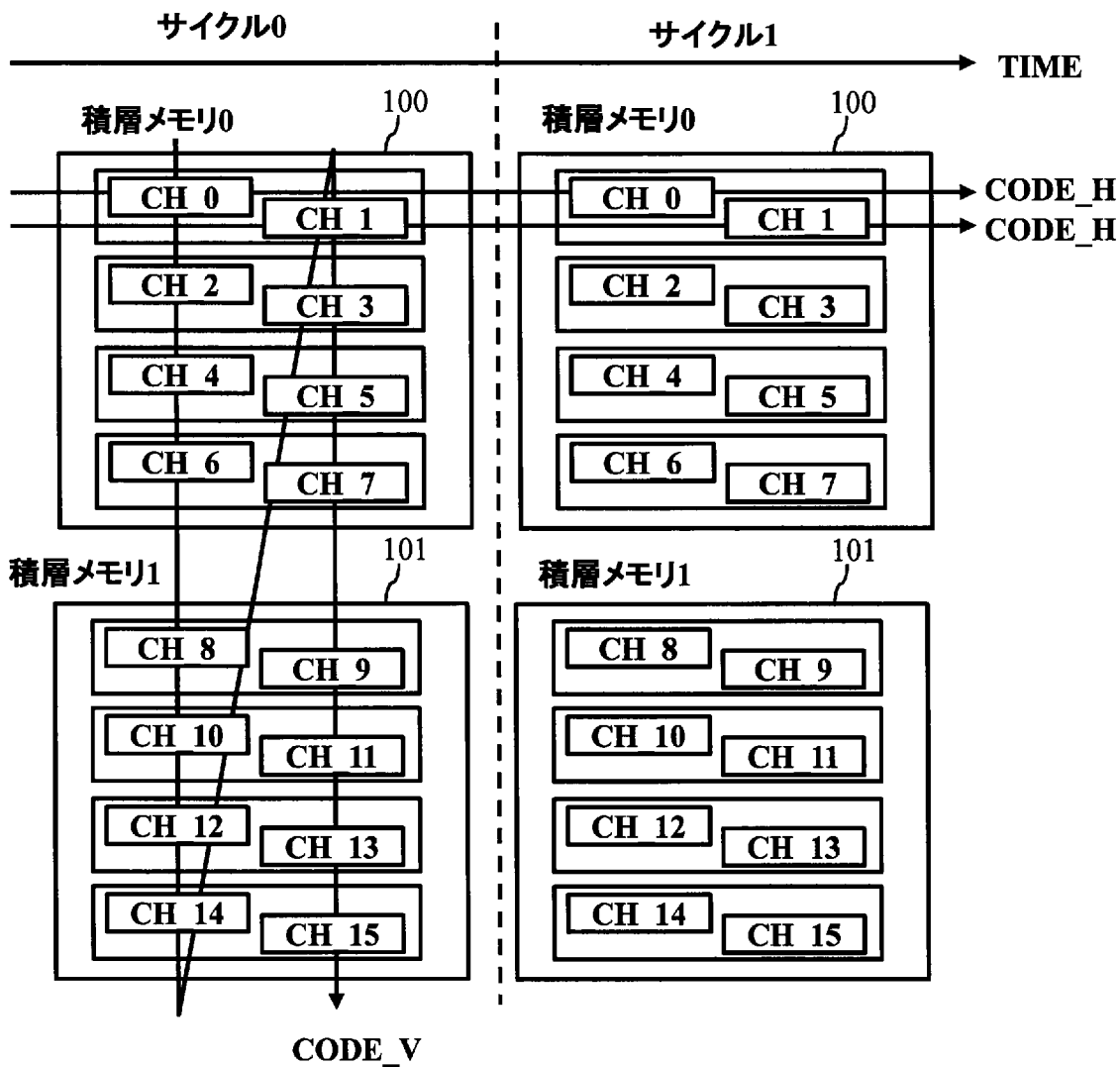
[図20]



[図21]

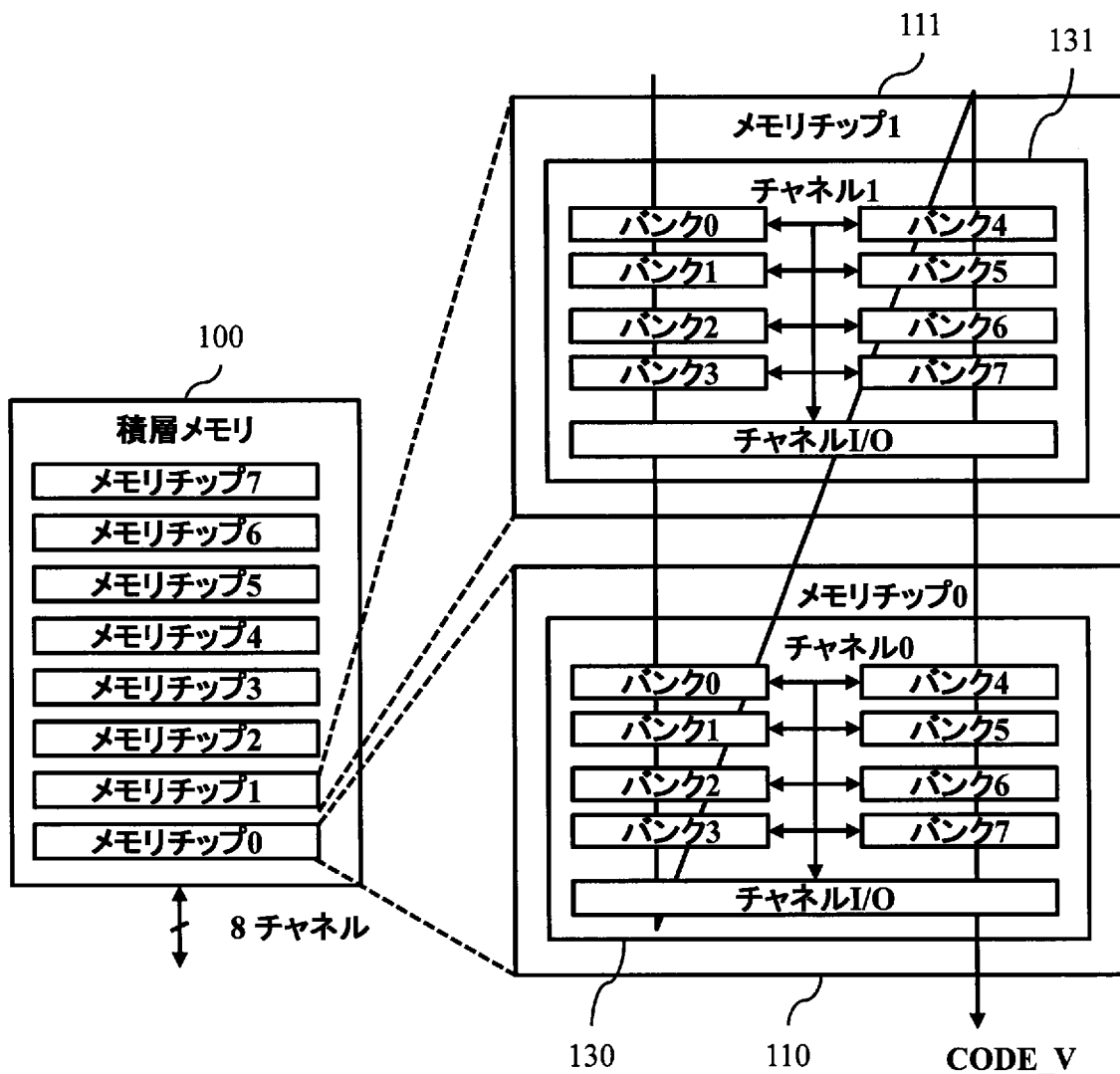


[図22]

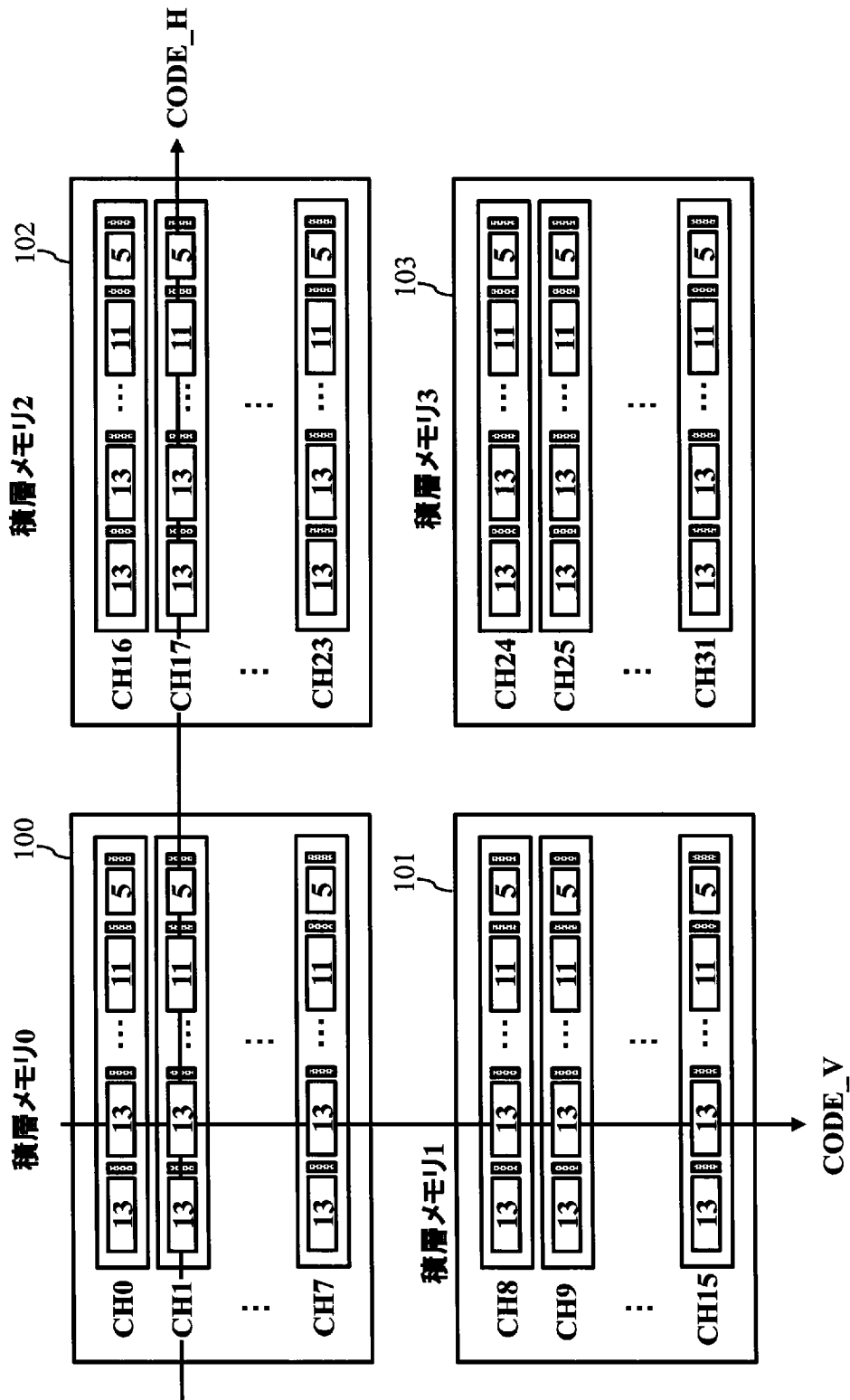




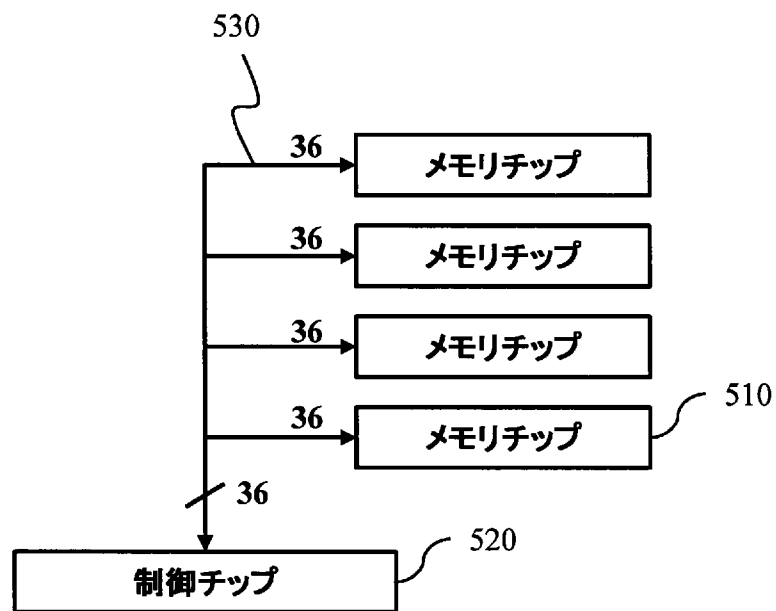
[図23]



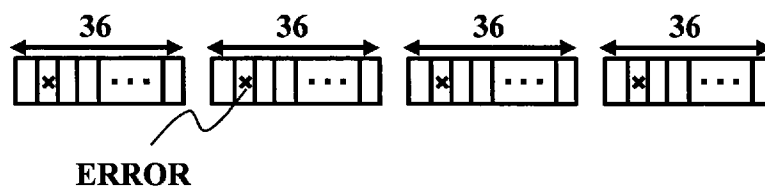
[図24]



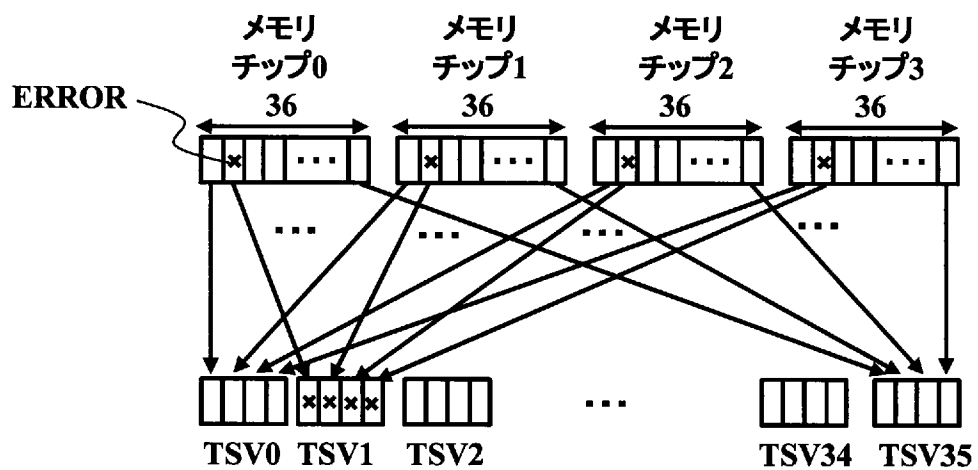
[図25]



[図26]



[図27]



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2014/073760

**A. CLASSIFICATION OF SUBJECT MATTER**  
G06F12/16(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
G06F12/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2012-22422 A (Panasonic Corp.), 02 February 2012 (02.02.2012), paragraphs [0017] to [0050]; fig. 2, 5 & US 2012/0017139 A1	1, 5, 6, 8, 11, 15 2-4, 7, 9, 10, 12-14

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 07 November, 2014 (07.11.14)	Date of mailing of the international search report 18 November, 2014 (18.11.14)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G06F12/16(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G06F12/16		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2014年 日本国実用新案登録公報 1996-2014年 日本国登録実用新案公報 1994-2014年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X  A	JP 2012-22422 A（パナソニック株式会社）2012.02.02, 段落【0017】-【0050】，図2,5 & US 2012/0017139 A1	1,5,6,8,11, 15 2-4,7,9,10, 12-14
<input type="checkbox"/> C欄の続きにも文献が列挙されている。		
<input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		
の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 07.11.2014	国際調査報告の発送日 18.11.2014	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 松永 稔 電話番号 03-3581-1101 内線 3565	5U 5089