

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-186363

(P2015-186363A)

(43) 公開日 平成27年10月22日 (2015. 10. 22)

| (51) Int. Cl.              | F I         | テーマコード (参考) |
|----------------------------|-------------|-------------|
| <b>HO2M 3/28 (2006.01)</b> | HO2M 3/28 R | 5H006       |
| <b>HO2M 7/21 (2006.01)</b> | HO2M 3/28 F | 5H730       |
|                            | HO2M 7/21 A |             |

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号 特願2014-61165 (P2014-61165)  
 (22) 出願日 平成26年3月25日 (2014. 3. 25)

(71) 出願人 000106276  
 サンケン電気株式会社  
 埼玉県新座市北野3丁目6番3号  
 (72) 発明者 中西 良太  
 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内  
 Fターム(参考) 5H006 AA05 CA02 CB03 CB07 DB01 DC05  
 5H730 AA14 BB23 BB43 DD04 DD41 EE02 EE03 EE07 EE08 EE10 EE13

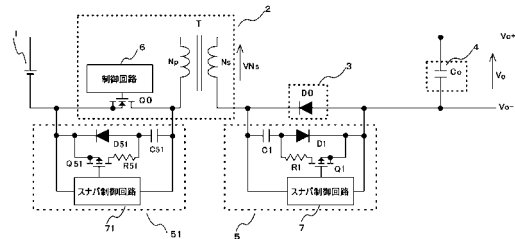
(54) 【発明の名称】 DC-DCコンバータ

(57) 【要約】

【課題】半導体素子のサージ電圧を抑制するスナバ回路を備えたDC/DCコンバータにおいて、スナバコンデンサが不要に放電することなくサージ電圧を抑制し、従来に比べ小型で高効率なDC/DCコンバータを実現することを目的とする。

【解決手段】本発明は、半導体スイッチ素子が導通・非導通を繰り返すことで電圧変換を行うDC/DCコンバータにおいて、半導体スイッチ素子の両端に並列に接続したスナバコンデンサとスナバダイオードからなる直列回路と、スナバダイオードの両端に並列に接続した補助スイッチとを有するスナバ回路を備え、補助スイッチは、半導体スイッチ素子の両端の電圧が所定の値以上になるとオンすることを特徴とする。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

半導体スイッチ素子が導通・非導通を繰り返すことで電圧変換を行う DC / DC コンバータにおいて、

前記半導体スイッチ素子の両端に並列に接続したスナバコンデンサとスナバダイオードからなる直列回路と、

前記スナバダイオードの両端に並列に接続した補助スイッチとを有するスナバ回路をであって、

前記補助スイッチは、前記半導体スイッチ素子の両端の電圧が所定の値以上になるとオンすることを特徴とする DC / DC コンバータ。。

10

**【請求項 2】**

前記半導体スイッチ素子は、制御信号に応じて入力された電圧を断続して出力するスイッチ素子であることを特徴とする請求項 1 に記載の DC / DC コンバータ。

**【請求項 3】**

前記半導体スイッチ素子は断続した電圧を整流する整流素子であることを特徴とする請求項 1 に記載の DC / DC コンバータ。

**【請求項 4】**

前記半導体スイッチ素子は断続した電圧を整流する同期整流回路であることを特徴とする請求項 1 に記載の DC / DC コンバータ。

**【請求項 5】**

前記補助スイッチには、スナバコンデンサの放電電流を制限するための抵抗が直列に接続されることを特徴とする請求項 1 乃至 3 に記載の DC / DC コンバータ。

20

**【請求項 6】**

前記補助スイッチは前記スナバダイオードのカソードにソースが接続され、前記スナバダイオードのアノードにドレインが接続された P チャネル MOSFET であり、

スナバ制御回路は、

前記スナバ回路に印加される電圧が所定の値以上になったことを検出する電圧検出回路と、

前記電圧検出回路に応じて、前記スナバダイオードの電圧が所定の値以下のとき補助スイッチを駆動するための電源を生成し、

30

前記電圧検出回路に応じて、前記スナバ回路に印加される電圧が所定の値以上のとき前記補助スイッチを駆動する駆動回路とを備えることを特徴とする請求項 1 乃至 5 に記載の DC / DC コンバータ。

**【請求項 7】**

前記電圧検出回路は、前記スナバ回路の両端に接続したカレントミラー回路に所定以上の電流が流れたことを検出することを特徴とする請求項 6 乃至 7 に記載の DC / DC コンバータ。

**【発明の詳細な説明】****【技術分野】****【0001】**

40

本発明は、DC - DC コンバータに関し、特にダイオードのサージ電圧を抑制するスナバ回路に関するものである。

**【背景技術】****【0002】**

DC - DC コンバータは、電子機器を駆動させるために広く使用される。これらの DC - DC コンバータは、入力の直流電圧をスイッチ素子でオンオフ制御して矩形波に変換し、この矩形波を整流平滑することで安定な所定の直流電圧に変換する。しかし、DC - DC コンバータはスイッチ素子をオンオフ制御するのでノイズが発生する。このノイズは、スイッチ素子や整流平滑回路に使用されるダイオードのように導通・非導通が切り替わる半導体素子にサージ電圧となって印加され、半導体素子を破損する恐れがある。サージ電

50

圧を抑制するため、一般的に、スナバ抵抗とスナバコンデンサを直列に接続して構成されたCRスナバ回路を半導体素子の両端に挿入する。

【0003】

整流平滑回路のダイオードを例すると、CRスナバ回路は、半導体素子が非導通となり電圧が印加されると、スナバ抵抗を介してスナバコンデンサを充電するのでサージ電圧を抑制することができる。また、半導体素子が導通となると、スナバコンデンサに充電されたエネルギーがスナバ抵抗を介して放出される。このため、CRスナバ回路はサージ電圧の抑制に有効であるが、抑制したサージは抵抗で消費されることになり損失が発生する。

【0004】

そこで、CRスナバ回路の代わりにコンデンサと補助スイッチから成るアクティブスナバ回路が提案されている。図14にアクティブスナバ回路を用いて半導体素子のサージ電圧を抑制する従来のDC/DCコンバータの例を示す(特許文献1)。図14は、直流電源110に直列に主スイッチFET111が接続され、主スイッチFET111に直列に変圧器112の一次巻線112aが接続される。変圧器112の二次巻線112bに直列に整流用ダイオード113及び出力コンデンサ114が接続され、出力コンデンサ114に並列に負荷115が接続される。主スイッチFET111に並列にコンデンサ116と補助スイッチFET117とから成る直列回路を接続する。また、二次側回路のダイオード113にも同様に、コンデンサ118と補助スイッチFET119とから成る直列回路を並列に接続する。

10

【0005】

補助スイッチFET117は、主スイッチFET111が導通状態にあるときは非導通状態となり、主スイッチFET111が非導通状態にあるときは導通状態となるように制御する。また、補助スイッチFET119は、ダイオード113が導通状態にあるときは非導通状態となり、ダイオード113が非導通状態のときは導通状態となるように制御する。例えば、主スイッチFET111が非導通状態に切り換わると補助スイッチFET117が導通状態に切り換えられる。ここで、コンデンサ116は主スイッチFET111の浮遊容量の数10倍に設定されるので、主スイッチFET111の両端が低周波、低インピーダンス状態に短絡されることになり、主スイッチFET111の両端間の電圧はほとんど一定の値に維持されサージ電圧を抑制する。一方、主スイッチFET111が非導通状態から導通状態に切り換わると補助スイッチFET117が非導通状態に切り換わるので、コンデンサ116の電圧はそのままの状態に維持され、電力損失を発生しない。

20

30

同様に、二次側回路のダイオード113が導通状態にあるときから非導通状態に切り換わるとFET119が導通状態に切り替わる。コンデンサ118の容量はダイオード113の浮遊容量の数十倍に設定されているので、ダイオード113の両端間の電圧はほぼ一定値に維持され電圧サージを抑制できる。

【0006】

主スイッチFET111が非導通状態になると、主スイッチFET111の浮遊容量を充電することで両端間の電圧が上昇する。しかし、図14に示した従来例は、主スイッチFET111の両端間の電圧がコンデンサ116に充電されている電圧に到達する前に補助スイッチFET117が導通するため、コンデンサ116 FET111 FET117の経路でコンデンサ116が放電電流が流れ主スイッチFET111の浮遊容量を充電する。この放電電流は、コンデンサ116の容量が大きいとさらに増大し、補助スイッチFET117に電流容量の大きい素子が必要になる。さらに図14に示した従来例は、補助スイッチFET117のソースと主スイッチFET111のソースは異なる電位となるので、補助スイッチFET117を駆動させるための新たに駆動回路が必要となり回路が複雑化する。

40

【0007】

同様に、二次側のダイオード113においても導通状態から非導通状態に切り換わると、ダイオード113の電圧がコンデンサ118に充電されている電圧より低い時に、コンデンサ118の放電電流が流れ補助スイッチFET119の浮遊容量を充電する。このた

50

め、補助スイッチ F E T 1 1 7 と同様に、補助スイッチ F E T 1 1 9 は電流容量の大きい素子を必要とし、さらに新たな駆動回路が必要になる。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開平03-93466号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

半導体素子のサージ電圧を抑制するスナバ回路を備えた D C - D C コンバータにおいて、スナバコンデンサが不要に放電することなくサージ電圧を抑制し、従来に比べ小型で高効率な D C - D C コンバータを実現することを目的とする。

10

【課題を解決するための手段】

【0010】

本発明は、半導体スイッチ素子が導通・非導通を繰り返すことで電圧変換を行う D C - D C コンバータにおいて、半導体スイッチ素子の両端に並列に接続したスナバコンデンサとスナバダイオードからなる直列回路と、スナバダイオードの両端に並列に接続した補助スイッチとを有するスナバ回路を備え、補助スイッチは、半導体スイッチ素子の両端の電圧が所定の値以上になるとオンすることを特徴とする。

20

【発明の効果】

【0011】

本発明の D C - D C コンバータは、半導体スイッチ素子が非導通になると、スナバコンデンサとスナバダイオードからなる直列回路でサージ電圧を抑制するとともに、半導体スイッチ素子の両端の電圧が所定の値以上になると補助スイッチをオンするので、スナバコンデンサを必要以上に放電することはなく、サージ電圧によって充電されたエネルギーを放電する。このため少ないエネルギー損失でサージ電圧を抑制するので、効率よくノイズを低減させることができる。

【図面の簡単な説明】

【0012】

【図1】図1は本発明の第1の実施例を示すブロック図である。

30

【図2】図2は本発明の第1の実施例において補助スイッチのオンタイミングが最適で無い時の補助スイッチの動作を示したタイミングチャートである。

【図3】図3は本発明の第1の実施例において補助スイッチのオンタイミングが最適にした時の補助スイッチの動作を示したタイミングチャートである。

【図4】図4は本発明の第1の実施例を整流器に適用したときの回路構成図である。

【図5】図5は本発明の第1の実施例を整流器に適用したときのタイミングチャートである。

【図6】図6は本発明を同期整流回路に適用した第2の実施例を示す回路構成図である。

【図7】図7は本発明の第2の実施例を適用しないときの補助スイッチの動作を示したタイミングチャートである。

40

【図8】図8は本発明の第2の実施例における補助スイッチの動作を示したタイミングチャートである。

【図9】図9は本発明の第3の実施例を示す回路構成図である。

【図10】図10は本発明の第3の実施例における補助スイッチの動作を示したタイミングチャートである。

【図11】図11は本発明の第4の実施例を示す回路構成図である。

【図12】図12は本発明をセンタータップ型の整流回路に適用したときのブロック図である。

【図13】図13は本発明をフォワードコンバータの整流回路に適用したときのブロック図である。

50

【図 1 4】図 1 4 は従来例を示す回路構成図である。

【発明を実施するための形態】

【実施例 1】

【0013】

図 1 は、本発明の第 1 の実施例を示すブロック図である。直流電源 1 と変圧器 T の一次巻線と主スイッチ Q 0 が直列接続される。主スイッチ Q 0 は制御回路 6 でオンオフ制御され、変圧器 T の一次巻線に断続的に電圧を印加する。このため、変圧器 T の二次巻線 N s に矩形波の電圧が誘起される。この電圧をダイオード D 0 で整流し、平滑コンデンサ C o で平滑し V o + と V o - に直流電圧 V o を出力する。さらに第 1 の実施例ではダイオード D 0 の両端にスナバ回路 5 及び主スイッチ Q 0 の両端にスナバ回路 5 1 を接続する。

10

【0014】

スナバ回路 5 は、スナバコンデンサ C 1 及びスナバダイオード D 1 からなる第 1 の直列回路と、スナバダイオード D 1 と並列に接続した抵抗 R 1 及び補助スイッチ Q 1 からなる第 2 の直列回路と、スナバ制御回路 7 で構成される。第 1 の直列回路は半導体素子のサージ電圧を抑制するスナバ部を構成し、第 2 の直列回路はサージ電圧のよってスナバコンデンサ C 1 に充電された電荷を放電する放電回路を構成し、スナバ制御回路はスナバ回路 5 に印加される電圧を検出し、この電圧に応じて補助スイッチを駆動してオンオフ制御する。抵抗 R 1 はスナバコンデンサの C 1 の放電電流を制限する。スナバ回路 5 1 は、スナバコンデンサ C 5 1 及びスナバダイオード D 5 1 からなる第 1 の直列回路と、スナバダイオード D 5 1 と並列に接続した抵抗 5 1 及び補助スイッチ Q 5 1 からなる第 2 の直列回路と

20

【0015】

ダイオード D 0 に接続されたスナバ回路 5 及び主スイッチ Q 0 に接続されたスナバ回路 5 1 は同様の動作を行うことによりサージ電圧を抑制する。以下、ダイオード D 0 及びスナバ回路 5 を例にその動作を説明する。主スイッチ Q 0 がオンすると、トランス T の二次巻線 N s にはダイオード D 0 に対して逆方向の電圧が発生し、ダイオード D 0 の両端の電圧が上昇する。ダイオード D 0 の両端の電圧がスナバコンデンサ C 1 の電圧より高くなると、スナバコンデンサ C 1 及びスナバダイオード D 1 に電流が流れスナバコンデンサ C 1 を充電する。これにより、ダイオード D 0 の両端に印加されるサージ電圧が抑制される。補助スイッチ Q 1 はスナバ回路 5 に印加された電圧が所定の値以上になるとオンする。その後サージ電圧が無くなると、スナバコンデンサ C 1 は、C 1 N s C o Q 1 R 1 の経路で放電し、スナバコンデンサ C 1 の両端の電圧はこのときスナバ回路 5 に印加されている電圧まで低下する。つまり、スナバコンデンサ C 1 はサージ電圧で上昇した電圧が放電される。次に、ダイオード D 0 が導通状態になり両端の電圧が所定の値以下になると、補助スイッチ Q 1 はオフする。スナバコンデンサ C 1 の放電経路はなくなり、ダイオード D 0 が導通状態の間スナバコンデンサ C 1 は電圧を維持する。

30

【0016】

ここで、ダイオード D 0 が非導通状態になると同時に補助スイッチ Q 1 をオンさせると、スナバ回路 5 に印加される電圧がスナバコンデンサ C 1 の電圧まで上昇する前に補助スイッチ Q 1 をオンさせることになるため、スナバコンデンサ C 1 は、C 1 D 0 の浮遊容量 Q 1 抵抗 R 1 の経路で放電する。特にダイオード D 0 の電圧がゼロに近い状態で補助スイッチ Q 1 がオンするとほぼ短絡状態となり大きな電流が流れる。

40

このときのダイオード D 0 の両端電圧 V D 及び補助スイッチ Q 1 の電流波形 I Q 1 を図 2 に示す。図 2 は主スイッチ Q 0 のオン信号に基づいてスナバ回路 5 の補助スイッチ Q 1 をオンさせている。このため、ダイオード D 0 が非導通となった直後に過大な電流が補助スイッチ Q 1 に流れる。これに対し、図 3 はスナバ回路 5 に印加される電圧が、サージ電圧が終了した時点でスナバ回路 5 に印加される電圧の 90% の電圧になったとき補助スイッチ Q 1 をオンさせた場合の、ダイオード D 0 の両端電圧 V D 及び補助スイッチ Q 1 の電流波形 I Q 1 である。図 3 に示すように、スナバ回路 5 に印加される電圧が十分に立ち上がってから補助スイッチ Q 1 をオンさせると、ダイオード D 0 が非導通となった直後に過

50

大な電流が補助スイッチ Q 1 に流れることはない。

【 0 0 1 7 】

スナバ回路 5 に印加される電圧がスナバコンデンサ C 1 の電圧以上となったとき補助スイッチ Q 1 をオンさせるとダイオード D 0 が非導通となった直後に流れる電流はなくなるが、入力電源の電圧または出力電圧等の変動によって変わる。また、その後サージ電圧で充電され上昇した電圧を、サージ電圧が終了した時点でスナバ回路に印加される電圧になるまで放電する必要がある。本発明はダイオード D 0 が導通状態になるまで補助スイッチ Q 1 をオンさせることで確実にスナバコンデンサ C 1 の電圧を放電させる。このため、補助スイッチ Q 1 をオンさせる電圧はサージ電圧が終了した時点でスナバ回路に印加される電圧より低く設定する。これによって補助スイッチ Q 1 は、ダイオード D 0 が非導通とな  
10  
った直後に過大な電流が流れることはなく、ダイオード D 0 が非導通の期間補助スイッチ Q 1 をオンする事ができるので、スナバコンデンサ C 1 の電圧がサージ電圧によって上昇した分を放電することができる。なお、補助スイッチ Q 1 をオンさせる電圧はサージ電圧が終了した時点でスナバ回路に印加される電圧の 5 0 % 程度でもダイオード D 0 が非導通とな  
った直後に過大な電流が流れることはない。ばらつき等を考慮すると補助スイッチ Q 1 をオンさせる電圧はサージ電圧が終了した時点でスナバ回路に印加される電圧の 5 0 % から 9 0 % 程度に設定するとよい。

【 0 0 1 8 】

図 1 に示した本発明の実施例 1 のスナバ回路の詳細を図 4 に示す。図 4 は二次側の整流回路の例であるが、スイッチ回路 6 の主スイッチ Q 0 でも同様に動作する。二次側の整流回路はダイオード D 0 で構成される。ダイオード D 0 の両端に、抵抗 R 3 及び R 2 からなる直列回路を接続し、抵抗 R 2 と抵抗 R 3 の接続点に F E T スイッチ Q 2 のゲートを接続し、抵抗 R 2 と F E T スイッチ Q 2 のソースを接続し、接続点をダイオード D 0 のアノードに接続して、電圧検出回路 8 を構成する。F E T スイッチ Q 2 のドレインは抵抗 R 4 を介して電圧源 V 1 のプラス側に接続され、電圧源 V 1 のマイナス側はダイオード D 0 のアノードに接続される。さらに、F E T スイッチ Q 2 のドレインはコンデンサ C 2 を介してダイオード D 3 のアノードに接続され、ダイオード D 3 のカソードは電圧源 V 1 のマイナス側に接続される。ダイオード D 3 のアノードはさらに抵抗 R 5 及び抵抗 R 6 の直列回路を介して電圧源 V 1 のマイナス側に接続され、補助スイッチ Q 1 の駆動回路を構成する。  
20  
なお、電圧検出回路 8 及び駆動回路 9 でスナバ制御回路が構成される。スナバコンデンサ C 1 及びスナバダイオード D 1 で構成され半導体素子のサージ電圧を抑制するスナバ部と、スナバダイオード D 1 と並列に接続した抵抗 R 1 及び補助スイッチ Q 1 で構成されスナバコンデンサ C 1 を放電する放電回路は図 1 と同じである。  
30

【 0 0 1 9 】

実施例 1 のスナバ回路の動作を図 4 及び図 5 を用いて説明する。まず、ダイオード D 0 が導通状態のときは、ダイオード D 0 には順方向電圧降下による低い電圧が発生するので、ダイオード D 0 の両端電圧を抵抗 R 3 及び抵抗 R 2 で分圧することにより抵抗 R 2 に発生する電圧 V R 2 は F E T スイッチ Q 2 をオンする電圧とは成らず F E T スイッチ Q 2 はオフする。このとき、電圧 V 1 を出力する電圧源 V 1 は、R 4 C 2 D 3 の経路で電流が流れコンデンサ C 2 を充電し、コンデンサ C 2 の両端は電圧 V 1 になる。このとき抵抗 R 5 及び抵抗 R 6 にはダイオード D 3 の順方向電圧降下が印加されるので、抵抗 R 6 に発生する電圧 V R 6 は補助スイッチ Q 1 をオンする電圧とはならず補助スイッチ Q 1 はオフする。  
40

【 0 0 2 0 】

その後時刻 t 1 になるとダイオード D 0 が導通状態から非導通状態に変わり、変圧器 T の二次巻線 N s に発生した電圧 V N s 及び平滑コンデンサ C o の電圧 V o 及び漏れインダクタンス等によって発生するサージ電圧がダイオード D 0 に印加され、ダイオード D 0 の浮遊容量が充電される。ダイオード D 0 の両端に印加されるダイオード電圧 V D が電圧 V t h 以上になると F E T スイッチ Q 2 がオンするように抵抗 R 2 及び抵抗 R 3 を設定しておく。このため時刻 t 2 で電圧 V D が電圧 V t h 以上になると F E T スイッチ Q 2 がオン  
50

し、コンデンサC2は、C2 Q2 R6 R5 C2の経路で放電する。ここで、抵抗R6に発生する電圧VR6が補助スイッチQ1をオンするように抵抗R5及び抵抗R6は設定しておくので、補助スイッチQ1がオンする。コンデンサC2は、ダイオードD0が導通状態のとき充電され、ダイオードD0が非導通状態のとき補助スイッチQ1を駆動するための電源を生成する。このときダイオードD0の両端電圧VDとスナバコンデンサC1に充電されているコンデンサ電圧VCとの差は小さいので補助スイッチQ1に大きな電流が流れることはない。

#### 【0021】

サージ電圧によりダイオード電圧VDはさらに上昇し、ダイオード電圧VDがコンデンサ電圧VC以上になると、スナバコンデンサC1及びスナバダイオードD1の経路で電流が流れスナバコンデンサC1が充電され、ダイオードD0に印加される電圧を抑制する。時刻t3でサージ電圧が無くなると、ダイオード電圧VDは電圧Vrとなる。電圧Vrは変圧器Tの二次巻線Nsに発生する電圧VNs及び平滑コンデンサCoの電圧Voで決まる。スナバコンデンサC1のコンデンサ電圧VCはサージ電圧で充電され、 $VC > Vr$ となっているので、スナバコンデンサC1は、C1 Ns Co Q1 C1の経路で放電する。VD > Vth及びダイオードD0が非導通状態の期間、この放電は継続するのでコンデンサ電圧VCは電圧Vrと略同じ電圧になる。

10

#### 【0022】

その後時刻t4にて、変圧器Tの二次巻線の電圧VNsが逆方向に発生すると、ダイオードD0は順方向に電圧が印加されるので、ダイオードD0の浮遊容量に充電されていた電圧が放電し、電圧VDは降下する。電圧VDが電圧Vth以下になるとFETスイッチQ2がオフし、コンデンサC2は電圧源V1から抵抗R4、コンデンサC2、ダイオードD3の経路で電流が流れ充電され補助スイッチQ1はオフする。浮遊容量の放電が終わるとダイオードD0は順方向に電圧が印加され導通状態となる。以上の動作を繰り返す。

20

#### 【実施例2】

#### 【0023】

本発明の実施例2を図6に示す。図6は図4の整流回路3をダイオードD0を同期整流回路に置き換えたものである。同期整流回路は同期整流スイッチQ31と同期整流スイッチのオンオフを制御する同期整流制御回路で構成される。同期整流回路の場合には、特に本方式が有効となる。通常、同期整流方式の場合、1次側の主スイッチQ0が導通状態・非導通状態に切り換わるタイミングを基に同期整流信号を生成し、同期整流スイッチQ31を駆動する。しかし、同期整流スイッチQ31を主スイッチQ0の切り換えと同時にを行うと、電圧が変化しているとき同期整流スイッチQ31をオンオフすることになり短絡電流が流れることがある。そこで、同期整流スイッチQ31は、同期整流信号より早く非導通状態にし、同期整流信号より遅く導通状態にするようにデッドタイムを設ける。補助スイッチQ1の駆動に同期整流スイッチQ31の駆動信号を用いることが考えられるが、同期整流スイッチQ31の駆動信号を利用すると、デッドタイムの時間分早く補助スイッチQ1がオンしてしまい、デッドタイムの時間分遅く補助スイッチQ1がオフしてしまう。図7に同期整流スイッチのゲート信号を利用して補助スイッチQ1を駆動させたときの各部波形を示す。Q31Vdsは同期整流スイッチQ31のドレイン-ソース間電圧、Q31Vgsは同期整流スイッチQ31のゲート電圧、Q1Vgsは補助スイッチQ1のゲート電圧、IQ1は補助スイッチQ1のドレイン電流である。図7のように同じタイミングで同期整流スイッチQ31を導通し補助スイッチQ1を非導通にする、或いはに同じタイミングで同期整流スイッチQ31を非導通し補助スイッチQ1を導通にすると、スナバコンデンサC1の放電によって補助スイッチQ1に大きな電流が流れる。

30

40

図8は本発明の実施例2の動作波形を示す。各波形は図7と同じである。図8のように実施例2は、スナバ回路5の両端電圧が所定の電圧(図5に示す電圧Vth)以上になると補助スイッチQ1が導通状態に切り換わるので、同期整流の駆動信号にデッドタイムがある場合においても、デッドタイム期間に補助スイッチQ1に大きな電流が流れることはない。つまり、スナバコンデンサC1が不要に放電されることはない。

50

このように、実施例 2 においても実施例 1 と同じ効果を奏する。

【実施例 3】

【0024】

本発明の実施例 3 を図 9 に示す。図 9 は図 6 に示した本発明の実施例 1 に対し、FET スイッチ Q 2 及び抵抗 R 4 及び電圧源 V 1 を削除し、バッファ Q 3 を抵抗 R 2 及び抵抗 R 3 の接続点とコンデンサ C 2 の両端に挿入したものである。バッファ Q 3 は、所定の閾値を持つ。ダイオード D 0 が導通状態のとき抵抗 R 2 に発生する電圧はバッファ Q 3 の閾値以下なのでバッファ Q 3 はハイレベルを出力しコンデンサ C 2 およびダイオード D 3 に電流を流しコンデンサ C 2 を充電する。ダイオード D 0 が非導通になり抵抗 R 2 に発生する電圧が閾値を超えると、バッファはローレベルを出力するので、コンデンサ C 2 は、C 2  
Q 3 R 6 R 5 C 2 の経路で放電し、抵抗 R 6 に発生する電圧で補助スイッチ Q 1  
をオンする。図 10 に図 9 に示す実施例 3 の動作波形を示す。V D はダイオード D 0 に印  
加される電圧、V R 2 は抵抗 R 2 に発生する電圧、Q 1 V g s は補助スイッチ Q 1 のゲ  
ート電圧、I Q 1 は補助スイッチ Q 1 の電流を示す。このように、実施例 3 においても図 6  
に示す実施例 1 と同様の効果を奏する。

10

【実施例 4】

【0025】

本発明の実施例 4 を図 11 に示す。図 11 は図 6 に示した本発明の実施例 1 に対し、FET スイッチ Q 2、抵抗 R 4、電圧源 V 1、コンデンサ C 2、ダイオード D 3、抵抗 R 5、抵抗 R 6 を削除し、Pチャネル M O F E T である補助スイッチ Q 1 の代わり Nチャネル  
M O S F E T である補助スイッチ Q 4 と抵抗 R 1 の直列回路をスナバダイオード D 1 と  
並列に接続する。さらにダイオード D 0 のカソードに抵抗 R 9 を接続し、抵抗 R 9 に P N  
P トランジスタ Q 6 のエミッタを接続し、トランジスタ Q 6 のコレクタは抵抗 R 10 を介  
してダイオード D 0 のアノードに接続する。また、ダイオード D 0 のカソードから抵抗 R  
8 を接続し、抵抗 R 8 に P N P トランジスタ Q 5 のエミッタを接続し、トランジスタ Q 5  
のコレクタに抵抗 R 7 と補助スイッチ Q 4 のゲートを接続する。抵抗 R 7 の他端は補助ス  
イッチ Q 4 のソースに接続される、抵抗 R 7 は補助スイッチ Q 4 のゲート - ソース間に接  
続されることになる。トランジスタ Q 6 のコレクタとベースは接続され、トランジスタ Q  
5 とトランジスタ Q 6 のベースは互いに接続され、カレントミラー回路を構成する。補助  
スイッチ Q 4 のソースはスナバコンデンサ C 1 とスナバダイオード D 1 の接続点に接続され  
、補助スイッチ Q 4 のドレインは抵抗 R 1 を介してダイオード D 0 のアノードに接続され  
る。スナバコンデンサ C 1 はダイオード D 0 のカソードに接続される。

20

30

【0026】

このように接続された本発明の実施例 4 の動作を説明する。ダイオード D 0 が導通状態  
のときはスナバ回路 5 にはダイオード D 0 の順方向電圧降下による電圧が印加されるので  
、トランジスタ Q 6 はオンできない。よってトランジスタ Q 5 にも電流が流れず、補助ス  
イッチ Q 4 に駆動電源が供給されないので補助スイッチ Q 4 はオフする。ダイオード D 0  
が非導通状態のときは、変圧器 T の二次巻線 N s に発生した電圧 V N s 及び平滑コンデン  
サ C o の電圧 V o 及び漏れインダクタンス等によって発生するサージ電圧がスナバ回路 5  
に印加され、カレントミラー回路は抵抗 R 9、トランジスタ Q 6、抵抗 R 10 の経路に印  
加される電圧に応じた電流が流れる。このためトランジスタ Q 5 には、R 8 Q 5 R 7  
D 2 の経路で電流が流れる。このとき抵抗 R 7 に発生する電圧が補助スイッチ Q 4 の閾  
値電圧を超えると補助スイッチ Q 4 がオンする。スナバ回路 5 に印加される電圧は所定値  
(図 5 の電圧 V t h と同じ) 以上なので補助スイッチ Q 4 がオンしてもスナバコンデンサ  
C 1 の放電電流はわずかである。サージ電圧によってスナバ回路 5 に印加される電圧がさ  
らに上昇し、スナバコンデンサ C 1 に充電されている電圧を超えると、スナバコンデンサ  
C 1、スナバダイオード D 1 の経路で電流が流れ、サージ電圧を抑制する。サージ電圧が  
無くなると、スナバコンデンサ C 1 は、C 1 N s C o R 1 Q 1 の経路でサージ電  
圧で充電された電圧を放電する。その後、変圧器 T の二次巻線 N s の電圧が反転すると、  
ダイオード D 0 に印加される電圧が低下し、所定の値以下になると補助スイッチ Q 4 がオ

40

50



フするので、スナバコンデンサは充電電圧を維持する。

以上のように動作するので、実施例 4 においても実施例 1 と同様の効果を奏する。

【0027】

以上のように、本発明のスナバ回路は、半導体スイッチ素子の両端に接続するだけで、半導体スイッチのサージ電圧を抑制する。また、半導体スイッチのオンオフによって印加される電圧が変化しているときはスナバコンデンサを放電させないので不要な放電は無く、サージ電圧で充電された電荷を放電するので、放電時の電力損失が少ない。さらに、スナバコンデンサを放電する補助スイッチの駆動電源はスナバ制御回路で生成するので新たな駆動回路、駆動電源を必要としない。このため本発明のスナバ回路は、図 1 に示したフライバック型のコンバータに限らず、図 1 2 に示すセンタータップ型の整流平滑回路の整流器、図 1 3 に示すフォワードコンバータ型の整流平滑回路の整流器にも、回路を追加することなく容易に実装することができる。

10

【産業上の利用可能性】

【0028】

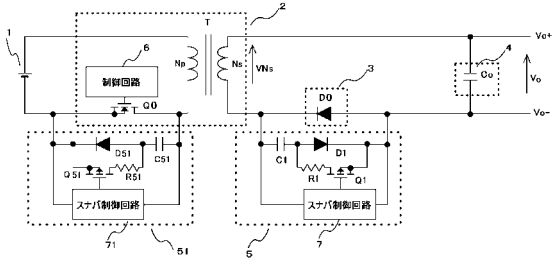
スイッチ素子のサージ電圧を容易に効率よく抑制できるので、小型で高効率なスイッチング方式の DC / DC コンバータに適用できる。

【符号の説明】

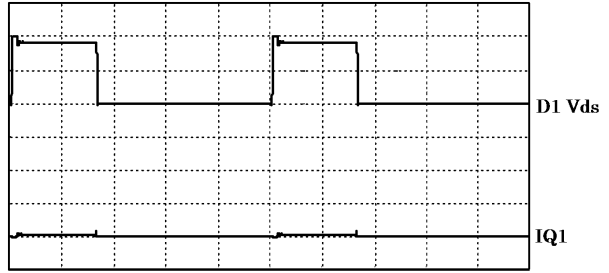
【0029】

- |   |                |    |
|---|----------------|----|
| 1   | 入力電源           |    |
| 2   | スイッチ回路         | 20 |
| 3   | 整流回路           |    |
| 4   | 平滑回路           |    |
| 5、5 1   | スナバ回路          |    |
| 6   | スイッチ回路 2 の制御回路 |    |
| 7、7 1   | スナバ制御回路        |    |
| 8   | 電圧検出回路         |    |
| 9   | 駆動回路           |    |
| T   | 変圧器            |    |
| N s   | 変圧器の二次巻線       |    |
| D 0   | 整流ダイオード        | 30 |
| D 1、D 5 1                                       | スナバダイオード       |    |
| C o   | 平滑コンデンサ        |    |
| R 1、R 5 1                                       | スナバ抵抗          |    |
| Q 1、Q 5 1                                       | 補助スイッチ         |    |
| Q 2、Q 4   | F E T          |    |
| R 1、R 2、R 3、R 4、R 5、R 6、R 7、R 8、R 9、R 1 0、R 5 1 | 抵抗             |    |
| C 1、C 5 1                                       | スナバコンデンサ       |    |
| C 2   | コンデンサ          |    |
| V 1   | 電圧源            |    |
| Q 3   | バッファ           | 40 |
| Q 5、Q 6   | トランジスタ         |    |

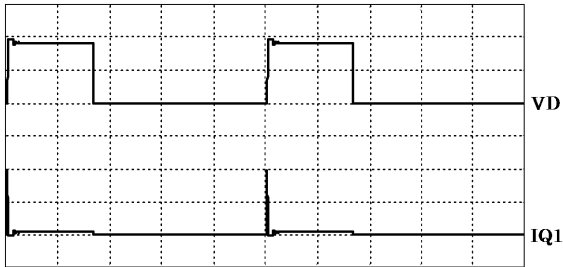
【図1】



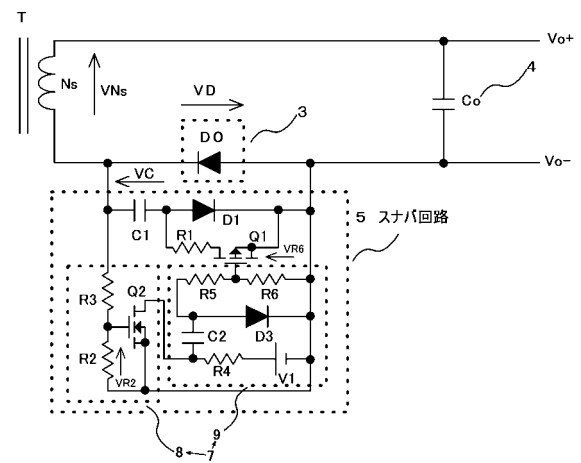
【図3】



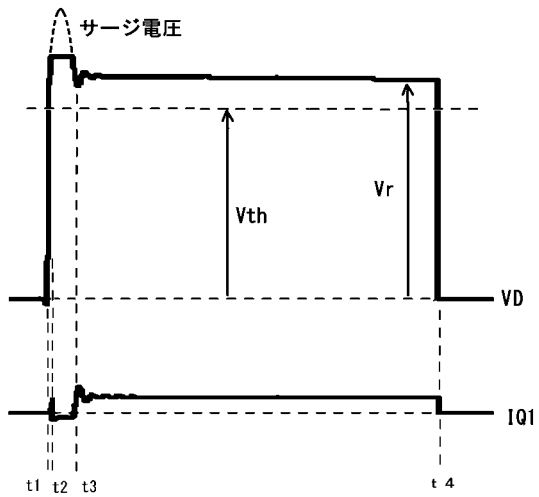
【図2】



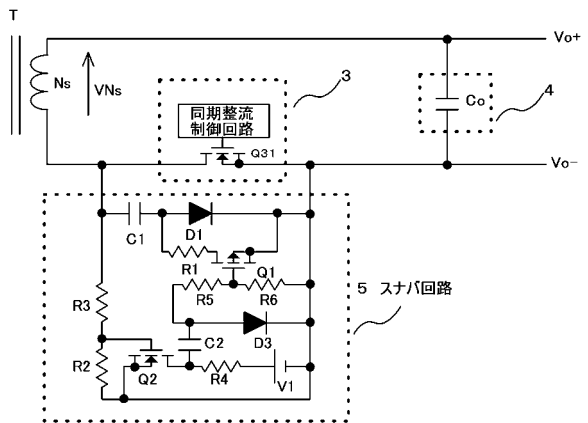
【図4】



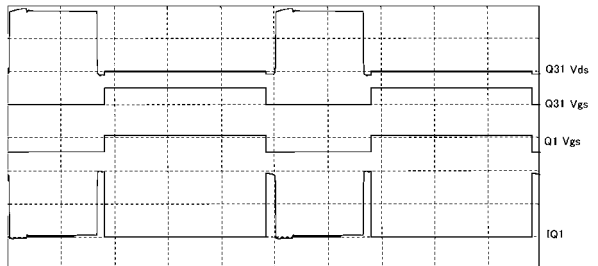
【図5】



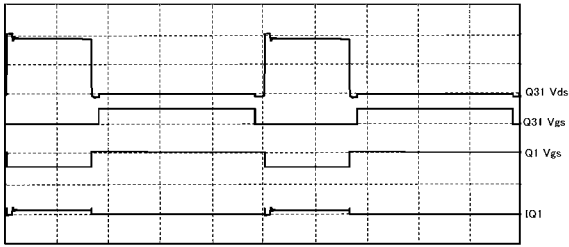
【図6】



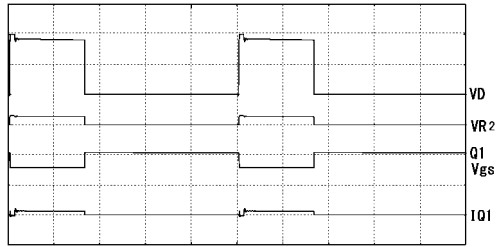
【図7】



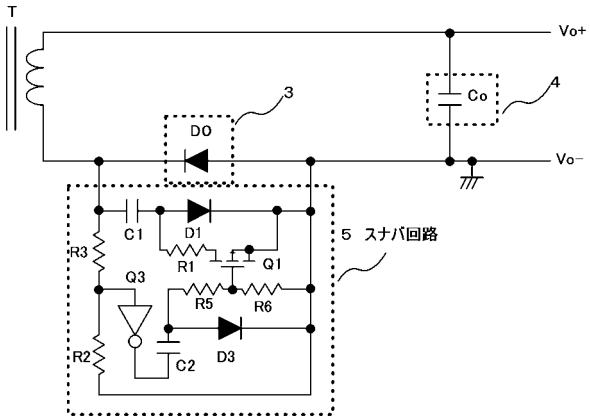
【図 8】



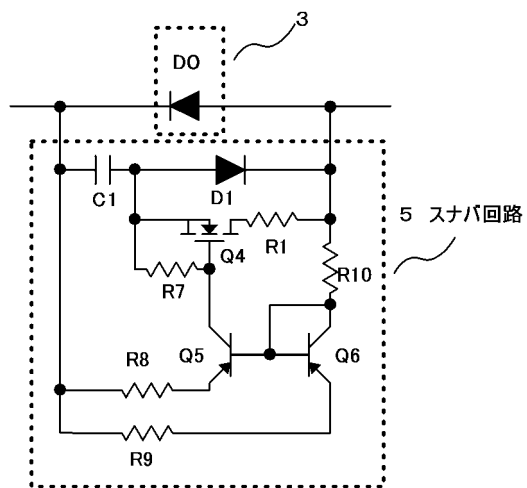
【図 10】



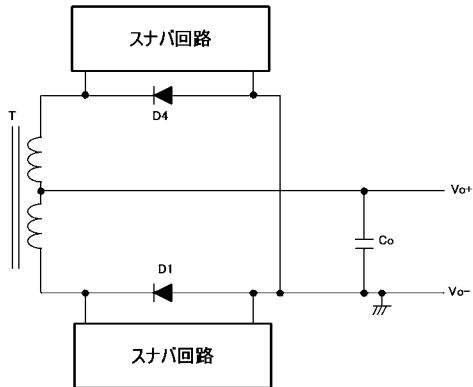
【図 9】



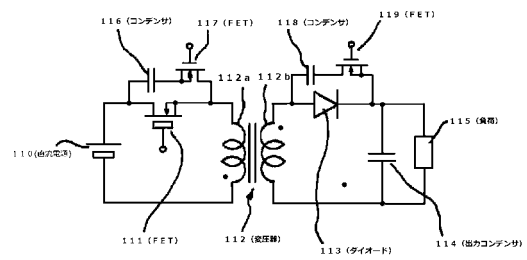
【図 11】



【図 12】



【図 14】



【図 13】

