


申請日期: 90.3.22	案號: P010675P
類別: H03K 19/0105	

(以上各欄由本局填註)

## 發明專利說明書

發明名稱	中文	電平移動通道閘
	英文	LEVEL-SHIFTING PASS GATE
二、發明人	姓名 (中文)	1. 格雷漢 安德魯 坎斯 2. 麥可 占姆斯 伯朗勞
	姓名 (英文)	1. GRAHAM ANDREW CAIRNS 2. MICHAEL JAMES BROWNLOW
	國籍	1. 英國 2. 英國
	住、居所	1. 英國牛津郡OX2 8NH卡茲羅威伯恩道22 2. 英國牛津郡OX4 8YB湯姆斯史丹佛教堂路124
三、申請人	姓名 (名稱) (中文)	1. 日商夏普股份有限公司
	姓名 (名稱) (英文)	1. SHARP KABUSHIKI KAISHA
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國大阪府大阪市阿倍野區長池町22番22號
	代表人姓名 (中文)	1. 町田 勝彥
	代表人姓名 (英文)	1. KATSUHIKO MACHIDA
		

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

英國 GB

2000/03/14 0005985.7

無

有關微生物已寄存於

寄存日期

寄存號碼

無



## 五、發明說明 (1)

## 發明背景

## 1. 發明領域：

本發明係關於一電平移動通道閘。

## 2. 相關技藝說明：

此一閘可實施為一金屬氧化物半導體(MOS)電路，以相對應於較低振幅於電路供給電壓者之輸入信號，此電路可用於大面積之矽上絕緣體(SOI)電路中，以介面於較小電壓電平之系統信號，典型上為1.0至5.0伏。此電路典型上係以明顯較高之供給電壓操作，例如10至20伏，此型電路之一例子為一單體驅動器，用於以多晶矽薄膜電晶體(TFTs)構成之平板式矩陣型顯示器。

相關圖式之圖1為例如US 5 729 154號美國專利中所示之習知電平移動型式，電路包含一由N型MOS場效電晶體M1、M3及P型場效電晶體M2、M4構成之輸入級，此級之輸出係連接於一含有N型電晶體M5及P型電晶體M6之習知CMOS轉換器。

電晶體M2、M4之閘極連接於一供給線vss，因此諸電晶體操作上大致如電阻。電晶體M1之閘極連接於電晶體M3之閘極及汲極，因而有如二極體之功能。電晶體M3之源極係連接以接收一電壓 $V_{bias}$ ，此電壓介於供給線vss、vdd上之電壓之間，電晶體M3之用途在提供一閘電壓補償偏壓至電晶體M1之閘極，而電晶體M1之源極連接於電平移位器之一輸入IN。

使用時，輸入IN接收一邏輯信號，信號係在一較低或0



## 五、發明說明 (2)

電平 $V_{SS}$ 與一小於供給線 $v_{DD}$ 上供給電壓 $V_{DD}$ 之較高電平 $V_{HH}$ 之間切換。當較低邏輯電平 $V_{SS}$ 供給至輸入 $IN$ 時，電晶體 $M1$ 之閘極-源極電壓即大得足以使電晶體 $M1$ 導通，且汲極電壓大約下拉至供給線 $v_{SS}$ 之電壓 $V_{SS}$ 。由電晶體 $M5$ 、 $M6$ 構成之轉換器可將此轉換，使轉換後之輸出 $OUTB$ 大致上昇至供給線 $v_{DD}$ 之供給線電壓 $V_{DD}$ 。

當較高之邏輯電平 $V_{HH}$ 施加於輸入 $IN$ 時，電晶體 $M1$ 之閘極-源極電壓即降低，因此電晶體 $M1$ 僅弱導通或切斷。電晶體 $M2$ 因而將轉換器之輸入拉向供給線 $v_{DD}$ 之電壓 $V_{DD}$ ，及拉至轉換器 $M5$ 、 $M6$ 之切換點以上，轉換器之輸出 $OUTB$ 因而大致降至供給線 $v_{SS}$ 之電壓 $V_{SS}$ 。

儘管此一配置方式提供輸入高電平邏輯信號之電平移動，但是圖1之電平移位器係在輸入信號位於邏輯低電平時呈現一轉低阻抗之輸入負載至連接於輸入 $IN$ 之信號線。因此，當不需要電平移位器之輸出信號時，連接於輸入 $IN$ 之任意信號線可能會無法接受地由電平移位器之低輸入阻抗負載至低電平邏輯信號。

相關圖式之圖2說明另一習知型式之電平移位器，如EP 0 600 734 A號歐洲專利所示，此電平移位器不同於相關圖式之圖1者在於電晶體 $M1$ 之源極連接於一互補型輸入 $INB$ ，而電晶體 $M3$ 之源極連接於直接輸入 $IN$ 。再者，電晶體 $M2$ 、 $M4$ 之閘極分別連接於輸入 $IN$ 、 $INB$ 。

當輸入 $IN$ 接收到較高之邏輯電平 $V_{HH}$ 時，互補型輸入 $INB$ 係在較低輸入邏輯電平 $V_{SS}$ ，在電晶體 $M1$ 閘極之電壓上昇而



## 五、發明說明 (3)

由電晶體M2提供之驅動則降低，因此，轉換器M5、M6之輸入係低於圖1所示之電平移位器者。反之，當輸入IN接收到較低之邏輯電平 $V_{SS}$ 且互補型輸入INB接收較高之邏輯電平 $V_{HH}$ 時，電晶體M1較不易切斷，因此使轉換器M5、M6之輸入較高於圖1所示之電平移位器者，此可取得一較大之電平移動度，而使轉換器M5、M6之切換點變得較不重要。惟，在此例子中，輸入IN、INB二者係連接於電晶體M1、M2之源極，其呈現一低阻抗負載於連接至輸入之任意信號線。

相關圖式之圖3說明US 5 748 026號美國專利所示之電平移位器，互補型輸入IN、INB分別連接於二極體連接之N型電晶體M3、M3'之源極，此電晶體備有導通P型電晶體M4、M4'型式之負載電阻。電晶體M3、M3'之基極與汲極分別連接於N型電晶體M1、M1'之閘極，其提供一含有P型電晶體M2、M2'之電流鏡負載，二極體連接之電晶體M3、M3'藉由添加一偏壓以提供互補型輸入信號之電平移動。惟，輸入IN、INB仍呈現一低阻抗負載於所連接之信號線。

相關圖式之圖4說明一習知電平移位器之簡示型式，係用於一取自ST-LCD之LPS顯示器。此配置方式不同於圖3所示者之處在於電晶體M3、M3'為P型，且配合於電晶體M4、M4'而連接成源極從動器，而電晶體M1、M1'之源極連接於輸入INB、IN。電晶體M3、M3'再次提供輸入信號之電平移動，但是輸入IN、INB仍連接於電晶體之源極，且呈現一低阻抗負載於連接至輸入之信號線。



## 五、發明說明 (4)

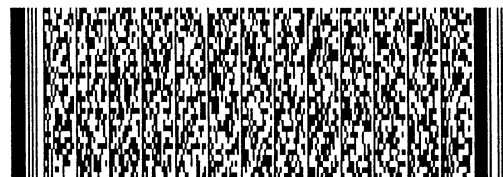
## 發明概述

依本發明之第一內容所示，其提供一種電平移動通道開包含：一第一電路，包含一通道電晶體，其主傳導路徑係連接於一信號輸入與一信號輸出之間，及一負載連接於信號輸出；及一第二電路，具有一致能輸入且配置以控制第一電路，因此：當一供給至信號輸入時，通道電晶體可為提供一第一邏輯電平於信號輸入即設定於一高阻抗狀態而信號輸出設定於一預定期間。

當致能信號為主動且一第二邏輯電平供給至信號輸入時，通道電晶體可提供一大致未移動之邏輯電平於信號輸出，且第一邏輯電平具有一較高於第二邏輯電平者之強度，且第二邏輯電平之強度大致等於0。

第二電路係配置以在致能信號為非主動時可切斷通道電晶體。

第二電路係配置以在致能信號為非主動時，提供一大於通道電晶體閾電壓之偏壓至通道電晶體之控制電極，偏壓與第一邏輯電平之間之差異係小於通道電晶體之閾電壓。第二電路包含一偏壓源，偏壓源包含一電阻連接於一輸出電極及一第一電晶體之控制電極。第一電晶體具有一共用電極，且一第一電晶體之第一電極及一第一電晶體之第一電極均係在致能信號為主動時接收一低電壓電平，而第一電晶體之第一電極係在致能信號為主動時接收一低電壓電平，而第一電晶體之第一電極係在致能信號為主動時接收一低電壓電平，而第一電晶體之第一電極係在致能信號為主動時接收一低電壓電平。



## 五、發明說明 (5)

具有一共用電極，係連接於一互補型信號輸入。

第一電晶體之共用電極係經過一第二電晶體之主傳導路徑而連接，第二電晶體之控制電極係配置以接收另一偏壓。

電阻包含一第三電晶體之主傳導路徑，第三電晶體係配置以在致能信號為非主動時切斷，而在致能信號為主動時導通。

第一電晶體之控制及輸出電極係連接於通道電晶體之一控制電極。

開包含一第四電晶體，係配置以在致能信號為非主動時將通道電晶體之一控制電極接地。

開包含至少另一通道電晶體，各具有一主傳導路徑於一各別信號輸入與信號輸出之間。

負載包含一大致固定之電阻，且預定狀態包含一高電平狀態。

負載包含一相反於通道電晶體之傳導型負載電晶體，通道電晶體具有一高於負載電晶體者之驅動能力。

負載電晶體係配置以在致能信號為非主動時切斷，預定狀態係一高電平狀態。另者，一下拉式電晶體具有一主傳導路徑連接於信號輸出與接地端之間，其係配置以在致能信號為非主動且預定狀態係一低電平狀態時導通。

負載電晶體係配置以接收一固定偏壓，預定狀態係一高電平狀態。負載電晶體具有一控制電極，且連接以接收一接地電位。



## 五、發明說明 (6)

信號輸入係連接於一第一轉換器之輸入，開包含一第二可控制式轉換器，其輸入及輸出係分別連接於第一轉換器之輸出及輸入，且其在致能信號為非主動時呈致能，而在致能信號為主動時呈失能。

各電晶體包含一場效電晶體，開可實施於一CMOS積體電路中。

依本發明之第二內容所示，其提供一種用於一矩陣型顯示器之驅動器電路，包括本發明第一內容之開。

因此，其可提供一種極靈敏之電平移動通道開，且容許以極低電壓輸入操作，此一開具有高操作速度，例如可供達成高速移動或取樣，其易實施一邏輯AND功能於任意數量之低電壓輸入。一低電力消耗可達成，因為有改善之邏輯電平旋擺，開可承受程序變化且可由較少量電晶體實施。

通道開結合一致能或開控組合，容許開切換於一失能狀態，其中輸出採用一預定狀態而無關於輸入，且輸入呈現一高阻抗於連接之信號線。預定狀態可依以下電路要求而選定，且可例如呈一邏輯低電平、一邏輯高電平或一高阻抗狀態，當開致能時，藉由切換輸入至一高阻抗，則連接於輸入之信號線之不必要負載大致上即得以避免。

## 圖式簡單說明

本發明將舉例及參考相關圖式做進一步說明，其中：

圖1至4係電路圖，說明習知型式之電平移位器；

圖5係一波形圖，說明本發明實施例執行之電平移動功





## 五、發明說明 (7)

能；

圖6係一簡示電路圖，說明構成本發明第一實施例之一電平移動通道閘；

圖7係一簡示電路圖，說明圖6所示通道閘及包括一AND功能；

圖8至11係簡示圖，說明可用於圖6所示通道閘中之不同負載型式；

圖12至19係電路圖，說明可用於圖6所示通道閘通道電晶體之不同控制配置方式；

圖20及21係簡示電路圖，說明一輸出轉換器使用圖6之通道閘；

圖22及23係簡示電路圖，說明一鎖合配置方式使用圖6之通道閘；

圖24係一電路圖，說明構成本發明另一實施例之一通道閘；

圖25及26係波形圖，說明發生於圖24之通道閘模擬中之波形；

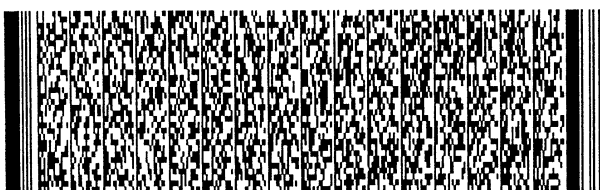
圖27係構成本發明又一實施例之一通道閘電路圖；及

圖28係一波形圖，說明發生於圖27之通道閘模擬中之波形。

圖中相同之參考編號係指相同組件。

#### 較佳實施例說明

圖5說明由本發明實施例之電平移動通道閘執行之電平移動功能，圖5中之上波形圖說明一具有二邏輯電平之邏



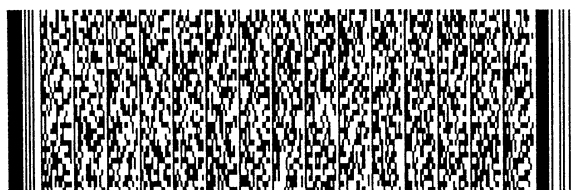
## 五、發明說明 (8)

輯電平信號型式之輸入信號，下邏輯電平 $V_{SS}$ 係等於或大致等於0伏，且如圖5中之下波形圖所示，此電平不需改變。惟，上輸入電平 $V_{HH}$ 為2伏之較低"邏輯"高電平，且此電平需增高至高電平 $V_{DD}$ ，例如15伏，相當於通道閘之電力供應電壓。電平移動通道閘因而需要執行一通道閘之功能，同時介面於供給至通道閘輸入之較低電平邏輯信號與連接至通道閘輸出之後續電路之間。

圖6所示之電平移動通道閘包括一通道電晶體M1（所示為一N型MOS場效電晶體，但是亦可為P型），其源極連接於一信號輸入IN，且其汲極連接於一信號輸出OUT，電晶體M1之汲極亦經由一負載R以連接於一電力供給線vdd。電晶體M1之閘極則連接於一控制電路或裝置1，其具有一致能輸入EN以接收一致能信號，此在本實施例中揭示為"主動高"型，但是其同樣可為主動低型。一控制連接亦揭示於控制裝置1與負載R之間，儘管在有些實施例中並未提供此一連接。

致能輸入EN接收一邏輯信號，邏輯信號係在 $V_{DD}$ （即供給線vdd上之電力供給電壓）與 $V_{SS}$ 之間切換，且其為一下供給線（圖中未示）之接地電位或電壓。如上所述，一信號輸入IN接收一低電壓邏輯信號，邏輯信號係在 $V_{SS}$ 與一大致上小於 $V_{DD}$ 之上邏輯電平 $V_{HH}$ 之間切換。

當供給至輸入EN之致能信號係在低邏輯電平時，控制裝置1控制由電晶體M1及負載R構成之電路，使得電晶體M1切斷且輸出OUT隔離於輸入IN。在此狀態下，輸入IN假設一



## 五、發明說明 (9)

高阻抗狀態，而輸出OUT假設一預定狀態，且其例如可為一邏輯高電平( $V_{DD}$ )、一邏輯低電平( $V_{SS}$ )或一高阻抗( $Z$ )狀態。通道開之電路行為因而可由以下事實表總結：

EN	IN	OUT
0 ( $V_{SS}$ )	0 ( $V_{SS}$ )	X
0 ( $V_{SS}$ )	1 ( $V_{HH}$ )	X
1 ( $V_{DD}$ )	0 ( $V_{SS}$ )	0 ( $=V_{SS}$ )
1 ( $V_{DD}$ )	1 ( $V_{HH}$ )	1 ( $=V_{DD}$ )

X=0 ( $V_{SS}$ )、1 ( $V_{DD}$ ) 或 Z(高阻抗)

當輸入EN之致能信號高時，控制裝置1可確使一適當之偏壓 $V_{bias}$ 供給至電晶體M1之閘極，通道電晶體M1及負載R因而操作有如一共用開放大器，且以供給至之輸入IN信號控制電晶體M1之閘極-源極電壓。當一低邏輯電平 $V_{SS}$ 供給至輸入IN時，閘極-源極電壓 $V_{GS}$ 即等於偏壓 $V_{bias}$ ，因此電晶體M1導通且其汲極將輸出OUT拉低。反之，當較高之電平信號 $V_{HH}$ 供給至輸入IN時，閘極-源極電壓 $V_{GS}$ 即等於偏壓 $V_{bias} - V_{HH}$ ，因此電晶體M1呈微弱導通或完全切斷，且負載R將輸出OUT拉高。

電晶體M1之驅動強度或能力、閘極偏壓 $V_{bias}$ 、及負載R之阻抗係經選定，以利提供大電壓搖擺於輸出OUT。為了使輸出OUT切換於不同輸入狀態下接近於供給電壓 $V_{SS}$ 、 $V_{DD}$ 之值之間，應注意以下準則：

1.  $V_{bias}$  應大於電晶體M1之閾電壓；
2.  $V_{bias} - V_{HH}$  應小於電晶體M1之閾電壓；及
3. 負載R之阻抗應較高。

第三項準則說明操作速度與電平移動度之間之交換，對



## 五、發明說明 (10)

於一低電平之輸入信號而言，一高阻抗負載R可確使電晶體M1將輸出OUT幾乎拉至輸入 $V_{SS}$ 之值。惟，對於一高電平之輸入 $V_{HH}$ 而言，電晶體M1係切斷，且負載R僅將輸出OUT緩慢地拉至 $V_{DD}$ 。

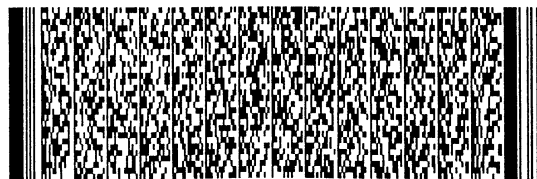
據此，針對許多應用，負載R並無此一高阻抗且接受較小之電平移動度，而對於較低之負載阻抗，可以不看第二項設計準則，因為即使當電晶體M1局部地導通時，負載R仍可將輸出OUT拉至一可接受之高電壓電平。

圖7所示之通道閘係與圖6所示者相同型式，但是其包括一在輸入端執行之邏輯AND功能，圖7之閘極不同於圖6者之處在於另一N型場效電晶體Mn構成另一通道閘，且其汲極與閘極分別連接於電晶體M1之輸出OUT與閘極，閘極具有二輸入IN1、IN2以連接於電晶體M1、Mn之源極。

當通道閘致能時，只有當輸入IN1、IN2在輸入邏輯高電平 $V_{HH}$ 時輸出OUT係在高邏輯電平 $V_{DD}$ 。若該二輸入係在邏輯低電平 $V_{SS}$ ，則電晶體M1、Mn任一者或二者即導通，使得輸出OUT拉低。用於不同輸入與致能狀態之電路之操作係說明於以下事實表內：

EN	IN1	IN2	OUT
0 ( $V_{SS}$ )	0 ( $V_{SS}$ )	0 ( $V_{SS}$ )	X
0 ( $V_{SS}$ )	0 ( $V_{SS}$ )	1 ( $V_{HH}$ )	X
0 ( $V_{SS}$ )	1 ( $V_{HH}$ )	0 ( $V_{SS}$ )	X
0 ( $V_{SS}$ )	1 ( $V_{HH}$ )	1 ( $V_{HH}$ )	X
1 ( $V_{DD}$ )	0 ( $V_{SS}$ )	0 ( $V_{SS}$ )	0 ( $=V_{SS}$ )
1 ( $V_{DD}$ )	0 ( $V_{SS}$ )	1 ( $V_{HH}$ )	0 ( $=V_{SS}$ )
1 ( $V_{DD}$ )	1 ( $V_{HH}$ )	0 ( $V_{SS}$ )	0 ( $=V_{SS}$ )
1 ( $V_{DD}$ )	1 ( $V_{HH}$ )	1 ( $V_{HH}$ )	1 ( $=V_{DD}$ )

X=0 ( $V_{SS}$ )、1 ( $V_{DD}$ ) 或 Z (高阻抗)



## 五、發明說明 (11)

雖然僅有二輸入 $IN_1$ 、 $IN_2$ 及二通道電晶體 $M_1$ 、 $M_n$ 揭示於圖7中，但是其可提供任意數量之輸入及電晶體，以執行一具有任意所需輸入數量之AND功能。

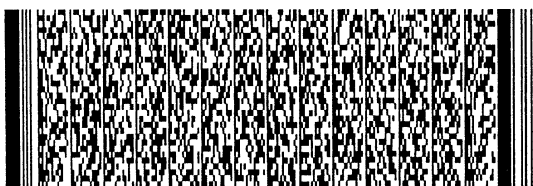
圖8所示之通道閘說明一負載R型式，在此例子中其係由控制裝置1控制，負載包含一P型場效電晶體 $M_2$ ，其源極連接於供給線 $v_{dd}$ ，且其汲極連接於輸出OUT，電晶體 $M_2$ 之閘極則連接於一轉換器I1之輸出，轉換器構成控制裝置1之一部分且其輸入連接於致能輸入EN。

當供給至致能輸入EN之致能信號為主動，即在 $V_{DD}$ ，則轉換器I1之輸出將電晶體 $M_2$ 之閘極大致拉至接地或下供給線電位 $V_{SS}$ ，使電晶體 $M_2$ 導通及做為一電阻式負載。電晶體 $M_1$ 之驅動能力必須大於電晶體 $M_2$ 者，因此當輸入信號IN在低電平時，電晶體 $M_1$ 可將輸出OUT拉至低電平，而當輸入信號IN在較高輸入邏輯電平 $V_{HH}$ 時，電晶體 $M_1$ 切斷且電晶體 $M_2$ 將輸出OUT大致拉至供給線 $v_{dd}$ 之電壓 $V_{DD}$ 。

當致能信號為非主動時，即在低邏輯電平 $V_{SS}$ ，轉換器I1之輸出將電晶體 $M_2$ 之閘極大致拉至供給線電壓 $V_{DD}$ ，使電晶體 $M_2$ 切斷，且控制裝置亦切斷電晶體 $M_1$ ，使輸出OUT在一高阻抗狀態。

圖9說明負載並不由控制裝置1控制之通道閘型式，在此例子中，負載係實施為一連接於輸出OUT與供給線 $v_{dd}$ 之間之電阻R1。

當致能信號為主動時，電晶體 $M_1$ 係在輸入IN之輸入信號為低邏輯電平時將輸出OUT拉至低邏輯電平，而當輸入信



## 五、發明說明 (12)

號為輸入高邏輯電平時，電晶體M1切斷且負載R1將輸出OUT拉至高邏輯電平 $V_{DD}$ 。

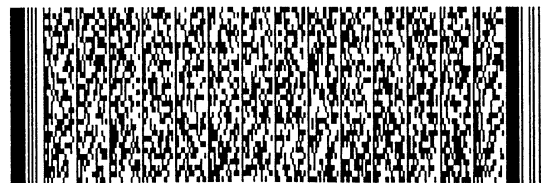
當致能信號為非主動時，電晶體M1切斷而無關於供給至輸入IN之輸入信號，在此狀態中，電阻R1將輸出OUT拉至高邏輯電平，而無關於輸入信號。

圖10說明圖9通道開之實例，其中負載電阻R1係實施為一P型場效電晶體M2，電晶體M2之源極與汲極分別連接於供給線vdd與輸出OUT，電晶體M2之閘極則連接以接收一固定偏壓，其在圖10所示實施例中為下供給線vss或接地。因此，電晶體M2即在其導通狀態及做為一電阻，當通道開失能時，其將輸出OUT拉至邏輯高電平 $V_{DD}$ 。

圖11所示通道開不同於圖8所示者之處在於一N型下拉場效電晶體M8係以其汲極連接於輸出OUT，其源極連接於供給線vss，及其閘極連接於控制裝置1之轉換器I1之輸出。當致能信號為主動時，轉換器I1之輸出將電晶體M8之閘極大致拉至供給線vss之電位 $V_{SS}$ ，使電晶體M8切斷而無效用。因此，在此狀態中，圖11之通道開功能正好相同於圖8之通道開。

當致能信號為非主動時，電晶體M1、M2切斷而一如圖8之通道開，惟，在此狀態中，轉換器I1之輸出將電晶體M8之閘極拉至上供給線電位 $V_{DD}$ ，使電晶體M8導通。因此當閘極失能時，輸出OUT即拉至接地電位 $V_{SS}$ 或邏輯低電平。

圖12說明用於控制電晶體M1之控制裝置1細部情形，控制裝置1包括一偏壓產生器以產生偏壓 $V_{bias}$ 。致能輸入EN係



## 五、發明說明 (13)

連接以控制一開關S2，致能輸入EN亦連接於一轉換器I1'之輸入，而轉換器之輸出係控制另一開關S1，開關S1、S2連接於偏壓 $V_{bias}$ 源與供給線vss之間，且開關S1、S2間之連接係連接於電晶體M1之閘極。

當致能信號為主動時，開關S2閉合而開關S1開斷，因此偏壓 $V_{bias}$ 供給至電晶體M1之閘極，其功能有如上述之共用閘放大器。當致能信號為非主動時，開關S2開斷，而開關S1閉合且將電晶體M1之閘極連接至供給線vss，電晶體M1因而切斷而無關於在輸入IN之輸入信號，且令輸出OUT隔離於輸入IN。

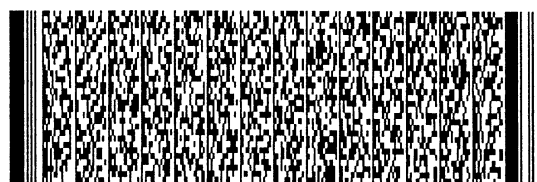
圖13說明圖12通道閘之一實施例，其中開關S1、S2係實施如同N型場效電晶體M7、M13，圖13所示通道閘之操作係相同於圖12所示者。

圖14說明圖13所示通道閘之一偏壓產生裝置，偏壓產生器包含一N型場效電晶體M3，其源極連接於供給線vss，而其閘極與汲極係經一電阻R2以連接於供給線vdd，且自偏壓產生器之輸出連接至電晶體M13之閘極。電晶體M3係依其飽和導通方式操作，且通過電晶體M3汲極-源極路徑之電流 $I_{DS}$ 如下所示：

$$I_{DS} = \frac{\beta_n}{2} (V_{GS} - V_{Tn})^2$$

其中 $\beta_n$ 係電晶體M3之(幾何依存性)互導變數， $V_{GS}$ 係電晶體M3之閘極-源極電壓，及 $V_{Tn}$ 係電晶體M3之閾電壓。產生於電晶體M3汲極之偏壓 $V_{bias}$ 如下：

$$V_{bias} = V_{Tn} + \frac{\sqrt{1 + 2\beta_n R_2 (V_{DD} - V_{Tn})} - 1}{\beta_n R_2}$$



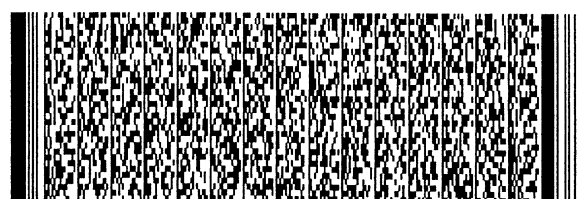
## 五、發明說明 (14)

藉由適當選擇電晶體M3之驅動強度及電阻R2之值，其可設定偏壓 $V_{bias}$ 於閾電壓 $V_{Tn}$ （R2值趨近於無限）與供給線電壓 $V_{DD}$ （相當於電阻R2具有0電阻）間之任意值。若電晶體M3具有相同於電晶體M1之閾電壓，且若電阻R2之值相當大，電晶體M1可偏移至其閾值以上，以利滿足上述準則1、2。

圖15所示通道閘不同於圖14所示者之處在於電晶體M3之源極連接於轉換器I1'之輸出，而非連接於供給線 $v_{SS}$ ，此配置方式可確定當致能信號為非主動時，電晶體M3之源極係拉至供給線電壓 $V_{DD}$ ，使得流動於偏壓產生器內之電流截斷，且通道閘之電力消耗減少。惟，當轉換器I1'係實施為標準之二電晶體CMOS轉換器時，則當致能信號為主動時電晶體M3之源極即經過一N型電晶體以接地。根據相關於電晶體M3之轉換器I1'之N型電晶體之驅動能力及電阻R2之值，當致能信號為主動時電晶體M3之源極因而可上昇至一小正偏移，此偏差量可供某些結構改善通道閘。

圖16之通道閘係藉由連接一N型電晶體M14之源極-汲極路徑於電晶體M3源極與供給線 $v_{SS}$ 之間而取得相似結果，電晶體M14之閘極接收一偏壓且為此目的而連接於供給線 $v_{DD}$ 。另者，電晶體M14之閘極可連接於輸入EN。電晶體M14供給一小偏壓，其加至由電晶體M3與電阻R2提供之偏壓，因而提供一較高之偏壓 $V_{bias}$ ，此可簡化電路設計及達到理想化。

若電阻R2之值等於負載R之值，且電晶體M1、M3具有相同驅動能力，則電晶體M1無法下拉輸出OUT至一小於偏壓





## 五、發明說明 (15)

$V_{bias}$  之電壓，此意指針對良好之電平移動而言，偏壓  $V_{bias}$  需較小，但是為了以主動負載裝置產生偏壓，電晶體M1、M3可能需要遠大於主動負載裝置。藉由施加電晶體M14產生之小偏壓至電晶體M3之源極，電晶體M1可下拉輸出OUT至一低於偏壓  $V_{bias}$  之電壓，所以此配置方式可減輕通道開中廣泛裝置之要求。

圖17所示通道開係圖14所示者以電阻R2實施為一P型場效電晶體M4，電晶體M4之閘極接收一偏壓，且如圖17所示為了方便而可連接於供給線VSS。在此例子中，電晶體M4係以其線性導通方式操作，且汲極-源極電流如下：

$$I_{DS} = \beta_p \left[ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

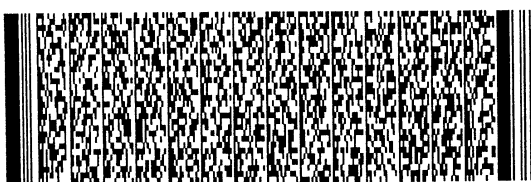
其中  $\beta_p$  係(幾何依存性)互導變數， $V_{GS}$  係源極-閘極電壓， $V_T$  係閾電壓及  $V_{GS}$  係閾電壓，及  $V_{DS}$  係汲極-源極電壓。若電晶體M3、M4具有大致相同之閾電壓  $V_T$ ，則產生於電晶體M3汲極之偏壓  $V_{bias}$  如下：

$$V_{bias} = V_T + \sqrt{V_T^2 + \frac{\beta_p (V_{DD}^2 - 2V_T V_{DD}) - \beta_n V_T^2}{\beta_n + \beta_p}}$$

對於閾電壓大致小於供給電壓  $V_{DD}$ ，此可簡化為：

$$V_{bias} = \frac{\beta_p}{\beta_p + \beta_n} V_{DD}$$

偏壓  $V_{bias}$  之值因而取決於電晶體M3、M4之驅動能力。若電晶體具有大致相同之  $\beta$  值，則針對  $V_{DD}$ 、 $V_T$  之典型值，偏壓易大於  $V_{DD}/2$ 。此外，電晶體M3相關於電晶體M4時之驅動



## 五、發明說明 (16)

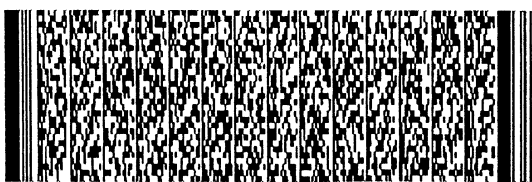
能力越高，偏壓 $V_{bias}$ 之值即越低，此有利於滿足上述定義之準則。

圖18所示通道閘不同於圖17所示者之處在於省略電晶體M13，電晶體M4之閘極連接於轉換器I1'之輸出，電晶體M7之汲極連接於偏壓產生器之輸出，即電晶體M4、M3之汲極之間。當供應至致能輸入EN之致能信號為主動時，轉換器I1'之輸出將電晶體M4、M7之閘極拉至下供給電位 $V_{SS}$ ，電晶體M7切斷且電晶體M4導通，以提供偏壓產生器負載。所需之偏壓因而供給至通道電晶體M1之閘極，且通道閘針對高及低輸入邏輯電平皆有上述功能。

當致能信號為非主動時，轉換器I1'之輸出將電晶體M4、M7之閘極拉至上供給線電壓 $V_{DD}$ ，電晶體M4因而切斷，且電晶體M1、M3之閘極皆連接於下供給線 $V_{SS}$ ，偏壓產生器因而失能且通道電晶體M1切斷。

圖19所示通道閘不同於圖18所示者之處在於電晶體M3之源極連接於互補型信號輸入INB。當致能信號為非主動時，電晶體M7將電晶體M1、M3之閘極連接於下供給線 $V_{SS}$ ，電晶體M1、M3因而切斷，使得輸入IN、INB相隔離，且假設為一高阻抗狀態。

當致能信號為主動時，當輸入IN之輸入信號係在上輸入邏輯電平則圖19之通道閘即以上述方式操作，使得輸入INB之互補型輸入信號在下輸入邏輯電平，即 $V_{SS}$ 。當輸入IN在下輸入邏輯電平且輸入INB在較高之上輸入邏輯電平 $V_{HH}$ 時，供給至電晶體M1之閘極之偏壓值大約增加一等於 $V_{HH}$



## 五、發明說明 (17)

之量，電晶體M1之閘極-源極電壓之上升進一步降低通道閘之輸出OUT端之電壓。因此，一較大之電壓旋擺度可利用互補型輸入信號及圖19所示之結構，以提供於輸出OUT。

如圖20所示，通道閘之輸出可由一轉換器I2補充或緩衝，因而提供一轉換之輸出信號於輸出OUTB，傳送至轉換器I2之輸入信號係切換於轉換器I2切換點以上與以下電平之間。惟，針對上述之速度考量，諸邏輯電平可小於由供給電壓 $V_{SS}$ 、 $V_{DD}$ 定義之電壓極端值。使用轉換器I2做為一單純之"硬限制器"，可提供幾乎等於供給電壓之輸出電壓電平，轉換器I2可為標準之二電晶體CMOS轉換器結構。

圖21所示通道閘不同於圖20所示者之處在於，轉換器I2實施為含有一N型電晶體M5與一P型電晶體M6之標準CMOS轉換器，其係以電晶體M5之源極連接於一互補型輸入INB。

當通道閘致能且輸入IN之信號在輸入邏輯高電平時，互補型輸入INB大致在下供給線電位，且含有電晶體M5、M6之轉換器係以習知方式操作。惟，當供給至輸入IN之信號係在下輸入邏輯電平時，互補型輸入INB之信號則在較高之輸入邏輯電平 $V_{HH}$ 。因此，電晶體M5之閘極-源極電壓降低，且此提供一較大之電壓旋擺於轉換器之輸出OUTB。

圖22所示通道閘不同於圖20所示者之處在於另一轉換器I3以其輸入及輸出分別連接於轉換器I2之輸出及輸入，再者，轉換器I3可控制及由控制裝置1控制，因此轉換器I3功能為一可由控制裝置1之一控制信號失能之回授轉換



## 五、發明說明 (18)

器。

當致能信號為主動時，控制裝置1使轉換器I3失能，因此通道閘之功能即相同於圖20所示之通道閘。惟，當致能信號為非主動時，通道電晶體M1切斷及選擇負載R以使連接於轉換器I2輸入之通道閘輸出不呈現一高阻抗狀態，如圖8之負載配置方式所示。回授轉換器I3係由控制裝置1激勵，且連同轉換器I2以構成一鎖合機構，因此，此配置方式操作如同一簡易之低電壓取樣與保持電路，其在致能信號為主動時可取樣輸入信號，且在致能信號變成非主動時可保持信號。

圖23說明轉換器I3之一特殊實例，其包含N型電晶體M9、M10及P型電晶體M11、M12，且其源極-汲極路徑係串聯於供給線vss、vdd之間。電晶體M10、M11即一般"轉換器電晶體"，而電晶體M9、M12為控制電晶體，其閘極分別連接於控制裝置1之轉換器I1'之輸出及輸入。當致能信號為主動時，電晶體M9、M12切斷，因此電晶體M10、M11隔絕於電源，且轉換器I3失能。當致能信號為非主動時，電晶體M9、M12導通，因此轉換器I3呈正常狀態之功能。

電晶體M9、M10及電晶體M11、M12之順序可改變，而不影響可控制式轉換器之操作，再者，成對之電晶體M9、M10、M11、M12可實施如同雙閘MOSFETs。再者，電晶體M9、M12可省略，假設含有電晶體M1與負載R之第一電平移動階級之驅動能力大於電晶體M10、M11者。

圖24所示之通道閘包含圖11所示之負載配置方式、圖19



## 五、發明說明 (19)

所示之偏壓產生器、及圖21所示之輸出轉換器配置方式，轉換器I1、I1'係由單一轉換器構成，而單一轉換器由含有一N型電晶體M14及一P型電晶體M15之習知CMOS轉換器配置方式組成。當致能輸入EN之致能信號在非主動或低邏輯電平狀態 $V_{SS}$ 時，電平移動通道閘之輸出OUTB不在上邏輯電平 $V_{DD}$ 。

圖25、26說明發生於圖24之通道閘模擬中之波形，其中 $V_{HH}$ 為2伏， $V_{DD}$ 為15伏，且電晶體具有低溫多晶矽薄膜電晶體之典型性能，即對於方波裝置而有2伏之閾電壓及 $1.25 \mu A/V^2$ 之 $\beta$ 值。電晶體M1、M3係比皆為方波裝置之圖24中其餘電晶體寬，圖26之下表說明供給至輸入IN、INB之輸入信號及供給至致能輸入EN之致能信號，輸入信號為具有2伏振幅之3 MHz信號，用於電晶體M1至M5之生成過渡電流係說明於圖26之上表內。

如圖25所示，輸出OUT之信號明確地切換於轉換器I2之輸入切換電壓IS之任一側，輸入信號係電平移動於供給線電壓 $V_{DD}$ 、 $V_{SS}$ 之10毫伏以內。

圖27說明以單端輸入IN取樣之低電壓資料用之通道閘，圖27之通道閘包含圖8所示之負載配置方式、圖18所示之偏壓產生器且具有圖16所示之偏壓產生電晶體配置方式與合併成雙閘電晶體之電晶體M3與M14、及圖23所示之輸出轉換器配置方式且以成對之電晶體M9、M10、M11、M12實施做為雙閘電晶體。圖28說明使用上述相同變數之發生於圖27之通道閘模擬中之波形，且再次說明優異之電平移動



## 五、發明說明 (20)

性能可由較低劣性能之多晶矽薄膜電晶體達成，例如平板式矩陣顯示器之單體驅動器電路中所發現者。

由此可提供一電平移動通道閘，其提供高電平移動度且結合於來自較簡化電路之良好性能，通道閘可致能或失能，在失能狀態中，各輸入信號呈現一高阻抗於相連接之任意信號線，且在失能狀態中，輸出係配置以缺設於任意必要之狀態。

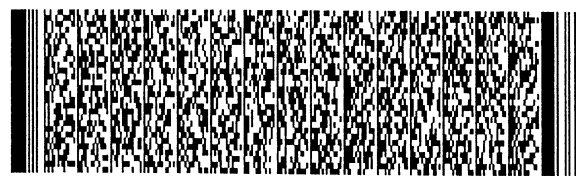


## 四、中文發明摘要 (發明之名稱：電平移動通道閘)

一種電平移動通道閘包含一場效電晶體(M1)，其源極連接於一信號輸入(IN)，且其汲極連接於一信號輸出(OUT)。一負載(R)係連接於電晶體(M1)之汲極與一供給線(vdd)之間，一控制裝置(1)具有一致能輸入(EN)以接收一致能信號，而使通道閘致能或失能。當閘致能時，控制裝置(1)控制電晶體(M1)及可能亦控制負載(R)，使得一輸入邏輯低電平大致上不變地通過，而一較低輸入高電平移動至一趨近於供給電壓之較高輸出高電平。當閘失能時，電晶體(M1)切斷使輸入(IN)隔離於輸出(OUT)，且假設此為一高阻抗狀態。反之，當失能時，輸出(OUT)缺設於一預定狀態，例如邏輯低、邏輯高或高阻抗。

## 英文發明摘要 (發明之名稱：LEVEL-SHIFTING PASS GATE)

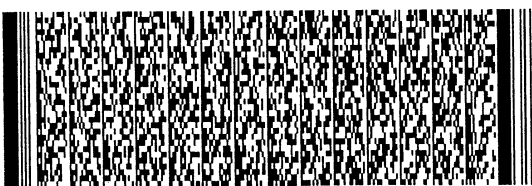
A level-shifting pass gate comprises a field effect transistor (M1) whose source is connected to a signal input (IN) and whose drain is connected to a signal output (OUT). A load (R) is connected between the drain of the transistor (M1) and a supply line (vdd). A control means (1) has an enable input (EN) which receives signals for enabling or disabling the pass gate. When the gate is enabled, the control means (1) controls the transistor (M1) and possibly the load (R) so



四、中文發明摘要 (發明之名稱：電平移動通道閘)

英文發明摘要 (發明之名稱：LEVEL-SHIFTING PASS GATE)

that an input logic low level is passed substantially unchanged whereas a relatively low input high level is shifted to a higher output logic high level approaching the supply voltage. When the pass gate is disabled, the transistor (M1) is switched off so that the input (IN) is isolated from the output (OUT) and assumes a high impedance state. Conversely, when disabled, the output (OUT) defaults to a predetermined state, such as logic low, logic high or high impedance.





圖式

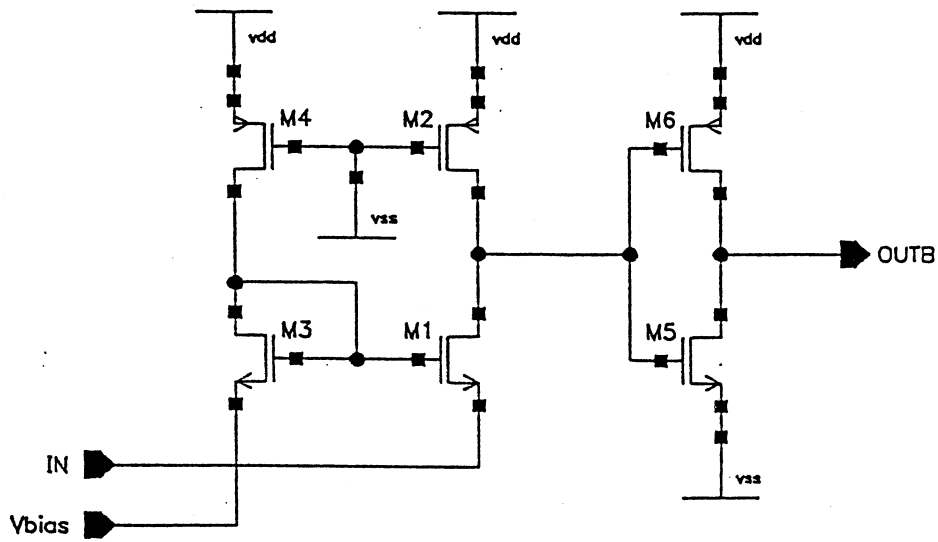


圖 1

圖式

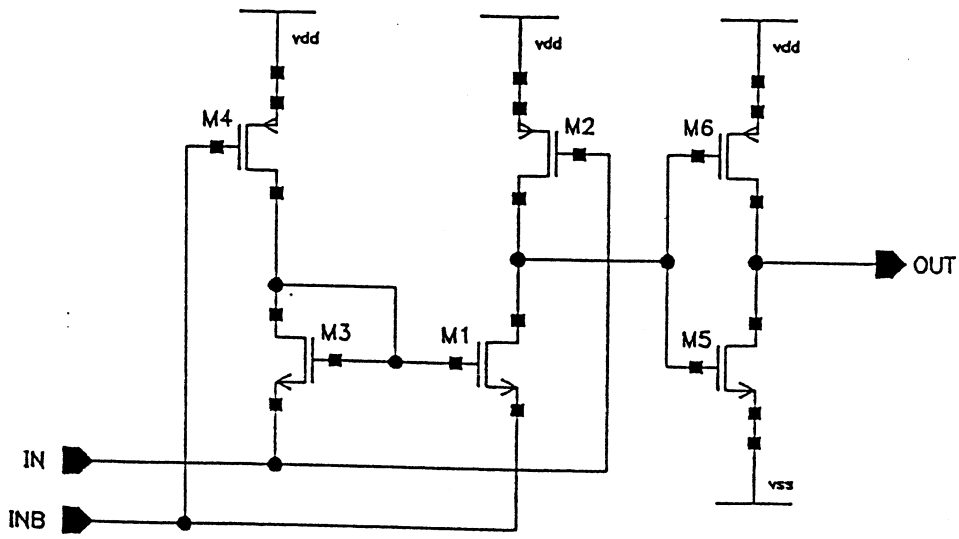


圖 2

圖式

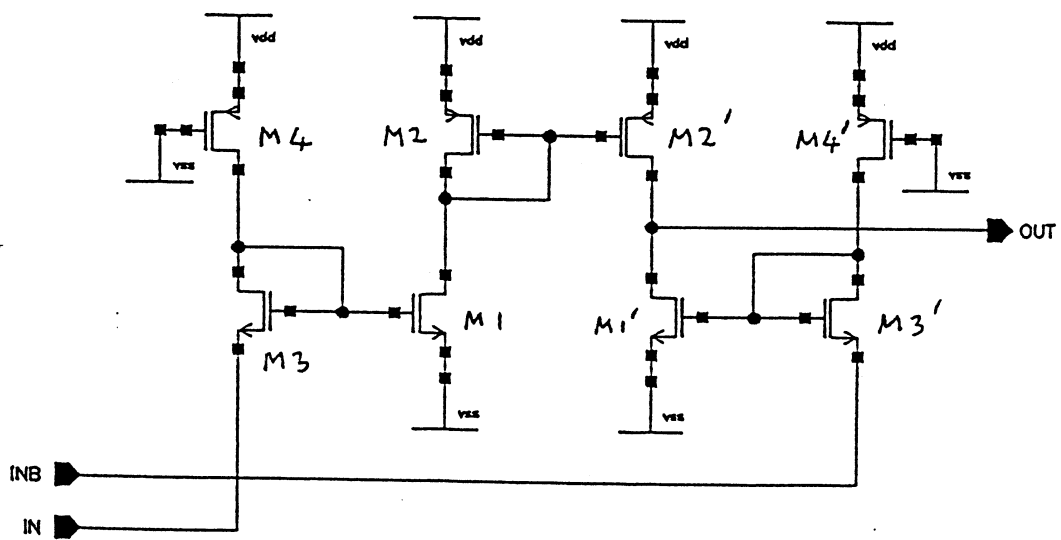


圖 3

圖式

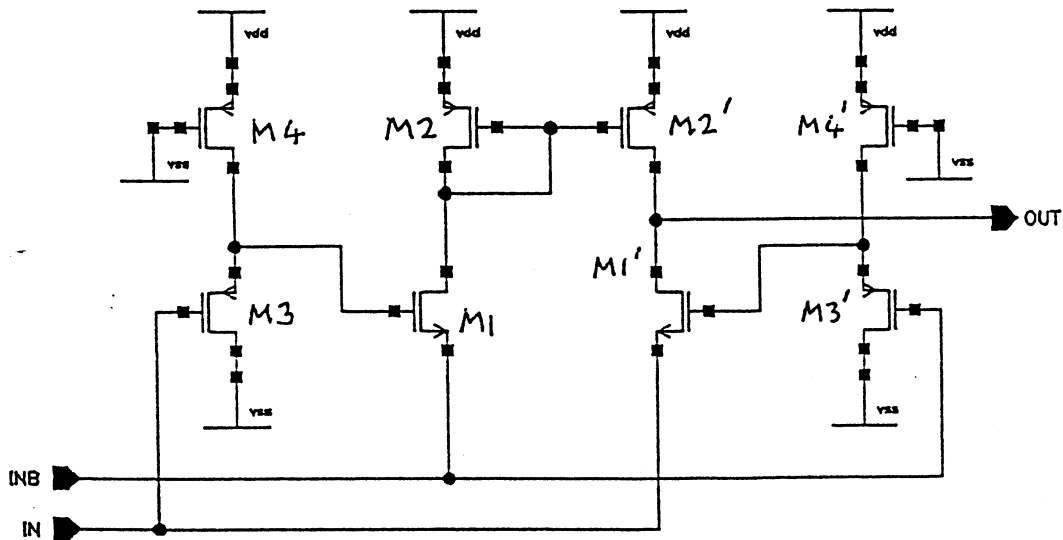


圖 4

圖式

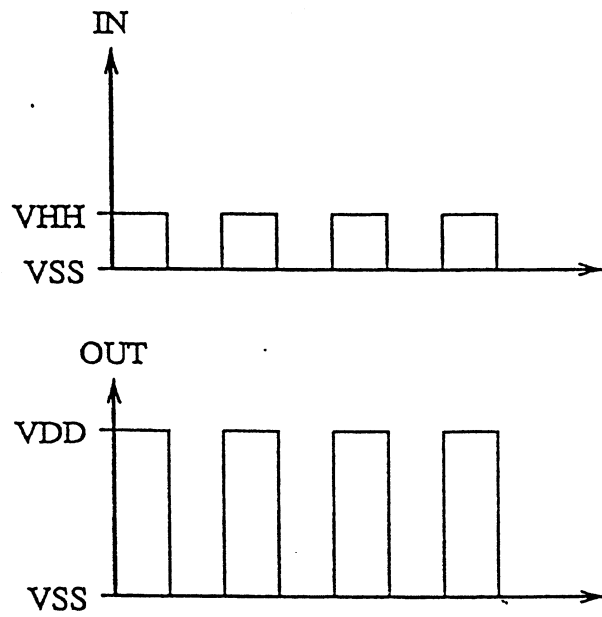


圖 5

圖式

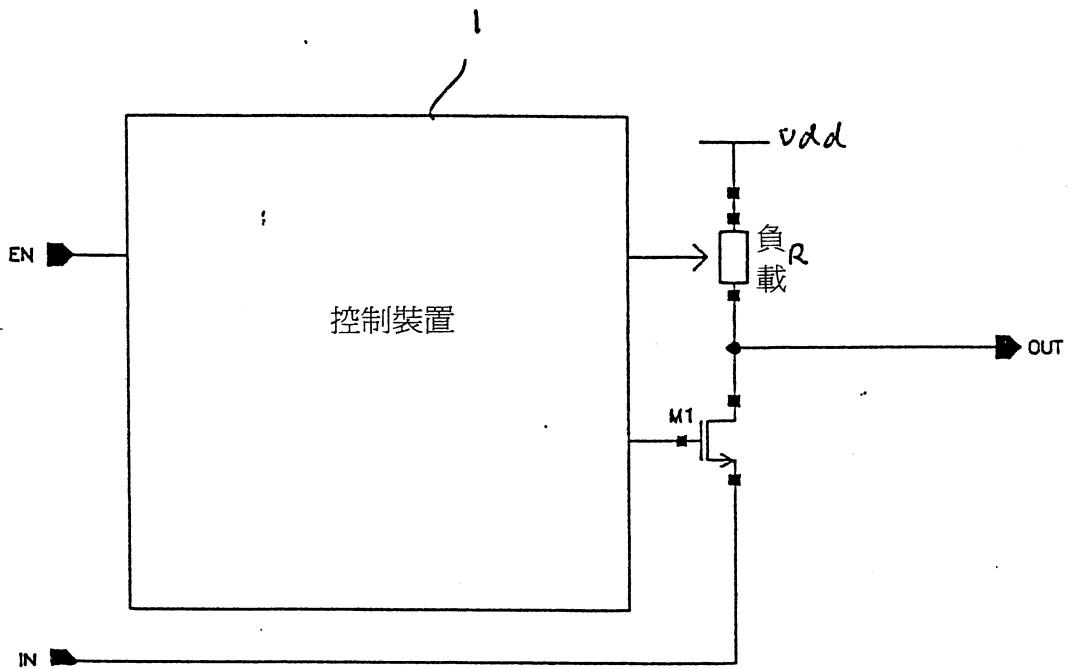


圖 6

圖式

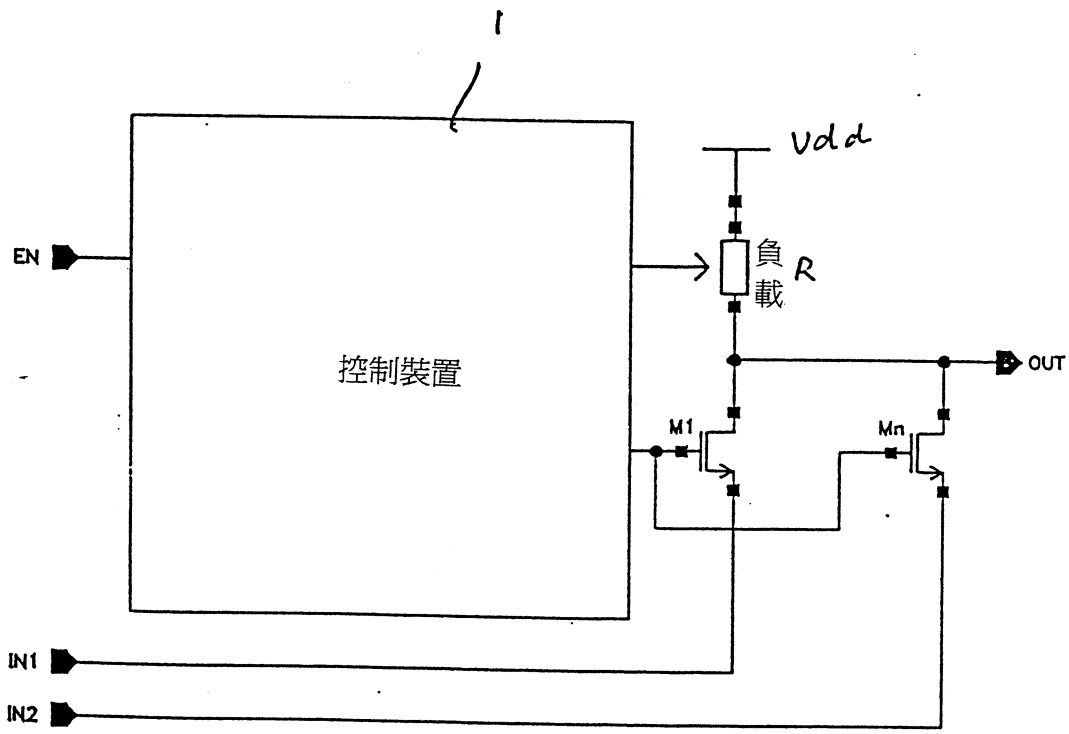


圖 7

圖式

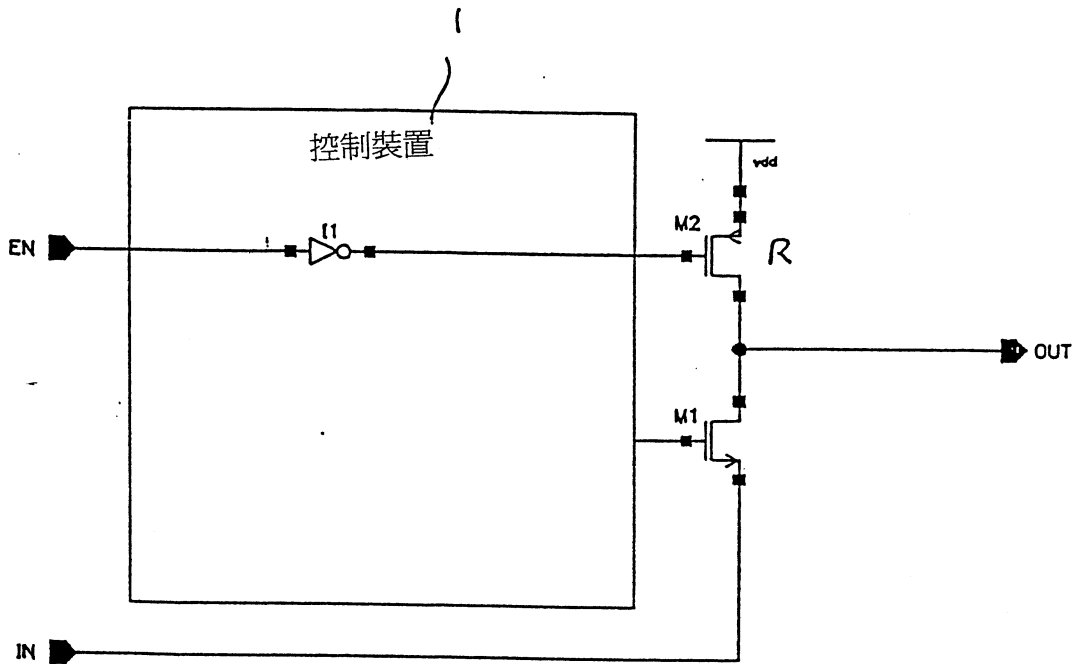


圖 8



圖式

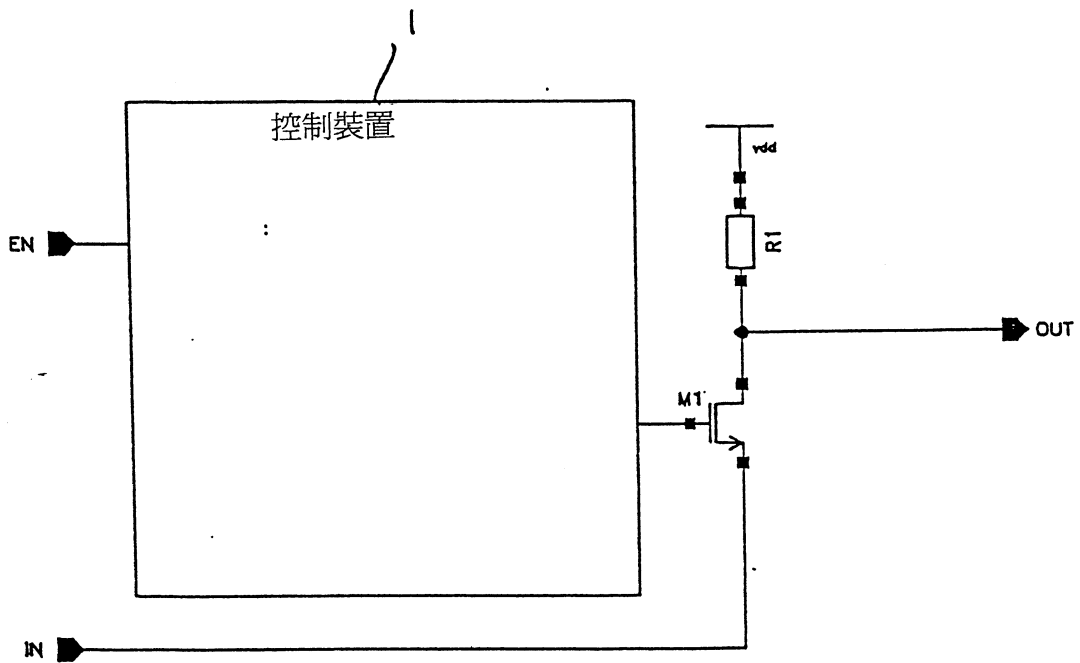


圖 9

圖式

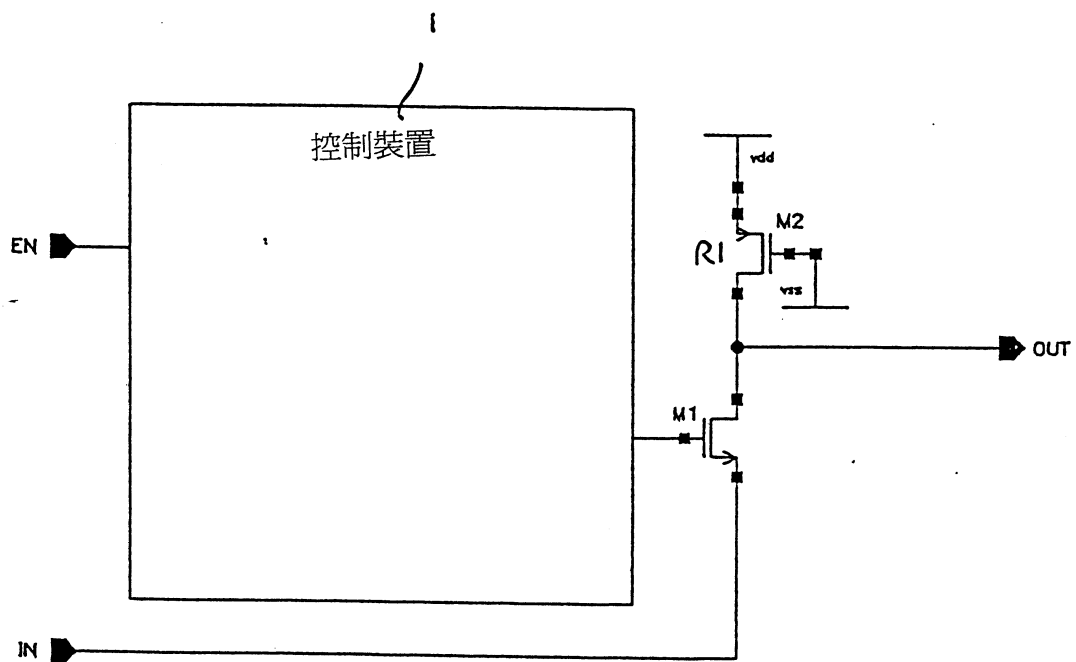


圖 10

圖式

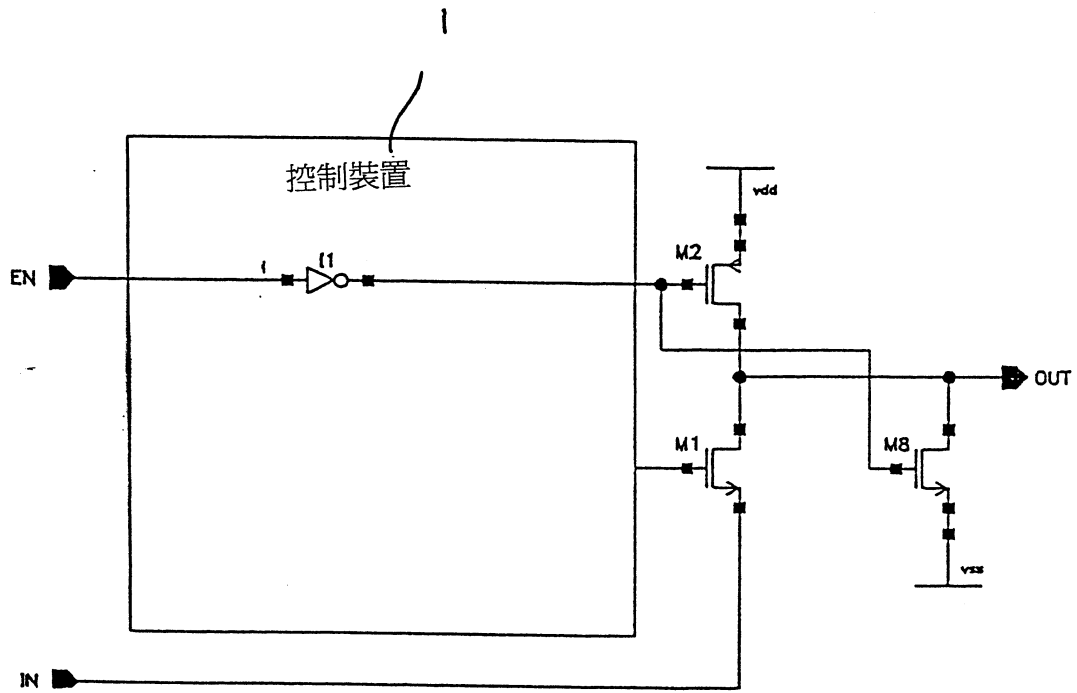


圖 11

圖式

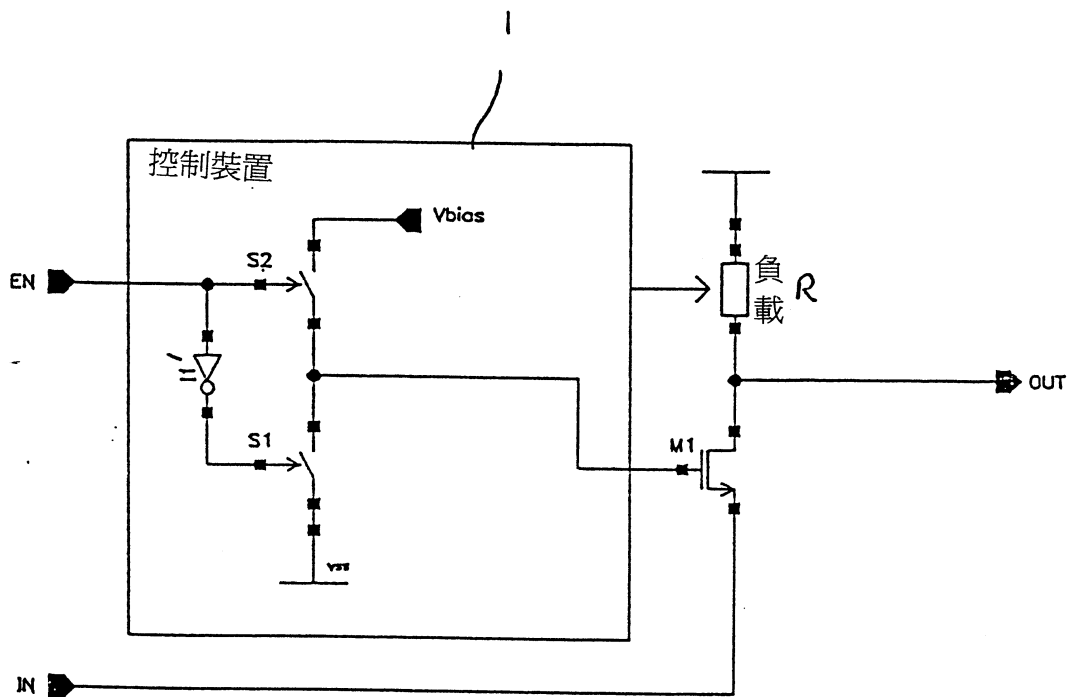


圖 12

圖式

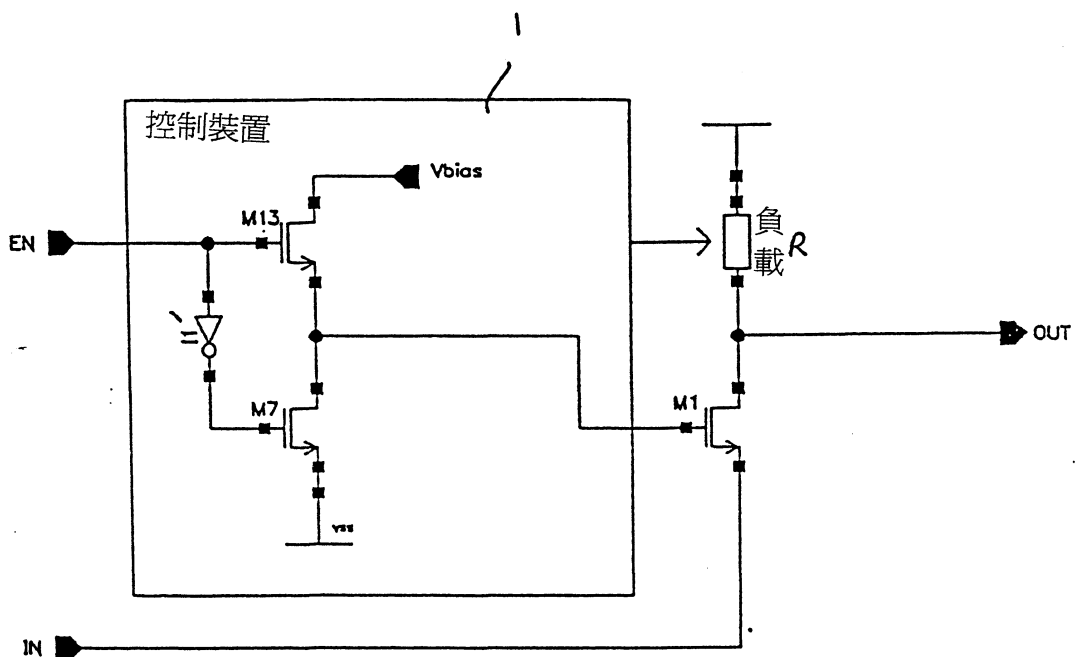


圖 13

圖式

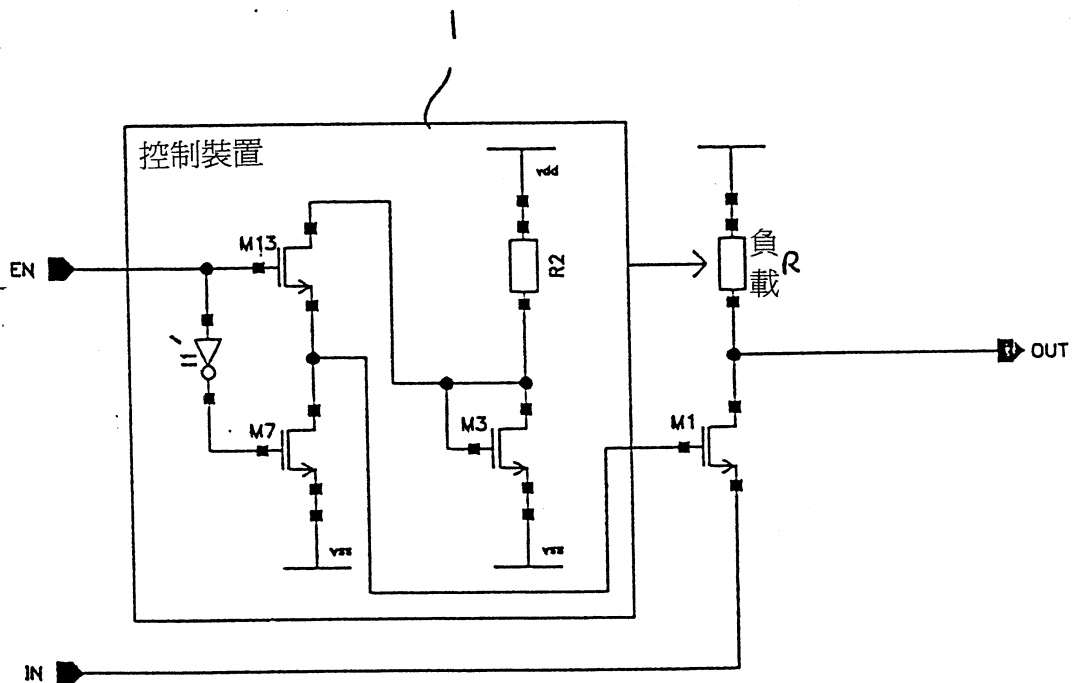


圖 14

圖式

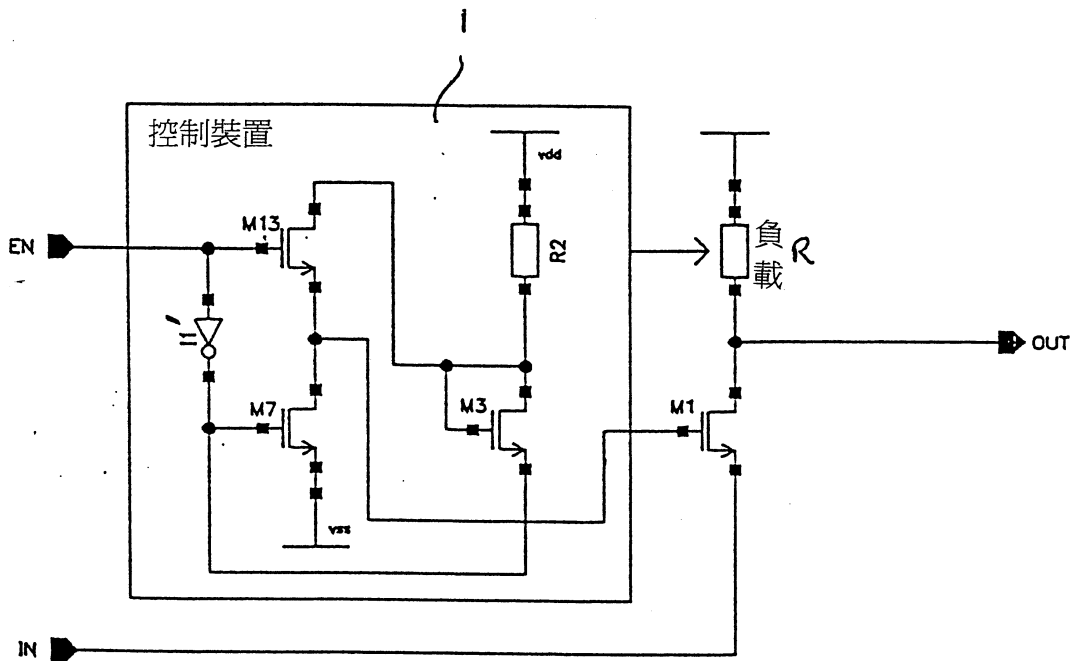


圖 15

圖式

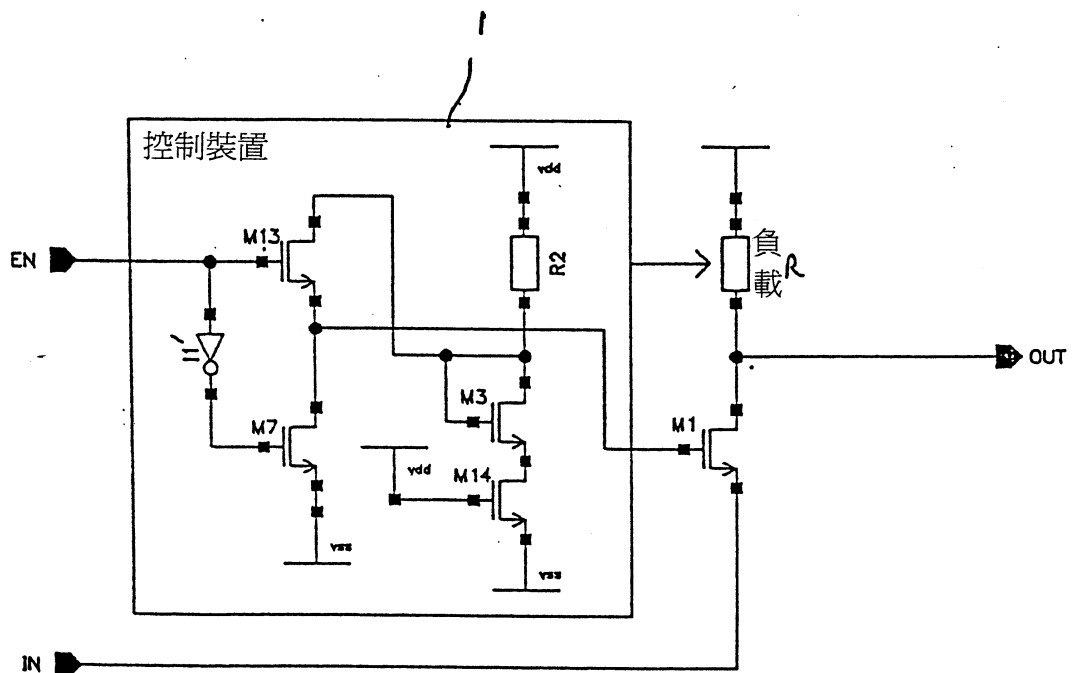


圖 16



圖式

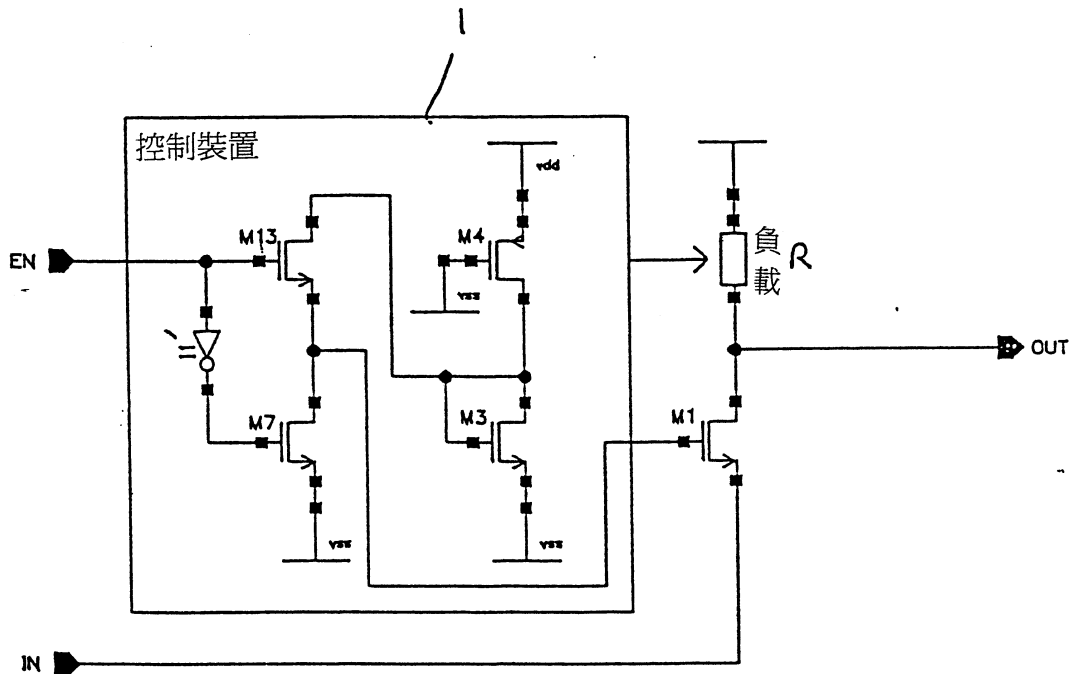


圖 17

圖式

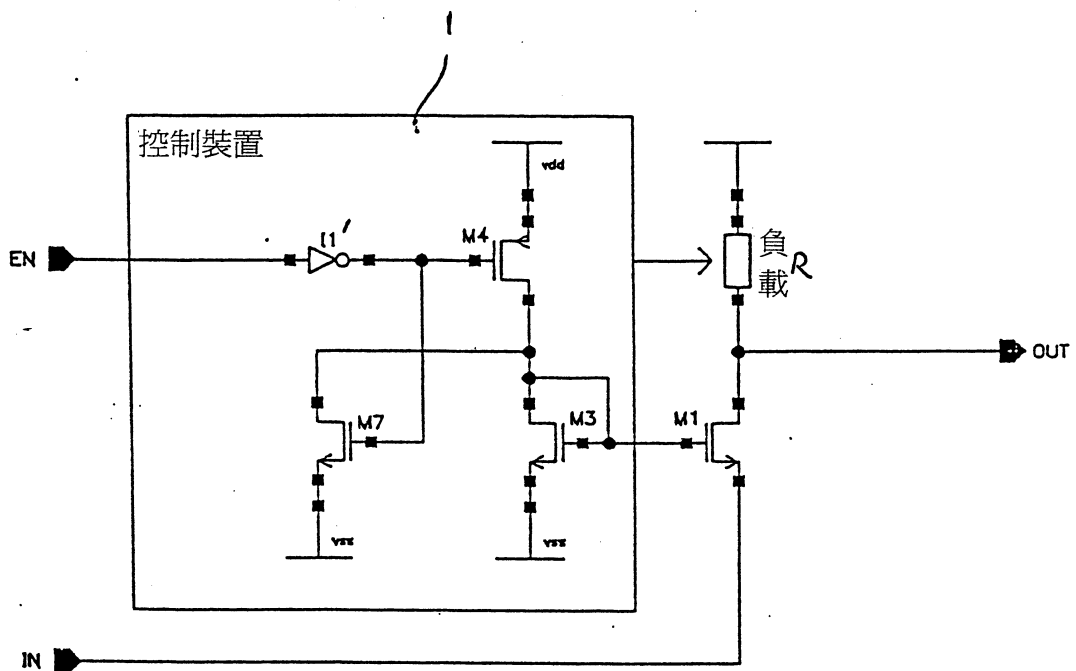


圖 18

圖式

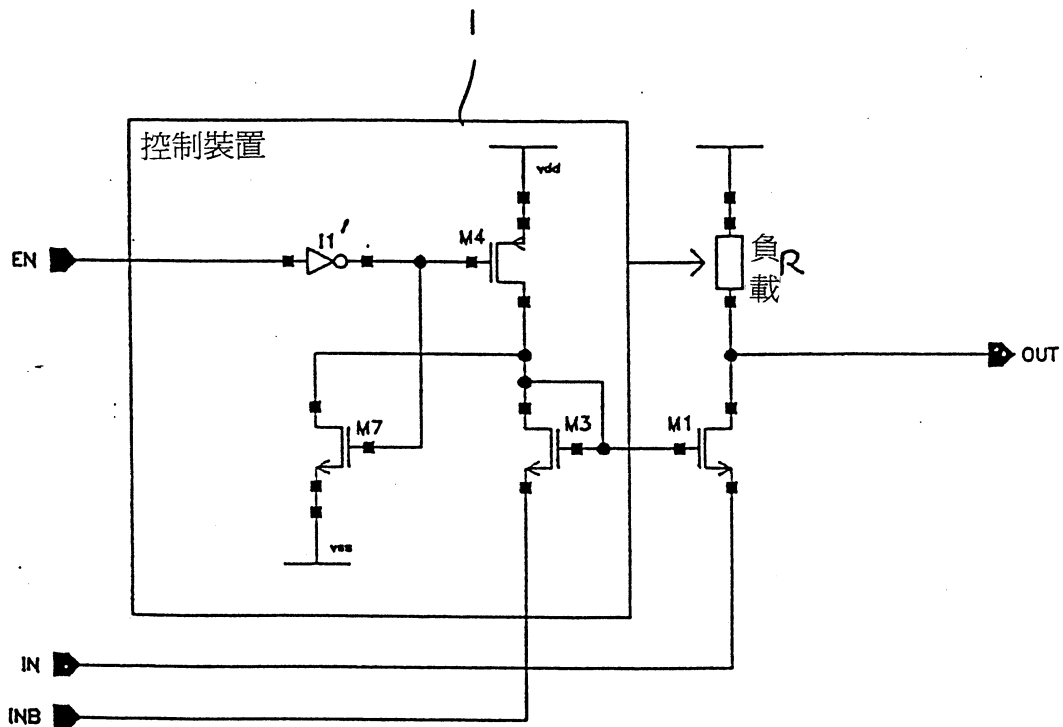


圖 19

圖式

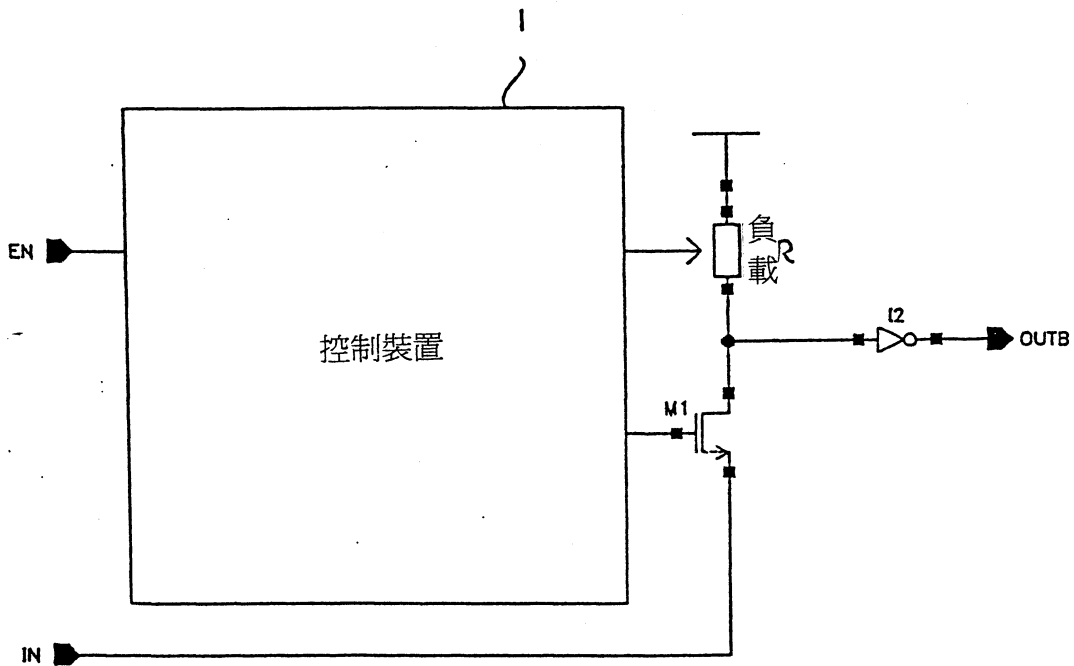


圖 20

圖式

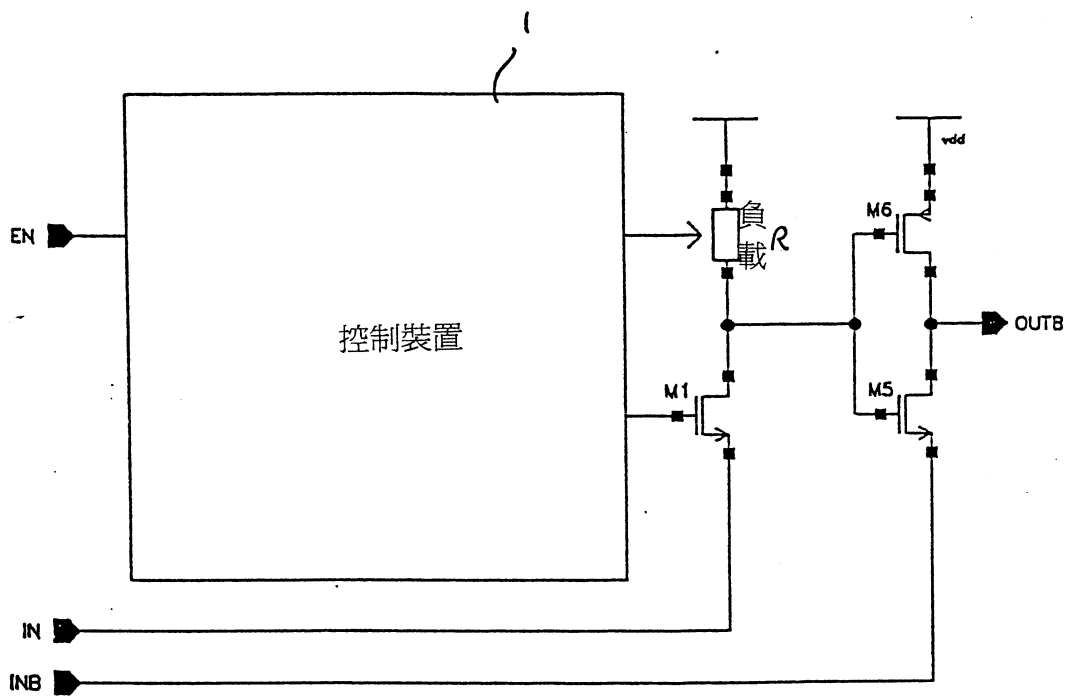


圖 21

圖式

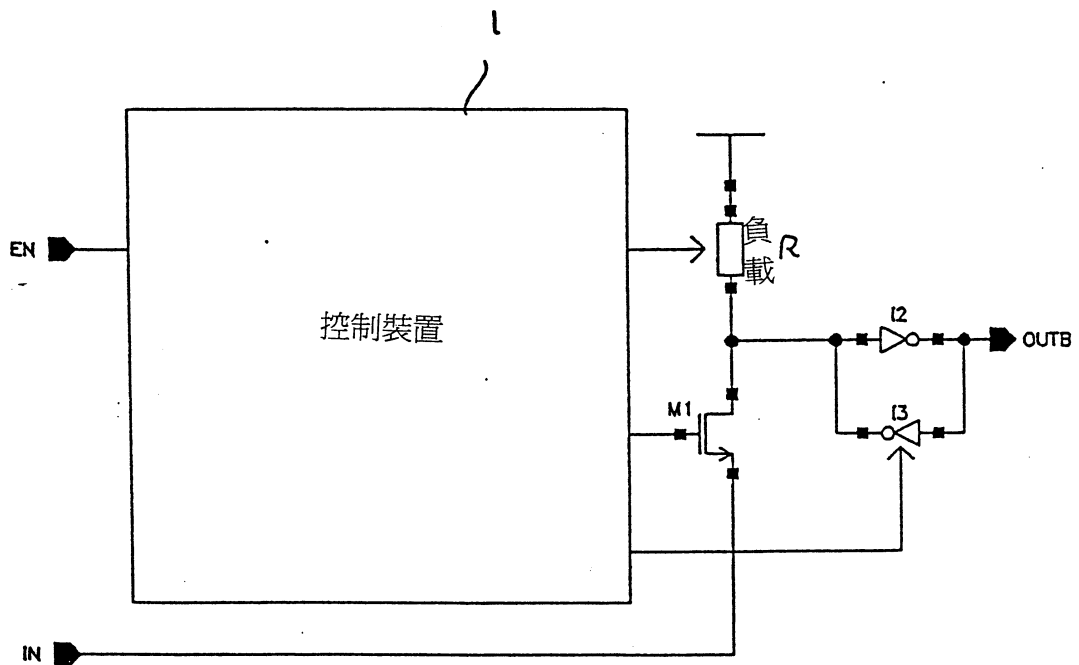


圖 22

圖式

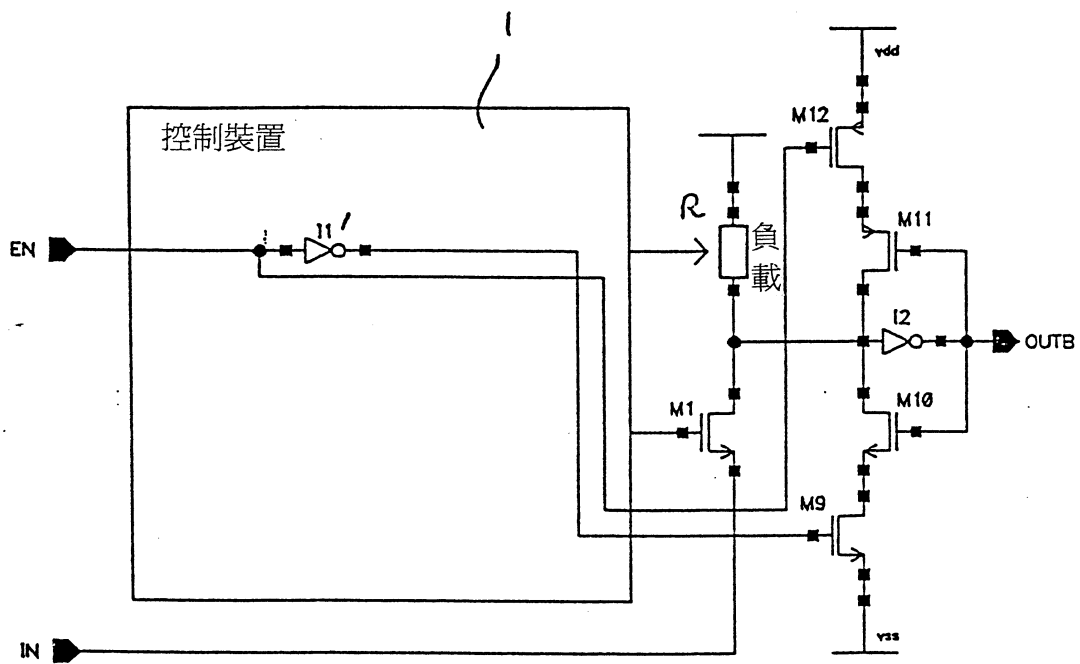


圖 23

圖式

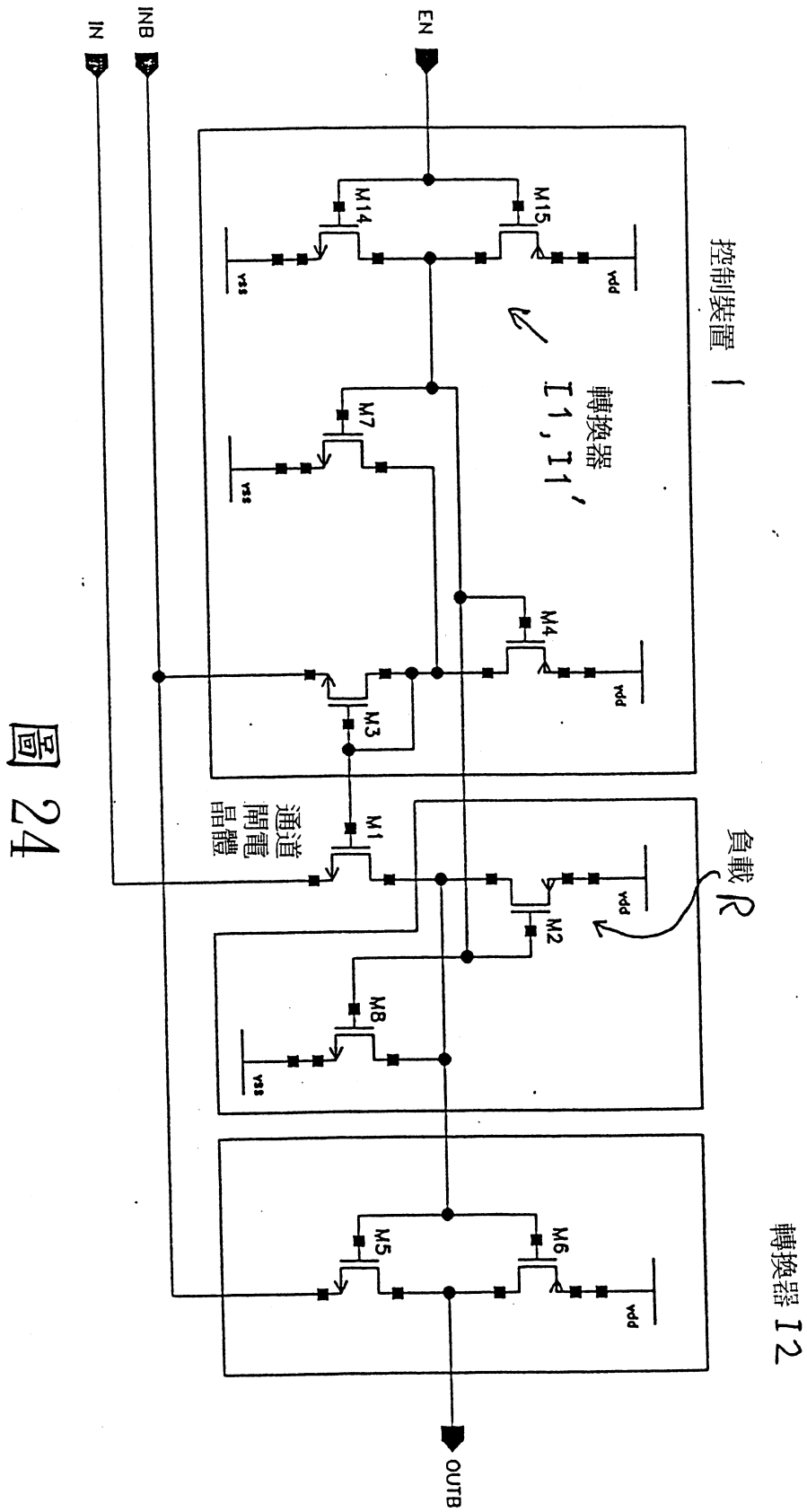


圖 24



圖式

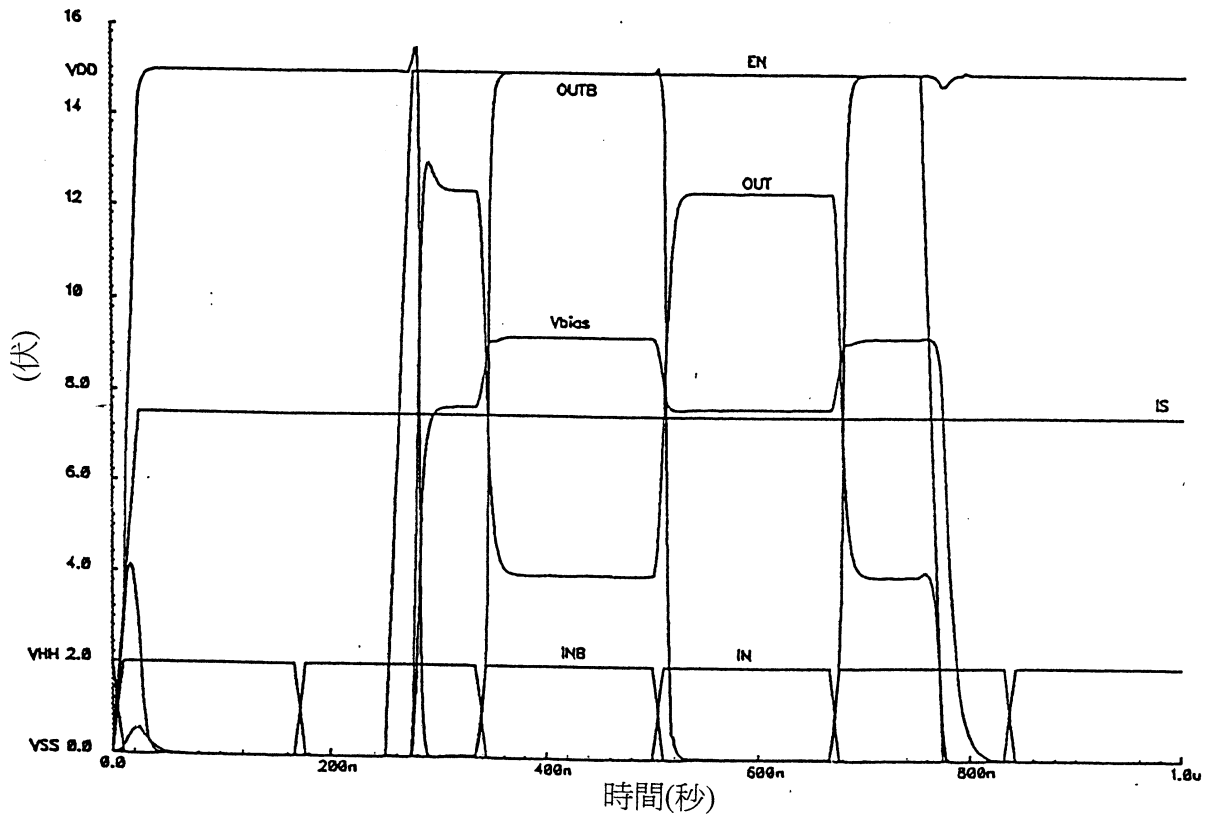
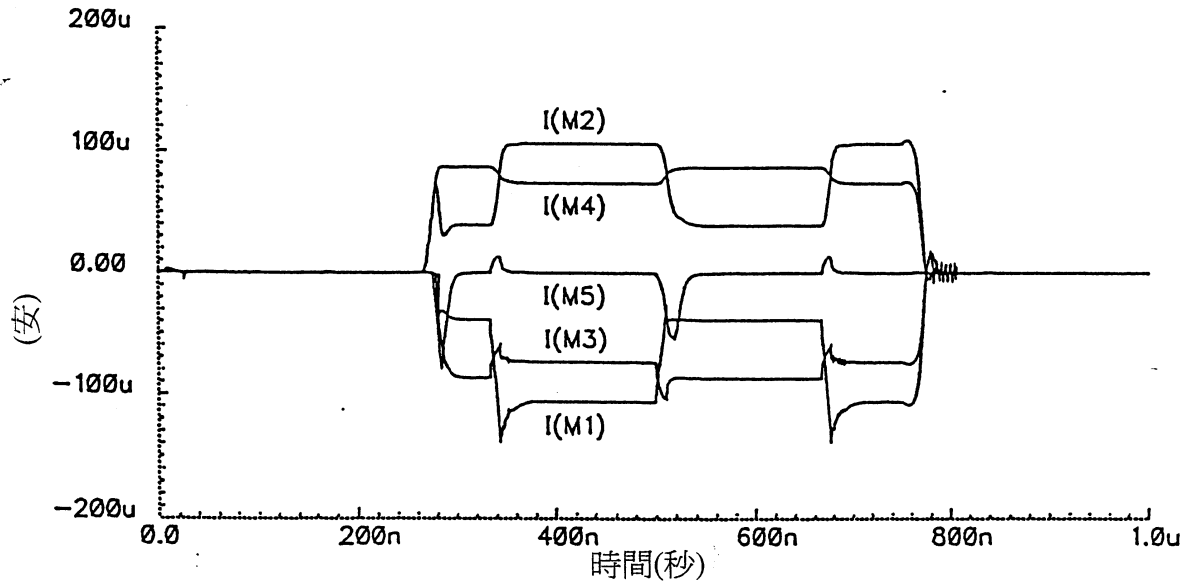


圖 25

圖式



電路輸入

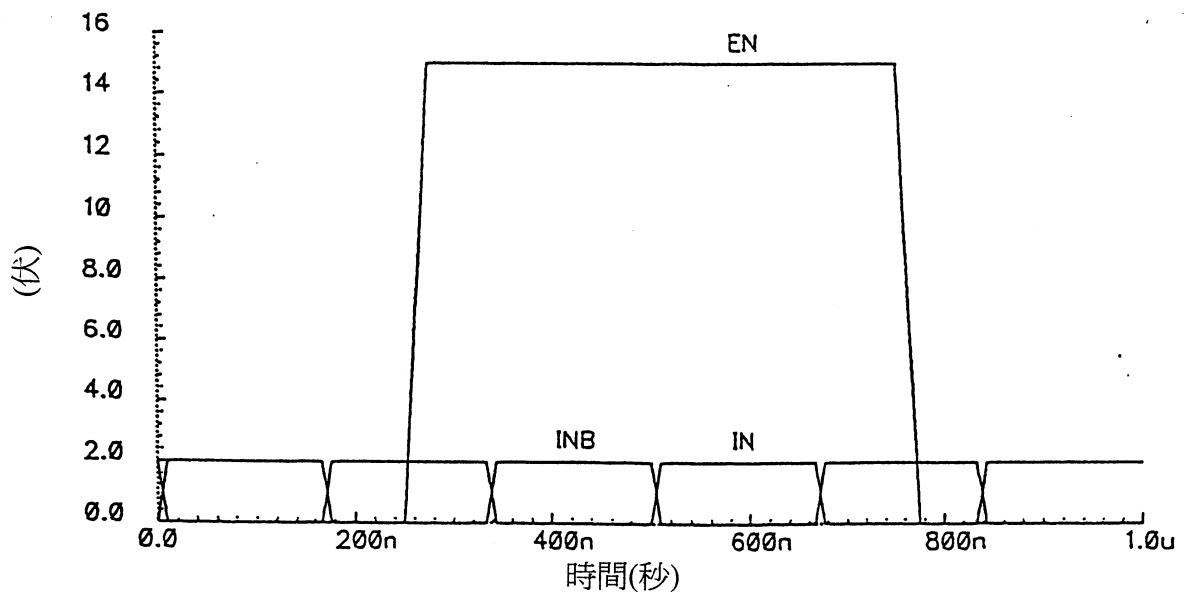


圖 26

圖式

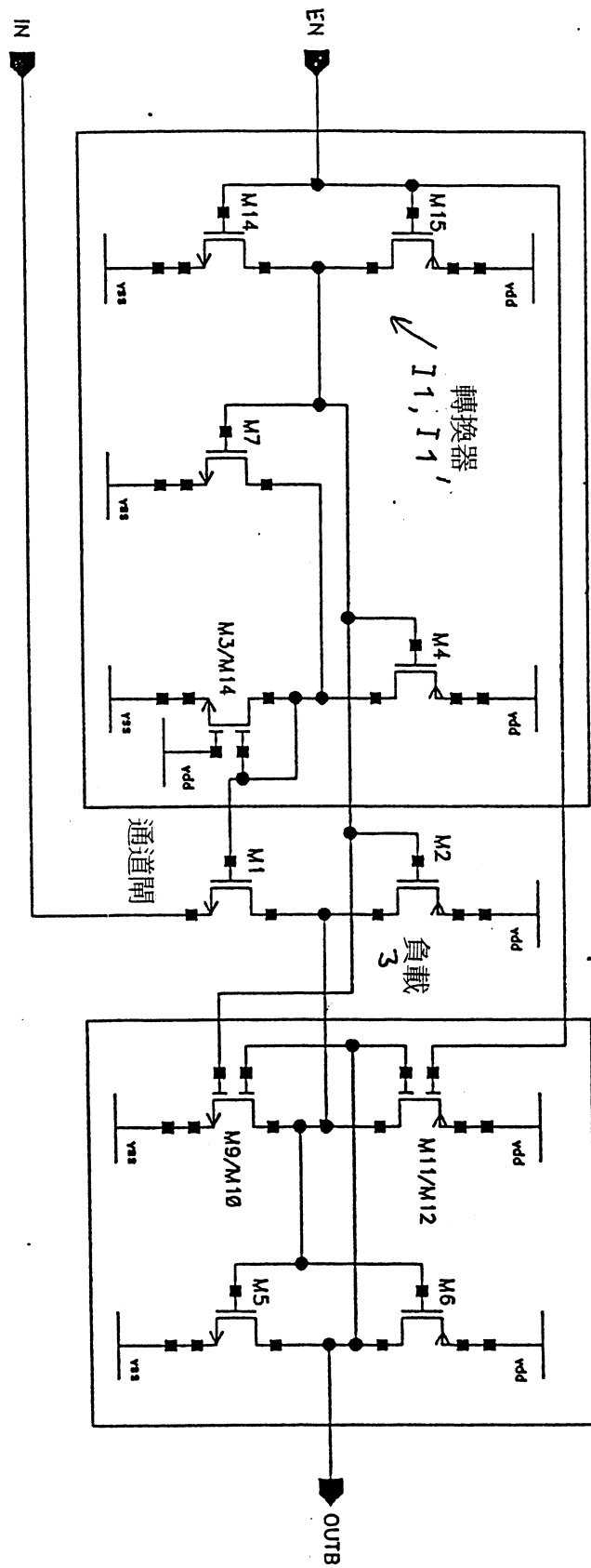
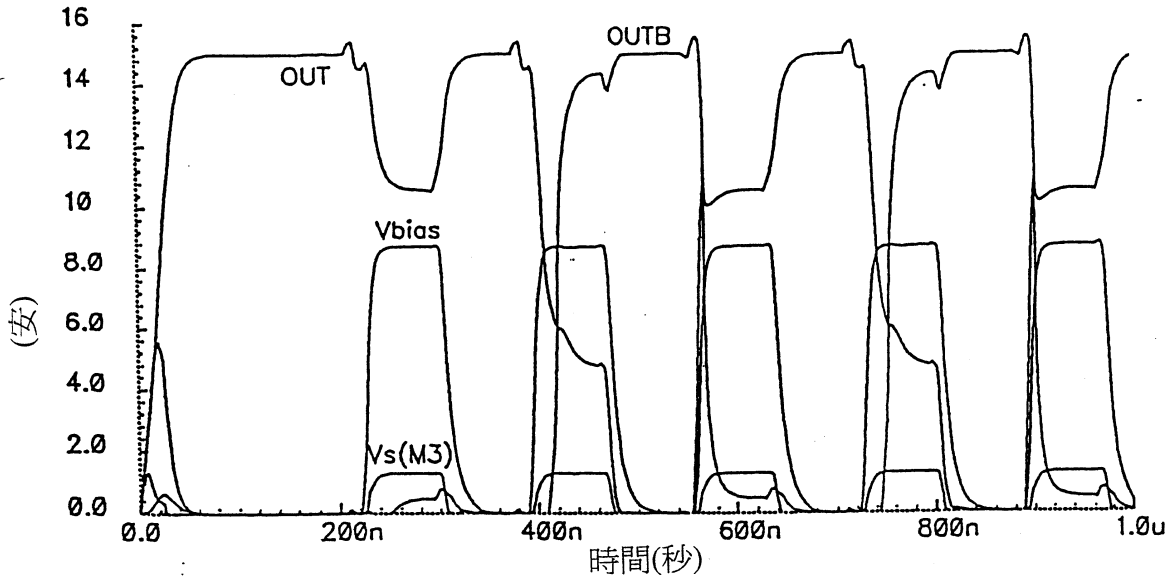


圖 27

控制裝置

轉換器 I2, I3

圖式



電路輸入

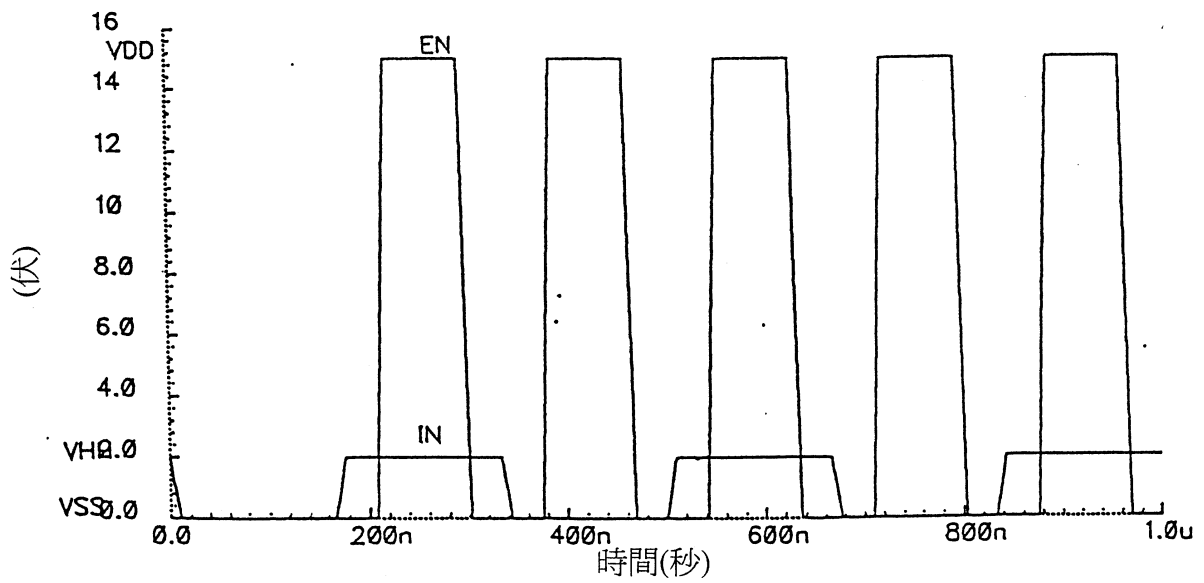


圖 28

圖式簡單說明



## 六、申請專利範圍

1. 一種電平移動通道閘，包含：一第一電路，包含一通道電晶體，其主傳導路徑係連接於一信號輸入與一信號輸出之間，及一負載連接於信號輸出；及一第二電路，具有一致能輸入且配置以控制第一電路，因此：當一供給至致能輸入之致能信號為主動且一第一邏輯電平供給至信號輸入時，通道電晶體可提供一電平移動邏輯電平於信號輸出；當致能信號為主動且一第二邏輯電平供給至信號輸入時，通道電晶體可提供第二邏輯電平於大致未移動之信號輸出

；及，當致能信號為非主動時，信號輸入即設定於一高阻抗狀態而信號輸出設定於一預定狀態。

2. 如申請專利範圍第1項之閘，其中第一邏輯電平具有一較高於第二邏輯電平者之強度。

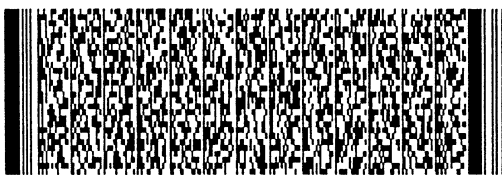
3. 如申請專利範圍第2項之閘，其中第二邏輯電平之強度大致等於0。

4. 如申請專利範圍第1項之閘，其中第二電路係配置以在致能信號為非主動時可切斷通道電晶體。

5. 如申請專利範圍第1項之閘，其中第二電路係配置以在致能信號為非主動時，提供一大於通道電晶體閾電壓之偏壓至通道電晶體之控制電極。

6. 如申請專利範圍第5項之閘，其中偏壓與第一邏輯電平之間之差異係小於通道電晶體之閾電壓。

7. 如申請專利範圍第5項之閘，其中第二電路包含一偏壓源，偏壓源包含一電阻連接於一輸出電極及一第一電晶



## 六、申請專利範圍

體之控制電極。

8. 如申請專利範圍第7項之聞，其中第一電晶體具有一共用電極且接地。

9. 如申請專利範圍第7項之聞，其中第一電晶體具有一共用電極，係在致能信號為非主動時可連接以接收一高電壓電平，而在致能信號為主動時則接收一低電壓電平。

10. 如申請專利範圍第7項之聞，其中第一電晶體具有一共用電極，係連接於一互補型信號輸入。

11. 如申請專利範圍第8項之聞，其中第一電晶體之共用電極係經過一第二電晶體之主傳導路徑而連接，第二電晶體之控制電極係配置以接收另一偏壓。

12. 如申請專利範圍第9項之聞，其中第一電晶體之共用電極係經過一第二電晶體之主傳導路徑而連接，第二電晶體之控制電極係配置以接收另一偏壓。

13. 如申請專利範圍第10項之聞，其中第一電晶體之共用電極係經過一第二電晶體之主傳導路徑而連接，第二電晶體之控制電極係配置以接收另一偏壓。

14. 如申請專利範圍第7項之聞，其中電阻包含一第三電晶體之主傳導路徑。

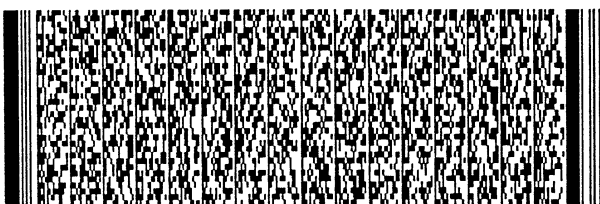
15. 如申請專利範圍第14項之聞，其中第三電晶體係配置以在致能信號為非主動時切斷，而在致能信號為主動時導通。

16. 如申請專利範圍第7項之聞，其中第一電晶體之控制及輸出電極係連接於通道電晶體之一控制電極。



## 六、申請專利範圍

17. 如申請專利範圍第1項之開，其中一第四電晶體係配置以在致能信號為非主動時將通道電晶體之一控制電極接地。
18. 如申請專利範圍第1項之開，包含至少另一通道電晶體，各具有一主傳導路徑於一各別信號輸入與信號輸出之間。
19. 如申請專利範圍第1項之開，其中負載包含一大致固定之電阻，且預定狀態包含一高電平狀態。
20. 如申請專利範圍第1項之開，其中負載包含一相反於通道電晶體之傳導型負載電晶體。
21. 如申請專利範圍第20項之開，其中通道電晶體具有一高於負載電晶體者之驅動能力。
22. 如申請專利範圍第20項之開，其中負載電晶體係配置以在致能信號為非主動時切斷。
23. 如申請專利範圍第22項之開，其中預定狀態係一高電平狀態。
24. 如申請專利範圍第22項之開，其中一下拉式電晶體具有一主傳導路徑連接於信號輸出與接地端之間，其係配置以在致能信號為非主動且預定狀態係一低電平狀態時導通。
25. 如申請專利範圍第22項之開，其中負載電晶體係配置以接收一固定偏壓，預定狀態係一高電平狀態。
26. 如申請專利範圍第25項之開，其中負載電晶體具有一控制電極且配置以接收一接地電位。





## 六、申請專利範圍

27. 如申請專利範圍第1項之開，其中信號輸入係連接於一第一轉換器之輸入。

28. 如申請專利範圍第27項之開，包含一第二可控制式轉換器，其輸入及輸出係分別連接於第一轉換器之輸出及輸入，且其在致能信號為非主動時呈致能，而在致能信號為主動時呈失能。

29. 一種電平移動通道開，包含：一第一電路，包含一通道電晶體，其主傳導路徑係連接於一信號輸入與一信號輸出之間，及一負載連接於信號輸出；及一第二電路，具有一致能輸入且配置以控制第一電路，因此：當一供給至致能輸入之致能信號為主動且一第一邏輯電平供給至信號輸入時，通道電晶體可提供一電平移動邏輯電平於信號輸出；及，當致能信號為非主動時，信號輸入即設定於一高阻抗狀態而信號輸出設定於一預定狀態；其中電晶體包含一場效電晶體。

30. 如申請專利範圍第29項之開，其係實施於一CMOS積體電路中。

31. 一種用於一矩陣型顯示器之驅動器電路，包括一如申請專利範圍第1項之開。

32. 一種用於一矩陣型顯示器之驅動器電路，包括一如申請專利範圍第29項之開。

