

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-81066

(P2007-81066A)

(43) 公開日 平成19年3月29日(2007.3.29)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 7 G	2 H O 9 2
HO 1 L 29/786 (2006.01)	GO 2 F 1/1368	5 F 1 1 O
GO 2 F 1/1368 (2006.01)	HO 1 L 29/78 6 2 O	5 F 1 5 2
HO 1 L 21/20 (2006.01)	HO 1 L 29/78 6 1 8 A	
	HO 1 L 29/78 6 1 3 A	

審査請求 未請求 請求項の数 15 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2005-266063 (P2005-266063)
 (22) 出願日 平成17年9月13日 (2005.9.13)

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100079108
 弁理士 稲葉 良幸
 (74) 代理人 100080953
 弁理士 田中 克郎
 (74) 代理人 100093861
 弁理士 大賀 眞司
 (72) 発明者 広島 安
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

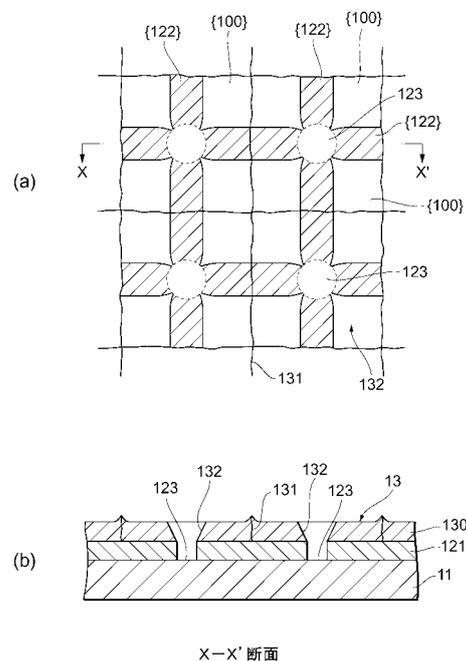
(54) 【発明の名称】 半導体装置の製造方法、半導体装置、電気光学装置及び電子機器

(57) 【要約】

【課題】 半導体デバイスの3次元形成において、特性バラツキの小さな高性能薄膜トランジスタを得ることを可能とする半導体装置の製造方法を提供する。

【解決手段】 少なくとも一方の表面が単結晶性または略単結晶性を有する基板(11)上に半導体膜の結晶化の際の起点となる凹部(123)を形成する凹部形成工程と、前記凹部が形成された前記基板上に半導体膜(130)を形成する半導体膜形成工程と、前記半導体膜に熱処理を行い、前記起点部を略中心とする略単結晶粒(13)を形成する熱処理工程と、前記半導体膜をパターニングし、ソース領域、ドレイン領域及びチャネル形成領域となるべきトランジスタ領域(133)を形成するパターニング工程と、前記トランジスタ領域上にゲート絶縁膜(14)及びゲート電極(15)を形成して薄膜トランジスタを形成する素子形成工程と、を含み、前記素子形成工程では、前記基板が有する単結晶または略単結晶の結晶面[111]以外の方向に薄膜トランジスタを形成する。

【選択図】 図2



X-X' 断面

【特許請求の範囲】

【請求項 1】

薄膜トランジスタを含む半導体装置の製造方法であって、
少なくとも一方の表面に単結晶又は略単結晶である部分を有する基板上に半導体膜の結晶化の際の起点部となる凹部を形成する凹部形成工程と、
凹部が形成された前記基板上に半導体膜を形成する半導体膜形成工程と、
前記半導体膜に熱処理を行って前記起点部を略中心とする略単結晶粒を形成する熱処理工程と、
前記半導体膜をパターニングし、ソース領域、ドレイン領域及びチャネル形成領域となるべきトランジスタ領域を形成するパターニング工程と、
前記トランジスタ領域上にゲート絶縁膜及びゲート電極を形成して薄膜トランジスタを形成する素子形成工程と、を含み、
前記素子形成工程では、前記基板が有する単結晶又は略単結晶の結晶面[1 1 1]以外の面方向に薄膜トランジスタの少なくともチャネル領域を形成する、半導体装置の製造方法。

10

【請求項 2】

薄膜トランジスタを含む半導体装置の製造方法であって、
少なくとも一方の表面に単結晶又は略単結晶である部分を有する基板上に半導体膜の結晶化の際の起点部となる凹部を形成する凹部形成工程と、
凹部が形成された前記基板上に半導体膜を形成する半導体膜形成工程と、
前記半導体膜に熱処理を行って前記起点部を略中心とする略単結晶粒を形成する熱処理工程と、
前記半導体膜をパターニングし、ソース領域、ドレイン領域及びチャネル形成領域となるべきトランジスタ領域を形成するパターニング工程と、
前記トランジスタ領域上にゲート絶縁膜及びゲート電極を形成して薄膜トランジスタを形成する素子形成工程と、を含み、
前記素子形成工程では、前記基板が有する単結晶又は略単結晶の結晶面[1 1 1]の面方向に p チャネル薄膜トランジスタを形成する、半導体装置の製造方法。

20

【請求項 3】

薄膜トランジスタを含む半導体装置の製造方法であって、
半導体膜の結晶化の際の起点部となる、単結晶又は略単結晶である底部を有する凹部を基板の表面に形成する凹部形成工程と、
凹部が形成された前記基板上に半導体膜を形成する半導体膜形成工程と、
前記半導体膜に熱処理を行って前記起点部を略中心とする略単結晶粒を形成する熱処理工程と、
前記半導体膜をパターニングし、ソース領域、ドレイン領域及びチャネル形成領域となるべきトランジスタ領域を形成するパターニング工程と、
前記トランジスタ領域上にゲート絶縁膜及びゲート電極を形成して薄膜トランジスタを形成する素子形成工程と、を含み、
前記パターニング工程では、少なくとも前記チャネル形成領域が前記半導体膜の略単結晶粒の結晶面[1 1 1]を含む領域以外の領域となるように選定される、半導体装置の製造方法。

30

40

【請求項 4】

前記パターニング工程では、前記チャネル形成領域が前記半導体膜の略単結晶粒の結晶面[1 0 0]の領域となるように選定される、請求項 1 乃至 3 のいずれかに記載の半導体装置の製造方法。

【請求項 5】

薄膜トランジスタを含む半導体装置の製造方法であって、
半導体膜の結晶化の際の起点部となる、単結晶又は略単結晶である底部を有する凹部を基板の表面に形成する凹部形成工程と、

50

凹部が形成された前記基板上に半導体膜を形成する半導体膜形成工程と、
前記半導体膜に熱処理を行って前記起点部を略中心とする略単結晶粒を形成する熱処理工程と、

前記半導体膜をパターニングし、ソース領域、ドレイン領域及びチャネル形成領域となるべきトランジスタ領域を形成するパターニング工程と、

前記トランジスタ領域上にゲート絶縁膜及びゲート電極を形成して薄膜トランジスタを形成する素子形成工程と、を含み、

前記パターニング工程では、前記チャネル形成領域が前記半導体膜の略単結晶粒の結晶面 $[111]$ を含む領域となるように選定され、

前記素子形成工程では、前記半導体膜にpチャネル薄膜トランジスタを形成する、半導体装置の製造方法。 10

【請求項6】

前記熱処理工程は、レーザ照射によって行われる、請求項1乃至5のいずれかに記載の半導体装置の製造方法。

【請求項7】

前記基板は、絶縁体と、この絶縁体上に形成された単結晶層又は略単結晶層とを含む、請求項1乃至6のいずれかに記載の半導体装置の製造方法。

【請求項8】

前記基板は、半導体デバイスが形成された集積回路基板と、この上に絶縁体を介して形成された単結晶層又は略単結晶層とを含む、請求項1乃至6のいずれかに記載の半導体装置の製造方法。 20

【請求項9】

前記基板の凹部の単結晶又は略単結晶である底部は、結晶面 $\{100\}$ である、請求項1乃至8のいずれかに記載の半導体装置の製造方法。

【請求項10】

薄膜トランジスタを含んで構成される半導体装置であって、
単結晶又は略単結晶の底部が形成された凹部を有する基板と、
前記基板上に設けられた凹部を起点部として形成された略単結晶粒の半導体膜と、を含み、

前記薄膜トランジスタのうち、少なくともnチャネル薄膜トランジスタのチャネル領域が、前記基板の単結晶又は略単結晶の結晶面 $[111]$ の結晶方向以外の方向に形成されている、半導体装置。 30

【請求項11】

薄膜トランジスタを含んで構成される半導体装置であって、
単結晶又は略単結晶の底部が形成された凹部を有する基板と、
前記基板上に設けられた凹部を起点部として形成された略単結晶粒の半導体膜と、を含み、

前記薄膜トランジスタのうち、pチャネル薄膜トランジスタは、前記基板の単結晶又は略単結晶の結晶面 $[111]$ の結晶方向に形成されている、半導体装置。

【請求項12】 40

薄膜トランジスタを含んで構成される半導体装置であって、
単結晶又は略単結晶の底部が形成された凹部を有する基板と、
前記基板上に設けられた凹部を起点部として形成された略単結晶粒の半導体膜と、を含み、

前記薄膜トランジスタのうち、nチャネル薄膜トランジスタは前記基板の単結晶又は略単結晶の結晶面 $[111]$ の結晶方向以外の方向に形成され、pチャネル薄膜トランジスタは、前記基板の単結晶又は略単結晶の結晶面 $[111]$ の結晶方向に形成されている、半導体装置。

【請求項13】

前記基板が集積回路基板である、請求項10乃至12に記載の半導体装置。 50

【請求項 14】

請求項 10 乃至 13 のいずれかに記載の半導体装置を使用した電気光学装置。

【請求項 15】

請求項 10 乃至 13 のいずれかに記載の半導体装置を使用した電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法及びこの製造方法により製造される半導体装置、集積回路、電気光学装置及び電子機器に関する。

【背景技術】

【0002】

これまでの半導体技術の進展は、単結晶シリコン基板（シリコンウエハ）に形成されたトランジスタの高性能化、微細化、高集積化によるところが大きい。今後もこれらの技術開発の傾向は継続すると予想されるが、そのために更に高度な製造技術の開発や、それを実現するために必要な高額な製造装置の開発及び導入といった大きな投資が必要となる。しかしながら、このような微細化や高集積化技術の進展の一方で、微細化技術については物理的加工限界の問題や、高集積回路については配線遅延の問題などが既に顕在化し始めている。

【0003】

これらを解決する手法として、半導体デバイスを積層して形成する 3 次元形成技術が注目されている。これは単結晶シリコン基板に形成された従来の半導体デバイス上に絶縁膜等を堆積し、その上に新たに半導体デバイスを形成するものである。従来の半導体デバイス形成が単結晶シリコン基板の面内に 2 次元的に形成されているのに対し、3 次元形成では基板面内の他にも絶縁膜と半導体膜の積層構造によって 3 次元的に半導体デバイスを形成する。これによって基板単位面積上に形成される半導体デバイスの集積度が実質的に向上するばかりでなく、半導体素子間の配線距離を短くすることが可能となるため高集積回路における配線遅延の問題を解決することができる。

【0004】

絶縁膜上に形成する半導体デバイス（半導体素子）として、薄膜トランジスタがある。薄膜トランジスタはこれまで主に電気光学装置、例えば、液晶表示装置や有機 EL（エレクトロルミネセンス）表示装置などにおいて、画素のスイッチングなどの素子として用いられている。特に最近では、薄膜トランジスタの性能を向上させるために、大きなシリコン結晶粒からなる半導体膜を形成し、薄膜トランジスタのチャンネル形成領域内に結晶粒界が入り込まないようにする技術が検討されている。

【0005】

例えば、薄膜トランジスタの下地となる絶縁膜に微細孔を形成し、この微細孔を結晶成長の起点として半導体膜の結晶化を行うことにより、大粒径のシリコンの結晶粒を形成する技術が提案されている。このような技術は、例えば、特開平 11 - 87243 号公報（特許文献 1）、文献「Single Crystal Thin Film Transistors; IBM TECHNICAL DISCLOSURE BULLETIN Aug.1993 pp257-258」（非特許文献 1）、文献「Advanced Excimer-Laser Crystallization Techniques of Si Thin-Film For Location Control of Large Grain on Glass; R.Ishihara et al., proc.SPIE 2001, vol.4295 pp14-23」（非特許文献 2）などに記載されている。

【0006】

この技術を用いて形成される大結晶粒径のシリコン膜を用いて薄膜トランジスタを形成することにより、1 つの薄膜トランジスタの形成領域（特に、チャンネル形成領域）に結晶粒界が入り込まないようにすることが可能となる。これにより、単結晶シリコン基板に形成された電界効果型トランジスタ（MOSFET）と同程度の移動度等の電気的特性に優れた薄膜トランジスタを実現することが可能になっている。

10

20

30

40

50

【0007】

【特許文献1】特開平11-87243号公報

【非特許文献1】「Single Crystal Thin Film Transistors」, IBM TECHNICAL DISCLOSURE BULLETIN Aug.1993 pp257-258

【非特許文献2】「Advanced Excimer-Laser Crystallization Techniques of Si Thin-Film For Location Control of Large Grain on Glass」, R.Ishihara et al., proc.SPIE 2001, vol.4295, pp14-23

【発明の開示】

【発明が解決しようとする課題】

【0008】

ところで、絶縁膜上に形成される薄膜トランジスタの特性は、一般に単結晶シリコン基板に形成した電界効果型トランジスタに比べ大きな特性バラツキを有する。これは薄膜トランジスタで使用される半導体膜に含まれる個々の結晶粒の結晶方位が揃っていないことに起因している。薄膜トランジスタの特性が大きなバラツキを有した場合、それを用いて回路設計する際には大きな余裕度を持って設計する必要があり、回路機能や集積度の観点から問題となる。

10

【0009】

よって、本発明の第1の目的は、絶縁基板上に形成される薄膜トランジスタであっても、特性バラツキの小さい高性能薄膜トランジスタを得ることを可能とする半導体装置の製造方法等を提供することを目的とする。

20

【0010】

また、本発明の第2の目的は、更に、半導体デバイスの3次元形成に適用可能な、特性バラツキの小さな高性能薄膜トランジスタを得ることを可能とする半導体装置の製造方法等を提供することを目的とする。

【課題を解決するための手段】

【0011】

上記目的を達成するため、本発明の半導体装置の製造方法は、薄膜トランジスタを含む半導体装置の製造方法において、少なくとも一方の表面に単結晶又は略単結晶である部分を有する基板の上に半導体膜の結晶化の際の起点部となる凹部を形成する凹部形成工程と、凹部が形成された基板の上に半導体膜を形成する半導体膜形成工程と、半導体膜に熱処理を行って起点部を略中心とする略単結晶粒を形成する熱処理工程と、半導体膜をパターニングし、ソース領域、ドレイン領域及びチャネル形成領域となるべきトランジスタ領域を形成するパターニング工程と、トランジスタ領域上にゲート絶縁膜及びゲート電極を形成して薄膜トランジスタを形成する素子形成工程と、を含み、上記素子形成工程では、上記基板が有する単結晶又は略単結晶の結晶面 $[111]$ 以外の面方向に薄膜トランジスタの少なくともチャネル領域を形成する。

30

【0012】

上記方法によれば、凹部を起点として半導体膜として高性能な略単結晶粒が形成されるが、この凹部の底部を基板表面に接するように形成することにより、凹部から結晶成長する半導体膜は基板表面の単結晶又は略単結晶の結晶方位の影響を受けて結晶成長する。しかし結晶面 $[111]$ 方向は容易に双晶粒界を形成することによって異なる面方位になり、これは薄膜トランジスタの特性のばらつきの原因となる。よってこの結晶面 $[111]$ 方向を避けて薄膜トランジスタを形成することにより、ばらつきの少ない安定した薄膜トランジスタを形成することが可能となる。

40

【0013】

ここで、「起点部」とは結晶成長における起点であり、熱処理によって起点部から略単結晶粒の結晶が成長していく部分である。

【0014】

「半導体膜」に限定はなく、例えば多結晶半導体膜やアモルファス半導体膜を含む。

【0015】

50

「略中心」とは幾何的に中心という意味ではなく、上記したように結晶成長の起点となるがために成長直後の略単結晶粒の中程に位置することになるという意味である。

【0016】

「略単結晶」とは、3や9や27といった規則粒界(対応粒界)は含み得るが、不規則粒界を含まないものをいう。

【0017】

また、凹部の径は、基板表面の単結晶又は略単結晶の領域に含まれる結晶粒の大きさと同等か少し小さい径を有することが好ましい。

【0018】

さらに本発明は、前記素子形成工程において、前記基板表面の結晶の単結晶性又は略単結晶性が有する結晶面[111]の方向にpチャネル薄膜トランジスタを形成する。

10

【0019】

上記方法によれば、pチャネル薄膜トランジスタでは電荷(ホール)の移動度に対する結晶界面の影響が少ないので、半導体デバイスのばらつきを比較的小さくしたまま、回路設計時の薄膜トランジスタの配置の自由度を増すことが可能となる。

【0020】

また、本発明の半導体装置の製造方法は、薄膜トランジスタを含む半導体装置の製造方法において、半導体膜の結晶化の際の起点部となる、単結晶又は略単結晶である底部を有する凹部を基板の表面に形成する凹部形成工程と、凹部が形成された基板の上に半導体膜を形成する半導体膜形成工程と、半導体膜に熱処理を行って起点部を略中心とする略単結晶粒を形成する熱処理工程と、半導体膜をパターニングし、ソース領域、ドレイン領域及びチャネル形成領域となるべきトランジスタ領域を形成するパターニング工程と、トランジスタ領域上にゲート絶縁膜及びゲート電極を形成して薄膜トランジスタを形成する素子形成工程と、を含み、上記パターニング工程では、上記チャネル形成領域が半導体膜の略単結晶粒の結晶面[111]以外の領域となるように選定される。

20

【0021】

かかる構成によっても、ばらつきの少ない安定した薄膜トランジスタを形成することが可能となる。

【0022】

上記パターニング工程では、チャネル形成領域が半導体膜の略単結晶粒の結晶面[100]の領域となるように選定されることが好ましい。これにより、特性の良いトランジスタが得られる。

30

また、上記パターニング工程では、チャネル形成領域が半導体膜の略単結晶粒の結晶面[111]の領域となるように選定され、更に、上記素子形成工程では、半導体膜にpチャネル薄膜トランジスタを形成することが好ましい。結晶面[111]は結晶粒界を生じやすいが、pチャネル薄膜トランジスタでは影響が少ない。

【0023】

また、熱処理工程は、レーザー照射によって行われることが好ましい。レーザー照射によれば、一部の半導体膜に効率よくエネルギーを供給し、一部のみを融解させることによって、凹部の底部である基板表面の単結晶又は略単結晶領域から結晶成長させやすいからである。

40

【0024】

また、基板は、絶縁体上に形成された単結晶層又は略単結晶層から構成されている。一般に、酸化シリコンや窒化シリコンなどの絶縁体は熱伝導率が低いため、レーザー照射によって半導体膜が溶融する際にその溶融時間が長くなり、凹部表面に形成される半導体膜の結晶粒が大きくなるばかりでなく、同時に結晶粒内の結晶欠陥を低減する効果がある。

【0025】

また、基板は、半導体デバイスが形成された集積回路基板と、この上に絶縁体を介して形成された単結晶層又は略単結晶層と、を含むことが好ましい。半導体デバイスが形成された集積回路基板の上に更に半導体装置を形成することで三次元構造の半導体装置を製造す

50

ることが可能となる。

【0026】

また、基板の凹部の単結晶又は略単結晶である底部は、結晶面方位{100}であることが好ましい。それにより、熱処理によって得られる略単結晶粒に半導体装置製造に好適な{100}面を得ることができると共に、結晶面{111}の発生方向(結晶方位)が判明する。

【0027】

本発明の半導体装置は、薄膜トランジスタを含んで構成される半導体装置において、単結晶又は略単結晶の底部が形成された凹部を有する基板と、基板上に設けられた凹部を起点部として形成された略単結晶粒の半導体膜と、を含み、上記薄膜トランジスタのうち、少なくともnチャネル薄膜トランジスタのチャネル領域が、上記基板の単結晶又は略単結晶の結晶面[111]の結晶方向以外の方向に形成されている。

10

【0028】

また、本発明の半導体装置は、薄膜トランジスタを含んで構成される半導体装置において、単結晶又は略単結晶の底部が形成された凹部を有する基板と、基板上に設けられた凹部を起点部として形成された略単結晶粒の半導体膜と、を含み、薄膜トランジスタのうち、pチャネル薄膜トランジスタは、基板の単結晶又は略単結晶の結晶面[111]の結晶方向に形成されている。それにより、特性のバラツキの少ない薄膜トランジスタが得られる。

【0029】

また、本発明の半導体装置、薄膜トランジスタを含んで構成される半導体装置において、単結晶又は略単結晶の底部が形成された凹部を有する基板と、基板上に設けられた凹部を起点部として形成された略単結晶粒の半導体膜と、を含み、薄膜トランジスタのうち、nチャネル薄膜トランジスタは基板の単結晶又は略単結晶の結晶面[111]の結晶方向以外の方向に形成され、pチャネル薄膜トランジスタは、基板の単結晶又は略単結晶の結晶面[111]の結晶方向に形成される。これによって、特性の良い、C-MOSを形成することが可能となる。

20

【0030】

本発明の半導体装置は、薄膜トランジスタを含んで構成される半導体装置において、単結晶又は略単結晶の底部が形成された凹部を有する基板と、基板上に設けられた凹部を起点部として形成された略単結晶粒の半導体膜と、を含み、当該薄膜トランジスタのチャネル形成領域が半導体膜の略単結晶粒の結晶面[111]以外の領域となるように選定される。好ましくは、略単結晶粒の結晶面[111]以外の領域は、結晶面{100}である。それにより、特性のバラツキの少ない薄膜トランジスタが得られる。

30

【0031】

また、当該薄膜トランジスタをpチャネル薄膜トランジスタとし、このトランジスタのチャネル形成領域が半導体膜の略単結晶粒の結晶面[111]の領域となるように選定される。それにより、特性のバラツキの少ない薄膜トランジスタが得られる。

【0032】

更に、nチャネル薄膜トランジスタのチャネル形成領域が前記半導体膜の略単結晶粒の結晶面[111]以外の領域となるように選定され、pチャネル薄膜トランジスタのチャネル形成領域が半導体膜の略単結晶粒の結晶面[111]の領域となるように選定される。これにより、特性の良いC-MOS薄膜トランジスタが得られる。

40

【0033】

また、半導体装置の基板は、半導体デバイスが形成された集積回路基板であることが好ましい。それによって、半導体デバイスを積み重ねた三次元構造の半導体装置を得ることが可能となる。

【0034】

上述した半導体装置は、液晶デバイス(液晶表示装置、液晶シャッタ)、有機EL表示装置、電気泳動表示装置などの電気光学装置に用いてその特性を向上することが可能とな

50

る。また、上述した半導体装置は、例えば、上記電気光学装置などを用いる、テレビ、携帯電話機、携帯端末、ビデオカメラ、デジタルカメラ等に用いて好適である。

【発明を実施するための最良の形態】

【0035】

次に、本発明を実施するための好適な実施形態を図面を参照しながら説明する。

【0036】

発明の原理

まず、本発明の着目点から説明する。図1は、後述する基板の例としてのシリコンウェハを示している。同図(a)は、シリコン{100}単結晶基板を用いた例であり、オリエンテーションフラットOFが{110}である。同図(b)は、このシリコン{100}単結晶基板における結晶面{111}の存在方向を示す極点図であり、時計の12時、3時、6時、9時に相当する方向に{111}面が存在する。

10

【0037】

図2は、上記シリコン{100}単結晶基板上に孔(凹部)を形成し、レーザ照射によりシリコン膜130の結晶成長させた場合の実験結果を説明する説明図であり、同図(a)は平面図、同図(b)は、平面図のX-X'方向における断面図である。

【0038】

同図において、11はシリコン基板(表面が単結晶又は略単結晶である基板に相当する)、121は絶縁膜、123は孔(凹部)、130は半導体膜(シリコン膜)、13は略単結晶粒を示している。また、131は略単結晶粒相互の界面、132は略単結晶粒内部の結晶界面を示している。

20

【0039】

図2(a)は、後の半導体装置の製造プロセスで詳細に説明するように、基板11及び孔123上に成膜されたシリコン膜130をレーザ照射により、結晶成長させた場合のシリコン略結晶粒13の結晶面の状態(表面垂直方向)を概略的に示している。シリコン{100}単結晶基板の結晶面{111}の存在する12時、3時、6時、9時の方向のみ、{100}とは異なる結晶面{122}(図中に斜線で示されている)が現れている。

【0040】

図2(b)は孔123部分を含むX-X'方向の断面図であり、孔123底部から始まった結晶成長が、孔123上部で横方向に結晶成長が進行する部分において、結晶欠陥(3規則粒界)132が発生することを示している。

30

【0041】

なお、シリコン略単結晶とは、3や9や27といった規則粒界(対応粒界)は含み得るが、不規則粒界を含まないものを言う。一般に不規則粒界は多くのシリコン不対電子を含むため、そこに形成する薄膜トランジスタの特性の低下や特性のばらつきの大きな要因となるが、本手法によって形成されるシリコン略単結晶粒にはそれを含まないため、この中に薄膜トランジスタを形成することで、優れた特性を有する薄膜トランジスタが実現可能である。

【0042】

シリコン膜の結晶成長の初期段階、すなわち基板11の表面付近及び孔123の内部では、シリコン膜130は基板11の表面の結晶方位に従ってエピタキシャル成長する。しかし、結晶成長が孔123の上部から絶縁膜121の上部(表面)へと横方向(膜面内方向)へ進行する際には、孔123上部付近で結晶欠陥132が発生し、シリコン膜の結晶方位が容易に変化してしまうことが、本発明者らの実験によって明らかとなった。具体的には、結晶成長しているシリコン膜の{111}面のある方向は、{111}を粒界面として双晶が発生してしまい、異なった結晶方位をもったまま絶縁膜121の上部(表面)へと結晶成長が進行する。この{111}の粒界面は3の規則粒界(対応粒界)に相当している。

40

【0043】

従って、図2(b)に示すように、双晶を形成しやすく、結晶方位が定まり難い、{1

50

1 1 } の存在する方向（図示の例では、1 2 時、3 時、6 時、9 時方向）を避けて薄膜トランジスタを形成するのがよい。

【0044】

なお、図2の例では、基板11としてシリコン{100}単結晶基板を用いた例を示したが、基板11として、他の結晶方位を有するシリコン基板を用いた場合も同様である。

【0045】

また、図3に示すように、（ガラスなどの）基板111の表面のみに単結晶層または略単結晶層112を形成した基板11を用いた場合においても同様である。同図において、図2（a）と対応する部分には同一符号を付し、かかる部分の説明は省略する。

<第1の実施例>

次に、本発明の半導体装置の製造方法の実施例について図面を参照して説明する。

本実施形態の製造方法は、（1）基板上に半導体膜であるシリコン膜の結晶化の起点部となる本発明の凹部としての孔を形成する工程と、（2）微細孔からシリコン結晶粒を成長・形成させる工程と、（3）前記シリコン結晶粒を含むシリコン膜を用いて薄膜トランジスタを形成する工程とを含んでいる。以下、それぞれの工程について詳細に説明する。

【0046】

（1）孔形成工程

図4（a）に示すように、基板11上に絶縁膜としての酸化シリコン膜121を形成する。膜厚は、例えば、200nmから500nm程度である。絶縁膜121は、例えばTEOS（Tetra Ethyl Ortho Silicate）やシラン（SiH₄）ガスを原料として用いたPECVD法により形成可能である。

【0047】

同図（b）に示すように、絶縁膜121に、本発明の凹部として、直径1μm程度以下の孔123を形成する。この形成手法としては、マスクを用いて絶縁膜121用上に塗布したフォトレジスト膜を露光、現像して、孔123の形成位置を露出させる開口部を有するフォトレジスト膜（図示せず）を絶縁膜121上に形成し、このフォトレジスト膜をエッチングマスクとして用いて反応性イオンエッチングを行い、その後、上記フォトレジスト膜を除去することによって形成することができる。

【0048】

本願発明においては、孔123は、後述の工程によって形成する薄膜トランジスタのチャネル形成領域部分と、ソース領域及びドレイン領域に対応して形成される。また、隣接する孔123の間隔は6μm程度以下が望ましい。この距離は、後に述べるレーザ照射によって各孔123から成長するシリコン結晶粒の大きさ（径）にほぼ相当する。

【0049】

（2）結晶粒形成過程

図4（c）に示すように、LPCVD法やPECVD法などの製膜法によって、絶縁膜121である酸化シリコン膜上及び孔123内に、半導体膜として用いる非晶質シリコン膜130を形成する。この非晶質シリコン膜130は、50～300nm程度の膜厚に形成することが好適である。また、非晶質シリコン膜130に代えて、多結晶シリコン膜を形成してもよい。

【0050】

なお、これらシリコン膜130をLPCVD法やPECVD法により形成した場合には、形成されるシリコン膜130中の水素含有量が比較的に多くなる場合がある。このような場合には、後述するレーザ照射時にシリコン膜130のアブレーションが生じないようにするために、当該シリコン膜の水素含有量を低くする（好適には1%以下）ための熱処理を行うとよい。

【0051】

同図（d）に示すように、シリコン膜130に対してレーザ照射Lを行う。このレーザ照射は、例えば、波長308nm、パルス幅20～30nsのXeClパルスエキシマレーザ、又はパルス幅200ns程度のXeClエキシマレーザを用いて、エネルギー密度

10

20

30

40

50

が $0.4 \sim 2.0 \text{ J/cm}^2$ 程度となるように行うことが好適である。このような条件でレーザ照射を行うことにより、照射したレーザは、その殆どがシリコン膜の表面付近で吸収される。これは、XeClパルスエキシマレーザの波長 (308 nm) における非晶質シリコンの吸収係数が 0.139 nm^{-1} と比較的大きいためである。

【0052】

レーザ照射Lの条件を適宜に選択することにより、シリコン膜130は略完全溶融状態となり、また、孔123内の底部である基板11の表面は非溶融状態、又は部分溶融状態となるようにする。これによりレーザ照射後のシリコン膜130は、基板11表面の結晶方位に従って結晶成長が孔123の底部で先に始まり、シリコン膜13の表面付近、すなわち略完全溶融状態の部分へ進行する。

10

前述したように、シリコン膜の結晶成長の初期段階、すなわち基板11の表面付近及び孔123の内部では、シリコン膜130は基板11の表面の結晶方位に従ってエピタキシャル成長する。そして、結晶成長が孔123の上部から絶縁膜121の上部(表面)へと横方向(膜面内方向)へ進行する際には、孔123上部付近で結晶欠陥が発生し、シリコン膜の結晶方位が容易に変化する。具体的には、結晶成長しているシリコン膜の{111}面のある方向は、{111}を粒界面として双晶が発生してしまい、異なった結晶方位をもったまま絶縁膜121の上部(表面)へと結晶成長が進行する。この{111}の粒界面は3の規則粒界(対応粒界)に相当している。

【0053】

後の薄膜トランジスタの製造においては、この{111}面の存在方向を避けて薄膜トランジスタの領域を設計(選択)する。

20

【0054】

このように基板11上の所望の場所に孔123を形成しておくことで、レーザ照射後には前記孔123を略中心としてシリコン結晶を成長させ、シリコン略単結晶粒13を形成することが可能となる。現状では、孔123を起点とした結晶化を行うことにより得られるシリコン略単結晶粒13の結晶粒径は $6 \mu\text{m}$ 程度の大きさである。

【0055】

一方、前記孔123を形成していないシリコン膜130部分(前記孔123から十分離れたシリコン膜部分)は、レーザ照射によって略完全溶融状態となり、レーザ照射後には等方的な核発生・結晶成長が進行するため、微結晶粒を含む多結晶シリコン膜が形成される。レーザ照射の条件にも依存するが、 $0.5 \mu\text{m}$ 程度以下の結晶粒が無秩序に並んだ多結晶シリコン膜となる。

30

【0056】

(3) 薄膜トランジスタ形成工程

次に、薄膜トランジスタTを形成する工程について図5及び図6を参照して説明する。図5は薄膜トランジスタの構造を示しており、同図(a)は、略単結晶粒をパターンニングした半導体層とゲートの位置を示す平面図、同図(b)は、平面図中のA-A'方向における薄膜半導体装置の断面図である。図6(a)乃至同(d)は、薄膜半導体装置の製造工程を説明する工程図である。

【0057】

前述したように、シリコンの略単結晶粒において{111}の存在する方向は双晶を形成し易く、結晶方位が定まり難い。これはそこに形成する薄膜トランジスタの特性のパラツキの原因となるため、これを避けた位置に薄膜トランジスタを形成することが望ましい。

40

【0058】

しかしながら、回路設計の観点から薄膜トランジスタの配置(レイアウト)に制限がある場合は、後述するように、pチャネルの薄膜トランジスタのみ{111}の存在する方向に形成することも可能である。pチャネルは元々nチャネル薄膜トランジスタに比べて、例えば、電界効果移動度やオン電流等の値が小さいために、その特性ばらつきの範囲は比較的小さい。よって、結晶面{111}の存在する方向にpチャネルの薄膜トランジス

50

タを形成しても、その特性バラツキによる回路への影響は比較的軽微であるからである。

【0059】

図6(a)は、上記プロセス(図4(e)参照)によって形成されたシリコン略単結晶粒を図5のA-A'方向における断面図で示している。同図において、図4と対応する部分には同一符号を付し、かかる部分の説明は省略する。

【0060】

図6(b)に示すように、薄膜トランジスタを配置するシリコン膜130に対し、薄膜トランジスタの形成に不要となる部分を除去し整形するよう、シリコン膜のパターニングを行ってパターニングされたシリコン膜133を形成する。このとき、薄膜トランジスタのチャネル形成領域135となる部分(図5参照)には、微細孔123及びその近傍を含まれないようにすることが望ましい。これは微細孔123及びその周辺は結晶性の乱れ(転位)が多いためである。また、ソース領域及びドレイン領域134となる部分、特に後の工程でコンタクトホールが形成される場所に相当するソース領域及びドレイン領域134においても、上述した略単結晶膜が配置されているようにする。

次に、図6(c)に示すように、酸化シリコン膜121及びパターニングされたシリコン膜133の上面に、電子サイクロトロン共鳴PECVD法(ECR-PECVD法)又は平行平板型のPECVD法等によって酸化シリコン膜14を形成する。この酸化シリコン膜14は、薄膜トランジスタのゲート絶縁膜14として機能する。その膜厚は10nm~150nm程度が好ましい。

次に、ゲート絶縁膜14上にスパッタリング法などの製膜法によってタンタル、アルミニウム等の金属薄膜を形成し、パターニングを行って、ゲート電極15及びゲート配線膜を形成する。そして、このゲート電極15をマスクとしてドナーまたはアクセプタとなる不純物元素を打ち込む、いわゆる自己整合イオン打ち込みを行うことにより、シリコン膜133にソース領域及びドレイン領域134並びにチャネル形成領域135を形成する。

【0061】

例えば、本実施形態では、不純物元素としてリン(P)を打ち込み、その後、450乃至550程度の温度で熱処理を行うことにより、不純物元素の打ち込みによって損傷したシリコン結晶粒の結晶性回復及び不純物元素の活性化を行う。

【0062】

次に、図6(d)に示すように、ゲート絶縁膜14である酸化シリコン膜及びゲート電極15の上面に、PECVD法などの製膜法によって、500nm程度の膜厚の酸化シリコン膜16を形成する。この酸化シリコン膜16は層間絶縁膜として機能する。

【0063】

この層間絶縁膜16とゲート絶縁膜14を貫通してソース領域及びドレイン領域のそれぞれに至るコンタクトホール161及び162を形成する。これらのコンタクトホール内に、スパッタリング法などの製膜法によってアルミニウム、タンゲステン等の金属を埋め込み、パターニングすることによって、ソース電極181及びドレイン電極182を形成する。

【0064】

ここで、コンタクトホール161及び162の場所に位置し、ソース電極181及びドレイン電極182と接触するシリコン膜133の部分も、微細孔125からの成長によるシリコン略単結晶粒131が配置されていることが望ましい。シリコン略単結晶粒部分は不純物元素の活性化によって低抵抗化が図られるため、金属膜であるソース電極181及びドレイン電極182とシリコン膜133との良好な電気的接合が可能になるためである。

【0065】

<第2の実施例>

同様の製造工程(方法)によって、基板11が有する単結晶または略単結晶の結晶面[111]の方向にpチャネル薄膜トランジスタを形成することも可能である。図7(a)

10

20

30

40

50

及び図 7 (b) は、この場合の薄膜トランジスタの平面図及びこの平面図の B - B ' 方向における断面図を示す。同図において、図 5 と対応する部分には同一符号を付し、かかる部分の説明は省略する。

【 0 0 6 6 】

本実施例でも第 1 の実施例と同様の工程によって表面が単結晶性または略単結晶性を有する基板 1 1 上に薄膜トランジスタが形成される。異なる点は、不純物元素の種類 (ボロン) と半導体膜 1 3 0 のパターニング (薄膜トランジスタの位置) である。

【 0 0 6 7 】

図 7 (a) に示すように、第 2 の実施例では、p チャンネルの薄膜トランジスタを { 1 1 1 } の存在する方向 (この実施例では、3 時、9 時方) に形成している。前述したように、p チャンネルは元々 n チャンネル薄膜トランジスタに比べて、キャリアの移動度やオン電流等の値が小さいために、その特性ばらつきの範囲は比較的小さい。結晶面 { 1 1 1 } の存在する方向に p チャンネルの薄膜トランジスタを形成しても、その特性バラツキによる回路への影響は比較的軽微である。

【 0 0 6 8 】

また、p チャンネルのトランジスタの場合、結晶面 { 1 0 0 } よりも他の結晶方位面にトランジスタを形成した方が高い移動度が得られることが知られている。

【 0 0 6 9 】

よって、特に { 1 0 0 } を表面に有する基板を用いた場合では、双晶により他の結晶面が発生し得る前記 { 1 1 1 } の存在する方向に p チャンネルのトランジスタを形成した方が、{ 1 0 0 } 上に形成するよりも比較的良い特性が得られる。

【 0 0 7 0 】

<その他の実施例>

(C - M O S)

上述した、シリコン略単結晶粒上に形成される、{ 1 1 1 } 以外の領域に形成された n チャンネル薄膜トランジスタ (第 1 実施例) と { 1 1 1 } の領域に形成される p チャンネル薄膜トランジスタとを組み合わせると特性の良い C - M O S 回路を構成することができる。

【 0 0 7 1 】

(三次元デバイス)

上述した基板 1 1 の単結晶性または略単結晶性を有する部分に半導体デバイスを形成することができる。例えば、基板 1 1 はシリコン基板に半導体回路を集積したもの (集積回路基板) であっても良い。この基板に絶縁膜、孔 (凹部) を形成してシリコン層を堆積し、熱処理によるシリコン略単結晶粒の形成、薄膜トランジスタ (半導体デバイス) の形成を行う。上下の半導体デバイスを金属配線などで電氣的接続することで、半導体デバイスの 3 次元形成が実現可能となる。また、孔 1 2 3 内のシリコン層を導電性として上下の半導体デバイスを電氣的に接続するようにしても良い。

【 0 0 7 2 】

また、薄膜トランジスタを作製する際に形成されるシリコン略単結晶粒 1 3 の一部を基板 1 1 の単結晶層または略単結晶層とし、更にこの上部に上述した製造プロセスの孔 1 2 3 の形成等を行うことによって、さらに薄膜トランジスタの上部に薄膜トランジスタを形成することも可能である。この際にも、{ 1 1 1 } 以外の方向に薄膜トランジスタを形成する等して、より特性のバラツキの少ない薄膜トランジスタを得る、本願発明内容が適用できることは言うまでもない。

【 0 0 7 3 】

(熱処理の改善)

上述したレーザ照射 L による結晶化の際に、併せてガラス基板を加熱することも好ましい。例えば、ガラス基板を載置するステージによって当該ガラス基板の温度が 2 0 0 ~ 4 0 0 程度となるように加熱処理を行うとよい。このように、レーザ照射と基板加熱とを併用することにより、各シリコン略単結晶粒 1 3 1 の結晶粒径を更に大粒径化することが可能となる。基板加熱を併用することにより、当該加熱を行わない場合に比較してシリ

10

20

30

40

50

コン略単結晶粒 1 3 1 の粒径を概ね 1 . 5 倍 ~ 2 倍程度にすることができる。更には、基板加熱の併用によって結晶化の進行が緩やかになるため、シリコン略単結晶粒の結晶性がより向上するという利点もある。

【 0 0 7 4 】

また、図 8 は、基板 1 1 の他の例を示している。同図において、図 3 と対応する部分には同一符号を付し、かかる部分の説明は省略する。

【 0 0 7 5 】

基板 1 1 は、下地基板 1 1 1 と単結晶層または略単結晶層との間に熱伝導の低い熱伝導層 1 1 3 を備えている。低熱伝導層 1 1 3 は、シリコン酸化膜などの比較的熱伝導率の低い物質である。これは基板 1 1 として単結晶シリコン基板を使用する場合に比べて、レーザ照射 L による結晶化の際に、略完全溶解したシリコン膜から基板側への熱伝導による冷却を低減することができ、その結果、各シリコン略単結晶粒 1 3 の結晶粒径を更に大粒径化することが可能となる。

【 0 0 7 6 】

(電気光学装置・電子機器)

図 9 は、本発明に係る半導体装置を使用する電気光学装置、電子機器の具体例を説明する図である。図 9 (A) は携帯電話への適用例であり、当該携帯電話 1 0 0 0 は上述した液晶表示器、有機 EL 表示装置、電気泳動表示装置等の電気光学装置を用いて構成される表示部 1 0 0 1 を備えている。図 9 (B) はビデオカメラへの適用例であり、当該ビデオカメラ 1 1 0 0 は上述した電気光学装置を用いて構成される表示部 1 1 0 1 を備えている。図 9 (C) はテレビジョンへの適用例であり、当該テレビジョン 1 2 0 0 は上述した電気光学装置を用いて構成される表示部 1 2 0 1 を備えている。なお、パーソナルコンピュータ等に用いられるモニタ装置に対しても同様に本発明に係る電気光学装置を適用し得る。

【 図面の簡単な説明 】

【 0 0 7 7 】

【 図 1 】 図 1 (a) は { 1 0 0 } シリコン基板の例を説明する説明図である。図 1 (b) は、 { 1 0 0 } シリコン基板の { 1 1 1 } の方向を示す極点図である。

【 図 2 】 図 2 (a) は、 { 1 0 0 } シリコン基板上に形成された略単結晶粒について説明する説明図である。図 2 (b) は図 (a) の X - X ' 方向における断面図である。

【 図 3 】 図 3 は、基板が絶縁体とこの上に形成された単結晶または略単結晶からなる場合のシリコン略単結晶粒の形成について説明する図である。

【 図 4 】 図 4 (a) 乃至同図 (e) は、基板の表面層が単結晶または略単結晶である場合のシリコン略単結晶粒の形成について説明する工程図である。

【 図 5 】 図 5 (a) は、シリコン略単結晶粒上に配置される薄膜トランジスタの主にゲート電極と活性領域 (ソース領域、ドレイン領域、チャンネル形成領域) を示す説明図である。図 5 (b) は、図 5 (a) の A - A ' 方向における薄膜トランジスタの断面図である。

【 図 6 】 シリコン略単結晶粒をパターンニングして薄膜トランジスタを形成する工程を説明する説明図である。

【 図 7 】 図 7 (a) は、シリコン略単結晶粒上に配置される p チャンネル薄膜トランジスタの主にゲート電極と活性領域 (ソース領域、ドレイン領域、チャンネル形成領域) を示す説明図である。図 7 (b) は、図 7 (a) の B - B ' 方向における薄膜半導体装置の断面図である。

【 図 8 】 図 8 は、基板が単結晶または略単結晶層からなる場合のシリコン略単結晶粒の形成について説明する図である。

【 図 9 】 本発明の半導体装置を使用した電気光学装置及び電子機器の例を説明する説明図である。

【 符号の説明 】

【 0 0 7 8 】

1 1 (1 1 1) ... 基板、 1 2 1、1 4、1 6 ... 酸化シリコン膜、 1 1 2 ... 単結晶層または略単結晶層、 1 1 3 ... 絶縁体層、 1 2 3 ... 孔 (凹部)、 1 3 0 ... シリコン膜、

10

20

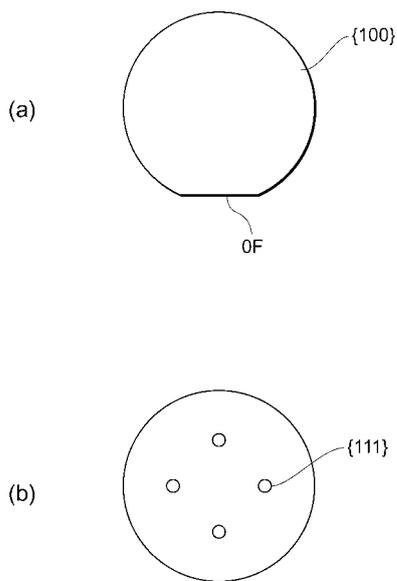
30

40

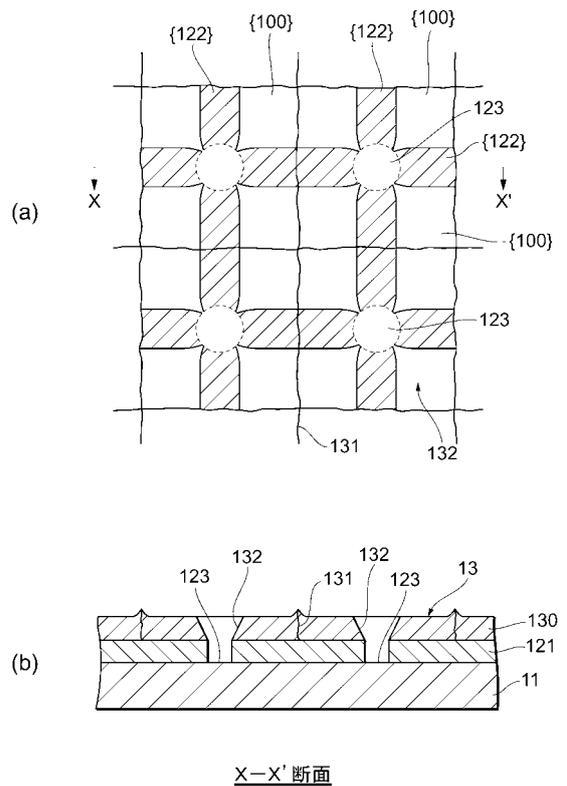
50

13 ... シリコン略単結晶粒、 131 ... 結晶粒界、 133 ... 半導体膜 (トランジスタ領域)、 15 ... ゲート電極、 134 ... ソース領域及びドレイン領域、 135 ... チャネル形成領域、 181 ... ソース電極、 182 ... ドレイン電極、 L ... レーザ光

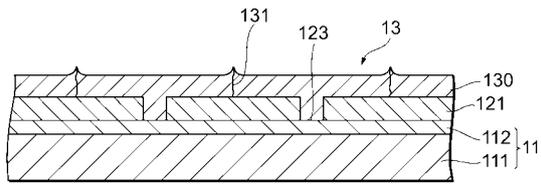
【 図 1 】



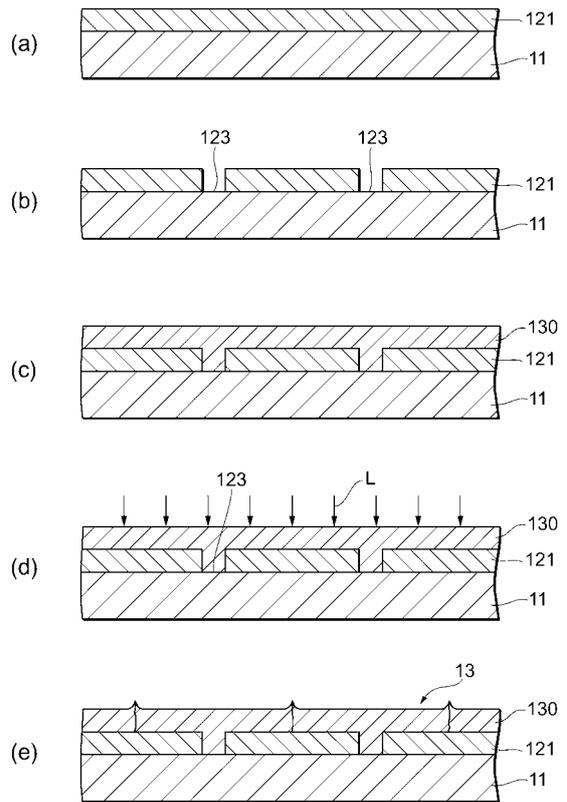
【 図 2 】



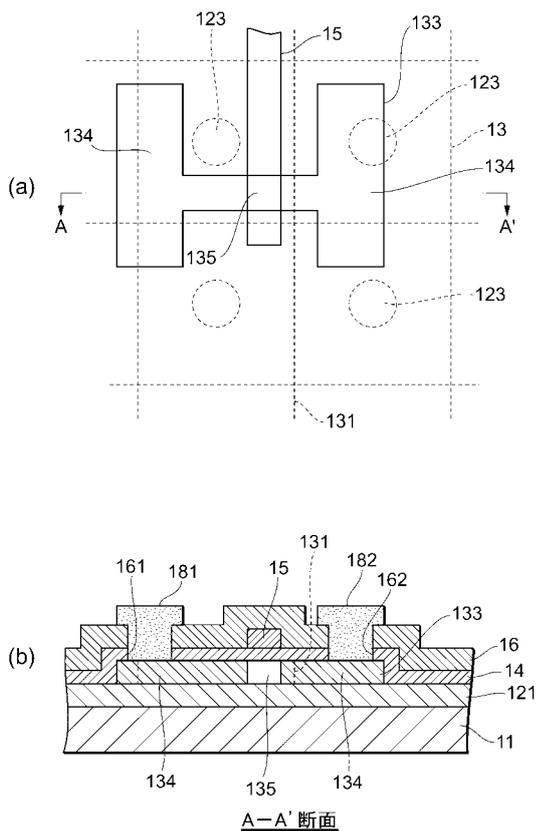
【 図 3 】



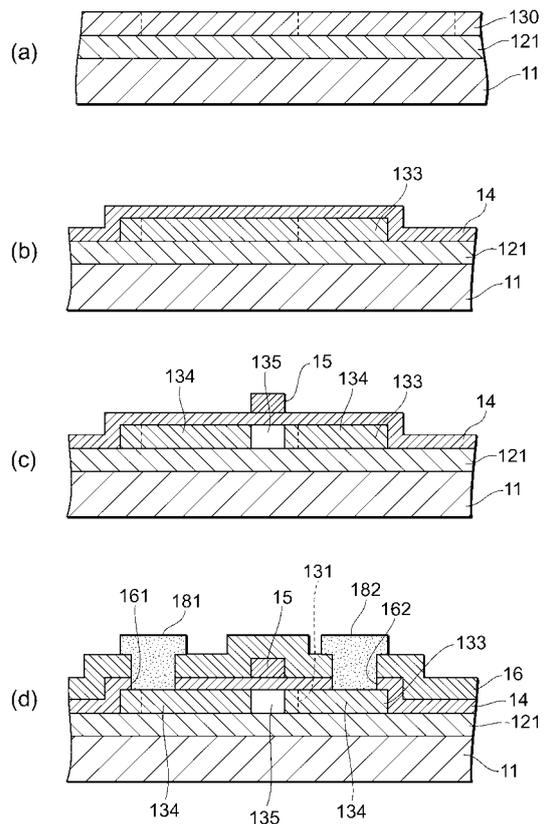
【 図 4 】



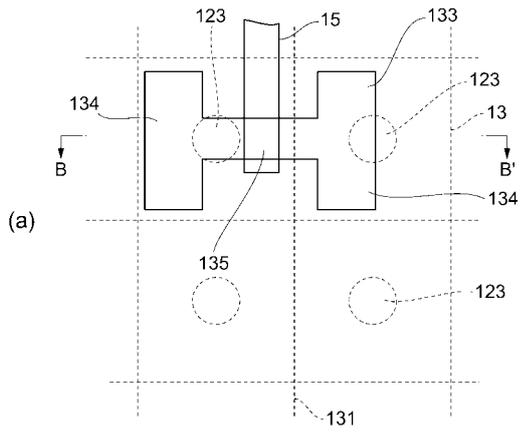
【 図 5 】



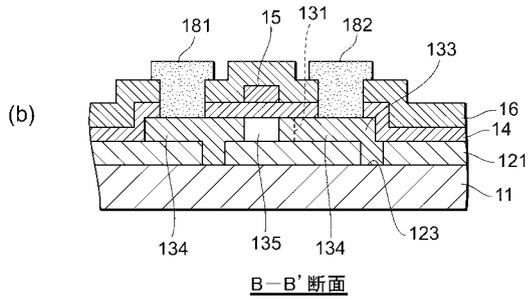
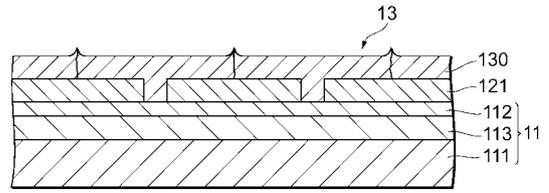
【 図 6 】



【 図 7 】

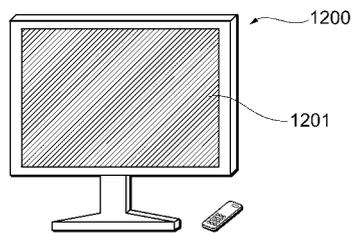
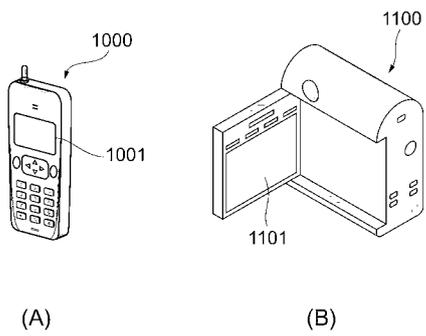


【 図 8 】



B-B' 断面

【 図 9 】



(C)

フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

H 0 1 L 21/20

(72)発明者 石原 良一

オランダ王国 デルフト市 2 6 2 8 C T フェルトマンウェフ 17, デルフト工科大学 電子工学、数学、コンピュータサイエンス学部内

(72)発明者 ミン ヘー

オランダ王国 デルフト市 2 6 2 8 C T フェルトマンウェフ 17, デルフト工科大学 電子工学、数学、コンピュータサイエンス学部内

Fターム(参考) 2H092 JA24 JB58 KA03 KA04 MA30 PA06

5F110 AA01 AA30 BB01 BB04 BB11 CC02 DD05 DD13 DD17 DD21

DD25 EE03 EE04 EE44 FF02 FF31 GG02 GG13 GG17 GG22

GG23 GG25 GG45 GG47 HJ01 HJ13 HJ23 HL03 HL04 HL23

HM02 HM04 NN04 NN23 NN35 PP03 PP04 PP23 PP35 PP36

QQ11

5F152 AA02 AA06 AA07 BB02 CC02 CC08 CC16 CD03 CD05 CD07

CD09 CD13 CD14 CD23 CD25 CE04 CE05 CE13 CE14 CE24

CE45 FF03 FF21 FF28 FF36 FF39 FF41 FG04 FG18