

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3982634号
(P3982634)

(45) 発行日 平成19年9月26日(2007.9.26)

(24) 登録日 平成19年7月13日(2007.7.13)

(51) Int. Cl. F I
G06F 15/173 (2006.01) G O 6 F 15/173 6 5 O S
G06F 15/177 (2006.01) G O 6 F 15/177 A
G06F 15/80 (2006.01) G O 6 F 15/80

請求項の数 8 (全 29 頁)

<p>(21) 出願番号 特願2004-298359 (P2004-298359) (22) 出願日 平成16年10月13日(2004.10.13) (65) 公開番号 特開2005-174289 (P2005-174289A) (43) 公開日 平成17年6月30日(2005.6.30) 審査請求日 平成16年10月13日(2004.10.13) (31) 優先権主張番号 10/734340 (32) 優先日 平成15年12月13日(2003.12.13) (33) 優先権主張国 米国 (US)</p>	<p>(73) 特許権者 390009531 インターナショナル・ビジネス・マシー ズ・コーポレーション INTERNATIONAL BUSIN ESS MASCHINES CORPO RATION アメリカ合衆国10504 ニューヨーク 州 アーモンク ニュー オーチャード ロード (74) 代理人 100086243 弁理士 坂口 博 (74) 代理人 100091568 弁理士 市位 嘉宏 (74) 代理人 100108501 弁理士 上野 剛史</p>
--	--

最終頁に続く

(54) 【発明の名称】 トーラス区画化を容易にするために並列コンピュータのプロセッサを相互接続する方法およびシステム

(57) 【特許請求の範囲】

【請求項1】

トーラス区画化を容易にするために並列コンピュータのL個のプロセッサを相互接続する方法であって、前記プロセッサのそれぞれは処理装置およびスイッチを含み、

前記スイッチは第1の外部ポート、第2の外部ポート、第3の外部ポート、第4の外部ポート、第1の内部ポート、および第2の内部ポートを含み、前記L個のプロセッサはR個の非オーバーラップ区画を含み、

前記区画のそれぞれは、前記プロセッサのうちの少なくとも1つの前記処理装置を含み、Lは2以上の整数、Rは1以上の整数であり、

前記L個のスイッチの前記外部ポート間の前記L個のプロセッサの前記L個のスイッチを拡張トーラス・アーキテクチャで接続するステップと、

前記区画のそれぞれをトーラスとして相互接続するために前記接続されたL個のスイッチを設定するステップと

前記設定するステップが、前記区画のスパンを計算するステップを含み、

前記計算するステップが、

前記区画中の最小座標、MINを探索するステップと、

前記区画中の最大座標、MAXを決定するステップと、

前記区画のスパンを座標iの集合(MIN i MAX、iは整数)と等しくなるように設定するステップと、

前記区画のスパンが厳密に1座標を含み、iがそのスパンに属する1座標である場合に

10

20

は、第 i のスイッチの前記第 1 の内部ポートと前記第 2 の内部ポート (I_1 、 I_2) を接続するステップと、

を含む方法。

【請求項 2】

トラス区画化を容易にするために並列コンピュータの L 個のプロセッサを相互接続する方法であって、前記プロセッサのそれぞれは処理装置およびスイッチを含み、

前記スイッチは第 1 の外部ポート、第 2 の外部ポート、第 3 の外部ポート、第 4 の外部ポート、第 1 の内部ポート、および第 2 の内部ポートを含み、前記 L 個のプロセッサは R 個の非オーバーラップ区画を含み、

前記区画のそれぞれは、前記プロセッサのうちの少なくとも 1 つの前記処理装置を含み、 L は 2 以上の整数、 R は 1 以上の整数であり、

前記 L 個のスイッチの前記外部ポート間の前記 L 個のプロセッサの前記 L 個のスイッチを拡張トラス・アーキテクチャで接続するステップと、

前記区画のそれぞれをトラスとして相互接続するために前記接続された L 個のスイッチを設定するステップと、

前記設定するステップが、前記区画のスパンを計算するステップを含み、

前記計算するステップが、

前記区画中の最小座標、 MIN を探索するステップと、

前記区画中の最大座標、 MAX を決定するステップと、

前記区画のスパンを座標 i の集合 (MIN_i 、 MAX_i 、 i は整数) と等しくなるように設定するステップと、

前記区画のスパンが厳密に 2 座標を含み、 i および $i + 1$ がそのスパンに属する 2 座標である場合には、

$i = 1$ の場合は、

第 1 のスイッチの前記第 3 の外部ポートと前記第 2 の内部ポート (E_3 、 I_2) を接続するステップと、

第 1 のスイッチの前記第 1 の外部ポートと前記第 1 の内部ポート (E_1 、 I_1) を接続するステップと、

第 2 のスイッチの前記第 2 の外部ポートと前記第 2 の内部ポート (E_2 、 I_2) を接続するステップと、

第 2 のスイッチの前記第 1 の外部ポートと前記第 1 の内部ポート (E_1 、 I_1) を接続するステップを実行し、

$i = L - 1$ の場合は、

第 ($L - 1$) のスイッチの前記第 3 の外部ポートと前記第 1 の内部ポート (E_3 、 I_1) を接続するステップと、

第 ($L - 1$) のスイッチの前記第 4 の外部ポートと前記第 2 の内部ポート (E_4 、 I_2) を接続するステップと、

第 L のスイッチの前記第 2 の外部ポートと前記第 1 の内部ポート (E_2 、 I_1) を接続するステップと、

第 L のスイッチの前記第 4 の外部ポートと前記第 2 の内部ポート (E_4 、 I_2) を接続するステップを実行し、

それ以外で、 $2 \leq i \leq L - 2$ の場合は、

第 ($i - 1$) のスイッチの前記第 3 の外部ポートと前記第 4 の外部ポート (E_3 、 E_4) を接続するステップと、

第 i のスイッチの前記第 2 の外部ポートと前記第 1 の内部ポート (E_2 、 I_1) を接続するステップと、

第 i のスイッチの前記第 3 の外部ポートと前記第 2 の内部ポート (E_3 、 I_2) を接続するステップと、

第 ($i + 1$) のスイッチの前記第 1 の外部ポートと前記第 1 の内部ポート (E_1 、 I_1) を接続するステップと、

10

20

30

40

50

第 ($i + 1$) のスイッチの前記第 2 の外部ポートと前記第 2 の内部ポート (E 2 、 I 2) を接続するステップと、
を含む方法。

【請求項 3】

トーラス区画化を容易にするために並列コンピュータの L 個のプロセッサを相互接続する方法であって、前記プロセッサのそれぞれは処理装置およびスイッチを含み、

前記スイッチは第 1 の外部ポート、第 2 の外部ポート、第 3 の外部ポート、第 4 の外部ポート、第 1 の内部ポート、および第 2 の内部ポートを含み、前記 L 個のプロセッサは R 個の非オーバーラップ区画を含み、

前記区画のそれぞれは、前記プロセッサのうちの少なくとも 1 つの前記処理装置を含み、L は 2 以上の整数、R は 1 以上の整数であり、

前記 L 個のスイッチの前記外部ポート間の前記 L 個のプロセッサの前記 L 個のスイッチを拡張トーラス・アーキテクチャで接続するステップと、

前記区画のそれぞれをトーラスとして相互接続するために前記接続された L 個のスイッチを設定するステップと、

前記設定するステップが、前記区画のスパンを計算するステップを含み、

前記計算するステップが、

前記区画中の最小座標、MIN を探索するステップと、

前記区画中の最大座標、MAX を決定するステップと、

前記区画のスパンを座標 i の集合 (MIN i MAX、 i は整数) と等しくなるように設定するステップと、

前記区画のスパンが厳密に 3 座標を含み、 i 、 $i + 1$ 、 $i + 2$ がそのスパンに属する 3 座標である場合には、

第 i のスイッチの前記第 3 の外部ポートと前記第 1 の内部ポート (E 3 、 I 1) を接続するステップと、

第 i のスイッチの前記第 4 の外部ポートと前記第 2 の内部ポート (E 4 、 I 2) を接続するステップと、

第 ($i + 2$) のスイッチの前記第 1 の外部ポートと前記第 1 の内部ポート (E 1 、 I 1) を接続するステップと、

第 ($i + 2$) のスイッチの前記第 2 の外部ポートと前記第 2 の内部ポート (E 2 、 I 2) を接続するステップを実行し、

($i + 1$) が前記区画に属する場合は、

第 ($i + 1$) のスイッチの前記第 2 の外部ポートと前記第 1 の内部ポート (E 2 、 I 1) を接続するステップと、

第 ($i + 1$) のスイッチの前記第 3 の外部ポートと前記第 2 の内部ポート (E 3 、 I 2) を接続するステップを、

($i + 1$) が前記区画に属さない場合は、

第 ($i + 1$) のスイッチの前記第 2 の外部ポートと前記第 3 の外部ポート (E 2 、 E 3) を接続するステップと、

を含む方法。

【請求項 4】

トーラス区画化を容易にするために並列コンピュータの L 個のプロセッサを相互接続する方法であって、前記プロセッサのそれぞれは処理装置およびスイッチを含み、

前記スイッチは第 1 の外部ポート、第 2 の外部ポート、第 3 の外部ポート、第 4 の外部ポート、第 1 の内部ポート、および第 2 の内部ポートを含み、前記 L 個のプロセッサは R 個の非オーバーラップ区画を含み、

前記区画のそれぞれは、前記プロセッサのうちの少なくとも 1 つの前記処理装置を含み、L は 2 以上の整数、R は 1 以上の整数であり、

前記 L 個のスイッチの前記外部ポート間の前記 L 個のプロセッサの前記 L 個のスイッチを拡張トーラス・アーキテクチャで接続するステップと、

10

20

30

40

50

前記区画のそれぞれをトーラスとして相互接続するために前記接続された L 個のスイッチを設定するステップと、

前記設定するステップが、前記区画のスパンを計算するステップを含み、

前記計算するステップが、

前記区画中の最小座標、MIN を探索するステップと、

前記区画中の最大座標、MAX を決定するステップと、

前記区画のスパンを座標 i の集合 (MIN i MAX、i は整数) と等しくなるように設定するステップと、

前記区画のスパンが少なくとも 4 座標を含み、各座標 i が MIN i MAX である場合には、

i = MIN の場合は、

第 i のスイッチの前記第 3 の外部ポートと前記第 1 の内部ポート (E 3、I 1) を接続するステップと、

第 i のスイッチの前記第 4 の外部ポートと前記第 2 の内部ポート (E 4、I 2) を接続するステップを実行し、

i = MAX の場合は、

第 i のスイッチの前記第 1 の外部ポートと前記第 1 の内部ポート (E 1、I 1) を接続するステップと、

第 i のスイッチの前記第 2 の外部ポートと前記第 2 の内部ポート (E 2、I 2) を接続するステップを実行し、

i = MIN + 1 かつ i が前記区画に属する場合は、

第 i のスイッチの前記第 2 の外部ポートと前記第 1 の内部ポート (E 2、I 1) を接続するステップと、

第 i のスイッチの前記第 4 の外部ポートと前記第 2 の内部ポート (E 4、I 2) を接続するステップを実行し、

i = MIN + 1 かつ i が前記区画に属さない場合は、

第 i のスイッチの前記第 2 の外部ポートと前記第 4 の外部ポート (E 2、E 4) を接続するステップを、

i = MAX - 1 かつ i が前記区画に属する場合は、

第 i のスイッチの前記第 1 の外部ポートと前記第 1 の内部ポート (E 1、I 1) を接続するステップと、

第 i のスイッチの前記第 3 の外部ポートと前記第 2 の内部ポート (E 3、I 2) を接続するステップを実行し、

i = MAX - 1 かつ i が前記区画に属さない場合は、

第 i のスイッチの前記第 1 の外部ポートと前記第 3 の外部ポート (E 1、E 3) を接続するステップを、

MIN + 2 i MAX - 2 かつ i が前記区画に属する場合は、

第 i のスイッチの前記第 1 の外部ポートと前記第 1 の内部ポート (E 1、I 1) を接続するステップと、

第 i のスイッチの前記第 4 の外部ポートと前記第 2 の内部ポート (E 4、I 2) を接続するステップを実行し、

MIN + 2 i MAX - 2 かつ i が前記区画に属さない場合は、

第 i のスイッチの前記第 1 の外部ポートと前記第 4 の外部ポート (E 1、E 4) を接続するステップと、

を含む方法。

【請求項 5】

トーラス区画化を容易にするために並列コンピュータの L 個のプロセッサを相互接続するシステムであって、

前記プロセッサのそれぞれは処理装置およびスイッチを含み、前記スイッチは第 1 の外部ポート、第 2 の外部ポート、第 3 の外部ポート、第 4 の外部ポート、第 1 の内部ポート

10

20

30

40

50

、および第2の内部ポートを含み、前記L個のプロセッサはR個の非オーバーラップ区画を含み、前記区画のそれぞれは、前記プロセッサのうちの少なくとも1つの前記処理装置を含み、Lは2以上の整数、Rは1以上の整数であり、

前記L個のスイッチの前記外部ポート間の前記L個のプロセッサの前記L個のスイッチを拡張トラス・アーキテクチャで接続するように構成された接続モジュールと、

前記区画のそれぞれをトラスとして相互接続するために前記接続されたL個のスイッチを設定するように構成された設定モジュールと、

前記設定モジュールが、

前記区画のスパンを計算するように構成された計算モジュールを含み、

前記計算モジュールが、

前記区画中の最小座標、MINを探索するように構成された探索モジュールと、

前記区画中の最大座標、MAXを決定するように構成された決定モジュールと、

前記区画のスパンを、座標iの集合(MIN i MAX、iは整数)と等しくなるように設定するように構成されたモジュールと、

前記区画のスパンが厳密に1座標を含み、iがそのスパンに属する1座標である場合には、第iのスイッチの前記第1の内部ポートと前記第2の内部ポート(I1、I2)を接続するように構成された接続モジュールと、

を備えるシステム。

【請求項6】

トラス区画化を容易にするために並列コンピュータのL個のプロセッサを相互接続するシステムであって、

前記プロセッサのそれぞれは処理装置およびスイッチを含み、前記スイッチは第1の外部ポート、第2の外部ポート、第3の外部ポート、第4の外部ポート、第1の内部ポート、および第2の内部ポートを含み、前記L個のプロセッサはR個の非オーバーラップ区画を含み、前記区画のそれぞれは、前記プロセッサのうちの少なくとも1つの前記処理装置を含み、Lは2以上の整数、Rは1以上の整数であり、

前記L個のスイッチの前記外部ポート間の前記L個のプロセッサの前記L個のスイッチを拡張トラス・アーキテクチャで接続するように構成された接続モジュールと、

前記区画のそれぞれをトラスとして相互接続するために前記接続されたL個のスイッチを設定するように構成された設定モジュールと、

前記設定モジュールが、

前記区画のスパンを計算するように構成された計算モジュールを含み、

前記計算モジュールが、

前記区画中の最小座標、MINを探索するように構成された探索モジュールと、

前記区画中の最大座標、MAXを決定するように構成された決定モジュールと、

前記区画のスパンを、座標iの集合(MIN i MAX、iは整数)と等しくなるように設定するように構成されたモジュールと、

前記区画のスパンが厳密に2座標を含み、iおよびi+1がそのスパンに属する2座標である場合には、

i = 1の場合は、

第1のスイッチの前記第3の外部ポートと前記第2の内部ポート(E3、I2)を接続するように構成された第1の接続モジュールと、

第1のスイッチの前記第1の外部ポートと前記第1の内部ポート(E1、I1)を接続するように構成された第2の接続モジュールと、

第2のスイッチの前記第2の外部ポートと前記第2の内部ポート(E2、I2)を接続するように構成された第3の接続モジュールと、

第2のスイッチの前記第1の外部ポートと前記第1の内部ポート(E1、I1)を接続するように構成された第4の接続モジュールをさらに有し、

i = L - 1の場合は、

第(L - 1)のスイッチの前記第3の外部ポートと前記第1の内部ポート(E3、I1

10

20

30

40

50

)を接続するように構成された第1の接続モジュールと、
第(L-1)のスイッチの前記第4の外部ポートと前記第2の内部ポート(E4、I2)
)を接続するように構成された第2の接続モジュールと、
第Lのスイッチの前記第2の外部ポートと前記第1の内部ポート(E2、I1)を接続
するように構成された第3の接続モジュールと、
第Lのスイッチの前記第4の外部ポートと前記第2の内部ポート(E4、I2)を接続
するように構成された第4の接続モジュールをさらに有し、
それ以外で、2 ≤ i ≤ L-2の場合は、
第(i-1)のスイッチの前記第3の外部ポートと前記第4の外部ポート(E3、E4)
)を接続するように構成された第1の接続モジュールと、
第iのスイッチの前記第2の外部ポートと前記第1の内部ポート(E2、I1)を接続
するように構成された第2の接続モジュールと、
第iのスイッチの前記第3の外部ポートと前記第2の内部ポート(E3、I2)を接続
するように構成された第3の接続モジュールと、
第(i+1)のスイッチの前記第1の外部ポートと前記第1の内部ポート(E1、I1)
)を接続するように構成された第4の接続モジュールと、
第(i+1)のスイッチの前記第2の外部ポートと前記第2の内部ポート(E2、I2)
)を接続するように構成された第5の接続モジュールと、
を備えるシステム。

10

【請求項7】

20

トラス区画化を容易にするために並列コンピュータのL個のプロセッサを相互接続す
るシステムであって、

前記プロセッサのそれぞれは処理装置およびスイッチを含み、前記スイッチは第1の外
部ポート、第2の外部ポート、第3の外部ポート、第4の外部ポート、第1の内部ポート
、および第2の内部ポートを含み、前記L個のプロセッサはR個の非オーバーラップ区画
を含み、前記区画のそれぞれは、前記プロセッサのうちの少なくとも1つの前記処理装置
を含み、Lは2以上の整数、Rは1以上の整数であり、

前記L個のスイッチの前記外部ポート間の前記L個のプロセッサの前記L個のスイッチ
を拡張トラス・アーキテクチャで接続するように構成された接続モジュールと、

前記区画のそれぞれをトラスとして相互接続するために前記接続されたL個のスイッ
チを設定するように構成された設定モジュールと、

30

前記設定モジュールが、

前記区画のスパンを計算するように構成された計算モジュールを含み、

前記計算モジュールが、

前記区画中の最小座標、MINを探索するように構成された探索モジュールと、

前記区画中の最大座標、MAXを決定するように構成された決定モジュールと、

前記区画のスパンを、座標iの集合(MIN ≤ i ≤ MAX、iは整数)と等しくなるよ
うに設定するように構成されたモジュールと、

前記区画のスパンが厳密に3座標を含み、i、i+1、i+2がそのスパンに属する3
座標である場合には、

40

第iのスイッチの前記第3の外部ポートと前記第1の内部ポート(E3、I1)を接続
するように構成された第1の接続モジュールと、

第iのスイッチの前記第4の外部ポートと前記第2の内部ポート(E4、I2)を接続
するように構成された第2の接続モジュールと、

第(i+2)のスイッチの前記第1の外部ポートと前記第1の内部ポート(E1、I1)
)を接続するように構成された第3の接続モジュールと、

第(i+2)のスイッチの前記第2の外部ポートと前記第2の内部ポート(E2、I2)
)を接続するように構成された第4の接続モジュールと、

(i+1)が前記区画に属する場合は、

第(i+1)のスイッチの前記第2の外部ポートと前記第1の内部ポート(E2、I1)

50

)を接続するように構成された第5の接続モジュールと、
第(i+1)のスイッチの前記第3の外部ポートと前記第2の内部ポート(E3、I2)
)を接続するように構成された第6の接続モジュールを、
(i+1)が前記区画に属さない場合は、
第(i+1)のスイッチの前記第2の外部ポートと前記第3の外部ポート(E2、E3)
)を接続するように構成された第5の接続モジュールと、
を備えるシステム。

【請求項8】

トラス区画化を容易にするために並列コンピュータのL個のプロセッサを相互接続するシステムであって、

10

前記プロセッサのそれぞれは処理装置およびスイッチを含み、前記スイッチは第1の外部ポート、第2の外部ポート、第3の外部ポート、第4の外部ポート、第1の内部ポート、および第2の内部ポートを含み、前記L個のプロセッサはR個の非オーバーラップ区画を含み、前記区画のそれぞれは、前記プロセッサのうちの少なくとも1つの前記処理装置を含み、Lは2以上の整数、Rは1以上の整数であり、

前記L個のスイッチの前記外部ポート間の前記L個のプロセッサの前記L個のスイッチを拡張トラス・アーキテクチャで接続するように構成された接続モジュールと、

前記区画のそれぞれをトラスとして相互接続するために前記接続されたL個のスイッチを設定するように構成された設定モジュールと、

前記設定モジュールが、

20

前記区画のスパンを計算するように構成された計算モジュールを含み、

前記計算モジュールが、

前記区画中の最小座標、MINを探索するように構成された探索モジュールと、

前記区画中の最大座標、MAXを決定するように構成された決定モジュールと、

前記区画のスパンを、座標iの集合(MIN i MAX、iは整数)と等しくなるように設定するように構成されたモジュールと、

前記区画のスパンが少なくとも4座標を含み、各座標iがMIN i MAXである場合には、

i = MINの場合は、

第iのスイッチの前記第3の外部ポートと前記第1の内部ポート(E3、I1)を接続するように構成された第1の接続モジュールと、

30

第iのスイッチの前記第4の外部ポートと前記第2の内部ポート(E4、I2)を接続するように構成された第2の接続モジュールを含み、

i = MAXの場合は、

第iのスイッチの前記第1の外部ポートと前記第1の内部ポート(E1、I1)を接続するように構成された第1の接続モジュールと、

第iのスイッチの前記第2の外部ポートと前記第2の内部ポート(E2、I2)を接続するように構成された第2の接続モジュールを含み、

i = MIN + 1かつiが前記区画に属する場合は、

第iのスイッチの前記第2の外部ポートと前記第1の内部ポート(E2、I1)を接続するように構成された第1の接続モジュールと、

40

第iのスイッチの前記第4の外部ポートと前記第2の内部ポート(E4、I2)を接続するように構成された第2の接続モジュールを含み、

i = MIN + 1かつiが前記区画に属さない場合は、

第iのスイッチの前記第2の外部ポートと前記第4の外部ポート(E2、E4)を接続するように構成された接続モジュールを含み、

i = MAX - 1かつiが前記区画に属する場合は、

第iのスイッチの前記第1の外部ポートと前記第1の内部ポート(E1、I1)を接続するように構成された第1の接続モジュールと、

第iのスイッチの前記第3の外部ポートと前記第2の内部ポート(E3、I2)を接続

50

するように構成された第2の接続モジュールを含み、
 $i = MAX - 1$ かつ i が前記区画に属さない場合は、
第 i のスイッチの前記第1の外部ポートと前記第3の外部ポート($E1$ 、 $E3$)を接続
するように構成された接続モジュールを含み、
 $MIN + 2 \leq i \leq MAX - 2$ かつ i が前記区画に属する場合は、
第 i のスイッチの前記第1の外部ポートと前記第1の内部ポート($E1$ 、 $I1$)を接続
するように構成された第1の接続モジュールと、
第 i のスイッチの前記第4の外部ポートと前記第2の内部ポート($E4$ 、 $I2$)を接続
するように構成された第2の接続モジュールを含み、
 $MIN + 2 \leq i \leq MAX - 2$ かつ i が前記区画に属さない場合は、
第 i のスイッチの前記第1の外部ポートと前記第4の外部ポート($E1$ 、 $E4$)を接続
するように構成された接続モジュールと、
を備えるシステム。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は並列コンピュータに関し、詳細には、トラス区画化を容易にするために並列コンピュータのプロセッサを相互接続する方法およびシステムに関する。

【背景技術】

20

【0002】

マイクロプロセッサやメモリなどのコンピュータ・ハードウェアのコストが減少し、コンピュータによる解決を必要とする問題の複雑さが増大するにつれて、並列計算処理がますます重要になってきている。並列コンピュータは、通常、密結合多重プロセッサ、すなわち、ケーブルによって相互接続され、単一のオペレーティング・システムの下で稼動するマイクロプロセッサの集合体を使用する。これは、それぞれがそれ自体のオペレーティング・システムを有するいくつかの単一プロセッサ・コンピュータが(イーサネット(R)などの)ネットワークで接続される、疎結合多重コンピュータと対照をなす。

【0003】

密結合プロセッサ

30

効率を高めるために、密結合多重プロセッサ中の単一のマイクロプロセッサ(以後「プロセッサ」という)のハードウェアは、普通、以下の2部分に分けられる。

(1) 多重プロセッサを含む並列コンピュータ上で動作するプログラムの処理を実行するのに使用される処理装置(以後「PU」という)、および

(2) そのプロセッサとコンピュータ中の他のプロセッサの間のやりとりを処理するのに使用されるスイッチ。

各プロセッサにおいて、PUおよびスイッチは論理的に結合される。通常、PUおよびスイッチは電氣的に結合される。

【0004】

スイッチ

40

各スイッチは、ある数の外部ポートおよび内部ポートを有する。図1にPU112およびスイッチ114に分けられた従来技術のプロセッサ110を示す。スイッチ114は、 $E1$ 、 $E2$ 、 $E3$ 、 $E4$ とラベル付けされた4つの外部ポート、および $I1$ 、 $I2$ とラベル付けされた2つの内部ポートを含む。あるスイッチの外部ポートは、別のスイッチの外部ポートにケーブルで接続され得る。各外部ポートには1本のケーブルだけしか接続できない。外部ポートにケーブルが接続されないこともあり得る。2つの内部ポート $I1$ および $I2$ は、スイッチ114などのスイッチを、PU112などのPUに接続する。スイッチは、それ自体の(内部および外部)ポート対間の内部接続を行うことができ、しがたって、異なるPU間のケーブル接続を行うことができる。

【0005】

50

典型的なスイッチ 1 1 4 は、少なくとも 4 つの外部ポート、少なくとも 2 つの内部ポート、およびフル・クロスバーのスイッチング機能を含み、スイッチの各ポートを任意の対にすることを考えると、このスイッチは、各対の 2 ポートを接続するように設定され得る。

【 0 0 0 6 】

スイッチ接続

各スイッチは、相互接続することができる。例えば、従来技術の図 2 には、2 つのプロセッサ (P U / スイッチ組合せ) 1 1 0 および 1 2 0 が示され、プロセッサ 1 2 0 は P U 1 2 2 およびスイッチ 1 2 4 を含む。スイッチ 1 1 4 は、図 2 に示すように、ポート E 1 とポート I 1、ポート E 4 とポート I 2 を接続するように設定される。スイッチ 1 2 4 は、図 2 に示すように、ポート E 1 とポート I 1、ポート E 2 とポート I 2、およびポート E 3 とポート E 4 を接続するように設定される。スイッチ 1 1 4 のポート E 4 とスイッチ 1 2 4 のポート E 1 の間のケーブル 1 3 0 も示されている。結果として、スイッチ 1 1 4 のポート I 2 はスイッチ 1 2 4 のポート I 1 に接続され、したがってそれら 2 つの P U を接続する。

10

【 0 0 0 7 】

ポート J とポート K の間の接続は対 (J、K) で表される。スイッチの設定は、その各ポート間の接続の集合であり、各ポートは多くとも 1 つの接続対に出現するにすぎない。例えば、図 2 のスイッチ 1 1 4 の設定は、集合 { (E 1、I 1)、(E 4、I 2) } で表される。この図でのスイッチ 1 2 4 の設定は、集合 { (E 1、I 1)、(E 2、I 2)、(E 3、E 4) } で表される。

20

【 0 0 0 8 】

接続の集合は空であることもあり、それは、そのスイッチのどのポートも相互に接続されていないことを示す。接続はスイッチ設定に動的に付加することも、そこから除去することも可能である。接続はいつでも除去することができる。

【 0 0 0 9 】

接続が付加され得るのは、その接続が、すでに既存の接続によって使用されているスイッチのポートを使用しない場合だけである。例えば、図 2 のスイッチ 1 1 4 の設定 { (E 1、I 1)、(E 4、I 2) } には、接続 (E 2、E 3) が付加され得る。しかし、接続 (E 1、E 3) は付加され得ない。というのは、図 2 のスイッチ 1 1 4 の設定では、ポート E 1 はすでに接続 (E 1、I 1) によって使用されているからである。

30

【 0 0 1 0 】

相互接続アーキテクチャ

物理的制約のために、各スイッチは少数のポートだけしか持つことができず、そのため、1 つのスイッチ (したがってその P U) は、少数の他のスイッチ (P U) だけにしか直接接続され得ない。物理的制約と電氣的制約とのために、各ケーブルの長さが何らかの指定された量を超えられないこともある。ケーブルが外部ポート間に配置される方式は、そのコンピュータの相互接続アーキテクチャを形成する。すなわち、それらのケーブルの配置は固定される。(ケーブルがポートに差込み可能な場合であっても、ケーブルの配置が変更されると、それは別の相互接続アーキテクチャを構成することになる。)

40

【 0 0 1 1 】

セルラー構造

プロセッサは、通常、しばしばセルラー構造と呼ばれる規則的な構造で配列される。1 つの非常に一般的なセルラー構造では、プロセッサは 1 次元、2 次元、または 3 次元配列のセルに配置される。配列は、各次元でのコンピュータの長さを指定することによって定義され、その長さはプロセッサの数によって与えられる。例えば、2 次元配列の場合には、その 2 つの次元を X と Y とすると、配列は X 次元の長さ L_x と Y 次元の長さ L_y によって指定される。この配列は合計 $L_x \times L_y$ 個のプロセッサを含む。例えば、図 3 に、合計 20 個のプロセッサを含む $L_x = 5$ 、 $L_y = 4$ の 2 次元配列 1 4 0 を示す。配列中の各プロセッサは、図 3 に示すように、その配列中の座標によって識別される。これらの座標は

50

、そのプロセッサを含むPUおよびスイッチも識別する。3次元配列では、各プロセッサ（PUおよびスイッチ）は、そのプロセッサのそれぞれX次元、Y次元、Z次元での座標を与える3座標の組合せ（x、y、z）によって識別される。

【0012】

スイッチの外部ポートの接続

コンピュータの相互接続アーキテクチャは、各スイッチの外部ポート間でケーブルが配置される方式を指定する。通常、ケーブルリングは各次元ごとに別々になされる。例えば、3次元配列の場合には、スイッチは、Xスイッチ、Yスイッチ、Zスイッチに分けられ、それぞれがそれ自体の4外部ポート、2内部ポートを備える。ケーブルは、2つのスイッチが同じ次元を持つ（両方がXスイッチであるなどの）場合に限り、あるスイッチの外部ポートを別のスイッチの外部ポートに接続することができる。

10

【0013】

また、各次元の分離と共に、コンピュータは各次元での1次元の「ライン」にも分けられる。1ライン内では、1つを除くすべての座標が定数値を有し、定数以外の座標は、その座標の可能なすべての値をとる。例えば、図4には、座標yが1に固定されているXライン152、および座標xが4に固定されているYライン154が示されている。

【0014】

コンピュータが単純で規則的な構造を持つために、次元Xを例にとると、ケーブルは同じXラインに属するスイッチ間だけに配置され、コンピュータ中のすべてのXラインは、通常、同じケーブルリング構造を有する。例えば、長さ $L_x \times L_y \times L_z$ の3次元コンピュータでは、X次元でのケーブルリング（同じXラインに属するXスイッチ間に配置されるケーブル）は長さ L_x の1ラインのケーブルリングによって指定される。この1ラインのケーブルリングはそのコンピュータ中のすべてのXラインに複製される。したがって、この種の「規則的」コンピュータでのケーブルリング・アーキテクチャを指定するには、長さ L_x のラインでのケーブルリング、長さ L_y のラインでのケーブルリング、長さ L_z のラインでのケーブルリングの3つのケーブルリングを指定すれば十分である。

20

【0015】

メッシュおよびトラス相互接続アーキテクチャ

2つの一般的な従来技術の相互接続アーキテクチャが、メッシュ・アーキテクチャおよびトラス・アーキテクチャである。例えば、図5に示すように、従来技術のメッシュ・アーキテクチャ160は、スイッチ161、162、163、164、165、166、167、168を含む。また、例えば、図6に示すように、従来技術のトラス・アーキテクチャ170は、スイッチ171、172、173、174、175、176、177、178を含む。

30

【0016】

再び次元Xを例にとると、メッシュ・アーキテクチャ160では、1Xライン中のXスイッチは直線式に、すなわち、スイッチ161、162、163、164、165、166、167、168として接続される。トラス・アーキテクチャ170では、Xスイッチは巡回式に、すなわち、171、173、175、177、178、176、174、172、から171に戻るように接続される。図5および6には長さ8のラインでのメッシュおよびトラスが示されているが、これらが任意の長さのラインにどのように適用され得るかは明らかである。

40

【0017】

トラス・アーキテクチャ170は、スイッチ161とスイッチ168の間にケーブルを付加することによってメッシュ・アーキテクチャ160から得ることもできるはずである。しかし、これは、ケーブルの長さの制限に違反することになる可能性が高い。ケーブルを短く保つには、図6に示すようにそのサイクルが「折り畳まれる」。

【0018】

メッシュおよびトラスは、図5および6でのラインのメッシュおよびトラス・ケーブルリングを、そのコンピュータ中のすべてのXライン、Yライン、Zラインにそれぞれ複

50

製することによって、2次元および3次元配列に定義される。

【0019】

区画化

相互接続アーキテクチャの有用性での重要な一要因は、それがコンピュータをいくつかの独立部分に区画化する際の柔軟性である。区画化は、いくつかのプログラム、あるいは「ジョブ」をコンピュータ上で同時に走らせる際に重要である。ジョブの実行を開始するときに、ユーザは「区画」、すなわちそのジョブ専用で使用されるコンピュータの部分を指定する。「ユーザ」は、人間のユーザ、またはジョブ・スケジューラなどのシステム・ソフトウェアの一部とすることができる。コンピュータの1区画とは、1ジョブによって使用される1組のPUである。

10

【0020】

PUの指定

区画Pは、各次元ごとに、X次元での座標の集合 P_x 、Y次元での座標の集合 P_y 、Z次元での座標の集合 P_z を与えることによって指定される。したがって、座標(x、y、z)のPUは、xが P_x に属し、yが P_y に属し、zが P_z に属する場合に限り、区画Pに属する。言い換えると、PUの座標の集合は、 P_x 、 P_y および P_z のデカルト積である。例えば、 $8 \times 8 \times 8$ の3次元コンピュータでは、ユーザは、X次元での集合 $P_x = \{3, 4\}$ 、Y次元での集合 $P_y = \{3, 5\}$ 、Z次元での集合 $P_z = \{1\}$ によって1区画を指定することができる。この区画に属するPUは、座標(3、3、1)、(3、5、1)、(4、3、1)、(4、5、1)のPUである。

20

【0021】

各区画は、ジョブが開始、終了するときに、それぞれ、動的に形成され、解除される。あるジョブが別のジョブを妨害するのを防ぐために、異なるジョブは同じPUも、同じケーブルも使用することができない。異なるジョブは同じスイッチを使用できるが、スイッチの使用は、異なるジョブが同じPUまたはケーブルを使用できないという要件によって制限される。

【0022】

接続タイプの指定

区画中のPUを指定する以外に、ユーザは、区画の接続タイプ、すなわちアーキテクチャも指定する。2つの非常に一般的な接続タイプがメッシュ・アーキテクチャおよびトラス・アーキテクチャである。接続タイプの指定は、ユーザがコンピュータの1区画を取得している場合、そのユーザは、自分の区画がそのコンピュータ全体の小規模バージョン「に見える」ようにしようとすることを示すものである。

30

【0023】

メッシュ・アーキテクチャ

メッシュ・アーキテクチャ160などのメッシュ・アーキテクチャは、あらゆる区画が、スイッチを適正に設定することによって(一般に、より小さい)メッシュとして相互接続され得るという望ましい特性を有する。例えば、図7には、区画{163, 164, 166, 167}が、接続180、181、182、183、184、185、186、187、188、189、190を介して従来技術のメッシュとして相互接続されるために各スイッチがどのように設定されるかが示されている。より詳細には、図7は、区画{163, 164, 166, 167}が、内部結合180、182、183、185、187、188、190および外部接続181、184、186、189を介して従来技術のメッシュとして相互接続されるために各スイッチがどのように設定されるかを示すものである。図7には、PU164と166など2つのPU間の接続が、外部接続184と186など連続する2つ以上の外部接続によってなされ得ることも示されている。PU165は、PU165が(a)別の既存の区画に属していた場合、あるいは(b)故障していた場合には、「スキップ」され得る。外部接続は、ケーブル、光ファイバ、または別のタイプの電磁的結合を用いて実装され得る。

40

【0024】

50

より一般的には、2つの異なる区画が「オーバーラップ」しないという条件で、それぞれがメッシュとして相互接続された、複数の区画が同時に存在し得る。より正確には、1次元区画（座標の集合）のスパンは、その区画中の最小の座標とその区画中の最大の座標とを含むそれらの間にある座標の集合であると定義される。例えば、区画{163, 164, 166, 167}のスパンは{163, 164, 165, 166, 167}である。2つの区画がオーバーラップしないという要件は、それらのスパンが共通の座標を含まないことである。

【0025】

多次元設定中のオーバーラップ区画は、1次元の場合のオーバーラップ区画を一般化したものである。3次元の場合には、例えば、3次元区画Pが、座標集合 P_x 、 P_y 、 P_z のデカルト積によって定義される場合には、Pのスパンは、 P_x のスパン、 P_y のスパン、 P_z のスパンのデカルト積になる。2つの3次元区画PおよびQは、PのスパンとQのスパンが共通の座標を含む場合には、オーバーラップする。Pが P_x 、 P_y 、 P_z によって定義され、Qが Q_x 、 Q_y 、 Q_z によって定義される場合、PおよびQは、 P_x と Q_x がオーバーラップし、 P_y と Q_y がオーバーラップし、あるいは P_z と Q_z がオーバーラップする場合には、オーバーラップする。

10

【0026】

トラス・アーキテクチャ

図6のトラス・アーキテクチャ170などのトラス・アーキテクチャは、複数の非オーバーラップ区画中のあらゆる区画が（より小さい）トラスの相互接続構造を持つように構成され得るという望ましい特性を持たない。図示のように、これは、サイズ2以上の任意の2区画について当てはまる。例えば、区画{171, 172}はトラスとして相互接続され得るが、それはライン中のケーブルすべてを使用した場合だけである。したがって、この区画は、例えば、{176, 177}など、サイズが少なくとも2の任意のトラス相互接続区画と同時に存在し得ない。

20

【0027】

使用される接続数

P_x がXラインの区画であるとし、 N_x が P_x 中の座標の数であるとする、 $N_x \geq 2$ の場合には、 P_x の任意のトラス相互接続は、Xライン中で少なくとも N_x 個の外部接続、またはケーブルを使用する。同じことがY次元とZ次元にも当てはまる。

30

【0028】

区間区画

あるラインの1次元区画Pは、Pが{173, 174, 175, 176, 177}などの連続した座標の集合である場合には、区間区画である。ある配列の3次元区画Pは、 P_x 、 P_y および P_z がすべて1次元区間区画である場合には、区間区画である。Pは、PのスパンがPそれ自体と同じである場合に限り区間区画である。

【発明の開示】

【発明が解決しようとする課題】

【0029】

したがって、トラス区画化を容易にするために並列コンピュータのプロセッサを相互接続する方法およびシステムが求められている。

40

【課題を解決するための手段】

【0030】

本発明は、トラス区画化を容易にするために並列コンピュータのL個のプロセッサを相互接続する方法およびシステムを提供し、(a)プロセッサのそれぞれは処理装置およびスイッチを含み、(b)スイッチは第1の外部ポート、第2の外部ポート、第3の外部ポート、第4の外部ポート、第1の内部ポート、および第2の内部ポートを含み、(c)L個のプロセッサはR個の非オーバーラップ区画を含み、(d)区画のそれぞれは、プロセッサのうちの少なくとも1つの処理装置を含み、(e)Lは2以上の整数、Rは1以上の整数である。例示的实施形態では、この方法およびシステムは、(1)L個のスイッチ

50

の外部ポート間の L 個のプロセッサの L 個のスイッチを拡張トラス・アーキテクチャで接続すること、および(2)区画のそれぞれをトラスとして相互接続するために接続された L 個のスイッチを設定することを含む。

【0031】

例示的实施形態では、接続することは、スイッチ1の第1の外部ポートとスイッチ2の第1の外部ポートを結合することを含む。別の実施形態では、接続することは、(a) L 3の場合には、第($L-1$)のスイッチの第4の外部ポートと第 L のスイッチの第4の外部ポートを接続すること、(b) $1 \leq i \leq L-1$ (i は整数)の場合には、第 i のスイッチの第3の外部ポートと第($i+1$)のスイッチの第2の外部ポートを接続すること、および(c) $1 \leq i \leq L-2$ (i は整数)の場合には、第 i スイッチの第4の外部ポートと第($i+2$)スイッチの第1の外部ポートを接続することを含む。具体的実施形態では、接続することは、 L 個のスイッチをケーブルで接続することを含む。

10

【0032】

例示的实施形態では、設定することは、区画のスパンを計算することを含む。例示的实施形態では、計算することは、(a)区画中の最小座標、MINを探索すること、(b)区画中の最大座標、MAXを決定すること、および(c)その区画のスパンが座標 i の集合(MIN $\leq i \leq$ MAX、 i は整数)と等しくなるように設定することを含む。別の実施形態では、計算することは、区画のスパンが厳密に1つの座標を含み、 i がそのスパンに属する1座標である場合には、第 i のスイッチの第1の内部ポートと第2の内部ポート(I_1 、 I_2)を接続することを含む。

20

【0033】

別の実施形態では、計算することは、区画のスパンが厳密に2つの座標を含み、 i および $i+1$ がそのスパンに属する2座標である場合には、(1) $i=1$ の場合は、(a)第1のスイッチの第3の外部ポートと第2の内部ポート(E_3 、 I_2)を接続すること、(b)第1のスイッチの第1の外部ポートと第1の内部ポート(E_1 、 I_1)を接続すること、(c)第2のスイッチの第2の外部ポートと第2の内部ポート(E_2 、 I_2)を接続すること、および(d)第2のスイッチの第1の外部ポートと第1の内部ポート(E_1 、 I_1)を接続することを、(2) $i=L-1$ の場合は、(a)第($L-1$)のスイッチの第3の外部ポートと第1の内部ポート(E_3 、 I_1)を接続すること、(b)第($L-1$)のスイッチの第4の外部ポートと第2の内部ポート(E_4 、 I_2)を接続すること、第 L のスイッチの第2の外部ポートと第1の内部ポート(E_2 、 I_1)を接続すること、および(d)第 L のスイッチの第4の外部ポートと第2の内部ポート(E_4 、 I_2)を接続することを、(3)それ以外で、 $2 \leq i \leq L-2$ の場合は、(a)第($i-1$)のスイッチの第3の外部ポートと第4の外部ポート(E_3 、 E_4)を接続すること、(b)第 i のスイッチの第2の外部ポートと第1の内部ポート(E_2 、 I_1)を接続すること、(c)第 i のスイッチの第3の外部ポートと第2の内部ポート(E_3 、 I_2)を接続すること、(d)第($i+1$)のスイッチの第1の外部ポートと第1の内部ポート(E_1 、 I_1)を接続すること、および(e)第($i+1$)のスイッチの第2の外部ポートと第2の内部ポート(E_2 、 I_2)を接続することを含む。

30

【0034】

更に別の実施形態では、計算することは、区画のスパンが厳密に3つの座標を含み、 i 、 $i+1$ 、 $i+2$ がそのスパンに属する3座標である場合には、(1)第 i のスイッチの第3の外部ポートと第1の内部ポート(E_3 、 I_1)を接続すること、(2)第 i のスイッチの第4の外部ポートと第2の内部ポート(E_4 、 I_2)を接続すること、(3)第($i+2$)のスイッチの第1の外部ポートと第1の内部ポート(E_1 、 I_1)を接続すること、(4)第($i+2$)のスイッチの第2の外部ポートと第2の内部ポート(E_2 、 I_2)を接続すること、(5)($i+1$)がその区画に属する場合には、(a)第($i+1$)のスイッチの第2の外部ポートと第1の内部ポート(E_2 、 I_1)を接続すること、および(b)第($i+1$)のスイッチの第3の外部ポートと第2の内部ポート(E_3 、 I_2)を接続すること、(6)($i+1$)がその区画に属さない場合には、第($i+1$)のスイ

40

50

ッチの第2の外部ポートと第3の外部ポート(E2、E3)を接続することを含む。

【0035】

また更に別の実施形態では、計算することは、区画のスパンが少なくとも4座標を含み、各座標*i*がMIN *i* MAXである場合には、(1) *i* = MINの場合は、(a) 第*i*のスイッチの第3の外部ポートと第1の内部ポート(E3、I1)を接続すること、および(b) 第*i*のスイッチの第4の外部ポートと第2の内部ポート(E4、I2)を接続することを、(2) *i* = MAXの場合は、(a) 第*i*のスイッチの第1の外部ポートと第1の内部ポート(E1、I1)を接続すること、および(b) 第*i*のスイッチの第2の外部ポートと第2の内部ポート(E2、I2)を接続することを、(3) *i* = MIN + 1かつ*i*がその区画に属する場合は、(a) 第*i*のスイッチの第2の外部ポートと第1の内部ポート(E2、I1)を接続すること、および第*i*のスイッチの第4の外部ポートと第2の内部ポート(E4、I2)を接続することを、(4) *i* = MIN + 1かつ*i*がその区画に属さない場合は、第*i*のスイッチの第2の外部ポートと第4の外部ポートを接続することを、(5) *i* = MAX - 1かつ*i*がその区画に属する場合は、(a) 第*i*のスイッチの第1の外部ポートと第1の内部ポート(E1、I1)を接続すること、および(b) 第*i*のスイッチの第3の外部ポートと第2の内部ポート(E3、I2)を接続することを、(6) *i* = MAX - 1かつ*i*がその区画に属さない場合は、第*i*のスイッチの第1の外部ポートと第3の外部ポート(E1、E3)を接続することを、(7) MIN + 2 *i* MAX - 2かつ*i*がその区画に属する場合は、(a) 第*i*のスイッチの第1の外部ポートと第1の内部ポート(E1、I1)を接続すること、および(b) 第*i*のスイッチの第4の外部ポートと第2の内部ポート(E4、I2)を接続することを、(8) MIN + 2 *i* MAX - 2かつ*i*がその区画に属さない場合は、第*i*のスイッチの第1の外部ポートと第4の外部ポート(E1、E4)を接続することを含む。

10

20

【0036】

例示的实施形態では、この方法およびシステムは、L個のスイッチの外部ポート間のL個のプロセッサのL個のスイッチを拡張トラス・アーキテクチャで接続することを含む。例示的实施形態では、接続することは、スイッチ1の第1の外部ポートとスイッチ2の第1の外部ポートを接続することを含む。別の実施形態では、接続することは、(a) L 3の場合は、第(L - 1)のスイッチの第4の外部ポートと第Lのスイッチの第4の外部ポートを接続すること、(b) 1 *i* L - 1 (*i*は整数)の場合は、第*i*のスイッチの第3の外部ポートと第(*i* + 1)のスイッチの第2の外部ポートを接続すること、および(c) 1 *i* L - 2 (*i*は整数)の場合は、第*i*のスイッチの第4の外部ポートと第(*i* + 2)のスイッチの第1の外部ポートを接続することを含む。具体的実施形態では、接続することは、L個のスイッチをケーブルで接続することを含む。別の実施形態では、この方法およびシステムは、区画のそれぞれをトラスとして相互接続するために接続されたL個のスイッチを設定することを含む。

30

【0037】

本発明は、トラス区画化を容易にするために並列コンピュータのL個のプロセッサを相互接続する方法およびシステムを提供し、(a) プロセッサのそれぞれは、処理装置およびスイッチを含み、(b) スwitchは第1の外部ポート、第2の外部ポート、第3の外部ポート、第4の外部ポート、第1の内部ポート、および第2の内部ポートを含み、(c) L個のプロセッサはR個の非オーバーラップ区画を含み、(d) 各区画のそれぞれはプロセッサのうちの少なくとも1つの処理装置を含み、(e) Lは2以上の整数、Rは1以上の整数であり、(f) L個のスイッチの外部ポート間のL個のプロセッサのL個のスイッチは拡張トラス・アーキテクチャで接続される。例示的实施形態では、この方法およびシステムは、区画のそれぞれをトラスとして相互接続するために接続されたL個のスイッチを設定することを含む。

40

【0038】

本発明は、トラス区画化を容易にするために並列コンピュータのL個のプロセッサを相互接続する読取り可能なプログラム・コードが実施された、プログラマブル・コンピュ

50

ータと共に使用可能なコンピュータ・プログラム製品を提供し、各プロセッサのそれぞれは処理装置およびスイッチを含み、スイッチは第1の外部ポート、第2の外部ポート、第3の外部ポート、第4の外部ポート、第1の内部ポート、および第2の内部ポートを含み、L個のプロセッサはR個の非オーバーラップ区画を含み、各区画のそれぞれはプロセッサのうちの少なくとも1つの処理装置を含み、Lは2以上の整数、Rは1以上の整数である。例示的实施形態では、このコンピュータ・プログラム製品は、(1) L個のスイッチの外部ポート間のL個のプロセッサのL個のスイッチを拡張トラス・アーキテクチャで接続するためのコンピュータ可読コード、および(2) 区画のそれぞれをトラスとして相互接続するために接続されたL個のスイッチを設定するためのコンピュータ可読コードを含む。

10

【発明を実施するための最良の形態】

【0039】

本発明は、トラス区画化を容易にするために並列コンピュータのプロセッサを相互接続する方法およびシステムを提供する。例示的实施形態では、この方法およびシステムは、メッシュ・アーキテクチャ160などのメッシュ・アーキテクチャ、およびトラス・アーキテクチャ170などのトラス・アーキテクチャ中のスイッチの空き外部ポートを利用して、メッシュ・アーキテクチャおよびトラス・アーキテクチャにはない有用な特性を備える相互接続アーキテクチャを実現する。例示的实施形態では、本発明は、トラス区画化を容易にするために並列コンピュータのL個のプロセッサを相互接続する方法およびシステムを提供し、(a) プロセッサのそれぞれは処理装置およびスイッチを含み、(b) スwitchは第1の外部ポート、第2の外部ポート、第3の外部ポート、第4の外部ポート、第1の内部ポート、および第2の内部ポートを含み、(c) L個のプロセッサはR個の非オーバーラップ区画を含み、(d) 区画のそれぞれは、プロセッサのうちの少なくとも1つの処理装置を含み、(e) Lは2以上の整数、Rは1以上の整数である。例示的实施形態では、この方法およびシステムは、(1) L個のスイッチの外部ポート間のL個のプロセッサのL個のスイッチを拡張トラス・アーキテクチャで接続すること、および(2) 区画のそれぞれをトラスとして相互接続するために接続されたL個のスイッチを設定することを含む。

20

【0040】

図12を参照すると、例示的实施形態では、本発明は、L個のスイッチの外部ポート間のL個のプロセッサのL個のスイッチを拡張トラス・アーキテクチャで接続するステップ610、および各区画のそれぞれを相互接続するために接続されたL個のスイッチを設定するステップ612を含む。

30

【0041】

スイッチの相互接続

例示的实施形態では、この方法およびシステムは、図8に、長さL = 8個の対応するPUおよび8個の対応するスイッチ171、172、173、174、175、176、177、178を含む8プロセッサ(Lは2以上の整数)の例示的ラインで示すように、各スイッチの外部ポート間のL個のスイッチを拡張トラス・アーキテクチャで相互接続することを含む。例示的实施形態では、各スイッチはケーブルで相互接続される。

40

【0042】

例示的实施形態では、この方法およびシステムは、スイッチのすべてで外部ポートを接続する。例示的实施形態では、この方法およびシステムは、図8の接続210で例示するように、スイッチ171などのスイッチ1のポートE1とスイッチ172などのスイッチ2のポートE1を接続する。例示的实施形態では、L = 3の場合、この方法およびシステムは、220で例示するように、スイッチ177などのスイッチ(L - 1)のポートE4とスイッチ178などのスイッチLのポートE4を接続する。例示的实施形態では、1 ≤ i ≤ L - 1であるすべての数iについて、この方法およびシステムは、接続230、231、232、233、234、235、236のように、スイッチiのポートE3とスイッチ(i + 1)のポートE2を接続する。例示的实施形態では、1 ≤ i ≤ L - 2であるす

50

すべての数 i について、この方法およびシステムは、接続 240、241、242、243、244、245 のように、スイッチ i のポート E4 とスイッチ $(i+2)$ のポート E1 を接続する。具体的実施形態では、この方法およびシステムは、ケーブルで各ポートを接続する。

【0043】

各スイッチには、多くとも4つのケーブルがそのスイッチの外部ポートに接続されるにすぎない。例示的实施形態では、各スイッチは、この方法およびシステムが適用される前は、最初に、少なくとも4つの空き外部ポートを有する。

【0044】

図13を参照すると、例示的实施形態では、接続するステップ610は、スイッチ1の第1の外部ポートとスイッチ2の第1の外部ポートを結合するステップ710を含む。別の実施形態では、図14に示すように、接続するステップ610は、 $L=3$ の場合は、第 $(L-1)$ のスイッチの第4の外部ポートと第 L のスイッチの第4の外部ポートを接続するステップ722と、 $1 \leq i \leq L-1$ (i は整数) の場合は、第 i のスイッチの第3の外部ポートと第 $(i+1)$ のスイッチの第2の外部ポートを接続するステップ724と、 $1 \leq i \leq L-2$ (i は整数) の場合、第 i のスイッチの第4の外部ポートと第 $(i+2)$ のスイッチの第1の外部ポートを接続するステップ726とを含む。具体的実施形態では、図15に示すように、接続するステップ610は、 L 個のスイッチをケーブルで接続するステップ732を含む。

【0045】

スイッチの設定

例示的实施形態では、この方法およびシステムは、少なくとも1つの区画 P について、その少なくとも1つの区画 P をトラスとして相互接続するために、拡張トラス・アーキテクチャ200などのトラス・アーキテクチャで相互接続されている L 個のスイッチを設定することを含む。本発明に従って相互接続されているスイッチのライン中の任意の複数の非オーバーラップ区画について、それらのスイッチは、個々の区画に属する PU がトラスとして相互接続されるように設定される。例えば、図9には、区画 $\{171\}$ 、 $\{172, 173, 174, 175\}$ 、および $\{176, 177, 178\}$ について、これら3区画のそれぞれがトラスとして相互接続されて、スイッチ設定300を生じるために、171、172、173、174、175、176、177、178がどのように設定されるかが示されている。これらの区画の1つによって使用されるケーブルおよびスイッチ接続を太線で示してある。

【0046】

図10に、スイッチ174などのスイッチを使用して2つの異なる区画、すなわち、区画 $\{171, 172, 173, 174\}$ と $\{175, 176\}$ のための相互接続が形成されるようなスイッチ設定400を生じる区画 $\{171, 172, 173, 174\}$ 、 $\{175, 176\}$ 、および $\{177, 178\}$ の例を示す。

【0047】

図11に、スイッチ設定500を生じる区画 $\{171, 173, 175, 176\}$ および $\{177, 178\}$ の例を示す。スイッチ設定500は、 P のスパンが $\{171, 172, 173, 174, 175, 176\}$ である場合など、 P のスパンが P 自体より大きい、 $\{171, 173, 175, 176\}$ などの区画 P にトラス相互接続を形成するために、この方法およびシステムが (a) P のスパンにトラス相互接続を形成し、(b) 次いで、スイッチ c を、 P のスパン内にあるが P 自体にはないすべての c について、変更されたスイッチ設定が PU_c を迂回するようにリセットする。

【0048】

例示的实施形態では、この方法およびシステムは P のスパンを、(1) MIN と呼ばれる、 P 中の最小座標を探索し、(2) MAX と呼ばれる、 P 中の最大座標を探索し、(3) S (P のスパン) が、 $MIN \leq i \leq MAX$ である座標 i の集合と等しくなるように設定することによって計算する。例示的实施形態では、 S が厳密に1座標を含む場合には、こ

10

20

30

40

50

の方法およびシステムは、そのスパンに属する座標である i を用いて、図 9 の接続 3 1 0 のように、スイッチ i の設定に接続 (I 1、 I 2) を付加する。

【 0 0 4 9 】

図 1 6 を参照すると、例示的实施形態では、設定するステップ 6 1 2 は、区画のスパンを計算するステップ 8 1 0 を含む。図 1 7 を参照すると、例示的实施形態では、計算するステップ 8 1 0 は、区画中の最小座標、MIN を探索するステップ 8 2 2 と、区画中の最大座標、MAX を決定するステップ 8 2 4 と、区画のスパンを座標 i の集合 (MIN i MAX、 i は整数) と等しくなるように設定するステップ 8 2 6 とを含む。

【 0 0 5 0 】

厳密に 1 座標を含む S

別の実施形態では、図 1 8 に示すように、計算するステップ 8 1 0 は、区画のスパンが厳密に 1 座標を含み、 i がそのスパンに属する 1 座標である場合には、第 i のスイッチの第 1 の内部ポートおよび第 2 の内部ポート (I 1、 I 2) を接続するステップ 9 1 0 を含む。

【 0 0 5 1 】

厳密に 2 座標を含む S

例示的实施形態では、S が厳密に 2 座標を含み、 i および $i + 1$ がそのスパン S に属する 2 座標である場合には、(1) $i = 1$ の場合は、この方法およびシステムは、(a) スイッチ 1 の設定に接続 (E 3、 I 2) および (E 1、 I 1) を付加し、(b) スイッチ 2 の設定に接続 (E 2、 I 2) および (E 1、 I 1) を付加し、(2) $i = L - 1$ の場合は、この方法およびシステムは、(a) スイッチ (L - 1) の設定に、それぞれ、図 1 0 のスイッチ 1 7 7 での接続 4 1 0 および 4 1 2 のように、接続 (E 3、 I 1) および (E 4、 I 2) を付加し、(b) スイッチ L の設定に、それぞれ、図 1 0 のスイッチ 1 7 8 での接続 4 1 4 および 4 1 6 のように、接続 (E 2、 I 1) および (E 4、 I 2) を付加し、(3) それ以外で、 $2 \leq i \leq L - 2$ の場合は、この方法およびシステムは、(a) スイッチ ($i - 1$) の設定に、図 1 0 のスイッチ 1 7 4 での接続 4 2 0 のように、接続 (E 3、 E 4) を付加し、(b) スイッチ i の設定に、図 1 0 のスイッチ 1 7 5 での接続 4 2 2 および 4 2 4 のように、接続 (E 2、 I 1) および (E 3、 I 2) を付加し、(c) スイッチ ($i + 1$) の設定に、図 1 0 のスイッチ 1 7 6 での接続 4 2 6 および 4 2 8 のように、接続 (E 1、 I 1) および (E 2、 I 2) を付加する。

【 0 0 5 2 】

別の実施形態では、図 1 9 に示すように、計算するステップ 8 1 0 は、区画のスパンが厳密に 2 座標を含み、 i および $i + 1$ がそのスパンに属する 2 座標であり、 $i = 1$ である場合には、(a) 第 1 のスイッチの第 3 の外部ポートと第 2 の内部ポート (E 3、 I 2) を接続し、(b) 第 1 のスイッチの第 1 の外部ポートと第 1 の内部ポート (E 1、 I 1) を接続し、(c) 第 2 のスイッチの第 2 の外部ポートと第 2 の内部ポート (E 2、 I 2) を接続し、(d) 第 2 のスイッチの第 1 の外部ポートと第 1 の内部ポート (E 1、 I 1) を接続するステップ 1 0 1 2 を含む。

【 0 0 5 3 】

別の実施形態では、図 2 0 に示すように、計算するステップ 8 1 0 は、区画のスパンが厳密に 2 座標を含み、 i および $i + 1$ がそのスパンに属する 2 座標であり、 $i = L - 1$ である場合には、(a) 第 (L - 1) のスイッチの第 3 の外部ポートと第 1 の内部ポート (E 3、 I 1) を接続し、(b) 第 (L - 1) のスイッチの第 4 の外部ポートと第 2 の内部ポート (E 4、 I 2) を接続し、(c) 第 L のスイッチの第 2 の外部ポートと第 1 の内部ポート (E 2、 I 1) を接続し、(d) 第 L のスイッチの第 4 の外部ポートと第 2 の内部ポート (E 4、 I 2) を接続するステップ 1 0 2 2 を含む。

【 0 0 5 4 】

別の実施形態では、図 2 1 に示すように、計算するステップ 8 1 0 は、区画のスパンが厳密に 2 座標を含み、 i および $i + 1$ がそのスパンに属する 2 座標であり、 $2 \leq i \leq L - 2$ である場合には、(a) 第 ($i - 1$) のスイッチの第 3 の外部ポートと第 2 の外部ポー

10

20

30

40

50

ト (E 3、 E 4) を接続し、 (b) 第 i のスイッチの第 2 の外部ポートと第 1 の内部ポート (E 2、 I 1) を接続し、 (c) 第 i のスイッチの第 3 の外部ポートと第 2 の内部ポート (E 3、 I 2) を接続し、 (d) 第 $(i + 1)$ のスイッチの第 1 の外部ポートと第 1 の内部ポート (E 1、 I 1) を接続し、 (e) 第 $(i + 1)$ のスイッチの第 2 の外部ポートと第 2 の内部ポート (E 2、 I 2) を接続するステップ 1 0 3 2 を含む。

【 0 0 5 5 】

厳密に 3 座標を含む S

例示的实施形態では、S が厳密に 3 座標を含み、 i 、 $i + 1$ 、 $i + 2$ がそのスパンに属する 3 座標である場合には、この方法およびシステムは、(1) スイッチ i の設定に、図 9 のスイッチ 1 7 6 での接続 3 2 0 および 3 2 2 のように、接続 (E 3、 I 1) および (E 4、 I 2) を付加し、(2) スイッチ $(i + 2)$ の設定に、図 9 のスイッチ 1 7 8 での接続 3 3 0 および 3 3 2 のように、接続 (E 1、 I 1) および (E 2、 I 2) を付加し、(3) $(i + 1)$ が区画 P に属する場合には、スイッチ $(i + 1)$ の設定に、図 9 のスイッチ 1 7 7 での接続 3 4 0 および 3 4 2 のように、接続 (E 2、 I 1) および (E 3、 I 2) を付加し、(4) $(i + 1)$ が区画 P に属しない場合には、スイッチ $(i + 1)$ の設定に、接続 (E 2、 E 3) を付加する。

10

【 0 0 5 6 】

別の実施形態では、図 2 2 に示すように、計算するステップ 8 1 0 は、区画のスパンが厳密に 3 座標を含み、 i 、 $i + 1$ 、 $i + 2$ がそのスパンの属する 3 座標である場合には、第 i のスイッチの第 3 の外部ポートと第 1 の内部ポート (E 3、 I 1) を接続するステップ 1 1 1 2 と、区画のスパンが厳密に 3 座標を含み、 i 、 $i + 1$ 、 $i + 2$ がそのスパンの属する 3 座標である場合には、第 i のスイッチの第 4 の外部ポートと第 2 の内部ポート (E 4、 I 2) を接続するステップ 1 1 1 4 と、区画のスパンが厳密に 3 座標を含み、 i 、 $i + 1$ 、 $i + 2$ がそのスパンの属する 3 座標である場合には、第 $(i + 2)$ のスイッチの第 1 の外部ポートと第 1 の内部ポート (E 1、 I 1) を接続するステップ 1 1 1 6 と、区画のスパンが厳密に 3 座標を含み、 i 、 $i + 1$ 、 $i + 2$ がそのスパンの属する 3 座標である場合には、第 $(i + 2)$ のスイッチの第 2 の外部ポートと第 2 の内部ポート (E 2、 I 2) を接続するステップ 1 1 1 8 を含む。

20

【 0 0 5 7 】

別の実施形態では、図 2 3 に示すように、計算するステップ 8 1 0 は、区画のスパンが厳密に 3 座標を含み、 i 、 $i + 1$ 、 $i + 2$ がそのスパンの属する 3 座標であり、 $(i + 1)$ がその区画に属する場合には、(a) 第 $(i + 1)$ のスイッチの第 2 の外部ポートと第 1 の内部ポート (E 2、 I 1) を接続し、(b) 第 $(i + 1)$ のスイッチの第 3 の外部ポートと第 2 の内部ポート (E 3、 I 2) を接続するステップ 1 1 2 2 と、区画のスパンが厳密に 3 座標を含み、 i 、 $i + 1$ 、 $i + 2$ がそのスパンの属する 3 座標であり、 $(i + 1)$ がその区画に属しない場合には、第 $(i + 1)$ のスイッチの第 2 の外部ポートと第 3 の外部ポート (E 2、 E 3) を接続するステップ 1 1 2 4 とを含む。

30

【 0 0 5 8 】

少なくとも 4 座標を含む S

例示的实施形態では、S が少なくとも 4 座標を含み、各座標 i が $M I N$ i $M A X$ である場合には、(1) $i = M I N$ の場合は、この方法およびシステムはスイッチ i の設定に、図 1 0 のスイッチ 1 7 1 での接続 4 3 0 および 4 3 2 などの接続 (E 3、 I 1) および (E 4、 I 2) を付加し、(2) $i = M A N$ の場合は、この方法およびシステムはスイッチ i の設定に、図 1 0 のスイッチ 1 7 4 での接続 4 4 0 および 4 4 2 などの接続 (E 1、 I 1) および (E 2、 I 2) を付加し、(3) $i = M I N + 1$ かつ i が P に属する場合は、この方法およびシステムはスイッチ i の設定に、スイッチ 1 7 2 での接続 4 5 0 および 4 5 2 などの接続 (E 2、 I 1) および (E 4、 I 2) を付加し、(4) $i = M I N + 1$ かつ i が P に属しない場合は、この方法およびシステムはスイッチ i の設定に、図 1 1 のスイッチ 1 7 2 での接続 5 1 0 などの接続 (E 2、 E 4) を付加し、(5) $i = M A X - 1$ かつ i が P に属する場合は、この方法およびシステムはスイッチ i の設定に、図 1 0

40

50

のスイッチ 173 での接続 460 および 462 などの接続 (E1、I1) および (E3、I2) を付加し、(6) $i = MAX - 1$ かつ i が P に属さない場合は、この方法およびシステムはスイッチ i の設定に接続 (E1、E3) を付加し、(7) $MIN + 2 \leq i \leq MAX - 2$ かつ i が P に属する場合は、この方法およびシステムはスイッチ i の設定に、図 11 のスイッチ 173 での接続 520 および 522 などの接続 (E1、I1) および (E4、I2) を付加し、(8) $MIN + 2 \leq i \leq MAX - 2$ かつ i が P に属さない場合は、この方法およびシステムはスイッチ i の設定に、図 11 のスイッチ 174 での接続 530 などの接続 (E1、E4) を付加する。

【0059】

別の実施形態では、図 24 に示すように、計算するステップ 810 は、区画のスパンが、各座標 i が $MIN \leq i \leq MAX$ である少なくとも 4 座標を含み、 $i = MIN$ である場合には、(a) 第 i のスイッチの第 3 の外部ポートと第 1 の内部ポート (E3、I1) を接続し、(b) 第 i のスイッチの第 4 の外部ポートと第 2 の内部ポート (E4、I2) を接続するステップ 1212 を含む。

10

【0060】

別の実施形態では、図 25 に示すように、計算するステップ 810 は、区画のスパンが、各座標 i が $MIN \leq i \leq MAX$ である少なくとも 4 座標を含み、 $i = MAX$ である場合には、(a) 第 i のスイッチの第 1 の外部ポートと第 1 の内部ポート (E1、I1) を接続し、(b) 第 i のスイッチの第 2 の外部ポートと第 2 の内部ポート (E2、I2) を接続するステップ 1222 を含む。

20

【0061】

別の実施形態では、図 26 に示すように、計算するステップ 810 は、区画のスパンが、各座標 i が $MIN \leq i \leq MAX$ である少なくとも 4 座標を含み、 $i = MIN + 1$ かつ i がその区画に属する場合には、(a) 第 i のスイッチの第 2 の外部ポートと第 1 の内部ポート (E2、I1) を接続し、(b) 第 i のスイッチの第 4 の外部ポートと第 2 の内部ポート (E4、I2) を接続するステップ 1232 を含む。

【0062】

別の実施形態では、図 27 に示すように、計算するステップ 810 は、区画のスパンが、各座標 i が $MIN \leq i \leq MAX$ である少なくとも 4 座標を含み、 $i = MIN + 1$ かつ i がその区画に属さない場合には、第 i のスイッチの第 2 の外部ポートと第 4 の外部ポート (E2、E4) を接続するステップ 1242 を含む。

30

【0063】

別の実施形態では、図 28 に示すように、計算するステップ 810 は、区画のスパンが、各座標 i が $MIN \leq i \leq MAX$ である少なくとも 4 座標を含み、 $i = MAX - 1$ かつ i がその区画に属する場合には、(a) 第 i のスイッチの第 1 の外部ポートと第 1 の内部ポート (E1、I1) を接続し、(b) 第 i のスイッチの第 3 の外部ポートと第 2 の内部ポート (E3、I2) を接続するステップ 1252 を含む。

【0064】

別の実施形態では、図 29 に示すように、計算するステップ 810 は、区画のスパンが、各座標 i が $MIN \leq i \leq MAX$ である少なくとも 4 座標を含み、 $i = MAX - 1$ かつ i がその区画に属さない場合には、第 i のスイッチの第 1 の外部ポートと第 3 の外部ポート (E1、E3) を接続するステップ 1262 を含む。

40

【0065】

別の実施形態では、図 30 に示すように、計算するステップ 810 は、区画のスパンが、各座標 i が $MIN \leq i \leq MAX$ である少なくとも 4 座標を含み、 $MIN + 2 \leq i \leq MAX - 2$ かつ i がその区画に属する場合には、(a) 第 i のスイッチの第 1 の外部ポートと第 1 の内部ポート (E1、I1) を接続し、(b) 第 i のスイッチの第 4 の外部ポートと第 2 の内部ポート (E4、I2) を接続するステップ 1272 を含む。

【0066】

別の実施形態では、図 31 に示すように、計算するステップ 810 は、区画のスパンが

50

、各座標 i が MIN_i MAX である少なくとも 4 座標を含み、 $MIN + 2_i$ $MAX - 2$ かつ i がその区画に属さない場合には、第 i のスイッチの第 1 の外部ポートと第 4 の外部ポート (E_1 、 E_4) を接続するステップ 1282 を含む。

【0067】

代替のスイッチ設定

例示的实施形態では、コンピュータのハードウェア設計に応じて、スイッチの設定への変更が必要とされることがある。例えば、特定のスイッチにあるポート I_1 および I_2 への接続を入れ替える必要があることもある。例えば、 S が厳密に 2 座標を含み、 i および $i + 1$ がそのスパン S に属する 2 座標であり、 $i = 1$ である場合には、この方法およびシステムは、接続 (E_3 、 I_2) および (E_1 、 I_1) ではなく、接続 (E_3 、 I_1) および (E_1 、 I_2) を付加する。

10

【0068】

スイッチの接続

図 32 を参照すると、例示的实施形態では、本発明は、 L 個のスイッチの外部ポート間の L 個のプロセッサの L 個のスイッチを拡張トラス・アーキテクチャで接続するステップ 1310 を含む。図 33 を参照すると、例示的实施形態では、接続するステップ 1310 は、スイッチ 1 の第 1 の外部ポートとスイッチ 2 の第 1 の外部ポートを結合するステップ 1322 を含む。別の実施形態では、図 34 に示すように、接続するステップ 1310 は、 $L - 3$ の場合は、第 ($L - 1$) のスイッチの第 4 の外部ポートと第 L のスイッチの第 4 の外部ポートを接続するステップ 1332 と、 1_i $L - 1$ (i は整数) の場合は、第 i のスイッチの第 3 の外部ポートと第 ($i + 1$) のスイッチの第 2 の外部ポートを接続するステップ 1334 と、 1_i $L - 2$ (i は整数) の場合は、第 i のスイッチの第 4 の外部ポートと第 ($i + 2$) のスイッチの第 1 の外部ポートを接続するステップ 1336 とを含む。具体的実施形態では、図 35 に示すように、接続するステップ 1310 は、ケーブルで L 個のスイッチを接続するステップ 1342 を含む。別の実施形態では、図 36 に示すように、本発明は、区画のそれぞれをトラスとして相互接続するために接続された L 個のスイッチを設定するステップ 1352 を含む。例示的实施形態では、設定するステップ 1352 は、設定するステップ 612 を含む。

20

【0069】

スイッチの設定

例示的实施形態では、本発明は、トラス区画化を容易にするために並列コンピュータの L 個のプロセッサを相互接続する方法およびシステムを提供し、(a) プロセッサのそれぞれは処理装置およびスイッチを含み、(b) スwitch は第 1 の外部ポート、および第 2 の外部ポート、第 3 の外部ポート、第 4 の外部ポート、第 1 の内部ポート、第 2 の内部ポートを含み、(c) L 個のプロセッサは R 個の非オーバーラップ区画を含み、(d) 区画のそれぞれはプロセッサのうちの少なくとも 1 つの処理装置を含み、(e) L は 2 以上の整数、 R は 1 以上の整数であり、(f) L 個のスイッチの外部ポート間の L 個のプロセッサの L 個のスイッチは拡張トラス・アーキテクチャで接続される。図 37 を参照すると、例示的实施形態では、本発明は、区画のそれぞれをトラスとして相互接続するために接続された L 個のスイッチを設定するステップ 1410 を含む。例示的实施形態では、設定するステップ 1410 は設定するステップ 612 を含む。

30

40

【0070】

多次元配列

スイッチの相互接続

例示的实施形態では、この方法およびシステムは、 PU およびスイッチを備えるプロセッサの n 次元配列 (n は 2 以上の整数) でスイッチを相互接続することを含む。例えば、 $n = 3$ 次元配列では、この方法およびシステムは、(1) $1 \times$ ライン、 $1 \times$ ライン、および $1 \times$ ラインでのスイッチを相互接続し、(2) 次いで、その結果生じる相互接続を、その配列のすべての X ライン、すべての Y ライン、およびすべての Z ラインに複製する。

【0071】

50

スイッチの設定

例示的实施形態では、スイッチの設定は、PUおよびスイッチを備えるプロセッサの n 次元配列(n は2以上の整数)に適用される。 P_x 、 P_y 、 P_z によって指定される区画を仮定すると、この方法およびシステムは、(1)1次元区画 P_x を用いたスイッチの設定を適用してすべてのXスイッチでのスイッチ設定を探索し、(2)1次元区画 P_y を用いたスイッチの設定を適用してすべてのYスイッチでのスイッチ設定を探索し、(3)1次元区画 P_z を用いたスイッチの設定を適用してすべてのZスイッチでのスイッチ設定を探索する。

【0072】

例示的实施形態では、3次元配列における任意の複数 M 個の非オーバーラップ区画に、任意の順序で個々の区画ごとにスイッチを設定することによって、この方法およびシステムは、 M 中の個々の区画 P ごとに、 P に属するPUが3次元トラスとして相互接続されるようにスイッチを設定する。また、例示的实施形態では、3次元配列中の任意の複数 M 個の非オーバーラップ区画に任意の順序で個々の区画ごとに、それぞれ、サイズ N_x 、 N_y 、 N_z の集合 P_x 、 P_y 、 P_z によって定義される M 中の個々の区画 P ごとに、その区画のXラインごとにスイッチを設定することによって、この方法およびシステムは、以下のようにトラス・アーキテクチャを形成する。

(1) $N_x = 1$ の場合は、外部接続を使用したXライン中の P のトラス相互接続は形成されない。

(2) P_x が区間区画であり、 $N_x = 2$ である場合は、多くとも3つの外部接続を使用してXライン中の P のトラス相互接続が形成されるにすぎず、 $N_x = 2$ はXライン中の P のトラス相互接続を形成するのに必要とされる最小可能外部接続数よりせいぜい1大きいにすぎない。

(3) P_x が区間区画であり、 $N_x = 3$ である場合は、多くとも N_x 個の外部接続を使用してXライン中の P の相互接続が形成されるにすぎず、 $N_x = 3$ はXライン中の P のトラス相互接続を形成するのに必要とされる最小可能外部接続数である。

【0073】

動的環境

本発明が、区画がいつでも形成され、解除され得る動的環境でも適用され得ることに留意すべきである。 P_1 、 P_2 、 \dots 、 P_k が M 中の区画を表すとすると、この方法およびシステムは、(1) P_1 に、 P_1 のトラス相互接続を実現するスイッチ接続の集合 C_1 が得られるようにスイッチを設定し、(2)次いで、 P_2 に、そのうちのどの接続も C_1 中の接続によって使用されるスイッチのポートを使用せず、そのうちの接続が C_1 中の接続のいずれも妨げることなく実施され得る、 P_2 のトラス相互接続を実現するスイッチ接続の集合 C_2 が得られるようにスイッチを設定し、(3)次いで、 P_3 に、そのうちのどの接続も C_1 または C_2 中の接続によって使用されるスイッチのポートを使用せず、そのうちの接続が C_1 または C_2 中の接続のいずれも妨げることなく実施され得る、 P_3 のトラス相互接続を実現するスイッチ接続の集合 C_3 が得られるようにスイッチを設定し、(4)残りの区画についても P_k に達するまで同様にスイッチを設定する。

【0074】

例示的实施形態では、 P_1 、 P_2 、 \dots 、 P_k が複数の非オーバーラップ区画であるとすると、個々の区画のトラス相互接続を実現するスイッチ接続の集合を生成するためにスイッチを設定することによって、 P が P_1 、 P_2 、 \dots 、 P_k のいずれともオーバーラップしない任意の区画に関して、この方法およびシステムは、以前に P_1 、 P_2 、 \dots 、 P_k について得られたスイッチ接続のいずれも妨げることのない P のトラス相互接続を実現するスイッチ接続の集合を得る。

【0075】

例示的实施形態では、 $f(1) = 0$ 、 $f(2) = 3$ 、 $N = 3$ のすべての N について $f(N) = N$ によって定義される関数 f を用いると、区画 P が P_1 、 P_2 、 \dots 、 P_k のいずれともオーバーラップしない区間区画である場合には、この方法およびシステムは、多く

10

20

30

40

50

とも以下の外部接続数を有するにすぎないPのトーラス相互接続を形成する。

$$f(N_X)N_Y \quad N_Z + N_X \quad f(N_Y)N_Z + N_X \quad N_Y \quad f(N_Z)$$

N_X も N_Y も N_Z も 2 ではない場合には、この方法およびシステムは、P のトーラス相互接続を形成するのに必要とされる最小可能外部接続数を用いて P のトーラス相互接続を形成する。

【0076】

結論

以上、本発明の好ましい実施形態および様々な代替手段について十分に説明してきたが、本明細書での教示が与えられた場合には、本発明から逸脱しない多数の代替手段および均等物が存在することを、当分野の技術者は理解するであろう。したがって、本発明は、前述の説明によってではなく、添付の特許請求の範囲によってのみ限定されるものである。

10

【図面の簡単な説明】

【0077】

【図1】従来技術のプロセッサを示す構成図である。

【図2】2つの従来技術のプロセッサの従来技術の相互接続を示す構成図である。

【図3】従来技術の配列を示す図である。

【図4】従来技術の配列を示す図である。

【図5】従来技術のメッシュ相互接続アーキテクチャを示す構成図である。

【図6】従来技術のトーラス相互接続アーキテクチャを示す構成図である。

20

【図7】従来技術のメッシュ相互接続アーキテクチャを示す構成図である。

【図8】本発明の例示的实施形態による拡張トーラス・アーキテクチャを示す構成図である。

【図9】本発明の例示的实施形態によるスイッチ設定を示す構成図である。

【図10】本発明の例示的实施形態によるスイッチ設定を示す構成図である。

【図11】本発明の例示的实施形態によるスイッチ設定を示す構成図である。

【図12】本発明の例示的实施形態による流れ図である。

【図13】本発明の例示的实施形態による接続するステップを示す流れ図である。

【図14】本発明の例示的实施形態による接続するステップを示す流れ図である。

【図15】本発明の具体的実施形態による接続するステップを示す流れ図である。

30

【図16】本発明の例示的实施形態による設定するステップを示す流れ図である。

【図17】本発明の例示的实施形態による計算するステップを示す流れ図である。

【図18】本発明の別の実施形態による計算するステップを示す流れ図である。

【図19】本発明の別の実施形態による計算するステップを示す流れ図である。

【図20】本発明の別の実施形態による計算するステップを示す流れ図である。

【図21】本発明の別の実施形態による計算するステップを示す流れ図である。

【図22】本発明の別の実施形態による計算するステップを示す流れ図である。

【図23】本発明の別の実施形態による計算するステップを示す流れ図である。

【図24】本発明の別の実施形態による計算するステップを示す流れ図である。

【図25】本発明の別の実施形態による計算するステップを示す流れ図である。

40

【図26】本発明の別の実施形態による計算するステップを示す流れ図である。

【図27】本発明の別の実施形態による計算するステップを示す流れ図である。

【図28】本発明の別の実施形態による計算するステップを示す流れ図である。

【図29】本発明の別の実施形態による計算するステップを示す流れ図である。

【図30】本発明の別の実施形態による計算するステップを示す流れ図である。

【図31】本発明の別の実施形態による計算するステップを示す流れ図である。

【図32】本発明の例示的实施形態による流れ図である。

【図33】本発明の例示的实施形態による接続するステップを示す流れ図である。

【図34】本発明の例示的实施形態による接続するステップを示す流れ図である。

【図35】本発明の具体的実施形態による接続するステップを示す流れ図である。

50

【図36】本発明の別の実施形態による流れ図である。

【図37】本発明の例示的实施形態による流れ図である。

【符号の説明】

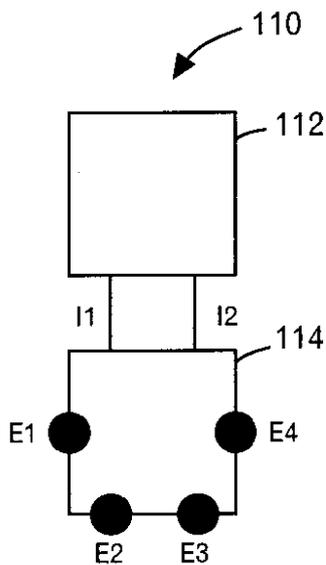
【0078】

- 110、120 プロセッサ
- 112、122 PU
- 114、124 スイッチ
- 130 ケーブル
- 140 2次元配列
- 152 Xライン
- 154 Yライン
- 160 メッシュ・アーキテクチャ
- 161～168 スイッチ
- 170 トーラス・アーキテクチャ
- 171～178 スイッチ
- 200 拡張トーラス・アーキテクチャ
- 300、400、500 スイッチ設定
- E1～E4 外部ポート
- I1、I2 内部ポート

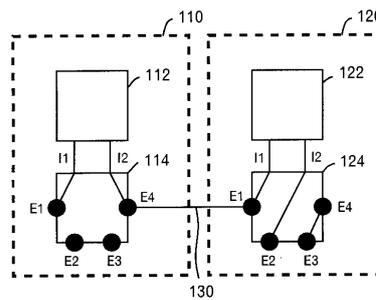
10

20

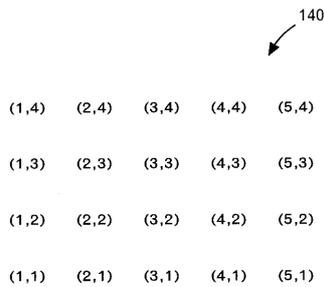
【図1】



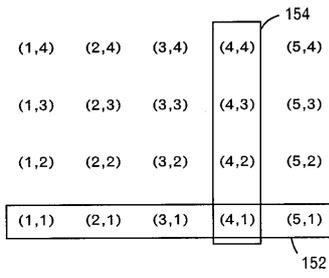
【図2】



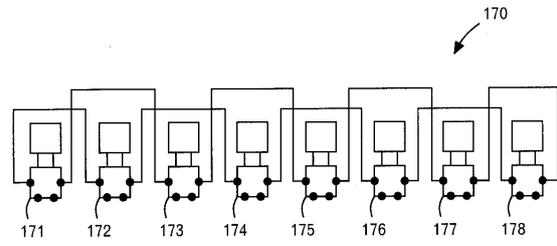
【図3】



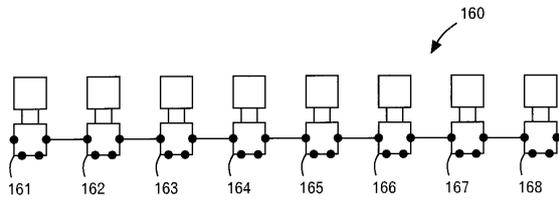
【 図 4 】



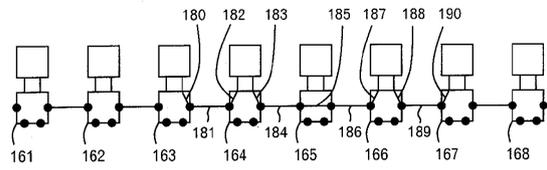
【 図 6 】



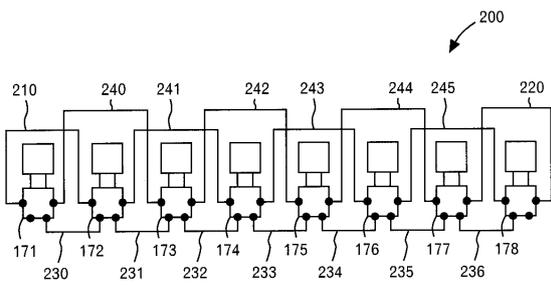
【 図 5 】



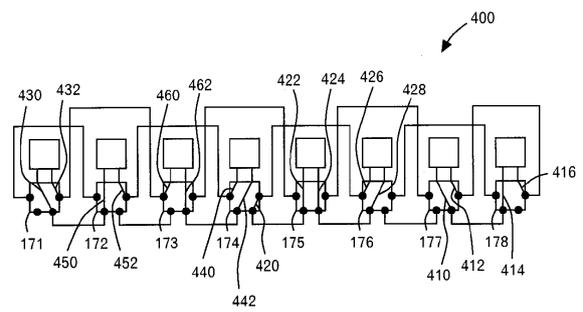
【 図 7 】



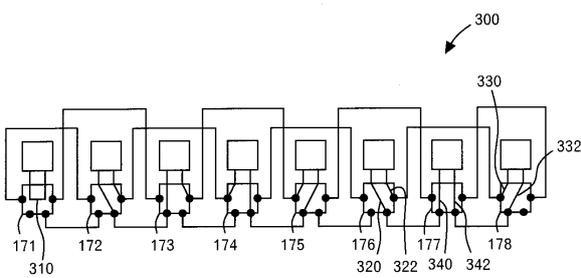
【 図 8 】



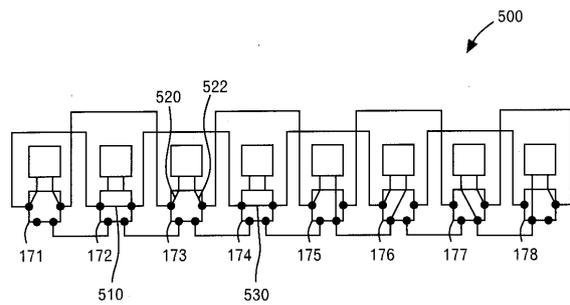
【 図 10 】



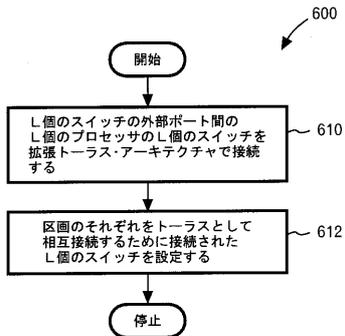
【 図 9 】



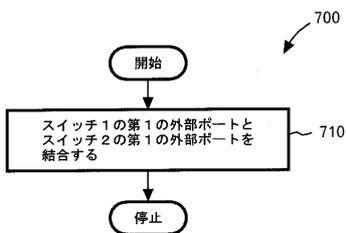
【 図 11 】



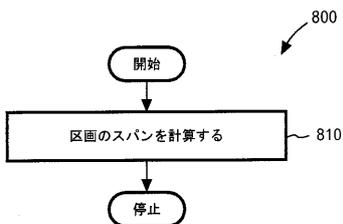
【 図 1 2 】



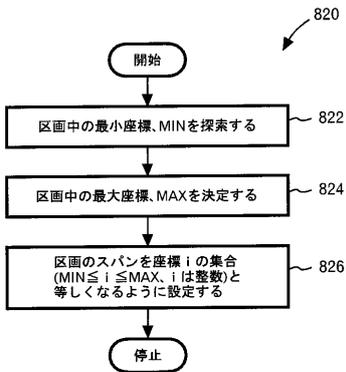
【 図 1 3 】



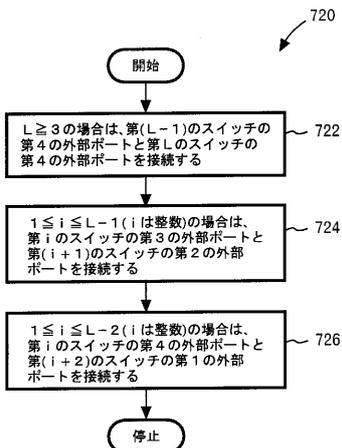
【 図 1 6 】



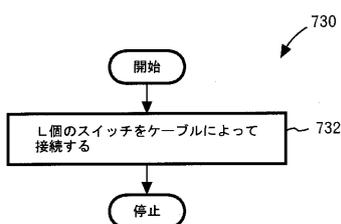
【 図 1 7 】



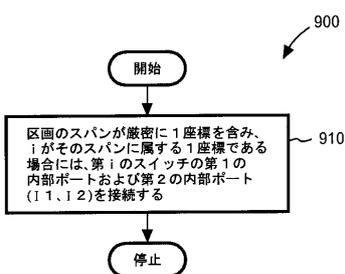
【 図 1 4 】



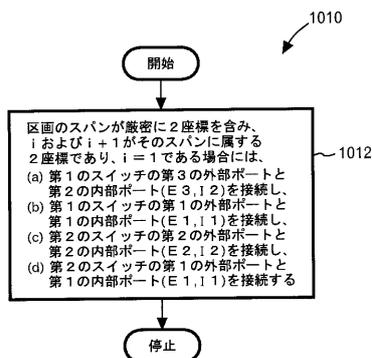
【 図 1 5 】



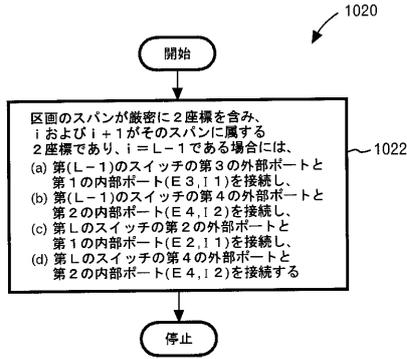
【 図 1 8 】



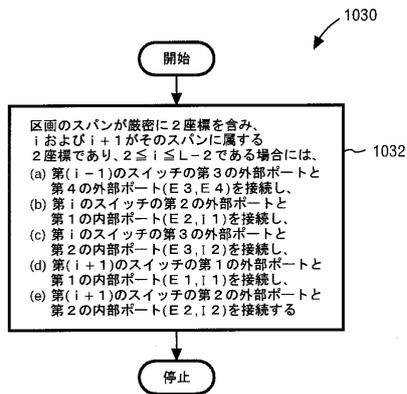
【 図 1 9 】



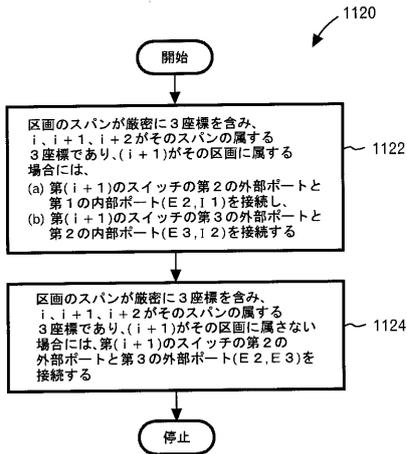
【図 20】



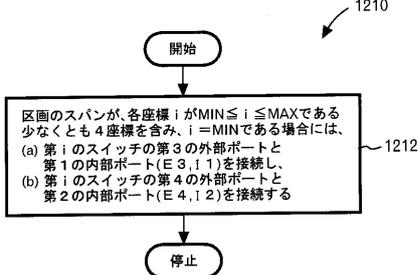
【図 21】



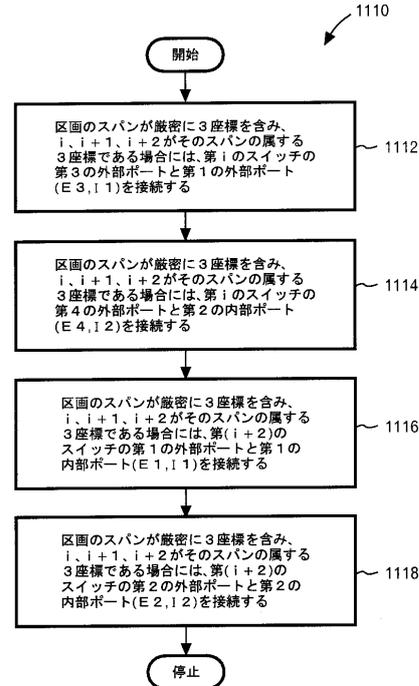
【図 23】



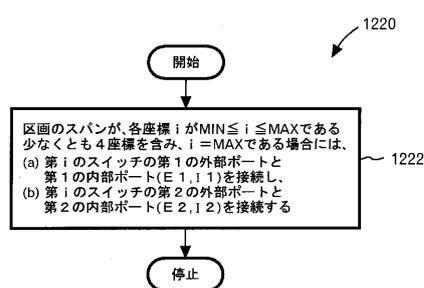
【図 24】



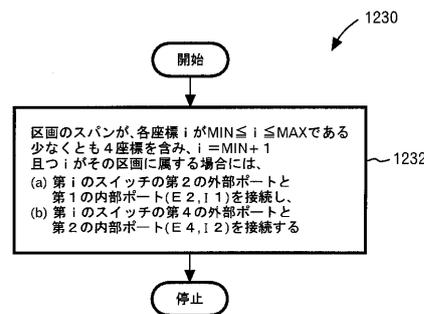
【図 22】



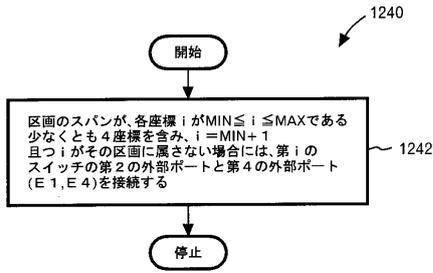
【図 25】



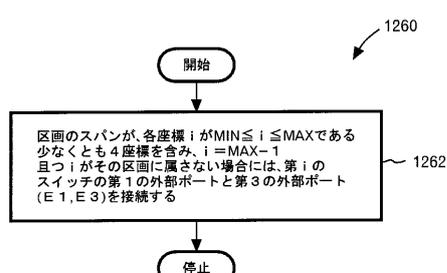
【図 26】



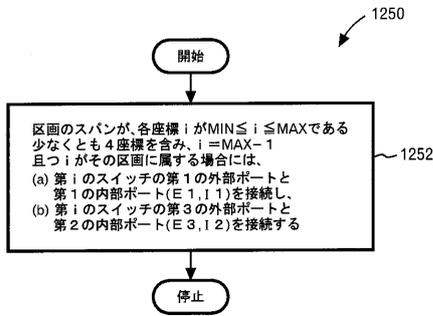
【図 27】



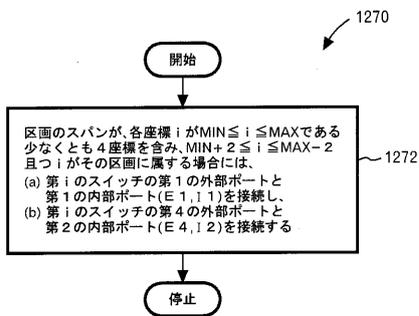
【図 29】



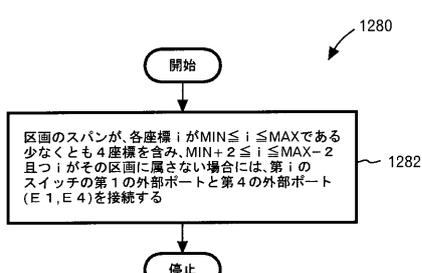
【図 28】



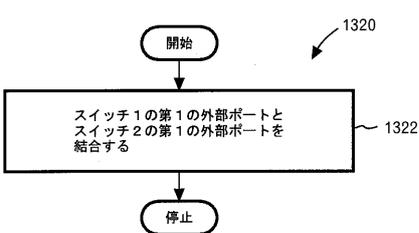
【図 30】



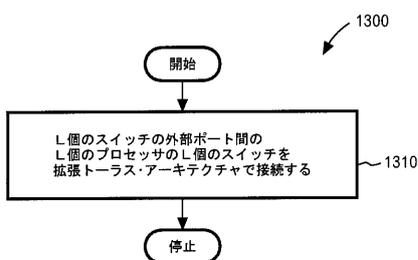
【図 31】



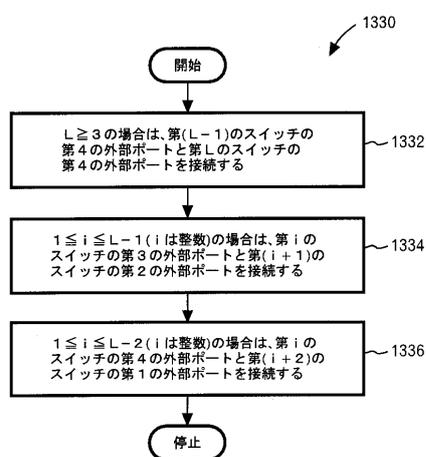
【図 33】



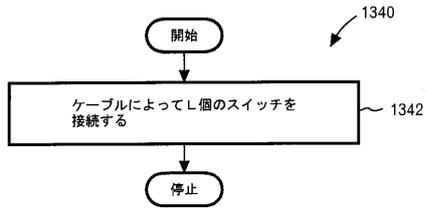
【図 32】



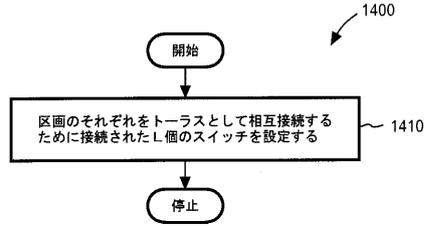
【図 34】



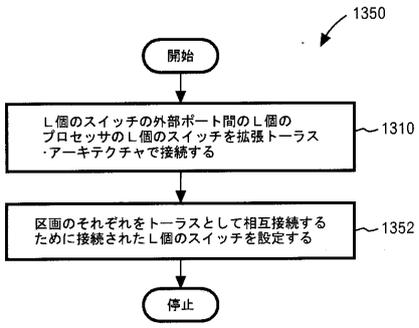
【図 3 5】



【図 3 7】



【図 3 6】



フロントページの続き

(72)発明者 ラリー・ジェイ・ストックメイヤー

アメリカ合衆国95124 カリフォルニア州サンノゼ アダリナ・コート 5221

審査官 鳥居 稔

(56)参考文献 特開平06-290158(JP,A)

特開平10-134007(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 15/173

G06F 15/177

G06F 15/80