

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97130077

※申請日期：97年08月07日

※IPC分類：H01L 21/336 (2006.01)

一、發明名稱：

(中) 半導體裝置製造方法

(英) Method for manufacturing semiconductor device

二、申請人：(共 1 人)

1. 姓名：(中) 半導體能源研究所股份有限公司

(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

代表人：(中) 1. 山崎舜平

(英) 1. YAMAZAKI, SHUNPEI

地址：(中) 日本國神奈川縣厚木市長谷三九八番地

(英) 398, Hase, Atsugi-shi, Kanagawa-ken 243-0036, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 7 人)

1. 姓名：(中) 山崎舜平

(英) YAMAZAKI, SHUNPEI

國籍：(中) 日本

(英) JAPAN

2. 姓名：(中) 手塚祐朗

(英) TEDUKA, SACHI AKI

國籍：(中) 日本

(英) JAPAN

3. 姓名：(中) 鳥海聰志

(英) TORIUMI, SATOSHI

國籍：(中) 日本

(英) JAPAN

4. 姓名：(中) 古野誠

(英) FURUNO, MAKOTO

國籍：(中) 日本

(英) JAPAN

5. 姓名：(中) 神保安弘
(英) JINBO, YASUHIRO
國籍：(中) 日本
(英) JAPAN

6. 姓名：(中) 大力浩二
(英) DAIRIKI, KOJI
國籍：(中) 日本
(英) JAPAN

7. 姓名：(中) 桑原秀明
(英) KUWABARA, HIDEAKI
國籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2007/08/17 ; 2007-213057 有主張優先權

(英) JAPAN

5. 姓名：(中) 神保安弘
(英) JINBO, YASUHIRO
國籍：(中) 日本
(英) JAPAN

6. 姓名：(中) 大力浩二
(英) DAIRIKI, KOJI
國籍：(中) 日本
(英) JAPAN

7. 姓名：(中) 桑原秀明
(英) KUWABARA, HIDEAKI
國籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2007/08/17 ; 2007-213057 有主張優先權

九、發明說明

【發明所屬之技術領域】

本發明涉及具有由薄膜電晶體(以下稱爲 TFT)構成的電路的半導體裝置及其製造方法。例如，本發明涉及作爲部件安裝有以液晶顯示面板爲代表的電光裝置或具有有機發光元件的發光顯示裝置的電子設備。

在本說明書中，半導體裝置指的是能夠藉由利用半導體特性而工作的所有裝置，因此電光裝置、半導體電路、以及電子設備都是半導體裝置。

【先前技術】

近年來，藉由使用形成在具有絕緣表面的基板上的半導體薄膜(厚度大約爲幾 nm 至幾百 nm)構成薄膜電晶體(TFT)的技術引人注目。薄膜電晶體廣泛地應用於電子裝置如 IC 或電光裝置，尤其是作爲圖像顯示裝置的開關元件，正在積極地進行研究開發。

現在，使用由非晶半導體膜構成的薄膜電晶體、或由多晶半導體膜構成的薄膜電晶體等作爲圖像顯示裝置的開關元件。

關於由非晶半導體膜構成的薄膜電晶體，使用氫化非晶矽膜等的非晶半導體膜，因此對工藝溫度有一定的限制，從而不進行在膜中的氫脫離的大於或等於 400°C 的溫度下的加熱、或在由膜中的氫導致表面粗糙的強度下的鐳射照射、等等。氫化非晶矽膜是藉由使氫與懸空鍵結合而

對懸空鍵封端以提高電特性的非晶矽膜。

作為多晶半導體膜如多晶矽膜的形成方法，已知如下技術：為了不發生表面粗糙，預先進行降低非晶膜中的氫濃度的脫氫化處理，然後，藉由使用光學系統將脈衝振盪受激准分子雷射光束加工為線形並藉由使用線形光束對被脫氫化了的非晶矽膜進行掃描及照射，以實現結晶化。

由多晶半導體膜構成的薄膜電晶體具有如下優點：與由非晶半導體膜構成的薄膜電晶體相比，其遷移率高兩位數以上；可以在同一個基板上一體形成顯示裝置的像素部和其週邊驅動電路。然而，與使用非晶半導體膜時相比，其製造步驟由於半導體膜的結晶化步驟而被複雜化，這導致成品率的降低及成本的上升。

在專利文獻 1（美國專利第 5591987 號）中，本申請人提出了其通道形成區域由混合了結晶結構和非晶結構的半導體構成的 FET(Field effect transistor，即場效應電晶體)。

另外，使用由微晶半導體膜構成的薄膜電晶體作為圖像顯示裝置的開關元件(專利文獻 2：日本專利特開平 4-242724 號公報以及專利文獻 3：日本專利特開 2005-49832 號公報)。

作為現有的薄膜電晶體的製造方法，已知如下方法：在閘極絕緣膜上形成非晶矽膜，然後在其上形成金屬膜並對該金屬膜照射二極體鐳射，以將非晶矽膜改變為微晶矽膜(非專利文獻 1：Toshiaki Arai 等，SID 07 DIGEST，

2007, p.1370-1373)。在上述方法中，形成在非晶矽膜上的金屬膜是用來將二極體鐳射的光能轉換成熱能的膜，該膜之後應該被去除，以完成薄膜電晶體。就是說，非晶矽膜只因來自金屬膜的傳導加熱而被加熱，以形成微晶矽膜。

【發明內容】

除了藉由將鐳射照射到非晶矽形成微晶半導體膜的方法以外，還有藉由電漿 CVD 法形成微晶半導體膜的方法。在該方法中，可以藉由對矽烷氣體進行氫稀釋來形成微晶半導體膜。但是，由氫稀釋，即氫氣體流量的增大導致沉積速率的降低。

若沉積速率慢，則沉積時間變長，因此可能會在沉積時包含在膜中的雜質變多，該雜質降低 TFT 的電特性。

關於在閘極電極上隔著閘極絕緣膜形成有半導體層的反交錯型 TFT 結構，在沉積初期中形成的半導體區域成爲通道形成區域。因此，在沉積初期中形成的半導體區域的品質越良好，TFT 的電特性越良好，例如場效應遷移率高、等等。

另外，當要形成降低了膜中的氫濃度的微晶半導體膜以提高沉積速率時，會有成爲通道形成區域的區域大多是非晶區域的問題。

另外，由微晶半導體膜構成的反交錯型 TFT 可以將其場效應遷移率設定爲比由非晶矽膜構成的 TFT 高，但

是截止電流也會上升。

本發明提供一種品質良好的微晶半導體膜的製造方法；提供一種縮短了得到所希望的膜厚度所需要的沉積時間的微晶半導體膜的製造方法；提供一種與由非晶矽膜構成的 TFT 相比提高了場效應遷移率並降低了截止電流值的半導體裝置的製造方法；以及提供一種其可靠性比由非晶矽膜構成的 TFT 高的半導體裝置的製造方法。

爲了提高在沉積初期形成的半導體區域的品質，在將閘極絕緣膜形成於閘極電極上之後，在沉積速率低而品質良好的第一沉積條件下形成閘極絕緣膜介面附近的膜，然後在沉積速率高的第二沉積條件下堆積膜。

本說明書所記載的發明結構是一種半導體裝置的製造方法，包括如下步驟：在具有絕緣表面的基板上形成閘極電極；在該閘極電極上形成絕緣膜；在該絕緣膜上形成微晶半導體膜；以及接觸該微晶半導體膜上地形成緩衝層，其中微晶半導體膜藉由有階段地或連續地改變沉積條件，使得與緩衝層的介面附近的第一區域的沉積速率高於與絕緣膜的介面附近的第二區域而形成。“連續地改變沉積條件”指的是連續地發生每單位時間的水準變化，例如隨時增加引入到處理室內的來源氣體(矽烷氣體等)的平均流量，當圖示氣體流量和時間的關係(以縱軸爲氣體流量，以橫軸爲時間)時成爲右邊上升的直線或右邊上升的曲線。或者，固定或增加引入到處理室內的矽烷氣體等的流量，並隨時減少其他氣體(氫、稀有氣體等)的平均流量，

當圖示其他氣體的氣體流量和時間的關係時成爲右邊下降的直線或右邊下降的曲線。另外，“有階段地改變沉積條件”指的是不連續地發生不相同的水準變化，反復進行向處理室內的氣體引入及停止，有時間間隔地增加或減少所引入的氣體流量。“有階段地改變”和“連續地改變”都至少指的是不接觸大氣地改變沉積條件來對一個基板進行沉積處理。

作爲沉積速率低而品質良好的第一沉積條件，爲了在沉積之前預先儘量降低真空室(反應容器)內的氧或 H_2O 等的殘留氣體，將最低壓力設定爲 1×10^{-10} 至 1×10^{-7} Torr(大約超過 1×10^{-8} Pa 且小於或等於 1×10^{-5} Pa)的超高真空(UHV)，流過具有高純度的來源氣體，並將沉積時的基板溫度設定爲大於或等於 $100^\circ C$ 且低於 $300^\circ C$ 的範圍內。

本說明書所記載的其他發明結構是一種半導體裝置的製造方法，包括如下步驟：在具有絕緣表面的基板上形成閘極電極；在該閘極電極上形成絕緣膜；將基板引入到真空室內；將來源氣體引入到真空室內，並在基板溫度爲大於或等於 $100^\circ C$ 且低於 $300^\circ C$ 的第一沉積條件下形成第一微晶半導體膜；在基板溫度、電力、電力施加的定時、來源氣體流量、或真空度中的至少一個條件與第一沉積條件不相同的第二沉積條件下，在與真空室相同的室內堆積第二微晶半導體膜；以及在該第二微晶半導體膜上形成緩衝層。

藉由上述第一沉積條件而獲得的第一微晶半導體膜是

膜中的氧濃度為小於或等於 $1 \times 10^{17} / \text{cm}$ 。當形成微晶半導體膜時，氧阻礙結晶化並在混入矽膜時會用作施主，因此應該減少氧。該藉由第一沉積條件而獲得的微晶矽膜的品質對之後形成的 TFT 的導通電流的增大及場效應遷移率的提高做貢獻。

較佳較佳地是，在形成微晶半導體膜之前，預先藉由對真空室進行烘烤(大於或等於 200°C 小於或等於 300°C)處理去除真空室內的以水分為主要成分的殘留氣體，以在真空室內得到具有超高真空區域的真空度的壓力環境。另外，也可以正在形成微晶半導體膜時加熱(大於或等於 50°C 大於或等於 300°C)真空室內壁來促進沉積反應。

作為第二沉積條件，只要是其沉積速率比第一沉積條件的沉積速率高的條件，即可。例如，藉由採用與第一沉積條件不相同的矽烷氣體和氫氣體的流量比，在能夠形成微晶矽膜的範圍內降低處理室內的氫濃度，即可。另外，作為第二沉積條件，可以採用比第一沉積條件的基板溫度高的基板溫度如大於或等於 300°C 且低於 400°C ，以提高沉積速率。在第一沉積條件和第二沉積條件分別採用不相同的基板溫度的情況下，在第一沉積條件下剛沉積之後，使溫度從第一沉積條件的基板溫度上升到第二沉積條件的基板溫度，因此當基板溫度正在上升時也繼續進行沉積處理。另外，作為第二沉積條件，可以使在電漿形成時的電力高於第一沉積條件，以提高沉積速率。還可以藉由控制真空室的排氣閥如導閥得到與第一沉積條件不相同的真空

度，以提高沉積速率。

另外，作為其沉積速率比第一沉積條件高的第二沉積條件，可以採用反復如下步驟的沉積條件：在一定時間內引入高頻電力來對矽烷氣體進行電漿分解，然後在一定時間內截止高頻電力來停止產生電漿。作為第一沉積條件，在第一沉積期間中連續地放電，作為第二沉積條件，藉由如下方法使其沉積速率比第一沉積條件高：改變電力施加的定時，具體地說，在每個基板的第二沉積期間中具有多個使高頻電力處於截止狀態來停止放電的期間。微晶半導體膜的沉積時間包括在第一沉積條件下沉積的第一沉積期間，以及在第二沉積條件下沉積的第二沉積期間，其中第二沉積期間的沉積速率高於第一沉積期間的沉積速率。適當地選擇放電時間和放電停止時間的沉積還被稱為間斷放電的電漿 CVD 法。在此情況下，作為微晶矽膜的第一沉積條件，採用使高頻電力的放電連續地作用於來源氣體的連續放電電漿 CVD 法，作為微晶矽膜的第二沉積條件，在相同的處理室內採用使高頻電力的放電間斷地作用於來源氣體的間斷放電（也稱為脈衝振盪）電漿 CVD 法。這裏，連續放電指的是藉由利用其波形在時間上連續的高頻電力而產生的放電。

另外，作為其沉積速率比第一沉積條件高的第二沉積條件，可以將形成微晶半導體膜的真空室的內壁加熱到高於基板溫度的溫度來形成微晶半導體膜。當第一沉積條件下的基板溫度為 100°C 時，藉由將真空室的內壁加熱到

150℃，在其溫度低於真空室內壁的基板表面上高效地形成微晶半導體膜。

另外，在藉由真空排氣將真空室內的大氣設定為超過 $1 \times 10^{-8} \text{ Pa}$ 且小於或等於 $1 \times 10^{-5} \text{ Pa}$ 的真空度之後，較佳在引入基板之前，預先將氫氣體或稀有氣體引入到真空室內來產生電漿，以去除真空室內的以水分為主要成分的殘留氣體，並得到真空室內的殘留氧濃度下降了的環境。

另外，在藉由真空排氣將真空室內的大氣設定為超過 $1 \times 10^{-8} \text{ Pa}$ 且小於或等於 $1 \times 10^{-5} \text{ Pa}$ 的真空度之後，在引入基板之前，可以預先將矽烷氣體流過真空室內並與真空室內的殘留氧起反應來產生氧化矽，以進一步減少真空室內的氧。還可以在引入基板之前預先將矽烷氣體流過真空室內並產生電漿來進行在內壁上沉積的處理(也稱為預塗處理)，以防止在形成微晶半導體膜時混入鋁等金屬元素。

因為第一沉積條件的沉積速率慢，尤其是在增加膜厚度的情況下沉積時間變長。其結果是，雜質如氧容易混入膜中。因此，藉由如上所述那樣在引入基板之前充分地降低真空室內的氧及水分，在沉積時間變長的情況下雜質如氧幾乎不混入膜中。為了提高之後形成的微晶矽膜的品質，上述處理是重要的。

在引入基板之後且在形成微晶矽膜之前，也可以藉由預先進行氫電漿處理等的稀有氣體電漿處理及氫電漿處理以去除基板上的吸附水，來將微晶矽膜中的氧濃度設定為小於或等於 $1 \times 10^{17} / \text{cm}$ 。

爲了提高之後形成的微晶矽膜的品質，如上所述，在引入基板之後充分地減少基板所包含的氧及水分也是重要的。

另外，藉由在沉積初期(第一沉積期間)中採用第一沉積條件並在沉積後期(第二沉積期間)中採用其沉積速率高的第二沉積條件，由於在沉積初期中形成微晶而可以在沉積後期中以在沉積初期中獲得的微晶爲晶核來堆積品質良好的微晶矽膜。另外，藉由在沉積初期中預先形成微晶，可以提高沉積後期的沉積速率。

與不改變沉積條件就只在第一沉積條件下得到所希望的膜厚度所需要的時間相比，可以藉由如下方法縮短得到所希望的膜厚度所需要的時間：在第一沉積條件下沉積，然後繼續在相同處理室中以第二沉積條件沉積。若可以縮短得到所希望的膜厚度所需要的時間，則可以在雜質如氧幾乎不混入到微晶矽膜的狀態下沉積。另外，若不改變沉積條件就只在第一沉積條件下獲得薄微晶矽膜，則之後層疊的緩衝層的負面影響變大，這會導致薄膜電晶體的場效應遷移率的降低。

另外，藉由上述第一沉積條件而獲得的微晶矽膜容易與氧起反應，因此藉由正在沉積時將第一沉積條件改變爲沉積速率高的第二沉積條件，可以保護閘極絕緣膜介面附近的膜。藉由該第二沉積條件而獲得的微晶矽膜的品質還對之後形成的 TFT 的截止電流的降低做貢獻。

如上所述，藉由以兩個階段改變沉積條件而獲得的微

晶矽膜至少包含柱狀結晶，該膜中的氧濃度為小於或等於 $1 \times 10^{17}/\text{cm}$ 。另外，藉由以兩個階段改變沉積條件而獲得的微晶矽膜的總厚度為 5nm 至 100nm，較佳在 10nm 至 30nm 的範圍內。

只要初期沉積條件是形成品質良好的微晶矽膜的條件，就不局限於以兩個階段改變沉積條件來形成微晶矽膜，也可以以三個以上的階段改變沉積條件來沉積。再者，可以連續地改變沉積條件。

與非晶矽膜相比，上述微晶矽膜容易與氧起反應，因此較佳還不暴露於大氣地層疊不包含晶粒的緩衝層來保護。關於緩衝層，在與形成微晶矽膜的真空室不相同的真空室中形成，其基板溫度高於上述第一及第二沉積條件，例如大於或等於 300°C 且低於 400°C 。將在形成緩衝層時的基板溫度設定為高於上述第一及第二沉積條件是有用的。這是因為可以在形成緩衝層時對微晶矽膜進行退火處理而不增加製造步驟，因此可以提高微晶矽膜的品質的緣故。藉由在形成緩衝層時對微晶矽膜進行退火處理，還可以抑制反復施加電壓的可靠性試驗中的 TFT 特性的變動(閾值的變動等)，從而可以提高 TFT 的可靠性。典型地說，緩衝層的厚度為大於或等於 100nm 小於或等於 400nm，較佳為大於或等於 200nm 小於或等於 300nm。另外，緩衝層由其缺陷密度比上述微晶矽膜高的非晶矽膜構成。藉由將具有高缺陷密度的非晶矽膜用於緩衝層，可以對之後形成的 TFT 的截止電流的降低做貢獻。

另外，上述微晶矽膜因雜質混入而容易呈現 n 型導電性，因此較佳將微量的三甲基硼氣體等添加到來源氣體來調節沉積條件，以得到 i 型。藉由將微量的三甲基硼氣體等添加到以矽烷氣體及氫氣體為主的來源氣體，可以控制薄膜電晶體的閾值。

在本說明書中，微晶半導體膜指的是包含非晶和結晶結構(包括單晶、多晶)的中間結構的半導體的膜。該半導體是具有在自由能方面上穩定的第三狀態的半導體，並是短程有序且晶格畸變的結晶半導體，其中粒徑為 0.5 至 20nm 的柱狀或針狀結晶沿相對於基板表面的法線方向生長。另外，微晶半導體和非單晶半導體混合在一起。作為微晶半導體的典型例子的微晶矽的拉曼光譜偏移到比單晶矽的 520.5 cm^{-1} 低的波數一側。就是說，微晶矽的拉曼光譜的峰值位於單晶矽的 520.5 cm^{-1} 和非晶矽的 480 cm^{-1} 之間。另外，包含至少 1 原子% 或更多的氫或鹵素，以對懸空鍵封端。再者，藉由包含氫、氫、氮、氖等的稀有氣體元素來進一步促進晶格畸變，可以獲得穩定性提高的優良微晶半導體膜。上述微晶半導體膜的記載例如在美國專利 4,409,134 號中公開。

另外，雖然在處理多個基板的生產率方面不利，但是也可以在與形成微晶矽膜的真空室相同的真空室中形成緩衝層。藉由在相同的真空室中連續形成緩衝層，可以形成疊層介面，而不在搬運基板時被浮游的污染雜質元素污染，因此可以降低薄膜電晶體特性的不均勻性。

在緩衝層上形成源極電極或汲極電極，並在緩衝層中形成槽，以降低上述源極電極及汲極電極之間的漏電流。

在緩衝層和源極電極或汲極電極之間，形成有包含 n 型雜質元素的半導體膜 (n^+ 層)。另外，緩衝層設置在 n^+ 層和微晶矽膜之間以不使 n^+ 層和微晶矽膜接觸。因而，在源極電極的下方， n^+ 層、緩衝層、以及微晶矽膜重疊。與此同樣，在汲極電極的下方， n^+ 層、緩衝層、以及微晶矽膜重疊。藉由採用上述疊層結構並增加緩衝層的厚度，實現耐壓性的提高。另外，藉由增加緩衝層的厚度，可以在緩衝層的一部分中形成槽而不暴露容易氧化的微晶矽膜。

在進行上述製造步驟之後，在緩衝層上形成包含 n 型雜質元素的半導體膜，在該包含 n 型雜質元素的半導體膜上形成源極電極或汲極電極，藉由蝕刻包含 n 型雜質元素的半導體膜形成源極區及汲極區，而且藉由以使與上述源極區及汲極區重疊的區域殘留的方式蝕刻並去除上述緩衝層的一部分來製造薄膜電晶體。

關於如上所述那樣獲得的薄膜電晶體，在導通時，在第一沉積條件下形成的品質高的微晶矽膜中的閘極絕緣膜介面附近的區域被用作通道形成區域，而在截止時，藉由蝕刻緩衝層的一部分而形成的槽部成爲流過極微量的漏電流的途徑。因此，與現有的由非晶矽單層構成的薄膜電晶體或由微晶矽單層構成的薄膜電晶體相比，可以增大截止電流和導通電流的比，可以說是其開關特性優良，從而可以提高顯示面板的對比度。

根據本發明的製造方法，可以將所獲得的薄膜電晶體的場效應遷移率設定為高於 1 且 50 以下。因此，關於根據本發明的製造方法而獲得的由微晶半導體膜構成的薄膜電晶體，示出電流電壓特性的曲線的上升部分的斜率大，作為開關元件的回應性優良，而且能夠進行高速工作。

使用根據本發明的製造方法而獲得的薄膜電晶體的發光裝置可以抑制薄膜電晶體的閾值的變動，從而可以提高可靠性。

另外，使用根據本發明的製造方法而獲得的薄膜電晶體的液晶顯示裝置可以增大場效應遷移率，因此可以提高驅動電路的驅動頻率。由於可以使驅動電路進行高速工作，所以可以實現將圖框頻率設定為 4 倍或者進行黑屏插入等。

【實施方式】

下面，說明本發明的實施模式。此外，本發明可以以多種不同的方式實施，本領域的技術人員可以很容易地理解一個事實就是，其方式和詳細內容可以在不脫離本發明的宗旨及其範圍的情況下被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在實施模式所記載的內容中。

實施模式 1

在本實施模式中，參照圖 1A 至圖 5 說明用於液晶顯

示裝置的薄膜電晶體的製造步驟。圖 1A 至圖 3C 是示出薄膜電晶體的製造步驟的剖視圖，而圖 4 是一個像素中的薄膜電晶體及像素電極的連接區域的俯視圖。另外，圖 5 是示出微晶矽膜的沉積方法的時序圖。

關於具有微晶半導體膜的薄膜電晶體，n 型薄膜電晶體具有比 p 型薄膜電晶體高的遷移率，因此更適合用於驅動電路。較佳地是，在同一基板上形成同一極性的薄膜電晶體，以減少製造步驟。這裏，使用 n 通道型薄膜電晶體進行說明。

如圖 1A 所示，在基板 50 上形成閘極電極 51。基板 50 可以使用藉由利用熔融法或浮法而製造的無鹼玻璃基板如鉍硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋁矽酸鹽玻璃、等等。當基板 50 為母玻璃時，基板的尺寸可以採用第一代 (320 mm×400 mm)、第二代 (400 mm×500 mm)、第三代 (550 mm×650 mm)、第四代 (680 mm×880 mm、或 730 mm×920 mm)、第五代 (1000 mm×1200 mm、或 1100 mm×1250 mm)、第六代 (1500 mm×1800 mm)、第七代 (1900 mm×2200 mm)、第八代 (2160 mm×2460 mm)、第九代 (2400 mm×2800 mm、或 2450 mm×3050 mm)、第十代 (2950 mm×3400 mm)、等等。

閘極電極 51 藉由使用鈦、鉬、鉻、鉭、鎢、鋁等的金屬材料或其合金材料而形成。可以藉由使用濺射法或真空蒸鍍法在基板 50 上形成導電膜，在該導電膜上藉由使用光刻技術或噴墨法形成掩模，並使用該掩模蝕刻導電

膜，以形成閘極電極 51。閘極電極 51 還可以藉由使用噴墨法將銀、金、銅等的導電奈米膠噴射並焙燒而形成。另外，作為提高閘極電極 51 的貼緊性並防止向基底擴散的阻擋金屬，可以在基板 50 和閘極電極 51 之間設置上述金屬材料的氮化物膜。這裏，使用藉由第一光掩模而形成的抗蝕劑掩模蝕刻形成在基板 50 上的導電膜，以形成閘極電極。

作為閘極電極結構的具體例子，可以在鋁膜上層疊鉬膜，以防止鋁特有的小丘或電遷移。還可以採用鋁膜被夾在鉬膜之間的三層結構。作為閘極電極結構的其他例子，可以舉出在銅膜上層疊有鉬膜的結構、在銅膜上層疊有氮化鈦膜的結構、以及在銅膜上層疊有氮化鉬膜的結構。

由於在閘極電極 51 上形成半導體膜或佈線，所以較佳將其端部加工為錐形以防止斷裂。雖然未圖示，但是在上述步驟中還可以同時形成與閘極電極連接的佈線。

然後，在閘極電極 51 上依次形成閘極絕緣膜 52a、52b 及 52c。此時的剖視圖相當於圖 1A。

閘極絕緣膜 52a、52b 及 52c 可以藉由使用 CVD 法或濺射法等以氧化矽膜、氮化矽膜、氧氮化矽膜、或氮氧化矽膜而形成。為了防止由形成在閘極絕緣膜中的針孔等導致的層間短路，較佳使用不相同的絕緣層來形成多層結構。這裏，示出依次層疊氮化矽膜、氧氮化矽膜、以及氮化矽膜作為閘極絕緣膜 52a、52b 及 52c 的方式。

這裏，氧氮化矽膜指的是在其組成上氧含量多於氮含

量的物質，其包含氧、氮、Si 及氫，其濃度如下：55 至 65 原子%的氧；1 至 20 原子%的氮；25 至 35 原子%的 Si；以及 0.1 至 10 原子%的氫。另一方面，氮氧化矽膜指的是在其組成上氮含量多於氧含量的物質，其包含氧、氮、Si 及氫，其濃度如下：15 至 30 原子%的氧；20 至 35 原子%的氮；25 至 35 原子%的 Si；以及 15 至 25 原子%的氫。

第一層閘極絕緣膜及第二層閘極絕緣膜都厚於 50nm。作為第一層閘極絕緣膜，較佳使用氮化矽膜或氮氧化矽膜，以防止雜質(例如鹼金屬等)從基板擴散。第一層閘極絕緣膜不僅可以防止閘極電極的氧化，而且還可以在使用鋁作為閘極電極的情況下防止小丘。另外，與微晶半導體膜接觸的第三層閘極絕緣膜的厚度大於 0nm 且 5nm 以下，較佳為大約 1nm。第三層閘極絕緣膜是為了提高與微晶半導體膜的貼緊性的。另外，藉由使用氮化矽膜作為第三層閘極絕緣膜，可以防止由之後進行的熱處理或鐳射照射導致的微晶半導體膜的氧化。例如，當在氧含量多的絕緣膜和微晶半導體膜接觸的狀態下進行熱處理時，可能會使微晶半導體膜氧化。

再者，較佳使用頻率為大於或等於 1GHz 的微波電漿 CVD 設備形成閘極絕緣膜。藉由使用微波電漿 CVD 設備而形成的氧氮化矽膜、氮氧化矽膜的耐壓性高，從而可以提高薄膜電晶體的可靠性。

這裏，雖然形成具有三層結構的閘極絕緣膜，但是在

用作液晶顯示裝置的開關元件的情況下，由於進行交流驅動而可以只由氮化矽膜的單層構成。

接著，較佳地是，在形成閘極絕緣膜之後，不接觸大氣地搬運基板，以在與形成閘極絕緣膜的真空室不相同的真空室中形成微晶半導體膜 53。

下面，參照圖 5 說明形成微晶半導體膜 53 的步驟。在圖 5 中，以將反應室從大氣壓排氣到真空(真空排氣 200)的步驟為起始步驟，以時間序列的方式分別示出之後進行的各種處理如預塗 201、基板搬入 202、基底預處理 203、沉積處理 204、基板搬出 205、淨化 206。但是，不局限於從大氣壓排氣到真空，從大量生產或以短時間降低最終真空度的觀點來看，反應室較佳一直保持為一定程度的真空度。

在本實施模式中，為了將基板搬入之前的真空室內的真空度設定為低於 10^{-5} Pa，進行超高真空排氣。這個步驟相當於圖 5 中的真空排氣 200。在進行上述超高真空排氣的情況下，較佳同時利用渦輪分子泵和低溫泵，即利用渦輪分子泵進行排氣，並利用低溫泵進行真空排氣。以兩個渦輪分子泵串聯的方式進行真空排氣也是有效的。另外，較佳在反應室中設置烘烤用加熱器來進行加熱處理，以從反應室內壁脫氣。還使加熱基板的加熱器工作來使溫度穩定。基板的加熱溫度為大於或等於 100°C 小於或等於 300°C ，較佳為大於或等於 120°C 小於或等於 220°C 。

接著，在搬入基板之前進行預塗 201，以形成矽膜作

為內壁覆蓋膜。作為預塗 201，藉由引入氫或稀有氣體產生電漿以去除附著在反應室的內壁上的氣體（氧及氮等的大氣成分、或用來使反應室淨化的蝕刻氣體），然後引入矽烷氣體，來產生電漿。由於矽烷氣體與氧或水分等起反應，所以藉由流過矽烷氣體來產生矽烷電漿，可以去除反應室內的氧或水分。另外，藉由進行預塗 201，可以防止構成反應室的部件的金屬元素作為雜質混入微晶矽膜中。就是說，藉由使用矽覆蓋反應室內，可以防止反應室內被電漿蝕刻，並可以降低包含在之後形成的微晶矽膜中的雜質濃度。預塗 201 包括使用與將要堆積在基板上的膜相同種類的膜覆蓋反應室內壁的處理。

在預塗 201 之後，進行基板搬入 202。由於將要堆積微晶矽膜的基板存儲在被進行了真空排氣的裝載室中，因此即使搬入基板也不會使反應室內的真空度顯著惡化。

接著，進行基底預處理 203。基底預處理 203 是在形成微晶矽膜時特別有效的處理，因此較佳進行基底預處理 203。就是說，當在玻璃基板表面、絕緣膜的表面、或非晶矽的表面上藉由電漿 CVD 法形成微晶矽膜時，有時會在堆積初期階段中由於雜質或晶格失配等而導致形成非晶層。為了儘量降低該非晶層的厚度或者如果可能的話去除該非晶層，較佳進行基底預處理 203。作為基底預處理，較佳進行稀有氣體電漿處理或氫電漿處理，或者進行這兩種處理。作為稀有氣體電漿處理，較佳使用質量數大的稀有氣體元素如氫、氮、或氬。這是因為藉由利用濺射效果

去除附著在表面上的氧、水分、有機物、或金屬元素等的雜質的緣故。氫電漿處理是對於藉由利用氫自由基去除吸附在表面上的上述雜質、以及藉由利用對絕緣膜或非晶矽膜的蝕刻作用形成乾淨的膜表面有效的。另外，藉由進行稀有氣體電漿處理及氫電漿處理，可以期待促進微晶核生成的作用。

從促進微晶核生成的觀點來看，如圖 5 中的虛線 207 所示，在微晶矽膜的沉積初期中繼續提供氫等的稀有氣體是有效的。

在進行基底預處理 203 之後，進行形成微晶矽膜的沉積處理 204。在本實施模式中，在沉積速率低而品質良好的第一沉積條件下形成閘極絕緣膜介面附近的膜，然後在沉積速率高的第二沉積條件下堆積膜。

只要第二沉積條件的沉積速率比第一沉積條件的沉積速率高，就沒有特別的限制。因此，可以藉由頻率為幾十 MHz 至幾百 MHz 的高頻電漿 CVD 法或頻率為大於或等於 1GHz 的微波電漿 CVD 設備形成，典型地說，可以藉由使用氫稀釋氫化矽如 SiH_4 或 Si_2H_6 來實現電漿生成而形成。除了氫化矽及氫以外，還可以使用選自氫、氫、氮、氬中的一種或多種稀有氣體元素來稀釋，以形成微晶半導體膜。此時的相對於氫化矽的氫的流量比為 12 倍以上 1000 倍以下，較佳為 50 倍以上 200 倍以下，更較佳為 100 倍。另外，可以使用 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等代替氫化矽。

在將氬加入來源氣體的情況下，由於氬的離子化能量在所有氣體中最高，即 24.5eV ，其亞穩態位於比該離子化能量稍微低的約 20eV 的能級，所以在放電持續期間中，為離子化而只需要其差異的 4eV 左右。因此，放電開始電壓值也在所有氣體中最低。由於上述特徵，氬能夠穩定地保持電漿。另外，由於能夠形成均勻的電漿，所以即使堆積微晶矽膜的基板的面積增大，也可以起到實現電漿密度的均勻化的作用。

還可以將碳的氫化物如 CH_4 或 C_2H_6 、氫化鍺或氟化鍺如 GeH_4 或 GeF_4 混合到矽烷等的氣體中，以將能帶寬度調整為 1.5 至 2.4eV 、或 0.9 至 1.1eV 。藉由將碳或鍺添加到矽，可以改變 TFT 的溫度特性。

這裏，第一沉積條件如下：藉由使用氬及/或稀有氣體將矽烷稀釋為超過 100 倍且 2000 倍以下，基板的加熱溫度為大於或等於 100°C 且低於 300°C ，較佳為大於或等於 120°C 小於或等於 220°C 。為了促進微晶矽的生長，較佳在大於或等於 120°C 小於或等於 220°C 的溫度下沉積。

將在第一沉積條件下沉積之後的剖視圖示出於圖 1B。在閘極絕緣膜 52c 上形成有沉積速率低而品質良好的微晶矽膜 23。該在第一沉積條件下獲得的微晶矽膜 23 的品質對之後形成的 TFT 的導通電流的增大及場效應遷移率的提高做貢獻，因此重要的是充分地降低氧濃度，以將膜中的氧濃度設定為小於或等於 $1 \times 10^{17}/\text{cm}$ 。另外，藉由上述步驟，除了氧以外，還可以降低混入微晶半導體膜中

的氮及碳的濃度。因此可以防止微晶半導體膜的 n 型化。

接著，藉由採用第二沉積條件代替第一沉積條件來提高沉積速率，以形成微晶半導體膜 53。此時的剖視圖相當於圖 1C。微晶半導體膜 53 的厚度可以為 50nm 至 500nm(較佳為 100nm 至 250nm)。此外，在本實施模式中，微晶半導體膜 53 的沉積時間包括在第一沉積條件下沉積的第一沉積期間、以及在第二沉積條件下沉積的第二沉積期間。雖然可以將在第一沉積條件下獲得的膜稱為第一微晶半導體膜並將在第二沉積條件下獲得的膜稱為第二微晶半導體膜，但是在沉積後的第一微晶半導體膜和第二微晶半導體膜的介面不明確，因此藉由在沉積期間中改變條件而獲得的疊層膜被稱為微晶半導體膜。

這裏，第二沉積條件如下：藉由使用氫及/或稀有氣體將矽烷稀釋為 12 倍以上 100 倍以下，基板的加熱溫度為大於或等於 100℃ 且低於 400℃，較佳為大於或等於 120℃ 小於或等於 220℃。此外，在如下條件下的沉積速率為 3.05nm/min：使用電容耦合型(平行平板型)CVD 設備，將間隔(電極面和基板表面的間隔)設定為 20mm，反應室內的真空度為 100Pa，基板溫度為 300℃，以 20W 施加 60MHz 的高頻電力，並且藉由利用氫(流量 400sccm)將矽烷氣體(流量 8sccm)稀釋為 50 倍，以形成微晶矽膜。藉由上述沉積條件而獲得的微晶矽膜的拉曼強度比(I_c/I_a)為 3.52。另外，藉由在上述沉積條件下只將矽烷氣體的流量改變為 4sccm 來將它稀釋為 100 倍而獲得的微晶矽膜的沉

積速率為 1.53 nm/min 。像這樣，從實驗結果可知，藉由固定氫流量並增加矽烷流量，沉積速率上升。藉由稀釋為 100 倍而獲得的微晶矽膜的拉曼強度比 (I_c/I_a) 為 6.19。另外，從實驗結果可知，與沉積速率高的沉積條件相比，藉由沉積速率低的沉積條件而獲得的微晶矽膜的結晶性高。

當在得到 1.53 nm/min 的沉積速率的上述條件中只改變基板溫度，即在 200°C 的溫度下沉積時，得到 1.286 nm/min 的沉積速率。就是說，藉由降低基板溫度，微晶矽膜的沉積速率稍微降低。微晶矽膜的沉積和非晶矽膜的沉積大不相同，例如在非晶矽膜的沉積中藉由降低基板溫度，沉積速率上升。另外，在將作為微晶矽膜的沉積條件的基板溫度設定為 200°C 的情況下，有如下趨勢：藉由固定氫流量並增加矽烷流量，沉積速率上升。

在本實施模式中，使用電容耦合型(平行平板型)CVD 設備，將間隔(電極面和基板表面的間隔)設定為 20 mm ，第一沉積條件如下：反應室內的真空度為 100 Pa ，基板溫度為 100°C ，以 30 W 施加 60 MHz 的高頻電力，並且藉由利用氫(流量 400 sccm)將矽烷氣體(流量 2 sccm)稀釋為 200 倍。藉由改變氣體流量而提高沉積速率的第二沉積條件如下：藉由利用氫(流量 400 sccm)將 4 sccm 的矽烷氣體稀釋為 100 倍(其他條件與第一沉積條件相同)。

在藉由第二沉積條件形成微晶矽膜之後，停止矽烷或氫等來源氣體及高頻電力的供給來進行基板搬出 205。在對下一個基板繼續進行沉積處理的情況下，回到基板搬入

202 的步驟來進行同一處理。爲了去除附著在反應室內的膜或粉末，進行淨化 206。

作爲淨化 206，藉由引入以 NF_3 、 SF_6 爲代表的蝕刻氣體進行電漿蝕刻。另外，藉由引入即使不利用電漿也能夠蝕刻的氣體如 ClF_3 來進行。淨化 206 較佳在基板加熱用加熱器截止且處理室內壁溫度降低了的狀態下進行。這是爲了抑制由蝕刻導致的反應副生成物的生成。在進行淨化 206 之後，回到預塗 201，對下一個基板進行上述同樣的處理，即可。

接著，在形成微晶半導體膜 53 之後，較佳不接觸大氣地搬運基板，來在與形成微晶半導體膜 53 的真空室不相同的真空室中形成緩衝層 54。藉由另外提供形成緩衝層 54 的真空室，可以將形成微晶半導體膜 53 的真空室用在引入基板之前到達超高真空的專用處理室，從而可以儘量抑制雜質污染並縮短到達超高真空的時間。在爲到達超高真空而進行烘烤的情況下，爲得到處理室內壁溫度低且穩定的狀態而需要較長時間，因此是特別有效的。另外，藉由分別提供不相同的真空室，可以根據想要獲得的膜而分別改變高頻電力的頻率。例如，可以在第一處理室中使用頻率 60MHz 的高頻電力形成微晶半導體膜，然後在第二處理室中使用頻率 13.56MHz 的高頻電力形成緩衝層。

緩衝層 54 藉由使用包含氫、氮、或鹵素的非晶半導體膜而形成。藉由使用氫，其流量爲氫化矽的流量的 1 倍

以上 10 倍以下，較佳為 1 倍以上 5 倍以下，可以形成包含氫的非晶半導體膜。另外，藉由使用上述氫化矽、以及氮或氬，可以形成包含氮的非晶半導體膜。藉由使用上述氫化矽、以及包含氟、氯、溴、或碘的氣體 (F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等)，可以形成包含氟、氯、溴、或碘的非晶半導體膜。另外，可以使用 SiH_2Cl_2 、 $SiHCl_3$ 、 $SiCl_4$ 、 SiF_4 等代替氫化矽。

作為緩衝層 54，也可以藉由將非晶半導體用作靶並使用氫或稀有氣體進行濺射來形成非晶半導體膜。此時，藉由將氮、氬、或 N_2O 包含在大氣中，可以形成包含氮的非晶半導體膜。另外，藉由將包含氟、氯、溴、或碘的氣體 (F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等) 包含在大氣中，可以形成包含氟、氯、溴、或碘的非晶半導體膜。

緩衝層 54 較佳由不包含晶粒的非晶半導體膜構成。因此，在藉由使用頻率為幾十 MHz 至幾百 MHz 的高頻電漿 CVD 法或微波電漿 CVD 法形成緩衝層 54 的情況下，較佳調節沉積條件，以形成不包含晶粒的非晶半導體膜。

在之後形成源極區及汲極區的步驟中，緩衝層 54 的一部分被蝕刻。因此，緩衝層 54 較佳形成為在上述情況下其一部分殘留的厚度，以不暴露微晶半導體膜 53。典型地說，緩衝層 54 較佳形成為具有大於或等於 100nm 小於或等於 400nm，較佳為大於或等於 200nm 小於或等於 300nm 的厚度。在薄膜電晶體的施加電壓高(例如大約為 15V)的顯示裝置，典型地為液晶顯示裝置中，藉由將緩衝

層 54 的厚度設定為上述範圍內，可以提高耐壓性，從而即使高電壓被施加到薄膜電晶體也可以避免薄膜電晶體的退化。

另外，緩衝層 54 不是有意識地添加有賦予一導電類型的雜質元素如磷或硼等。為了防止雜質元素從添加有賦予一導電類型的雜質元素的半導體膜 55 擴散到微晶半導體膜 53，將緩衝層 54 用作阻擋層。在不設置緩衝層的情況下，若微晶半導體膜 53 和添加有賦予一導電類型的雜質的半導體膜 55 接觸，則會有在之後的蝕刻步驟或加熱處理中雜質元素移動，從而難以控制閾值的問題。

藉由在微晶半導體膜 53 的表面上形成緩衝層 54，可以防止包含在微晶半導體膜 53 中的晶粒表面的自然氧化。尤其是在非晶半導體和晶粒接觸的區域中，容易因局部應力而產生裂縫。當該裂縫與氧接觸時晶粒被氧化，從而形成氧化矽。

作為非晶半導體膜的緩衝層 54 的能隙比微晶半導體膜 53 大(非晶半導體膜的能隙為 1.6 至 1.8 eV，而微晶半導體膜 53 的能隙為 1.1 至 1.5 eV)，其電阻高，而且其電子遷移率低，即微晶半導體膜 53 的 1/5 至 1/10。因此，在之後形成的薄膜電晶體中，形成在源極區及汲極區和微晶半導體膜 53 之間的緩衝層用作高電阻區域，而微晶半導體膜 53 用作通道形成區域。因此，可以降低薄膜電晶體的截止電流。在將該薄膜晶體管用作顯示裝置的開關元件的情況下，可以提高顯示裝置的對比度。

較佳地是，在微晶半導體膜 53 上，藉由電漿 CVD 法以大於或等於 300°C 且低於 400°C 的基板溫度形成緩衝層 54。藉由上述沉積處理，可以將氫提供給微晶半導體膜 53，從而得到與使微晶半導體膜 53 氫化相同的效果。就是說，藉由在微晶半導體膜 53 上堆積緩衝層 54，可以將氫擴散到微晶半導體膜 53，從而對懸空鍵封端。另外，可以在沉積時進行微晶半導體膜 53 的退火，從而可以提高膜品質。尤其是，藉由第二沉積條件而獲得的膜雖然有其沉積速率比第一沉積條件高而其結晶性比藉由第一沉積條件而獲得的結晶性低的特徵，但是藉由在形成緩衝層時進行退火，可以提高結晶性等的膜品質。

接著，在形成緩衝層 54 之後，較佳不接觸大氣地搬運基板，來在與形成緩衝層 54 的真空室不相同的真空室中形成添加有賦予一導電類型的雜質的半導體膜 55。此時的剖視圖相當於圖 1D。藉由在與形成緩衝層 54 的真空室不相同的真空室中形成添加有賦予一導電類型的雜質的半導體膜 55，可以防止賦予一導電類型的雜質在形成緩衝層時混入。

關於添加有賦予一導電類型的雜質的半導體膜 55，在形成 n 通道型薄膜電晶體的情況下，可以添加磷作為典型的雜質元素，並可以將 PH_3 等的雜質氣體添加到氫化矽。另外，在形成 p 通道型薄膜電晶體的情況下，可以添加硼作為典型的雜質元素，並可以將 B_2H_6 等的雜質氣體添加到氫化矽。添加有賦予一導電類型的雜質的半導體膜

55 可以由微晶半導體或非晶半導體構成。添加有賦予一導電類型的雜質的半導體膜 55 的厚度為大於或等於 2nm 小於或等於 50nm。藉由減少添加有賦予一導電類型的雜質的半導體膜的厚度，可以提高生產率。

接著，如圖 2A 所示，在添加有賦予一導電類型的雜質的半導體膜 55 上形成抗蝕劑掩模 56。抗蝕劑掩模 56 藉由使用光刻技術或噴墨法而形成。這裏，藉由使用第二光掩模，對塗敷在添加有賦予一導電類型的雜質的半導體膜 55 上的抗蝕劑進行曝光及顯影，以形成抗蝕劑掩模 56。

接著，藉由使用抗蝕劑掩模 56 將微晶半導體膜 53、緩衝層 54、以及添加有賦予一導電類型的雜質的半導體膜 55 蝕刻並分離，如圖 2B 所示那樣形成微晶半導體膜 61、緩衝層 62、及添加有賦予一導電類型的雜質的半導體膜 63。然後，去除抗蝕劑掩模 56。

微晶半導體膜 61 和緩衝層 62 的端部側面傾斜，從而可以防止在形成在緩衝層 62 上的源極區及汲極區和微晶半導體膜 61 之間產生漏電流。還可以防止在源極電極及汲極電極和微晶半導體膜 61 之間產生漏電流。微晶半導體膜 61 和緩衝層 62 的端部側面的傾斜角度為 30° 至 90° ，較佳為 45° 至 80° 。藉由採用上述角度，可以防止由臺階形狀導致的源極電極或汲極電極的斷開。

接著，如圖 2C 所示，覆蓋添加有賦予一導電類型的雜質的半導體膜 63 及閘極絕緣膜 52c 地形成導電膜 65a

至 65c。導電膜 65a 至 65c 較佳由鋁、銅、或添加有矽、鈦、釹、銦、鉬等的耐熱性提高元素或小丘防止元素的鋁合金的單層或疊層構成。還可以採用如下疊層結構：藉由使用鈦、鉬、鉬、鎢或這些元素的氮化物形成與添加有賦予一導電類型的雜質的半導體膜接觸一側的膜，並在其上形成鋁或鋁合金。再者，可以採用如下疊層結構：鋁或鋁合金的上表面及下表面由鈦、鉬、鉬、鎢或這些元素的氮化物夾住。這裏，示出導電膜 65a 至 65c 這三個層重疊的導電膜，並示出如下疊層導電膜：導電膜 65a 及 65c 由鉬膜構成，且導電膜 65b 由鋁膜構成；或者，導電膜 65a 及 65c 由鈦膜構成，且導電膜 65b 由鋁膜構成。導電膜 65a 至 65c 藉由濺射法或真空蒸鍍法而形成。

接著，如圖 2D 所示，在導電膜 65a 至 65c 上藉由使用第三光掩模形成抗蝕劑掩模 66，並蝕刻導電膜 65a 至 65c 的一部分，以形成一對源極電極及汲極電極 71a 至 71c。藉由對導電膜 65a 至 65c 進行濕蝕刻，導電膜 65a 至 65c 被選擇性地蝕刻。其結果是，由於以各向同性的方式蝕刻導電膜而可以形成其面積比抗蝕劑掩模 66 小的源極電極及汲極電極 71a 至 71c。

然後，如圖 3A 所示，藉由使用抗蝕劑掩模 66 蝕刻添加有賦予一導電類型的雜質的半導體膜 63，形成一對源極區及汲極區 72。再者，在該蝕刻步驟中，緩衝層 62 的一部分也被蝕刻。由於其一部分被蝕刻而形成有凹部(槽)的緩衝層被稱為緩衝層 73。可以以同一步驟形成源極

區及汲極區、以及緩衝層的凹部(槽)。藉由將緩衝層的凹部(槽)的深度設定為緩衝層的最厚區域的 1/2 至 1/3，可以增加源極區及汲極區的距離，因此可以降低源極區及汲極區之間的漏電流。之後，去除抗蝕劑掩模 66。

將緩衝層蝕刻 50nm 左右，以防止如下情況：尤其是，抗蝕劑掩模在暴露於用於乾蝕刻等的電漿時變質，不能在抗蝕劑去除步驟中完全去除，從而殘留著殘渣。在導電膜 65a 至 65c 的一部分的蝕刻處理及在形成源極區及汲極區 72 時的蝕刻處理這兩次蝕刻處理中使用抗蝕劑掩模 66，在採用乾蝕刻作為該兩次蝕刻處理的情況下容易殘留殘渣，因此將在完全去除殘渣時可以被蝕刻的緩衝層形成為具有厚的膜厚度是有效的。另外，緩衝層 73 可以防止在乾蝕刻時給微晶半導體膜 61 帶來電漿損傷。

接著，如圖 3B 所示，形成絕緣膜 76，該絕緣膜 76 覆蓋源極電極及汲極電極 71a 至 71c、源極區及汲極區 72、緩衝層 73、微晶半導體膜 61、以及閘極絕緣膜 52c。絕緣膜 76 可以以與閘極絕緣膜 52a、52b 及 52c 相同的沉積方法形成。此外，絕緣膜 76 是為防止浮游在大氣中的有機物、金屬物、水蒸氣等的污染雜質的侵入而提供的，因此較佳採用緻密的膜。另外，藉由將氮化矽膜用於絕緣膜 76，可以將緩衝層 73 中的氧濃度設定為小於或等於 $5 \times 10^{19} \text{ atoms/cm}^3$ ，較佳為小於或等於 $1 \times 10^{19} \text{ atoms/cm}^3$ 。

如圖 3B 所示，源極電極及汲極電極 71a 至 71c 的端

部與源極區及汲極區 72 的端部不一致且彼此錯開，源極電極及汲極電極 71a 至 71c 的端部的距離增大，從而可以防止源極電極及汲極電極之間的漏電流或短路。另外，由於源極電極及汲極電極 71a 至 71c 的端部與源極區及汲極區 72 的端部不一致且彼此錯開，所以在源極電極及汲極電極 71a 至 71c 和源極區及汲極區 72 的端部中不發生電場集中，從而可以防止閘極電極 51 和源極電極及汲極電極 71a 至 71c 之間的漏電流。由此，可以製造高可靠性及高耐壓的薄膜電晶體。

藉由上述步驟，可以形成薄膜電晶體 74。

在本實施模式所示的薄膜電晶體中，在閘極電極上層疊了閘極絕緣膜、微晶半導體膜、緩衝層、源極區及汲極區、源極電極及漏電極，其中用作通道形成區域的微晶半導體膜的表面被緩衝層覆蓋。另外，在緩衝層的一部分中形成有凹部(槽)，而且該凹部以外的區域被源極區及汲極區覆蓋。就是說，由於形成在緩衝層中的凹部而在源極區及汲極區之間有一定的距離，因此可以降低源極區及汲極區之間的漏電流。另外，因為藉由蝕刻緩衝層的一部分形成凹部，所以可以去除在形成源極區及汲極區的步驟中產生的蝕刻殘渣，從而可以避免由殘渣導致的源極區及汲極區的漏電流(寄生通道)。

另外，在用作通道形成區域的微晶半導體膜和源極區及汲極區之間形成有緩衝層。微晶半導體膜的表面被緩衝層覆蓋。高電阻的緩衝層形成在微晶半導體膜和源極區及

汲極區之間，因而可以降低產生在薄膜電晶體中的漏電流，並可以抑制由於施加高電壓而導致的退化。另外，緩衝層、微晶半導體膜、源極區及汲極區都形成在與閘極電極重疊的區域上。因此，可以說是不要受到閘極電極的端部形狀的影響的結構。在閘極電極具有疊層結構的情況下，若在其下層中使用鋁，則可能會在閘極電極的側面露出鋁而產生小丘，但是藉由採用源極區及汲極區還不重疊於閘極電極端部的結構，可以防止在與閘極電極側面重疊的區域中發生短路。另外，由於在微晶半導體膜的表面上形成有其表面被氫封端的非晶半導體膜作為緩衝層，所以可以防止微晶半導體膜的氧化，並可以防止在形成源極區及汲極區的步驟中產生的蝕刻殘渣混入微晶半導體膜。由此，可以獲得電特性良好且耐壓性良好的薄膜電晶體。

另外，可以縮小薄膜電晶體的通道長度，從而可以縮小薄膜電晶體的平面面積。

然後，藉由使用利用第四光掩模而形成的抗蝕劑掩模蝕刻絕緣膜 76 的一部分，形成接觸孔，並形成在該接觸孔中與源極電極或汲極電極 71c 接觸的像素電極 77。圖 3C 相當於沿圖 4 的虛線 A-B 的剖視圖。

如圖 4 所示，源極區及汲極區 72 的端部位於源極電極及汲極電極 71c 的端部的外側。另外，緩衝層 73 的端部位於源極電極及汲極電極 71c、源極區及汲極區 72 的端部的外側。源極電極及汲極電極中的一方具有包圍源極電極及汲極電極中的另一方的形狀（具體地說，U 字形

狀、C 字形狀)。因此，可以增加載流子移動的區域的面積，從而電流量可以增大，並可以縮小薄膜電晶體的面積。另外，由於微晶半導體膜、源極電極及汲極電極層疊在閘極電極上，所以閘極電極的凹凸所引起的負面影響少，從而可以抑制覆蓋度的降低及漏電流的產生。此外，源極電極及汲極電極中的一方還用作源極佈線或汲極佈線。

像素電極 77 可以使用包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦錫氧化物、銦鋅氧化物、添加有氧化矽的銦錫氧化物等的具有透光性的導電材料。

另外，可以使用包含導電高分子(也稱為導電聚合物)的導電組成物形成像素電極 77。較佳地是，藉由使用導電組成物而形成的像素電極的薄層電阻(sheet resistance)為小於或等於 $10000\Omega/\square$ ，波長 550nm 中的透光率為大於或等於 70%。另外，包含在導電組成物中的導電高分子的電阻率為小於或等於 $0.1\Omega \cdot \text{cm}$ 。

作為導電高分子，可以使用所謂的 π 電子共軛系統導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或這些兩種以上的共聚物等。

這裏，作為像素電極 77，在藉由濺射法形成銦錫氧化物膜之後將抗蝕劑塗敷在銦錫氧化物膜上。接著，藉由利用第五光掩模對抗蝕劑進行曝光及顯影，以形成抗蝕劑

掩模。然後，使用抗蝕劑掩模蝕刻銻錫氧化物膜，以形成像素電極 77。

藉由上述步驟，可以形成適用於顯示裝置的元件基板。

實施模式 2

在本實施模式中，示出適合形成構成實施模式 1 所示的 TFT 的閘極絕緣膜、微晶半導體膜、n+層的多室式電漿 CVD 設備的一個例子。

圖 6 示出具有多個反應室的多室式電漿 CVD 設備的一個例子。該設備包括公共室 123、裝載/卸載室 122、第一反應室 100a、第二反應室 100b、第三反應室 100c。被放在裝載/卸載室 122 的盒子 124 中的基板由公共室 123 的搬運機構 126 搬出/搬入到各反應室，即採用單片方式。在公共室 123 和各室之間設置有閘極閥 125，以不使在各反應室中的處理相互干涉。

各反應室根據所形成的薄膜種類而區分。例如，在第一反應室 100a 中形成絕緣膜如閘極絕緣膜，在第二反應室 100b 中形成用作通道的微晶半導體層，並在第三反應室 100c 中層疊緩衝層、用作源極及汲極的一導電類型雜質半導體層。當然，反應室的個數不局限於此，可以根據需要任意增加或減少。另外，可以在一個反應室中形成一個膜，或者在一個反應室中形成多個膜。

作為其他例子，可以在第一反應室 100a 中形成絕緣

膜如閘極絕緣膜，在第二反應室 100b 中形成用作通道的微晶半導體層和緩衝層，並在第三反應室 100c 中形成用作源極及汲極的一導電類型雜質半導體層。

在各反應室中，連接有渦輪分子泵 119 和乾泵 120 作為排氣單元。排氣單元不局限於上述真空泵的組合，只要能夠排氣到大約 10^{-5}Pa 至 10^{-1}Pa 的真空度，就可以使用其他真空泵。另外，形成微晶半導體膜的第二反應室 100b 連接有低溫泵 121，以排氣到超高真空。在排氣單元和各反應室之間設置有蝶閥 117，由此可以遮斷真空排氣，並且由導閥 118 控制排氣速率，以調整各反應室的壓力。此外，圖 6 所示的排氣單元的組合只是一個例子，對其沒有特別的限制。

氣體供給單元 108 包括填充有工藝用氣體如半導體來源氣體或稀有氣體的氣瓶 110、截止閥 112、品質流量控制器 113 等。氣體供給單元 108g 連接到第一反應室 100a，並提供用來形成閘極絕緣膜的氣體。氣體供給單元 108i 連接到第二反應室 100b，並提供微晶半導體膜用氣體。氣體供給單元 108n 連接到第三反應室 100c，例如提供 n 型半導體膜用氣體。氣體供給單元 108a 提供氫，而氣體供給單元 108f 提供用來淨化反應室內的蝕刻氣體，它們是在各反應室之間共同使用的。

用來產生電漿的高頻電力供給單元連接到各反應室。高頻電力供給單元包括高頻電源 104 和匹配器 106。高頻電源 104 的頻率可以為幾十 MHz 至幾百 MHz，例如

13.56MHz、27MHz、60MHz 等。

如本實施模式所示，使用多個圖 6 所示的反應室，該多個反應室由公共室連接，從而可以不接觸大氣地連續層疊多個不相同的層。

本實施模式可以與實施模式 1 自由地組合。

實施模式 3

在本實施模式中，參照圖 7 說明採用與實施模式 2 所示的圖 6 不相同的多室式電漿 CVD 設備的薄膜電晶體的製造步驟。圖 6 是具有三個反應室的裝置，而圖 7 是具有四個反應室的多室式電漿 CVD 設備的俯視圖。

圖 7 示出對圖 6 所示的多室式電漿 CVD 設備提供第四反應室 100d 的結構。在圖 7 中，對與圖 6 相同的部分使用同一附圖標記，省略詳細說明。另外，圖 7 所示的排氣單元的組合只是一個例子，對其沒有特別的限制。

氣體供給單元 108b 連接到第四反應室 100d。高頻電力供給單元和排氣單元的結構與圖 6 相同。各反應室可以根據所形成的薄膜種類而區分。例如，可以在第一反應室 100a 中形成絕緣膜如閘極絕緣膜，在第二反應室 100b 中形成用作通道的微晶半導體層，在第四反應室 100d 中形成保護通道形成用半導體層的緩衝層，並在第三反應室 100c 中形成用作源極及汲極的一導電類型雜質半導體層。每個薄膜具有最合適的沉積溫度(也稱為基板溫度)，因此可以藉由分別使用各反應室容易管理沉積溫度。再

者，由於能夠反復形成相同種類的膜，所以可以消除由沉積導致的殘留雜質物的影響。

在圖 7 中，開關 127 設置於第二反應室 100b，以控制高頻電力的引入。在第一沉積條件下採用連續放電的電漿 CVD 法，其中在保持開關 127 的導通狀態的同時使高頻電力的放電連續地作用於來源氣體，而且在第二沉積條件下採用間斷放電的電漿 CVD 法，其中在控制開關 127 的導通狀態及截止狀態的同時使高頻電力的放電間斷地作用於來源氣體。就是說，作為第一沉積條件，在第一沉積期間中連續地放電，作為第二沉積條件，藉由如下方法使其沉積速率比第一沉積條件高：在每個基板的第二沉積期間中，具有多個使高頻電力處於截止狀態來停止放電的期間。由於可以藉由控制高頻電力的導通及截止使第二沉積條件的沉積速率高於第一沉積條件，所以與改變其他條件的情況相比，較簡便。

本實施模式可以與實施模式 1 或 2 自由地組合。

實施模式 4

下面，參照圖 8A 至圖 12C 說明與實施模式 1 不相同的薄膜電晶體的製造方法。這裏，示出藉由採用其光掩模個數比實施模式 1 少的工藝製造薄膜電晶體的步驟。

與實施模式 1 所示的圖 1A 同樣地，在基板 50 上形成導電膜，並藉由使用抗蝕劑掩模蝕刻導電膜的一部分，以形成閘極電極 51。該抗蝕劑掩模藉由在導電膜上塗敷

抗蝕劑並進行利用第一光掩模的光刻步驟而形成。然後，在閘極電極 51 上依次形成閘極絕緣膜 52a、52b 及 52c。

接著，與實施模式 1 所示的圖 1B 同樣地，在第一沉積條件下形成微晶半導體膜 23。接著，藉由在相同的處理室中以第二沉積條件沉積，與實施模式 1 中的圖 1C 同樣地形成微晶半導體膜 53。然後，與實施模式 1 中的圖 1D 同樣地，在微晶半導體膜 53 上依次形成緩衝層 54、添加有賦予一導電類型的雜質的半導體膜 55。

接著，在添加有賦予一導電類型的雜質的半導體膜 55 上形成導電膜 65a 至 65c。然後，如圖 9A 所示，在導電膜 65a 上塗敷抗蝕劑 80。

抗蝕劑 80 可以使用正型抗蝕劑或負型抗蝕劑。這裏，使用正型抗蝕劑。

然後，藉由使用多灰度掩模 59 作為第二光掩模，將光照射到抗蝕劑 80，以對抗蝕劑 80 進行曝光。

這裏，參照圖 8A 至 8D 說明利用多灰度掩模 59 的曝光。

多灰度掩模指的是能夠設定三個曝光水準的掩模，該三個曝光水準為曝光部分、中間曝光部分、以及未曝光部分。藉由進行一次的曝光及顯影步驟，可以形成具有多個(典型為兩種)厚度區域的抗蝕劑掩模。因此，藉由使用多灰度掩模，可以減少光掩模個數。

作為多灰度掩模的典型例子，可以舉出圖 8A 所示的灰度掩模 59a、以及圖 8C 所示的半色調掩模 59b。

如圖 8A 所示，灰度掩模 59a 由具有透光性的基板 163、形成在其上的遮光部 164、以及衍射光柵 165 構成。在遮光部 164 中，光的透光率為 0%。另一方面，衍射光柵 165 可以藉由將狹縫、點、網眼等的光透過部的間隔設定為用於曝光的光的解析度限度以下的間隔來控制光的透光率。週期性狹縫、點、網眼、以及非週期性狹縫、點、網眼都可以用於衍射光柵 165。

作為具有透光性的基板 163，可以使用石英等的具有透光性的基板。遮光部 164 及衍射光柵 165 可以由鉻或氧化鉻等的吸收光的遮光材料構成。

將光照射到灰度掩模 59a 的情況下，如圖 8B 所示，在遮光部 164 中，光透光率 166 為 0%，而在不設置有遮光部 164 及衍射光柵 165 的區域中，光透光率 166 為 100%。另外，在衍射光柵 165 中，可以將光透光率調整為 10 至 70% 的範圍內。衍射光柵 165 中的光透光率可以藉由調整衍射光柵的狹縫、點、或網眼的間隔及柵距而控制。

如圖 8C 所示，半色調掩模 59b 由具有透光性的基板 163、形成在其上的半透過部 167、以及遮光部 168 構成。半透過部 167 可以使用 MoSiN、MoSi、MoSiO、MoSiON、CrSi 等。遮光部 168 可以由鉻或氧化鉻等的吸收光的遮光材料構成。

將光照射到半色調掩模 59b 的情況下，如圖 8D 所示，在遮光部 168 中，光透光率 169 為 0%，而在不設置

有遮光部 168 及半透過部 167 的區域中，光透光率 169 為 100%。另外，在半透過部 167 中，可以將光透光率調整為 10 至 70% 的範圍內。半透過部 167 中的光透光率可以根據半透過部 167 的材料而調整。

藉由在使用多灰度掩模進行曝光之後進行顯影，可以如圖 9B 所示那樣形成具有不相同的厚度區域的抗蝕劑掩模 81。

接著，藉由使用抗蝕劑掩模 81 將微晶半導體膜 53、緩衝層 54、添加有賦予一導電類型的雜質的半導體膜 55、以及導電膜 65a 至 65c 蝕刻並分離。其結果是，如圖 10A 所示那樣形成微晶半導體膜 61、緩衝層 62、添加有賦予一導電類型的雜質的半導體膜 63、以及導電膜 85a 至 85c。圖 10A 相當於沿圖 12A 的 A-B 線的剖視圖(抗蝕劑掩模 86 以外)。

然後，對抗蝕劑掩模 81 進行灰化處理。其結果是，抗蝕劑的面積縮小，其厚度變薄。此時，厚度薄的區域的抗蝕劑(與閘極電極 51 的一部分重疊的區域)被去除，由此如圖 10A 所示，可以形成被分離的抗蝕劑掩模 86。

接著，藉由使用抗蝕劑掩模 86，將導電膜 85a 至 85c 蝕刻並分離。其結果是，如圖 10B 所示那樣可以形成一對源極電極及汲極電極 92a 至 92c。藉由使用抗蝕劑掩模 86 對導電膜 85a 至 85c 進行濕蝕刻，導電膜 85a 至 85c 被選擇性地蝕刻。其結果是，由於以各向同性的方式蝕刻導電膜而可以形成其面積比抗蝕劑掩模 86 小的源極電極及汲

極電極 92a 至 92c。

然後，藉由使用抗蝕劑掩模 86，蝕刻添加有賦予一導電類型的雜質的半導體膜 63，形成一對源極區及汲極區 88。此外，在該蝕刻步驟中，緩衝層 62 的一部分也被蝕刻。將其一部分被蝕刻的緩衝層稱為緩衝層 87。另外，在緩衝層 87 中形成有凹部。可以以同一步驟形成源極區及汲極區、以及緩衝層的凹部(槽)。這裏，由於藉由使用其面積比抗蝕劑掩模 81 小的抗蝕劑掩模 86 蝕刻緩衝層 87 的一部分，所以緩衝層 87 向源極區及汲極區 88 的外側突出。然後，去除抗蝕劑掩模 86。另外，源極電極及汲極電極 92a 至 92c 的端部與源極區及汲極區 88 的端部不一致且彼此錯開，並在源極電極及汲極電極 92a 至 92c 的端部的外側形成主動區及汲極區 88 的端部。

圖 10C 相當於沿圖 12B 的 A-B 線的剖視圖。如圖 12B 所示，源極區及汲極區 88 的端部位於源極電極及汲極電極 92c 的端部的外側。另外，緩衝層 87 的端部位於源極電極及汲極電極 92c、源極區及汲極區 88 的端部的外側。源極電極及汲極電極中的一方具有包圍源極電極及汲極電極中的另一方的形狀(具體地說，U 字形狀、C 字形狀)。因此，可以增加載流子移動的區域的面積，從而電流量可以增大，並可以縮小薄膜電晶體的面積。另外，由於微晶半導體膜、源極電極及汲極電極層疊在閘極電極上，所以閘極電極的凹凸所引起的負面影響少，而可以抑制覆蓋度的降低及漏電流的產生。此外，源極電極及汲極

電極中的一方還用作源極佈線或汲極佈線。

如圖 10C 所示，源極電極及汲極電極 92a 至 92c 的端部與源極區及汲極區 88 的端部不一致且彼此錯開，從而源極電極及汲極電極 92a 至 92c 的端部的距離增大，從而可以防止源極電極及汲極電極之間的漏電流或短路。另外，由於源極電極及汲極電極 92a 至 92c 的端部與源極區及汲極區 88 的端部不一致且彼此錯開，所以在源極電極及汲極電極 92a 至 92c 和源極區及汲極區 88 的端部中不發生電場集中，從而可以防止閘極電極 51 和源極電極及汲極電極 92a 至 92c 之間的漏電流。由此，可以製造高可靠性及高耐壓的薄膜電晶體。

藉由上述步驟，可以形成薄膜電晶體 83。另外，藉由使用兩個光掩模，可以形成薄膜電晶體。

如圖 11A 所示，在源極電極及汲極電極 92a 至 92c、源極區及汲極區 88、緩衝層 87、微晶半導體膜 90、以及閘極絕緣膜 52b 上形成絕緣膜 76。絕緣膜 76 可以與閘極絕緣膜 52a、52b 及 52c 同樣地形成。

然後，藉由使用利用第三光掩模而形成的抗蝕劑掩模蝕刻絕緣膜 76 的一部分，形成接觸孔。接著，形成在該接觸孔中與源極電極或汲極電極 92c 接觸的像素電極 77。這裏，作為像素電極 77，在藉由濺射法形成銻錫氧化物膜之後將抗蝕劑塗敷在銻錫氧化物膜上。接著，藉由利用第四光掩模對抗蝕劑進行曝光及顯影，以形成抗蝕劑掩模。然後，使用抗蝕劑掩模蝕刻銻錫氧化物膜，以形成

像素電極 77。圖 11B 相當於沿圖 12C 的 A-B 線的剖視圖。

藉由上述步驟，可以使用多灰度掩模來減少掩模個數，並可以形成適用於顯示裝置的元件基板。

本實施模式可以與實施模式 1 至 3 中的任何一個自由地組合。

實施模式 5

在本實施模式中，示出具有實施模式 1 所示的薄膜電晶體的液晶顯示裝置作為顯示裝置的一個方式。

首先，對 VA (Vertical Alignment：垂直取向) 型液晶顯示裝置進行描述。VA 型液晶顯示裝置是指一種控制液晶面板的液晶分子的排列的方式。VA 型液晶顯示裝置是當沒有施加電壓時液晶分子朝垂直于面板表面的方向的方式。在本實施模式中，特別地，將像素分成幾個區域(子像素)，並分別將液晶分子向不同的方向推倒。這稱為多區域 (multi-domain) 化或多區域設計。在下面的說明中，對考慮多區域設計的液晶顯示裝置進行說明。

圖 14 及圖 15 分別示出像素電極及對置電極。圖 14 是形成有像素電極的基板一側的平面圖，並將沿 A-B 線的截面結構示出於圖 13。圖 15 是形成有對置電極的基板一側的平面圖。下面，參照這些附圖進行說明。

圖 13 示出基板 600 和對置基板 601 重疊且注入了液晶的狀態，在該基板 600 上形成有 TFT628、與 TFT628

連接的像素電極 624、以及保持電容部 630，並在該對置基板 601 上形成有對置電極 640 等。

在對置基板 601 的形成間隔物 642 的位置上，形成有遮光膜 632、第一著色膜 634、第二著色膜 636、第三著色膜 638、以及對置電極 640。藉由該結構，用於控制液晶取向的突起 644 和間隔物 642 的高度彼此不同。在像素電極 624 上形成有取向膜 648，與此同樣地在對置電極 640 上形成有取向膜 646。在此之間形成有液晶層 650。

至於間隔物 642，這裏示出柱狀間隔物，但是也可以散佈珠狀間隔物。再者，可以在形成在基板 600 上的像素電極 624 上形成間隔物 642。

在基板 600 上形成有 TFT628、與它連接的像素電極 624、以及保持電容部 630。像素電極 624 藉由貫穿覆蓋 TFT628、佈線 618 及保持電容部 630 的絕緣膜 620、覆蓋絕緣膜 620 的第三絕緣膜 622 的接觸孔 623 連接到佈線 618。可以將實施模式 1 所示的薄膜電晶體適用於 TFT628。另外，保持電容部 630 由與 TFT628 的閘極佈線 602 同樣地形成的第一電容佈線 604、閘極絕緣膜 606、以及與佈線 616 及 618 同樣地形成的第二電容佈線 617 構成。

像素電極 624、液晶層 650、以及對置電極 640 重疊，從而形成液晶元件。

圖 14 示出基板 600 上的結構。像素電極 624 藉由使用實施模式 1 所示的材料來形成。在像素電極 624 中設置

有狹縫 625。狹縫 625 是為為了控制液晶取向的。

圖 14 所示的 TFT629、與它連接的像素電極 626 及保持電容部 631 可以與 TFT628、像素電極 624 及保持電容部 630 同樣地形成。TFT628 和 TFT629 都連接到佈線 616。該液晶面板的像素由像素電極 624 及像素電極 626 構成。像素電極 624 及像素電極 626 是子像素。

圖 15 示出對置基板一側的結構。在遮光膜 632 上形成有對置電極 640。對置電極 640 較佳由與像素電極 624 同樣的材料構成。在對置電極 640 上形成有用於控制液晶取向的突起 644。另外，根據遮光膜 632 的位置形成有間隔物 642。

圖 16 示出上述像素結構的等效電路。TFT628 和 TFT629 都連接到閘極佈線 602、佈線 616。在此情況下，藉由使電容佈線 604 和電容佈線 605 的電位不相同，可以使液晶元件 651 和液晶元件 652 進行不同的動作。就是說，藉由分別控制電容佈線 604 和電容佈線 605 的電位，來精密地控制液晶的取向並且擴大視角。

當對設置有狹縫 625 的像素電極 624 施加電壓時，在狹縫 625 附近發生電場的應變(傾斜電場)。藉由互相咬合地配置該狹縫 625 和對置基板 601 一側的突起 644，有效地產生傾斜電場來控制液晶的取向，從而根據其位置使液晶具有彼此不同的取向方向。就是說，藉由進行多區域化來擴大液晶面板的視角。

參照圖 17 至圖 20 說明與上述不同的 VA 型液晶顯示

裝置。

圖 17 及圖 18 示出 VA 型液晶面板的像素結構。圖 18 是基板 600 的平面圖，而圖 17 示出沿 Y-Z 線的截面結構。下面，參照上述兩個附圖進行說明。

在該像素結構中，一個像素具有多個像素電極，並且各個像素電極連接到 TFT。各個 TFT 由不同的閘極信號驅動。就是說，在以多區域方式設計的像素中，具有獨立控制施加到各個像素電極的信號的結構。

像素電極 624 在接觸孔 623 中藉由佈線 618 連接到 TFT628。像素電極 626 在接觸孔 627 中藉由佈線 619 連接到 TFT629。TFT628 的閘極佈線 602 和 TFT629 的閘極佈線 603 彼此分離，以便能夠提供不同的閘極信號。另一方面，TFT628 和 TFT629 共同使用用作資料線的佈線 616。可以適當地使用實施模式 1 所示的薄膜電晶體作為 TFT628 和 TFT629。

像素電極 624 和像素電極 626 具有不同的形狀，並且被狹縫 625 彼此分離。像素電極 626 被形成為圍繞呈 V 字狀擴大的像素電極 624 的外側。藉由使用 TFT628 及 TFT629 使施加到像素電極 624 和像素電極 626 的電壓時序不相同，來控制液晶的取向。圖 20 示出了該像素結構的等效電路。TFT628 連接到閘極佈線 602，而 TFT629 連接到閘極佈線 603。藉由對閘極佈線 602 和閘極佈線 603 施加不同的柵信號，可以使 TFT628 和 TFT629 的動作時序互不相同。

在對置基板 601 上形成有遮光膜 632、著色膜 636、對置電極 640。此外，著色膜 636 和對置電極 640 之間形成平坦化膜 637，以便防止液晶取向的錯亂。圖 19 示出對置基板一側的結構。不同的像素共同使用對置電極 640，並且該對置電極 640 形成有狹縫 641。藉由互相咬合地配置該狹縫 641 和像素電極 624 及像素電極 626 一側的狹縫 625，可以有效地產生傾斜電場來控制液晶的取向。由此，可以根據其位置使液晶具有彼此不同的取向方向，從而擴大視角。

像素電極 624、液晶層 650、以及對置電極 640 重疊，從而形成第一液晶元件。像素電極 626、液晶層 650、以及對置電極 640 重疊，從而形成第二液晶元件。另外，採用在一個像素中設置有第一液晶元件及第二液晶元件的多區域化結構。

下面，示出橫向電場方式的液晶顯示裝置。橫向電場方式是指藉由對單元內的液晶分子沿水準方向施加電場來驅動液晶以便顯示灰度的方式。藉由橫向電場方式，可以使視角增大到大約 180 度。在下面的說明中，對採用橫向電場方式的液晶顯示裝置進行說明。

圖 21 示出基板 600 和對置基板 601 重疊且注入了液晶的狀態，在該基板 600 上形成有 TFT628 及與它連接的第一像素電極 624，而在該對置基板 601 上形成有遮光膜 632、著色膜 636、以及平坦化膜 637 等。由於在基板 600 上形成有像素電極，所以不在對置基板 601 上設置有像素

電極。在基板 600 和對置基板 601 之間形成有液晶層 650。

在基板 600 上，形成有第二像素電極 607、與第二像素電極 607 連接的電容佈線 604、以及實施模式 1 所示的 TFT628。第二像素電極 607 可以使用與實施模式 1 所示的像素電極 77 同樣的材料。另外，第二像素電極 607 形成為實質上分割成像素形狀的形狀。閘極絕緣膜 606 形成在第二像素電極 607 及電容佈線 604 上。

在閘極絕緣膜 606 上，形成 TFT628 的佈線 616 及 618。佈線 616 是在液晶面板中傳送視頻信號的資料線，並是沿一個方向延伸的佈線，並且它與源極區連接而成為源極及汲極中的一方電極。佈線 618 成為源極及汲極中的另一方電極，它是與第二像素電極 624 連接的佈線。

絕緣膜 620 形成在佈線 616 及 618 上。另外，在絕緣膜 620 上，形成藉由形成在絕緣膜 620 中的接觸孔連接到佈線 618 的第一像素電極 624。第一像素電極 624 由與實施模式 1 所示的像素電極 77 同樣的材料構成。

如上所述，在基板 600 上形成 TFT628、以及與它連接的第一像素電極 624。另外，保持電容形成在第一像素電極 624 和第二像素電極 607 之間。

圖 22 是示出像素電極的結構的平面圖。在第一像素電極 624 中設置狹縫 625。該狹縫 625 用來控制液晶的取向。在此情況下，電場發生在第一像素電極 624 和第二像素電極 607 之間。在第一像素電極 624 和第二像素電極

607 之間形成有閘極絕緣膜 606，但是閘極絕緣膜 606 的厚度為 50 至 200nm，該厚度與 2 至 10 μm 的液晶層的厚度相比十分薄，因此沿平行於基板 600 的方向(水準方向)發生電場。該電場控制液晶的取向。藉由利用該實質上平行於基板的方向的電場使液晶分子在水準方向上旋轉。在此情況下，由於液晶分子在任何狀態下也處於水準，所以根據觀看角度的對比度等的影響很少，從而增大視角。而且，第一像素電極 624 和第二像素電極 607 都是透光電極，因此可以提高開口率。

下面，示出橫向電場方式的液晶顯示裝置的其他例子。

圖 23 及圖 24 示出 IPS 型液晶顯示裝置的像素結構。圖 24 是平面圖，而圖 23 示出沿 A-B 線的截面結構。下面，參照上述兩個附圖進行說明。

圖 23 示出基板 600 和對置基板 601 重疊且注入了液晶的狀態，在該基板 600 上形成有 TFT628 及與它連接的像素電極 624，而在該對置基板 601 上形成有遮光膜 632、第二著色膜 636、以及平坦化膜 637 等。由於在基板 600 上形成有像素電極，所以不在對置基板 601 上設置有像素電極。在基板 600 和對置基板 601 之間形成有液晶層 650。

在基板 600 上，形成有公共電位線 609、以及實施模式 1 所示的 TFT628。公共電位線 609 可以與薄膜電晶體 628 的閘極佈線 602 同時形成。另外，像素電極 624 形成

為實質上分割成像素形狀的形狀。

TFT628 的佈線 616 及 618 形成在閘極絕緣膜 606 上。佈線 616 是在液晶面板中傳送視頻信號的資料線，並是沿一個方向延伸的佈線，並且它與源極區連接而成為源極及汲極中的一方電極。佈線 618 成為源極及汲極中的另一方電極，它是與像素電極 624 連接的佈線。

絕緣膜 620 形成在佈線 616 及 618 上。另外，在絕緣膜 620 上，形成藉由形成在絕緣膜 620 中的接觸孔 623 連接到佈線 618 的像素電極 624。像素電極 624 由與實施模式 1 所示的像素電極 77 同樣的材料構成。如圖 24 所示，像素電極 624 形成為與在形成公共電位線 609 時一同形成的梳形電極產生橫向電場。而且，像素電極 624 的梳齒部分和在形成公共電位線 609 時一同形成的梳形電極互相咬合。

當在施加到像素電極 624 的電位和公共電位線 609 的電位之間產生電場時，該電場控制液晶的取向。藉由利用該實質上平行於基板的方向的電場使液晶分子在水準方向上旋轉。在此情況下，由於液晶分子在任何狀態下也處於水準，所以根據觀看角度的對比度等的影響很少，從而增大視角。

如上所述，在基板 600 上形成 TFT628、以及與它連接的像素電極 624。另外，保持電容藉由在公共電位線 609 和電容電極 615 之間形成閘極絕緣膜 606 而形成。電容電極 615 和像素電極 624 藉由接觸孔 633 連接。

下面，示出 TN 型液晶顯示裝置的方式。

圖 25 及圖 26 示出 TN 型液晶顯示裝置的像素結構。圖 26 是平面圖，而圖 25 示出沿 A-B 線的截面結構。下面，參照上述兩個附圖進行說明。

像素電極 624 在接觸孔 623 中藉由佈線 618 連接到 TFT628。用作資料線的佈線 616 與 TFT628 連接。TFT628 可以適當地使用實施模式 1 所示的任何 TFT。

像素電極 624 藉由使用實施模式 1 所示的像素電極 77 而形成。

在對置基板 601 上形成有遮光膜 632、著色膜 636、以及對置電極 640。而且，在著色膜 636 和對置電極 640 之間形成有平坦化膜 637，以防止液晶的取向混亂。液晶層 650 形成在像素電極 624 和對置電極 640 之間。

像素電極 624、液晶層 650、以及對置電極 640 重疊，從而形成液晶元件。

另外，可以在基板 600 或對置基板 601 上，形成有彩色濾光片或用來防止向錯 (disclination) 的遮蔽膜 (黑矩陣) 等。而且，將偏振片貼合在與基板 600 的形成有薄膜電晶體的面相反一側的面上，並將偏振片貼合在與對置基板 601 的形成有對置電極 640 的面相反一側的面上。

對置電極 640 可以適當地使用與像素電極 624 同樣的材料。像素電極 624、液晶層 650、以及對置電極 640 重疊，從而形成液晶元件。

藉由上述步驟，可以製造液晶顯示裝置。本實施模式

的液晶顯示裝置使用截止電流少、電特性良好、以及可靠性高的薄膜電晶體，因此該液晶顯示裝置的對比度高且可見度高。

實施模式 6

下面，參照圖 9A 至圖 11B、圖 27A 和 27B、以及圖 28A 至 28C 說明發光裝置作為顯示裝置的一個方式。這裏，以利用電致發光的發光元件示出發光裝置。利用電致發光的發光元件是以發光材料是有機化合物還是無機化合物來區分的。一般，前者稱為有機 EL 元件而後者稱為無機 EL 元件。

關於有機 EL 元件，當電壓施加到發光元件時，電子和空穴從一對電極注入到包含發光有機化合物的層中，並電流流動。而且，藉由那些載流子(電子和空穴)複合，發光有機化合物形成激發態，並且當該激發態返回基態時發出光。由於這種機制，將這種發光元件稱為電流激發發光元件。

無機 EL 元件根據其元件結構，被分為分散型無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件具有將發光材料的粒子分散在粘結劑中的發光層，其發光機制為利用施主能級和受主能級的施主-受主複合型發光。薄膜型無機 EL 元件具有以電介質層夾住發光層並且它被電極夾住的結構，其發光機制為利用金屬離子的內殼層電子躍遷的局部存在型發光。這裏，舉出有機 EL 元件作為發光

元件進行說明。另外，舉出實施模式 1 的薄膜電晶體作為控制發光元件的驅動的薄膜電晶體。使用根據實施模式 1 而獲得的薄膜電晶體的發光裝置可以抑制薄膜電晶體的閾值的變動，從而可以提高可靠性。尤其是，對於用於發光裝置的薄膜電晶體進行直流驅動，因此其閘極絕緣膜由三個層，即作為第一層的氮化矽膜、作為第二層的氧氮化矽膜、作為第三層的氮化矽膜構成的實施模式 1 的薄膜電晶體能夠主要以作為第二層的氧氮化矽膜抑制閾值的漂移。

藉由圖 9A 至圖 11B 所示的步驟，如圖 27A 和 27B 所示那樣在基板 50 上形成薄膜電晶體 83，並在薄膜電晶體 83 上形成用作保護膜的絕緣膜 87。另外，還在驅動電路 12 中形成薄膜電晶體 84。薄膜電晶體 84 可以以與像素部 11 的薄膜電晶體 83 相同的步驟形成。接著，在絕緣膜 87 上形成平坦化膜 93，並在平坦化膜 93 上形成與薄膜電晶體 83 的源極電極或汲極電極連接的像素電極 94。

平坦化膜 93 較佳使用丙烯酸、聚醯亞胺、聚醯胺等有機樹脂、或矽氧烷而形成。

在圖 27A 中，因為像素部 11 的薄膜電晶體為 n 型，所以作為像素電極 94 較佳使用陰極，與此相反，當像素部 11 的薄膜電晶體為 p 型時，較佳使用陽極。具體而言，作為陰極可以使用功函數小的已知的材料如鈣、鋁、氟化鈣、鎂銀合金、鋰鋁合金等。

其次，如圖 27B 所示，在平坦化膜 93 及像素電極 94 的端部上形成隔離牆 91。隔離牆 91 具有開口部，在該開

口部中露出像素電極 94。隔離牆 91 使用有機樹脂膜、無機絕緣膜、或有機聚矽氧烷而形成。尤其是，較佳使用感光性的材料，並在像素電極上形成開口部，該開口部的側壁具有以連續的曲率形成的傾斜面。

其次，以在隔離牆 91 的開口部中接觸像素電極 94 的方式形成發光層 95。發光層 95 既可以由單獨層構成，又可以由多層的疊層構成。

以覆蓋發光層 95 的方式，形成用作陽極的共同電極 96。共同電極 96 可以藉由使用由在實施模式 1 中作為像素電極 77 舉出的具有透光性的導電材料構成的透光導電膜而形成。作為共同電極 96，上述透光導電膜之外，還可以使用氮化鈦膜或鈦膜。在圖 27B 中，作為共同電極 96 使用銮錫氧化物。在隔離牆 91 的開口部中，藉由像素電極 94、發光層 95、共同電極 96 彼此重疊，形成發光元件 98。然後，較佳在共同電極 96 及隔離牆 91 上形成保護膜 97，以便防止氧、氫、水分、二氧化碳等浸入到發光元件 98 中。作為保護膜 97，可以形成氮化矽膜、氮氧化矽膜、DLC 膜等。

再者，實際上當完成圖 27B 的工序時，為了不被暴露於空氣，較佳由氣密性高且脫氣少的保護薄膜(層壓薄膜、紫外線硬化樹脂薄膜等)或覆蓋材料來封裝(密封)。

接下來，對發光元件的結構將參照圖 28A 至 28C 進行說明。在此，舉出驅動 TFT 為 n 型的情況作為一例，對像素的截面結構進行說明。

爲了取出發光，發光元件的陽極和陰極中的至少一個是透明的即可。薄膜電晶體及發光元件形成在基板上。存在具有頂部發射結構、底部發射結構和雙面發射結構的發光元件，其中頂部發射結構藉由與基板對置表面取出發射的光，其中底部發射結構藉由基板一側的表面取出發射的光，其中雙面發射結構藉由基板一側的表面和與基板對置表面取出發射的光。本發明的像素結構可以應用於具有任一種發射結構的發光元件。

對具有頂部發射結構的發光元件參照圖 28A 進行說明。

在圖 28A 中示出當驅動 TFT7001 爲 n 型且從發光元件 7002 發射的光傳輸到陽極 7005 一側時的像素的剖視圖。在圖 28A 中，發光元件 7002 的陰極 7003 和驅動 TFT7001 電連接，並且在陰極 7003 上按順序層疊有發光層 7004、陽極 7005。陰極 7003 只要是功函數小且反射光的導電膜，可以使用已知的材料。例如，較佳使用鈣、鋁、氟化鈣、鎂銀合金、鋰鋁合金等。發光層 7004 既可以由單獨層構成，又可以由多層的疊層構成。在由多層構成的情況下，在陰極 7003 上按順序層疊電子注入層、電子傳輸層、發光層、空穴傳輸層、空穴注入層。此外，不需要一定設置所有的這些層。陽極 7005 使用透過光的透光導電材料而形成，例如也可以使用具有透光性的導電膜如含有氧化鎢的銦氧化物、含有氧化鎢的銦鋅氧化物、含有氧化鈦的銦氧化物、含有氧化鈦的銦錫氧化物、銦錫氧

化物、銦鋅氧化物、添加有氧化矽的銦錫氧化物等。

由陰極 7003 及陽極 7005 夾有發光層 7004 的區域相當於發光元件 7002。在圖 28A 所示的像素中，如空心箭頭所示，從發光元件 7002 發射的光發射到陽極 7005 一側。

接下來，對具有底部發射結構的發光元件將參照圖 28B 進行說明。圖 28B 示出當驅動 TFT7011 為 n 型且從發光元件 7012 發射的光發射到陰極 7013 一側時的像素的剖視圖。在圖 28B 中，在與驅動 TFT7011 電連接的透光導電材料 7017 上形成有發光元件 7012 的陰極 7013，在陰極 7013 上按順序層疊有發光層 7014、陽極 7015。此外，在陽極 7015 具有透光性的情況下，可以以覆蓋陽極上的方式形成有用於反射光或遮光的遮罩膜。與圖 28A 相同，陰極 7013 只要是功函數小的導電膜，可以使用已知的材料。此外，將其膜厚度設定為透過光的膜厚度(較佳大約為 5nm 至 30nm)。例如，可以使用膜厚度為 20nm 的 Al 作為陰極 7013。而且，與圖 28A 相同，發光層 7014 既可以由單獨層構成，又可以由多層的疊層構成。陽極 7015 不必要透過光，但是與圖 28A 相同，可以使用透光導電材料而形成。遮罩膜可以使用如反射光的金屬等，但是不局限於金屬膜。例如，也可以使用添加黑色顏料的樹脂等。

由陰極 7013 及陽極 7015 夾有發光層 7014 的區域相當於發光元件 7012。在圖 28B 所示的像素中，如空心箭

頭所示，從發光元件 7012 發射的光發射到陰極 7013 一側。

其次，對具有雙面發射結構的發光元件，使用圖 28C 進行說明。在圖 28C 中，在與驅動 TFT7021 電連接的透光導電材料 7027 上形成有發光元件 7022 的陰極 7023，在陰極 7023 上按順序層疊有發光層 7024、陽極 7025。與圖 28A 相同，陰極 7023 只要是功函數小的導電膜，可以使用已知的材料。此外，將其膜厚度設定為透過光的膜厚度。例如，可以使用膜厚度為 20nm 的 Al 作為陰極 7023。而且，與圖 28A 相同，發光層 7024 既可以由單獨層構成，又可以由多層的疊層構成。與圖 28A 相同，陽極 7025 可以使用透過光的透光導電材料而形成。

陰極 7023、發光層 7024、陽極 7025 彼此重疊的區域相當於發光元件 7022。在圖 28C 所示的像素中，如空心箭頭所示，從發光元件 7022 發射的光發射到陽極 7025 一側和陰極 7023 一側的雙方。

這裏，說明了有機 EL 元件作為發光元件，但是也可以設置無機 EL 元件作為發光元件。

此外，雖然在本實施模式中示出控制發光元件的驅動的薄膜電晶體(驅動 TFT)和發光元件電連接的一例，但是也可以採用在驅動 TFT 和發光元件之間連接有電流控制 TFT 的結構。

此外，本實施模式所示的發光裝置不限於圖 28A 至 28C 所示的結構，而基於本發明的技術思想可以實現各種

各樣的變形。

藉由上述步驟，可以製造發光裝置。本實施模式的發光裝置使用截止電流少、電特性良好、以及可靠性高的薄膜電晶體，因此該發光裝置的對比度高且可見度高。

實施模式 7

下面，示出作為本發明的顯示裝置的一個方式的顯示面板的結構。

在圖 29A 中示出另外僅形成信號線驅動電路 6013 且與在基板 6011 上形成的像素部 6012 連接的顯示面板的方式。像素部 6012 及掃描線驅動電路 6014 使用由微晶半導體膜構成的薄膜電晶體而形成。藉由由其遷移率高於由微晶半導體膜構成的薄膜電晶體的電晶體形成信號線驅動電路，可以使信號線驅動電路的工作穩定，該信號線驅動電路的驅動頻率被要求高於掃描線驅動電路的驅動頻率。此外，信號線驅動電路 6013 可以為使用單晶半導體的電晶體、使用多晶半導體的薄膜電晶體、或使用 SOI 的電晶體。電源的電位、各種信號等藉由 FPC6015 分別供給給像素部 6012、信號線驅動電路 6013、掃描線驅動電路 6014。

此外，也可以將信號線驅動電路及掃描線驅動電路都形成在與像素部相同的基板上。

此外，在另外形成驅動電路的情況下，不一定需要將形成有驅動電路的基板貼合到形成有像素部的基板上，也

可以如貼合到 FPC 上。在圖 29B 中表示另外僅形成信號線驅動電路 6023 且與形成在基板 6021 上的像素部 6022 及掃描線驅動電路 6024 連接的液晶顯示裝置面板的方式。像素部 6022 及掃描線驅動電路 6024 藉由使用由微晶半導體膜構成的薄膜電晶體而形成。信號線驅動電路 6023 藉由 FPC6025 連接到像素部 6022。電源的電位、各種信號等藉由 FPC6025 分別供給給像素部 6022、信號線驅動電路 6023、掃描線驅動電路 6024。

另外，也可以使用由微晶半導體膜構成的薄膜電晶體在與像素部相同的基板上僅形成信號線驅動電路的一部分或掃描線驅動電路的一部分，另外形成其他部分且與像素部電連接。在圖 29C 中表示將作為信號線驅動電路的一部分的類比開關 6033a 形成在與像素部 6032、掃描線驅動電路 6034 相同的基板 6031 上，並且將作為信號線驅動電路的一部分的移位暫存器 6033b 另外形成在不同的基板上，來彼此貼合的液晶顯示裝置面板的方式。像素部 6032 及掃描線驅動電路 6034 使用由微晶半導體膜構成的薄膜電晶體而形成。作為信號線驅動電路的一部分的移位暫存器 6033b 藉由 FPC6035 連接到像素部 6032。電源的電位、各種信號等藉由 FPC6035 分別供給給像素部 6032、信號線驅動電路、掃描線驅動電路 6034。

如圖 29A 至 29C 所示，可以在與像素部相同的基板上使用由微晶半導體膜構成的薄膜電晶體形成本發明的液晶顯示裝置的驅動電路的一部分或全部。

此外，對另外形成的基板的連接方法沒有特別的限制，可以使用已知的 COG 方法、引線鍵合方法、或 TAB 方法等。此外，連接的位置只要是能夠電連接，就不限於圖 29A 至 29C 所示的位置。另外，也可以另外形成控制器、CPU、記憶體等來連接。

此外，在本發明中使用的信號線驅動電路不局限於僅具有移位暫存器和類比開關的方式。除了移位暫存器和類比開關之外，還可以具有緩衝器、電平轉移電路、源極跟隨器等其他電路。另外，不需要一定設置移位暫存器和類比開關，例如既可以使用如解碼器電路的可以選擇信號線的其他電路代替移位暫存器，又可以使用鎖存器等代替類比開關。

圖 32 示出本發明的液晶顯示裝置的方塊圖。圖 32 所示的顯示裝置包括具有多個具備顯示元件的像素的像素部 701、選擇每個像素的掃描線驅動電路 702、以及控制視頻信號輸入到被選擇的像素的信號線驅動電路 703。

在圖 32 中信號線驅動電路 703 具有移位暫存器 704、類比開關 705。對移位暫存器 704 輸入時脈信號 (CLK)、起始脈衝信號 (SP)。當輸入時脈信號 (CLK) 和起始脈衝信號 (SP) 時，在移位暫存器 704 中生成定時信號，而輸入到類比開關 705。

另外，將視頻信號 (video signal) 供給給類比開關 705。根據輸入的定時信號，類比開關 705 取樣視頻信號，並供給給信號線。

接下來，對掃描線驅動電路 702 的結構進行說明。掃描線驅動電路 702 具有移位暫存器 706、緩衝器 707。此外，根據情況也可以具有電平轉移電路。在掃描線驅動電路 702 中，藉由對移位暫存器 706 輸入時脈信號 (CLK) 及起始脈衝信號 (SP) 生成選擇信號。生成了的選擇信號在緩衝器 707 中被緩衝放大，而供給給對應的掃描線。一條線上的像素所具有的電晶體的閘極連接到掃描線。而且，需要使一條線上的像素的電晶體同時導通，因此採用能夠流過大電流的緩衝器 707。

關於全彩色液晶顯示裝置，在將對應於 R(紅)、G(綠)、B(藍)的視頻信號按順序取樣而供給給對應的信號線的情況下，用於連接移位暫存器 704 和類比開關 705 的端子數目相當於用於連接類比開關 705 和像素部 701 的信號線的端子數目的三分之一左右。因此，藉由將類比開關 705 形成在與像素部 701 相同的基板上，與將類比開關 705 形成在與像素部 701 不同的基板上時相比，可以減少用於連接另外形成的基板的端子數目，並且抑制連接不良的發生比例，來可以提高成品率。

圖 32 所示的掃描線驅動電路 702 具有移位暫存器 706 及緩衝器 707，但是掃描線驅動電路 702 也可以由移位暫存器 706 構成。

圖 32 所示的結構只是本發明的顯示裝置的一個方式，信號線驅動電路和掃描線驅動電路的結構不局限於此。圖 32 所示的電路由使用微晶半導體的電晶體構成的

液晶顯示裝置能夠使電路進行高速工作。例如，當對使用非晶半導體膜的情況和使用微晶半導體膜的情況進行比較時，使用微晶半導體膜的電晶體的遷移率高，因此可以提高驅動電路(例如掃描線驅動電路 702 的移位暫存器 706)的驅動頻率。由於能夠使掃描線驅動電路 702 進行高速工作，所以可以實現提高圖框頻率或黑屏插入等。

在提高圖框頻率的情況下，較佳與圖像的運動方向相應地產生螢幕的資料。就是說，較佳進行運動補償來內插資料。像這樣，藉由提高圖框頻率並內插圖像資料，可以改善動畫的顯示特性並可以進行平滑的顯示。例如，藉由將圖框頻率設定為 2 倍(例如 120Hz、100Hz)以上，更較佳為 4 倍(例如 480Hz、400Hz)以上，可以減少動畫中的圖像模糊或視覺殘留。在此情況下，藉由還以提高驅動頻率的方式使掃描線驅動電路 702 工作，可以提高圖框頻率。

在進行黑屏插入的情況下，採用能夠將圖像資料或成為黑色顯示的資料提供給像素部 701 的方式。其結果是，成為與脈衝驅動類似的方式，並可以減少視覺殘留。在此情況下，藉由還以提高驅動頻率的方式使掃描線驅動電路 702 工作，可以進行黑屏插入。

再者，藉由增大掃描線驅動電路 702 的電晶體的通道寬度，或者配置多個掃描線驅動電路，等等，可以實現更高的圖框頻率。例如，可以將圖框頻率設定為 8 倍(例如 960Hz、800Hz)以上。在配置多個掃描線驅動電路的情況

下，藉由將用來驅動第偶數行的掃描線的掃描線驅動電路配置在一側，並將用來驅動第奇數行的掃描線的掃描線驅動電路配置在相反的一側，可以實現提高圖框頻率。

藉由使用由微晶半導體構成的電晶體構成圖 32 所示的電路，可以縮小佈局面積。由此，可以縮小作為顯示裝置的一個例子的液晶顯示裝置的邊框。例如，當對使用非晶半導體膜的情況和使用微晶半導體膜的情況進行比較時，使用微晶半導體膜的電晶體的遷移率高，因此可以縮小電晶體的通道寬度。其結果是，可以實現液晶顯示裝置的窄邊框化。

當對使用非晶半導體膜的情況和使用微晶半導體膜的情況進行比較時，在使用微晶半導體膜的情況下不容易退化。因此，在使用微晶半導體膜的情況下，可以縮小電晶體的通道寬度。或者，即使不配置對退化的補償用電路，也可以正常地工作。因此，可以縮小每個像素中的電晶體的平面面積。

實施模式 8

接下來，對相當於本發明的顯示裝置的一個方式的液晶顯示面板的外觀及截面，使用圖 33A 和 33B 進行說明。圖 33A 是藉由使用密封劑 4005 將形成在第一基板 4001 上的具有微晶半導體膜的薄膜電晶體 4010 及液晶元件 4013 密封在第一基板 4001 與第二基板 4006 之間的面板的俯視圖，圖 33B 相當於沿圖 33A 的 A-A' 的剖視圖。

以圍繞在第一基板 4001 上設置的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封劑 4005。另外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，像素部 4002 和掃描線驅動電路 4004 與液晶 4008 一起由第一基板 4001、密封劑 4005、以及第二基板 4006 密封。另外，在第一基板 4001 上的與由密封劑 4005 圍繞的區域不同的區域中安裝有在另外準備的基板上由多晶半導體膜形成的信號線驅動電路 4003。此外，雖然在本實施模式中，對將具有由多晶半導體膜構成的薄膜電晶體的信號線驅動電路貼合到第一基板 4001 的一例進行說明，但是也可以由使用單晶半導體的電晶體形成信號線驅動電路並貼合。圖 33A 和 33B 例示包含於信號線驅動電路 4003 的由多晶半導體膜形成的薄膜電晶體 4009。

設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 具有多個薄膜電晶體，圖 33B 例示包含於像素部 4002 的薄膜電晶體 4010。薄膜電晶體 4010 相當於使用微晶半導體膜的薄膜電晶體。

另外，附圖標記 4013 相當於液晶元件。液晶元件 4013 所具有的像素電極 4030 藉由佈線 4040 與薄膜電晶體 4010 電連接。液晶元件 4013 的對置電極 4031 形成在第二基板 4006 上。像素電極 4030、對置電極 4031、以及液晶 4008 重疊的部分相當於液晶元件 4013。

此外，作為第一基板 4001、第二基板 4006，可以使用玻璃、金屬(代表為不銹鋼)、陶瓷、塑膠。作為塑膠，

可以使用 FRP(Fiberglass-Reinforced Plastics，即纖維增強塑膠)板、PVF(聚氟乙烯)薄膜、聚酯薄膜或丙烯酸樹脂薄膜。另外，也可以採用由 PVF 薄膜或聚酯薄膜夾有鋁箔的薄片。

另外，球狀的隔離物 4035 用來控制像素電極 4030 和對置電極 4031 之間的距離(單元間隙)。此外，也可以使用藉由選擇性地蝕刻絕緣膜而獲得的隔離物。

此外，供給給另外形成的信號線驅動電路 4003 和掃描線驅動電路 4004 或像素部 4002 的各種信號及電位，藉由引導佈線 4014 及引導佈線 4015 從 FPC4018 提供。

在本實施模式中，連接端子 4016 由與液晶元件 4013 所具有的像素電極 4030 相同的導電膜形成。另外，引導佈線 4014、引導佈線 4015 由與佈線 4040 相同的導電膜形成。

連接端子 4016 與 FPC4018 所具有的端子藉由各向異性導電膜 4019 電連接。

此外，雖然未圖示，本實施模式所示的液晶顯示裝置具有定向膜、偏振片，進而也可以具有顏色濾光片、遮罩膜。

此外，圖 33A 和 33B 示出另外形成信號線驅動電路 4003 並安裝到第一基板 4001 的一例，但是本實施模式不局限於該結構。既可以另外形成掃描線驅動電路並安裝，又可以另外僅形成信號線驅動電路的一部分或掃描線驅動電路的一部分並安裝。

本實施模式可以與其他實施模式所記載的結構組合而實施。

實施模式 9

接下來，對相當於本發明的顯示裝置的一個方式的發光顯示面板的外觀及截面，使用圖 34A 和 34B 進行說明。圖 34A 是藉由使用密封劑將形成在第一基板上的使用微晶半導體膜的薄膜電晶體及發光元件密封在第一基板與第二基板之間的面板的俯視圖，圖 34B 相當於沿圖 34A 的 A-A' 的剖視圖。

以圍繞在第一基板 4001 上設置的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封劑 4005。另外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，像素部 4002 和掃描線驅動電路 4004 與填料 4007 一起由第一基板 4001、密封劑 4005、以及第二基板 4006 密封。另外，在第一基板 4001 上的與由密封劑 4005 圍繞的區域不同的區域中安裝有在另外準備的基板上由多晶半導體膜形成的信號線驅動電路 4003。此外，雖然在本實施模式中，對將具有由多晶半導體膜構成的薄膜電晶體的信號線驅動電路貼合到第一基板 4001 的一例進行說明，但是也可以由使用單晶半導體的電晶體形成信號線驅動電路並貼合。圖 34B 例示包含於信號線驅動電路 4003 的由多晶半導體膜形成的薄膜電晶體 4009。

設置在第一基板 4001 上的像素部 4002 和掃描線驅動

電路 4004 具有多個薄膜電晶體，圖 34B 例示包含於像素部 4002 的薄膜電晶體 4010。此外，在本實施模式中，雖然假定了薄膜電晶體 4010 為驅動 TFT，但是薄膜電晶體 4010 既可以為電流控制 TFT，又可以為擦除 TFT。薄膜電晶體 4010 相當於由微晶半導體膜構成的薄膜電晶體。

另外，發光元件 4011 所具有的像素電極 4017 藉由佈線 4020 與薄膜電晶體 4010 的源極電極或汲極電極電連接。在本實施模式中，發光元件 4011 的共同電極和具有透光性的導電膜 4012 電連接。此外，發光元件 4011 的結構不局限於本實施模式所示的結構。根據從發光元件 4011 取出的光的方向或薄膜電晶體 4010 的極性等，可以適當地改變發光元件 4011 的結構。

此外，供給給另外形成的信號線驅動電路 4003 和掃描線驅動電路 4004 或像素部 4002 的各種信號及電位，雖然在圖 34B 所示的剖視圖中未圖示，但是藉由引導佈線 4014 及引導佈線 4015 從 FPC4018 提供。

在本實施模式中，連接端子 4016 由與發光元件 4011 具有的像素電極 4017 相同的導電膜形成。另外，引導佈線 4014、引導佈線 4015 由與佈線 4020 相同的導電膜形成。

連接端子 4016 與 FPC4018 所具有的端子藉由各向異性導電膜 4019 電連接。

位於從發光元件 4011 取出光的方向的第二基板必須為透明。在此情況下，使用玻璃板、塑膠板、聚酯薄膜或

丙烯酸薄膜等具有透光性的材料。

另外，作為填充 4007 除了氮或氬等惰性的氣體之外，還可以使用紫外線硬化樹脂或熱硬化樹脂，即可以使用 PVC(聚氯乙烯)、丙烯、聚醯亞胺、環氧樹脂、矽樹脂、PVB(聚乙烯醇縮丁醛)、或 EVA(ethylene vinyl acetate，即乙烯-醋酸乙烯酯)。在本實施模式中作為填充使用氮。

另外，若有需要，也可以在發光元件的射出表面上適當地提供諸如偏振片、圓偏振片(包括橢圓偏振片)、相位差板($\lambda/4$ 片、 $\lambda/2$ 片)、以及顏色濾光片等的光學膜。另外，也可以在偏振片或圓偏振片上提供抗反射膜。例如，可以執行抗眩光處理，該處理是利用表面的凹凸來擴散反射光並降低眩光的。

此外，圖 34A 和 34B 示出另外形成信號線驅動電路 4003 並安裝到第一基板 4001 的一例，但是本實施模式不局限於該結構。既可以另外形成掃描線驅動電路並安裝，又可以另外僅形成信號線驅動電路的一部分或掃描線驅動電路的一部分並安裝。

本實施模式可以與其他實施模式所記載的結構組合而實施。

實施模式 10

根據本發明而獲得的顯示裝置等可以用於主動矩陣型顯示裝置模組。換句話說，其顯示部分安裝有上述模組的

所有電子設備均可以實施本發明。

作為這種電子設備，可以舉出影像拍攝裝置如攝像機或數位照相機等、頭戴式顯示器(護目鏡型顯示器)、汽車導航系統、投影機、汽車音響、個人電腦、可攜式資訊終端(移動電腦、移動電話或電子書籍等)等。圖 30A 至 30D 示出了其一例。

圖 30A 表示電視裝置。如圖 30A 所示，可以將顯示模組組裝在外殼中來完成電視裝置。將安裝了 FPC 的顯示面板還稱為顯示模組。由顯示模組形成主畫面 2003，作為其他附屬裝置還具有揚聲器部分 2009、操作開關等。如上所述，可以完成電視裝置。

如圖 30A 所示，在外殼 2001 中組裝利用了顯示元件的顯示用面板 2002，並且可以由接收器 2005 接收普通的電視廣播，而且藉由數據機 2004 連接到有線或無線方式的通訊網絡，從而還可以進行單向(從發送者到接收者)或雙向(在發送者和接收者之間，或者在接收者之間)的資訊通訊。電視裝置的操作可以由組裝在外殼中的開關或另外的遙控裝置 2006 進行，並且該遙控裝置 2006 也可以設置有顯示輸出資訊的顯示部分 2007。

另外，電視裝置還可以附加有如下結構：除了主畫面 2003 以外，使用第二顯示用面板形成輔助畫面 2008，並顯示頻道或音量等。在這種結構中，也可以採用優越於視角的液晶顯示面板形成主畫面 2003，並且採用能夠以低耗電量進行顯示的發光顯示面板形成輔助畫面。另外，為

了優先地減小耗電量，也可以採用如下結構：使用發光顯示面板形成主畫面 2003，使用發光顯示面板形成輔助畫面，並且輔助畫面能夠點亮和熄滅。

圖 31 是電視裝置的主要結構的方塊圖。像素部 921 形成在顯示面板上。可以採用 COG 方法將信號線驅動電路 922 和掃描線驅動電路 923 安裝在顯示面板上。

作為其他外部電路的結構，在視頻信號的輸入一側具有視頻信號放大電路 925、視頻信號處理電路 926、控制電路 927 等。其中，視頻信號放大電路 925 放大調諧器 924 所接收信號中的視頻信號，視頻信號處理電路 926 將從視頻信號放大電路 925 輸出的信號轉換成對應於紅、綠和藍各種顏色的色信號，控制電路 927 將該視頻信號轉換成驅動器 IC 輸入規格。控制電路 927 將信號輸出到掃描線側和信號線側。在進行數位驅動的情況下，可以採用如下結構：在信號線一側設置信號分割電路 928，並將輸入數位信號劃分成 m 個而供給。

由調諧器 924 接收的信號中的音頻信號被發送到音頻信號放大電路 929，並經音頻信號處理電路 930 供給到揚聲器 933。控制電路 931 從輸入部 932 接收有關接收站(接收頻率)或音量的控制資訊，並將信號傳送到調諧器 924 和音頻信號處理電路 930。

當然，本發明不局限於電視裝置，還可以應用於各種用途如個人電腦的監視器、鐵路的車站或飛機場等中的資訊顯示幕、街頭上的廣告顯示幕等大面積顯示媒體。

圖 30B 表示可攜式電話機 2301 的一例。該可攜式電話機 2301 包括顯示部 2302、操作部 2303 等而構成。在顯示部 2302 中，應用上述實施模式所說明的顯示裝置，而可以提高批量生產性。

另外，圖 30C 所示的便攜型電腦包括主體 2401、顯示部 2402 等。藉由對顯示部 2402 應用上述實施模式所示的顯示裝置，可以提高批量生產性。

圖 30D 是桌照明燈，其包括照明部分 2501、燈罩 2502、可變臂 2503、支座 2504、基座 2505 和電源 2506。對於照明部分 2501，使用實施模式 6 所示的發光裝置來製造桌照明燈。此外，照明燈包括固定到天花板上的照明燈和壁掛照明燈等。藉由應用實施模式 6 所示的顯示裝置，可以提高批量生產性，並可以提供廉價的桌照明燈。

本說明書根據 2007 年 8 月 17 日在日本專利局受理的日本專利申請號 2007-213057 而製作，申請內容包括在本說明書中。

【圖式簡單說明】

在附圖中：

圖 1A 至 1D 是說明本發明的製造方法的剖視圖；

圖 2A 至 2D 是說明本發明的製造方法的剖視圖；

圖 3A 至 3C 是說明本發明的製造方法的剖視圖；

圖 4 是說明本發明的製造方法的俯視圖；

圖 5 示出說明微晶矽膜的 formed 步驟的時序圖的一個例子；

圖 6 是示出具有三個處理室的多室式電漿 CVD 設備的結構的俯視圖；

圖 7 是示出具有四個處理室的多室式電漿 CVD 設備的結構的俯視圖；

圖 8A 至 8D 是說明可適用於本發明的多灰度掩模的圖；

圖 9A 和 9B 是本發明的製造步驟的剖視圖；

圖 10A 至 10C 是本發明的製造步驟的剖視圖；

圖 11A 和 11B 是本發明的製造步驟的剖視圖；

圖 12A 至 12C 是本發明的製造步驟的俯視圖；

圖 13 是說明液晶顯示裝置的一個例子的圖；

圖 14 是說明液晶顯示裝置的一個例子的圖；

圖 15 是說明液晶顯示裝置的一個例子的圖；

圖 16 是說明液晶顯示裝置的一個例子的圖；

圖 17 是說明液晶顯示裝置的一個例子的圖；

圖 18 是說明液晶顯示裝置的一個例子的圖；

圖 19 是說明液晶顯示裝置的一個例子的圖；

圖 20 是說明液晶顯示裝置的一個例子的圖；

圖 21 是說明液晶顯示裝置的一個例子的圖；

圖 22 是說明液晶顯示裝置的一個例子的圖；

圖 23 是說明本發明的液晶顯示裝置的圖；

圖 24 是說明本發明的液晶顯示裝置的圖；

圖 25 是說明液晶顯示裝置的一個例子的圖；

圖 26 是說明液晶顯示裝置的一個例子的圖；

圖 27A 和 27B 是說明發光裝置的製造方法的一個例子的剖視圖；

圖 28A 至 28C 是說明可適用於發光裝置的像素的剖視圖；

圖 29A 至 29C 是說明顯示面板的立體圖；

圖 30A 至 30D 是說明使用發光裝置的電子設備的立體圖；

圖 31 是說明使用發光裝置的電子設備的圖；

圖 32 是說明發光裝置的結構的方塊圖；

圖 33A 和 33B 是說明顯示面板的俯視圖及剖視圖；

圖 34A 和 34B 是說明顯示面板的俯視圖及剖視圖。

【主要元件符號說明】

11：像素部

12：驅動電路部

23：微晶半導體膜

50：基板

51：閘極電極

52a、52b、52c：閘極絕緣膜

53：微晶半導體膜

54：緩衝層

55：添加有賦予一導電類型的雜質的半導體膜

- 56 : 抗蝕劑掩模
- 59 : 多灰度掩模
- 61 : 微晶半導體膜
- 62 : 緩衝層
- 63 : 添加有賦予一導電類型的雜質的半導體膜
- 65 a、65 b、65 c : 導電膜
- 66 : 抗蝕劑掩模
- 71 a、71 b、71 c : 源極電極及汲極電極
- 72 : 源極區及汲極區
- 73 : 緩衝層
- 74 : 薄膜電晶體
- 76 : 絕緣膜
- 77 : 像素電極
- 80 : 抗蝕劑掩模
- 81 : 抗蝕劑掩模
- 83 : 薄膜電晶體
- 84 : 薄膜電晶體
- 85 a、85 b、85 c : 導電膜
- 87 : 緩衝層
- 86 : 抗蝕劑掩模
- 88 : 源極區及汲極區
- 90 : 微晶半導體膜
- 91 : 隔離牆
- 92 a、92 b、92 c : 源極電極及汲極電極

- 93 : 平坦化膜
- 94 : 像素電極
- 95 : 發光層
- 96 : 共同電極
- 97 : 保護膜
- 98 : 發光元件
- 100a : 第一反應室
- 100b : 第二反應室
- 100c : 第三反應室
- 100d : 第四反應室
- 104 : 高頻電源
- 106 : 匹配器
- 108 : 氣體供給單元
- 108g : 氣體供給單元
- 108i : 氣體供給單元
- 108n : 氣體供給單元
- 108a : 氣體供給單元
- 108f : 氣體供給單元
- 118 : 導閥
- 119 : 渦輪分子泵
- 120 : 乾泵
- 121 : 低溫泵
- 122 : 裝載/卸載室
- 123 : 公共室

- 124 : 盒子
- 125 : 閘極閥
- 126 : 搬運機構
- 127 : 開關
- 200 : 真空排氣
- 201 : 預塗
- 202 : 基板搬入
- 203 : 基底預處理
- 204 : 沉積處理
- 205 : 基板搬出
- 206 : 淨化
- 207 : 虛線
- 600 : 基板
- 601 : 對置基板
- 602 : 閘極佈線
- 603 : 閘極佈線
- 604 : 第一電容佈線
- 605 : 電容佈線
- 606 : 閘極絕緣膜
- 609 : 公共電位線
- 615 : 電容電極
- 616 : 佈線
- 617 : 第二電容佈線
- 618 : 佈線

- 619 : 佈線
- 620 : 絕緣膜
- 622 : 第三絕緣膜
- 623 : 接觸孔
- 624 : 像素電極
- 625 : 狹縫
- 626 : 像素電極
- 627 : 接觸孔
- 628 : TFT/薄膜電晶體
- 629 : TFT/薄膜電晶體
- 630 : 保持電容部
- 631 : 保持電容部
- 632 : 間隔物/遮光膜
- 633 : 接觸孔
- 634 : 第一著色膜
- 636 : 第二著色膜
- 637 : 平坦化膜
- 638 : 第三著色膜
- 640 : 對置電極
- 641 : 狹縫
- 642 : 間隔物
- 644 : 突起
- 646 : 取向膜
- 648 : 取向膜

- 650 : 液晶層
- 651 : 液晶元件
- 652 : 液晶元件
- 701 : 像素部
- 702 : 掃描線驅動電路
- 703 : 信號線驅動電路
- 704 : 移位暫存器
- 705 : 類比開關
- 706 : 移位暫存器
- 707 : 移位暫存器
- 921 : 像素部
- 922 : 信號線驅動電路
- 923 : 掃描線驅動電路
- 924 : 調諧器
- 925 : 視頻信號放大電路
- 926 : 視頻信號處理電路
- 927 : 控制電路
- 928 : 信號分割電路
- 929 : 音頻信號放大電路
- 930 : 音頻信號處理電路
- 931 : 音頻信號處理電路
- 932 : 輸入部
- 933 : 揚聲器
- 2001 : 外殼

- 2002 : 顯示用面板
- 2003 : 主畫面
- 2004 : 數據機
- 2005 : 接收機
- 2006 : 遙控裝置
- 2007 : 顯示部分
- 2008 : 輔助畫面
- 2009 : 顯示用面板
- 2301 : 可攜式電話機
- 2302 : 顯示部
- 2303 : 操作部
- 2401 : 操作部
- 2402 : 顯示部
- 2501 : 照明部分
- 2502 : 照明部分
- 2503 : 可變臂
- 2504 : 支座
- 2505 : 基座
- 2506 : 電源
- 4001 : 第一基板
- 4002 : 像素部
- 4003 : 信號線驅動電路
- 4004 : 掃描線驅動電路
- 4005 : 密封劑

- 4006：第二基板
- 4007：填料
- 4008：液晶
- 4009：薄膜電晶體
- 4010：薄膜電晶體
- 4011：發光元件
- 4012：導電膜
- 4013：液晶元件
- 4014：引導佈線
- 4015：引導佈線
- 4016：連接端子
- 4017：發光元件
- 4018：FPC
- 4019：各向異性導電膜
- 4020：佈線
- 4030：像素電極
- 4031：對置電極
- 4035：隔離物
- 4040：佈線
- 6011：基板
- 6012：像素部
- 6013：信號線驅動電路
- 6014：掃描線驅動電路
- 6015：FPC

- 6021 : 基板
- 6022 : 像素部
- 6023 : 信號線驅動電路
- 6024 : 掃描線驅動電路
- 6025 : FPC
- 6031 : 基板
- 6032 : 像素部
- 6033a : 類比開關
- 6033b : 移位暫存器
- 6034 : 掃描線驅動電路
- 6035 : FPC
- 7001 : TFT
- 7002 : 發光元件
- 7003 : 陰極
- 7004 : 發光層
- 7005 : 陽極
- 7011 : TFT
- 7012 : 發光元件
- 7013 : 陰極
- 7014 : 發光層
- 7015 : 陽極
- 7017 : 透光導電材料
- 7021 : TFT
- 7022 : 發光元件

7023 : 陰極

7024 : 發光層

7025 : 陽極

7027 : 透光導電材料

五、中文發明摘要

發明之名稱：半導體裝置製造方法

在閘極電極上形成閘極絕緣膜之後，爲了提高在沉積初期形成的微晶半導體膜的品質，在沉積速率低而成膜品質良好的第一沉積條件下形成閘極絕緣膜介面附近的膜，然後，在沉積速率高的第二沉積條件下沉積膜。再者，接觸微晶半導體膜上地對緩衝層進行層疊。另外，在第一沉積條件下成膜之前，進行氬電漿處理等的稀有氣體電漿處理及氫電漿處理，以去除基板上的吸附水。

六、英文發明摘要

發明之名稱：

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

After a gate insulating film is formed over a gate electrode, in order to improve the quality of a microcrystalline semiconductor film which is formed in an early stage of deposition, a film near an interface with the gate insulating film is formed under a first deposition condition in which a deposition rate is low but the quality of a film to be formed is high, and then, a film is further deposited under a second deposition condition in which a deposition rate is high. Then, a buffer layer is formed to be in contact with the microcrystalline semiconductor film. Further, plasma treatment with a rare gas such as argon or hydrogen plasma treatment is performed before formation of the film under the first deposition condition for removing adsorbed water on a substrate.

十、申請專利範圍

1. 一種半導體裝置製造方法，包含如下步驟：

在具有絕緣表面的基板上形成閘電極；

在該閘極電極上形成絕緣膜；

在該絕緣膜上形成微晶半導體膜；以及

在該微晶半導體膜上形成緩衝層，

其中該微晶半導體膜藉由連續地或不連續地改變沉積條件，使得該緩衝層的介面附近的第一區域的沉積速率高於該絕緣膜的介面附近的第二區域而形成。

2. 一種半導體裝置製造方法，包含如下步驟：

在具有絕緣表面的基板上形成閘極電極；

在該閘極電極上形成絕緣膜；

將該基板置入於真空室內；

將來源氣體引入到該真空室內，並在基板溫度為大於或等於 100°C 且低於 300°C 的第一沉積條件下，形成第一微晶半導體膜；

在剛形成該第一微晶半導體膜之後，在基板溫度、電力量、來源氣體流量、以及真空度中的至少一種與該第一沉積條件不相同的第二沉積條件下，在該真空室內形成第二微晶半導體膜；以及

在該第二微晶半導體膜上形成緩衝層。

3. 根據申請專利範圍第 1 項所述的半導體裝置製造方法，其中，該緩衝層是非晶半導體膜，並且

其中，該緩衝層在與用來形成該微晶半導體膜的該真

空室不相同的真空室中形成，並在基板溫度為大於或等於 300°C 且低於 400°C 的沉積條件下形成。

4. 根據申請專利範圍第 2 項所述的半導體裝置製造方法，

其中，該緩衝層是非晶半導體膜，並且

其中，該緩衝層在與用來形成該第一及第二微晶半導體膜的該真空室不相同的真空室中形成，並在基板溫度為大於或等於 300°C 且低於 400°C 的沉積條件下形成。

5. 根據申請專利範圍第 2 項所述的半導體裝置製造方法，

其中，在將該基板置入於該真空室之前，藉由排氣將該真空室內的大氣設定為超過 $1 \times 10^{-8} \text{ Pa}$ 且小於或等於 $1 \times 10^{-5} \text{ Pa}$ 的真空度，並且

其中，在進行該排氣之後，引入該來源氣體以在該真空室內壁上形成膜。

6. 根據申請專利範圍第 2 項所述的半導體裝置製造方法，其中，在將該基板置入於該真空室之前，藉由排氣將該真空室內的大氣設定為超過 $1 \times 10^{-8} \text{ Pa}$ 且小於或等於 $1 \times 10^{-5} \text{ Pa}$ 的真空度，並且

其中在進行該排氣之後，引入氫氣體或稀有氣體來產生電漿。

7. 根據申請專利範圍第 2 項所述的半導體裝置製造方法，其中，在將該基板置入於該真空室之後，引入氫氣體或稀有氣體以產生電漿。

8. 根據申請專利範圍第 1 項所述的半導體裝置製造方法，還包含如下步驟：

在該緩衝層上形成包含 n 型雜質元素的半導體膜；

在該包含 n 型雜質元素的半導體膜上形成源極電極及汲極電極；

蝕刻該包含 n 型雜質元素的半導體膜，以形成源極區及汲極區；

以及

以使與該源極區及汲極區重疊的區域殘留的方式，蝕刻並去除該緩衝層的一部分。

9. 根據申請專利範圍第 2 項所述的半導體裝置製造方法，還包含如下步驟：

在該緩衝層上形成包含 n 型雜質元素的半導體膜；

在該包含 n 型雜質元素的半導體膜上形成源極電極及汲極電極；

蝕刻該包含 n 型雜質元素的半導體膜，以形成源極區及汲極區；

以及

以使與該源極區及汲極區重疊的區域殘留的方式，蝕刻並去除該緩衝層的一部分。

10. 根據申請專利範圍第 1 項所述的半導體裝置製造方法，其中，在形成該第二區域的該沉積條件下，在一個基板的沉積期間中，藉由關閉高頻電力來提供多個放電停止期間。

11.根據申請專利範圍第 2 項所述的半導體裝置製造方法，其中，在該第二沉積條件下，在一個基板的沉積期間中，藉由關閉高頻電力來提供多個放電停止期間。

12.根據申請專利範圍第 1 項所述的半導體裝置製造方法，其中，形成該微晶半導體膜的來源氣體包含矽烷氣體、氫氣體、以及三甲基硼氣體。

13.根據申請專利範圍第 2 項所述的半導體裝置製造方法，其中，

形成該第一及第二微晶半導體膜的該來源氣體包含矽烷氣體、氫氣體、以及三甲基硼氣體。

14.根據申請專利範圍第 1 項所述的半導體裝置製造方法，其中將形成有該微晶半導體膜的該真空室的內壁加熱到高於形成該微晶半導體膜時之基板溫度的溫度。

15.根據申請專利範圍第 2 項所述的半導體裝置製造方法，其將形成有該第一及第二微晶半導體膜的該真空室的內壁加熱到高於形成該第一及第二微晶半導體膜時之該基板溫度的溫度。

圖 1A

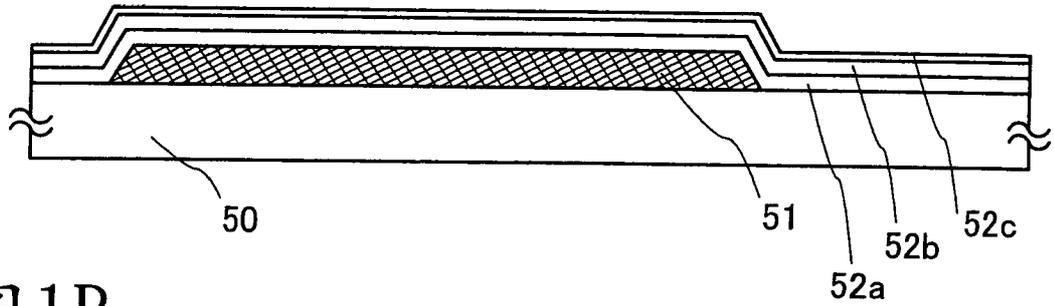


圖 1B

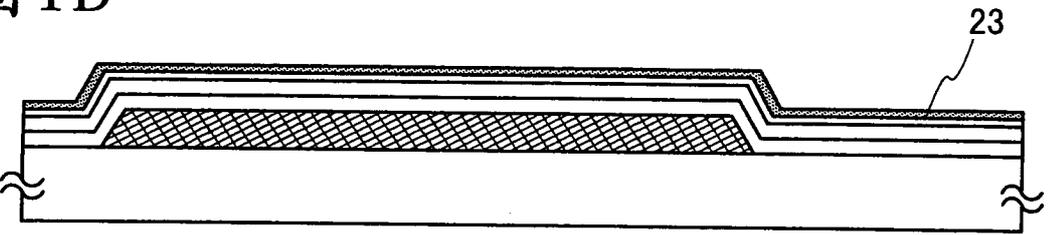


圖 1C

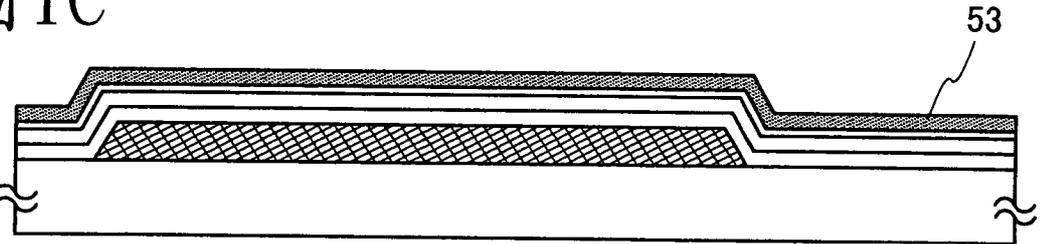


圖 1D

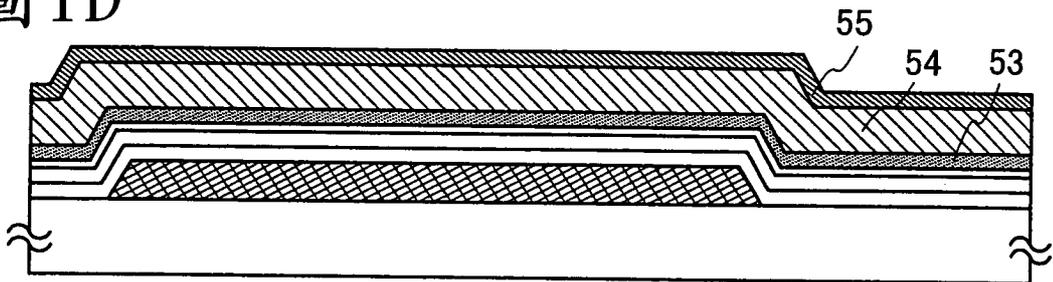


圖 2A

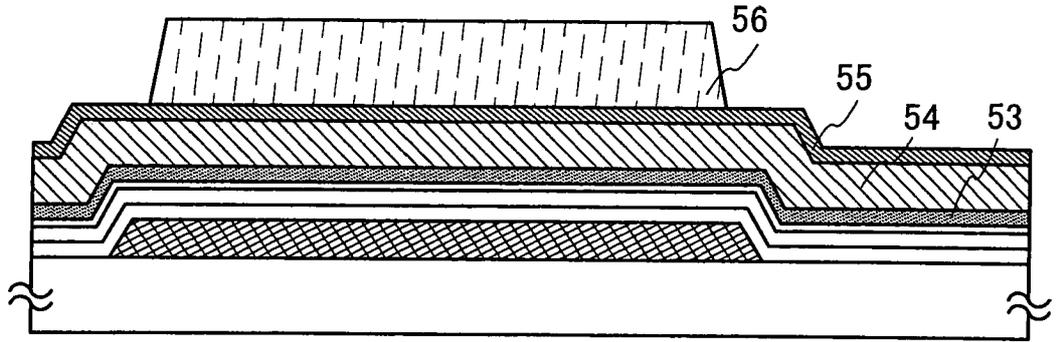


圖 2B

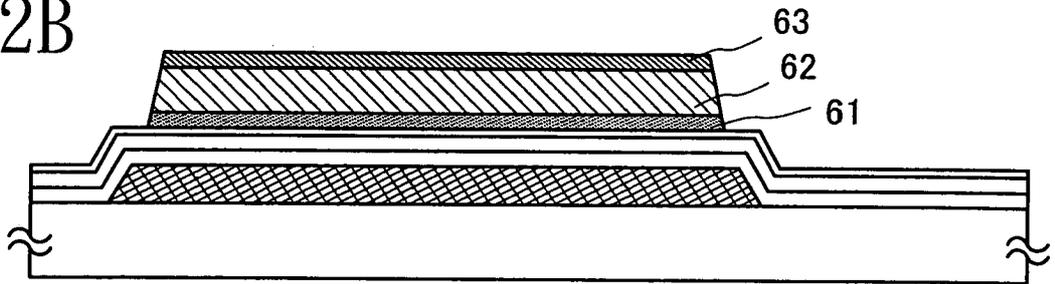


圖 2C

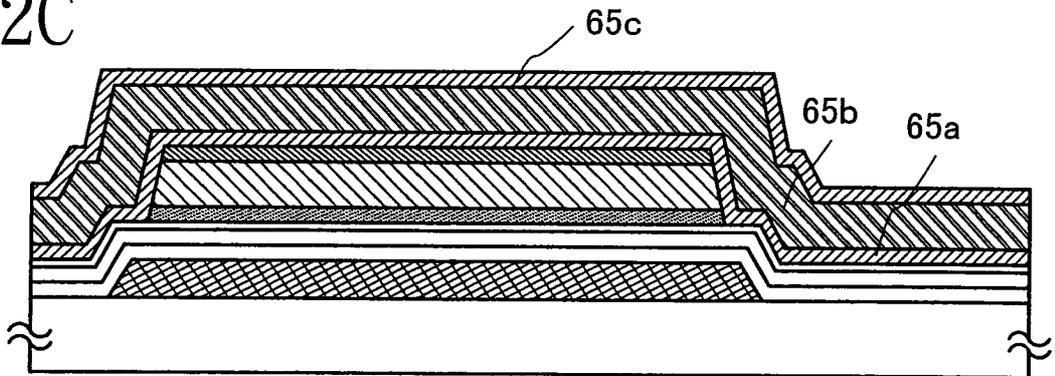


圖 2D

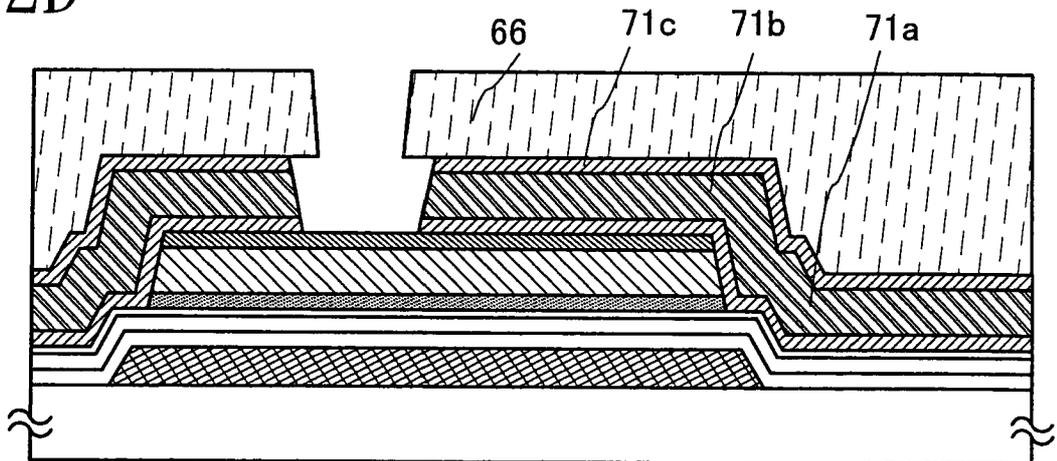


圖 3A

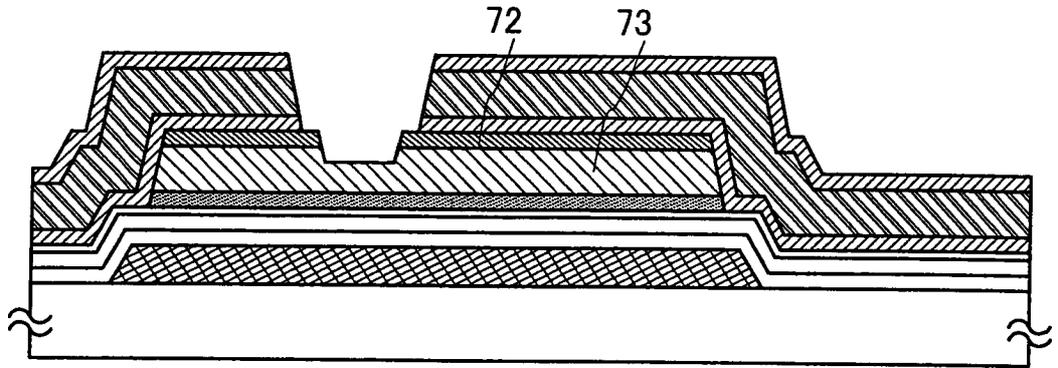


圖 3B

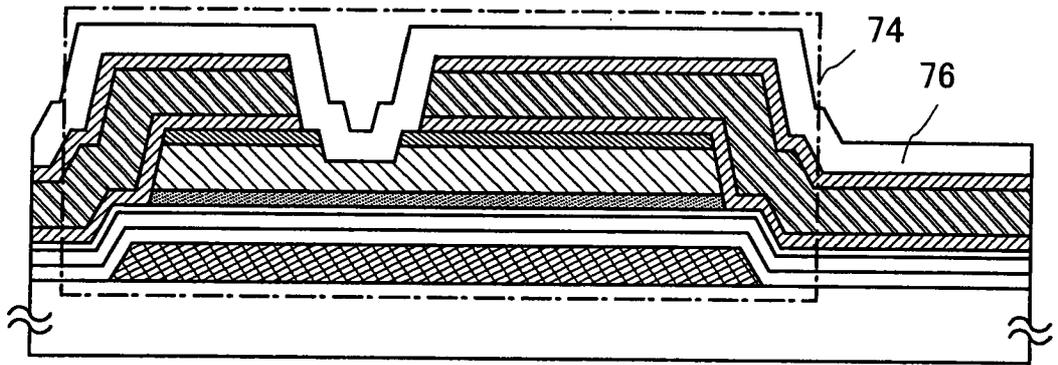


圖 3C

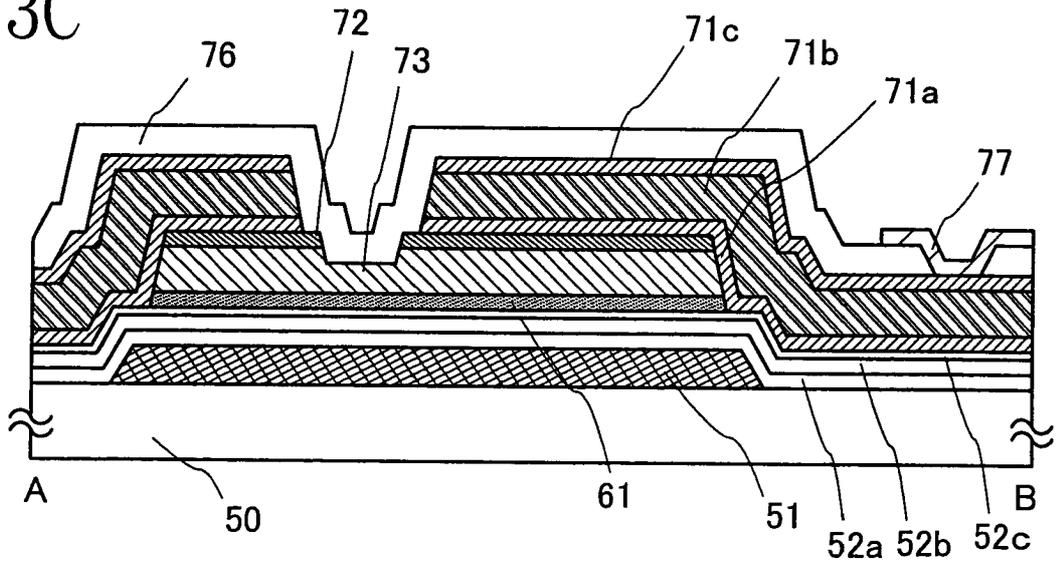


圖4

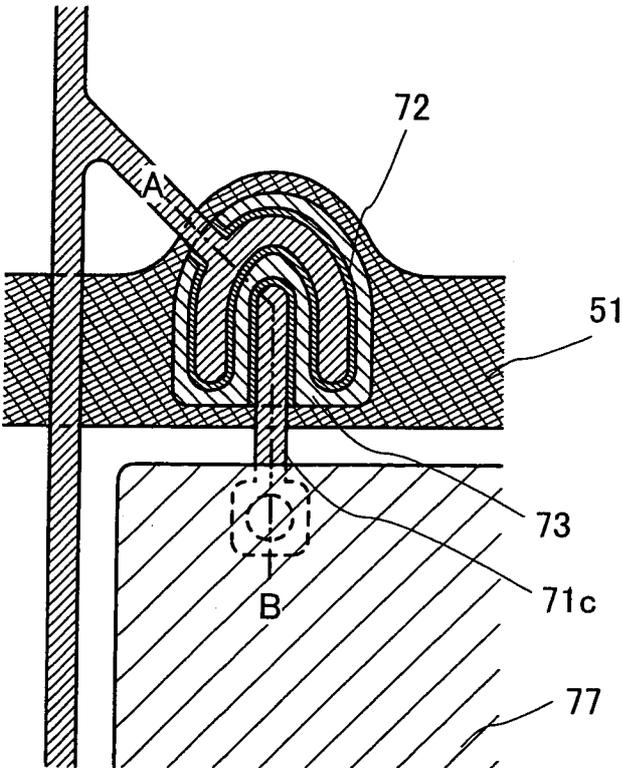


圖5

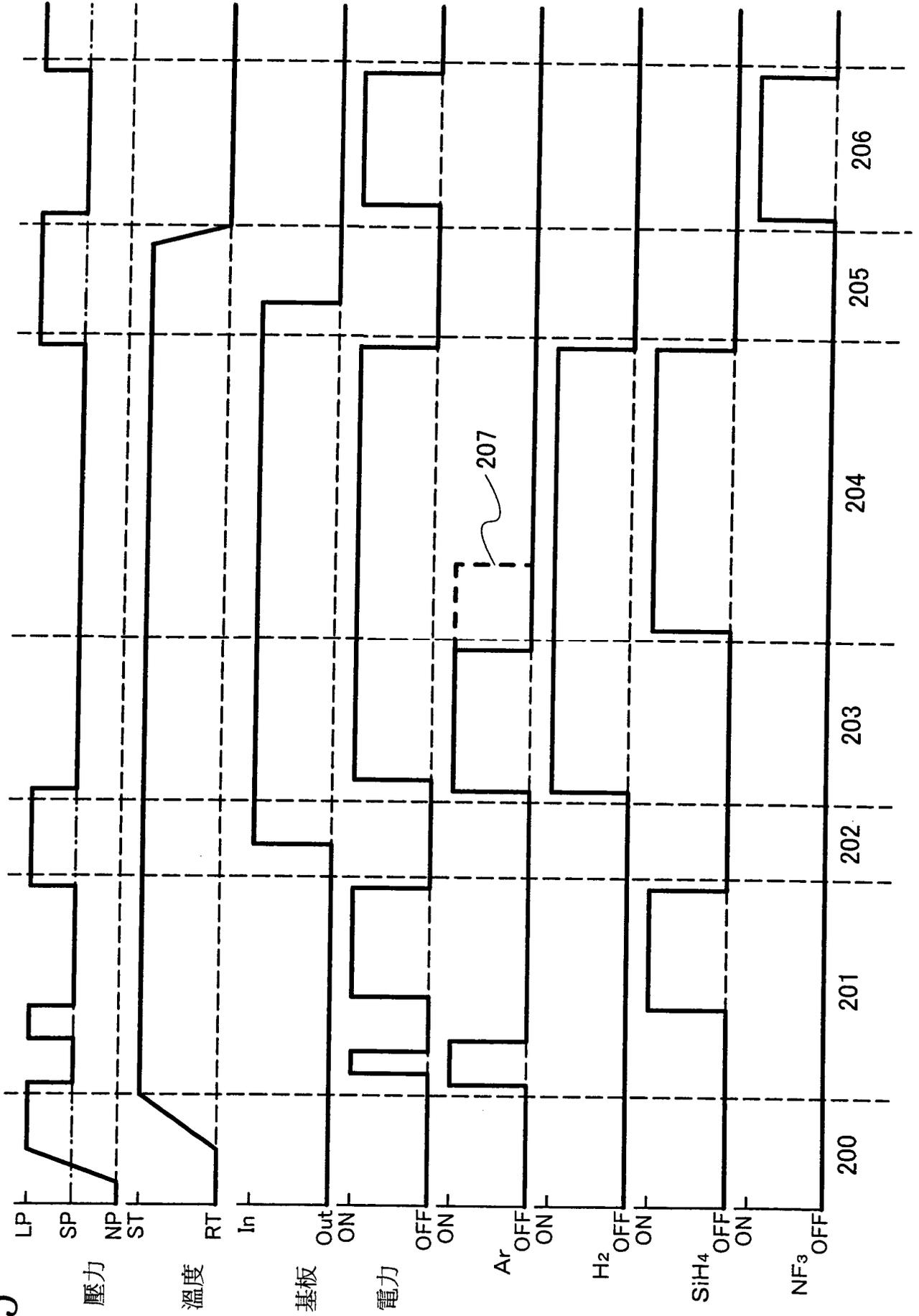


圖6

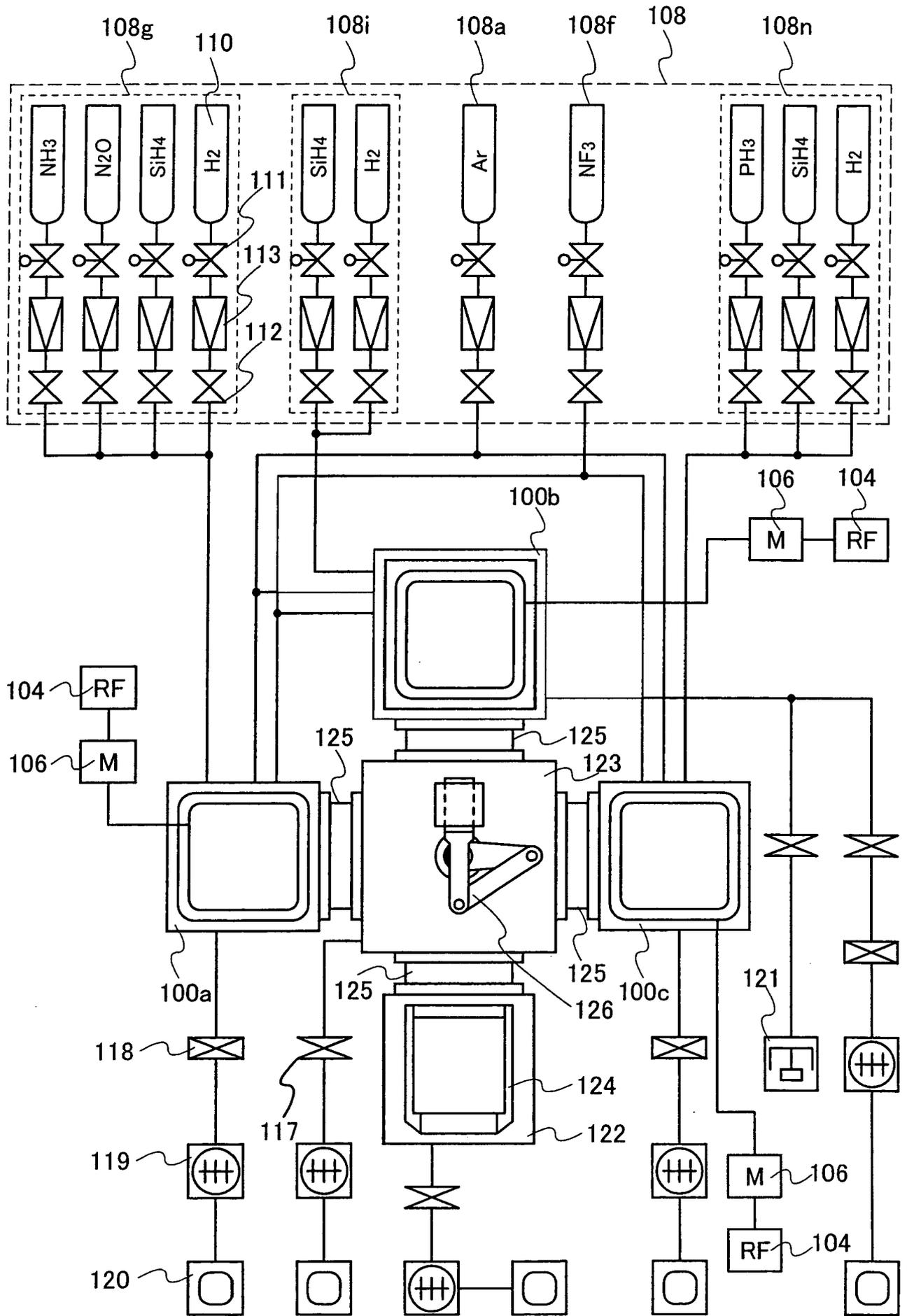


圖 7

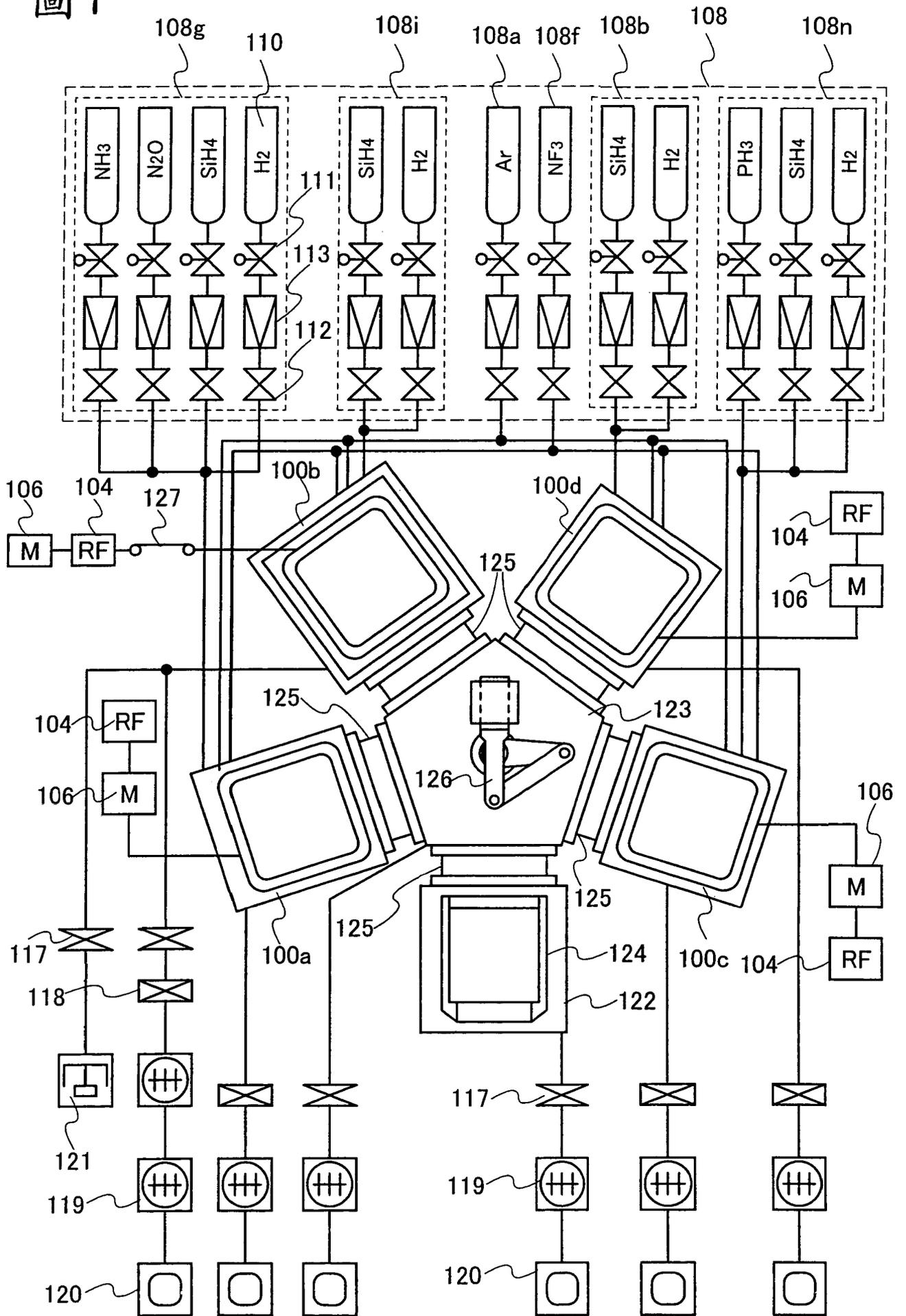


圖 8A

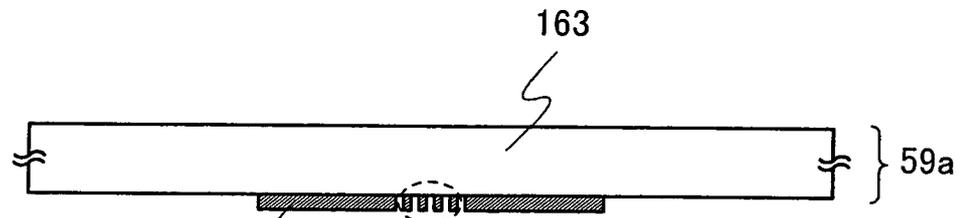


圖 8B



圖 8C

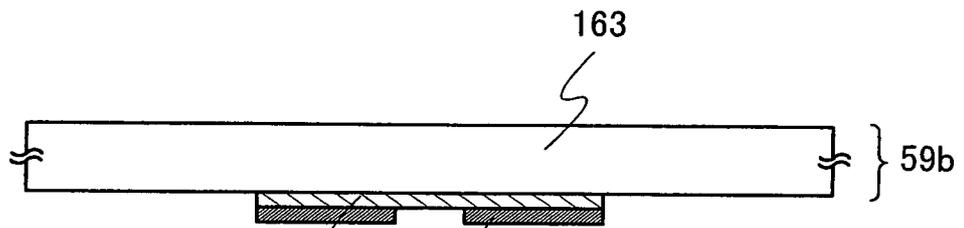


圖 8D

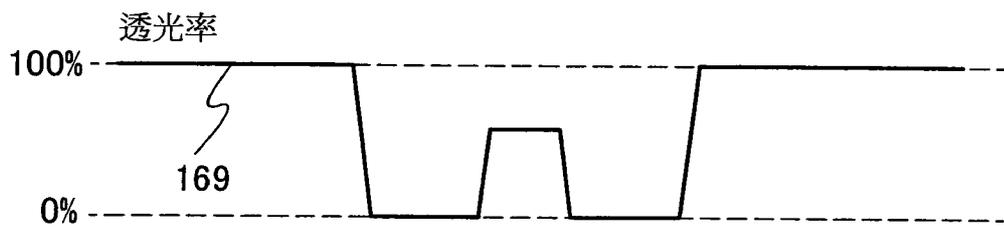


圖 9A

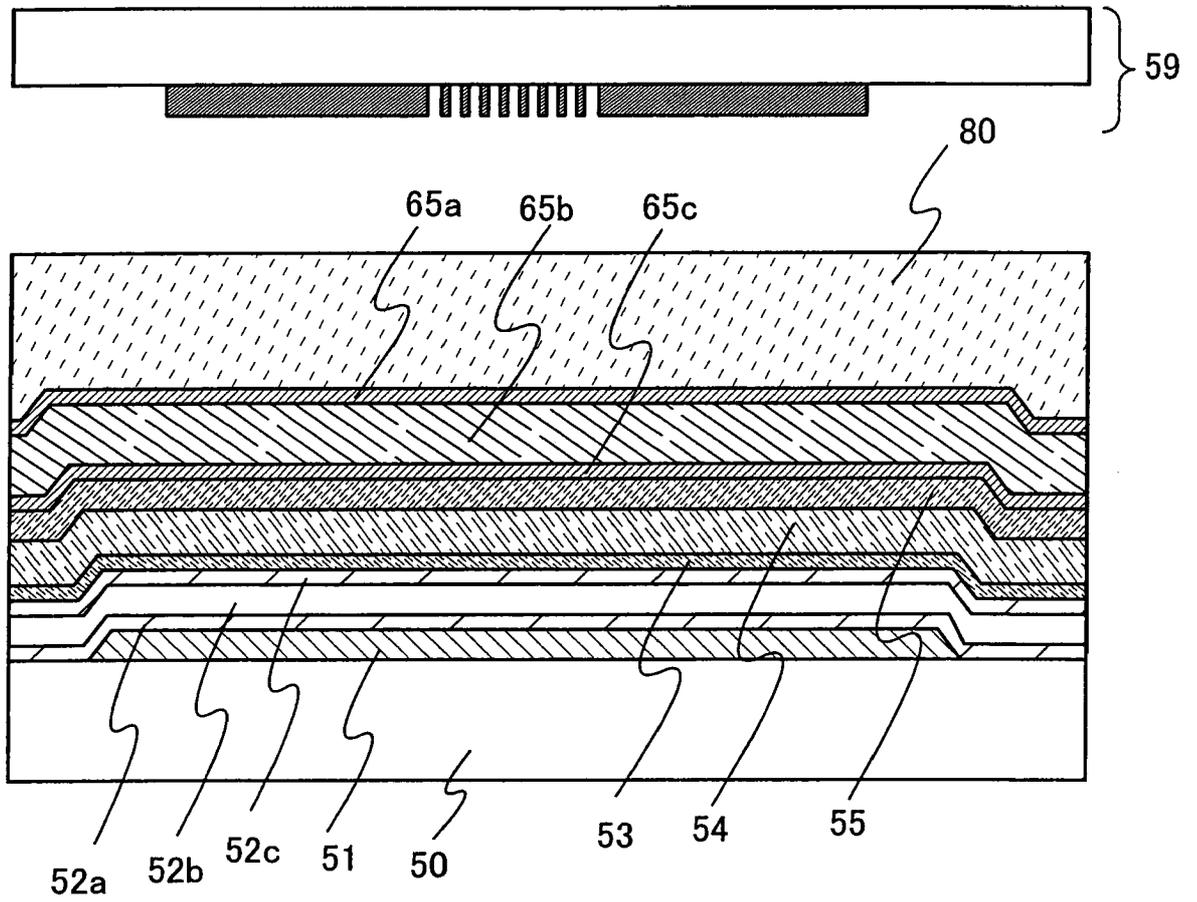


圖 9B

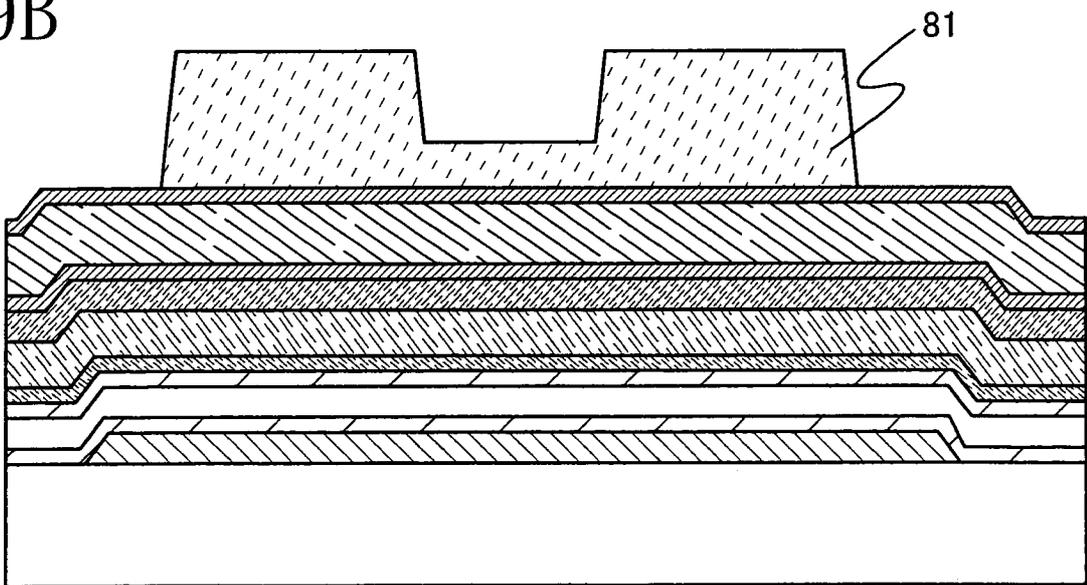


圖 10A

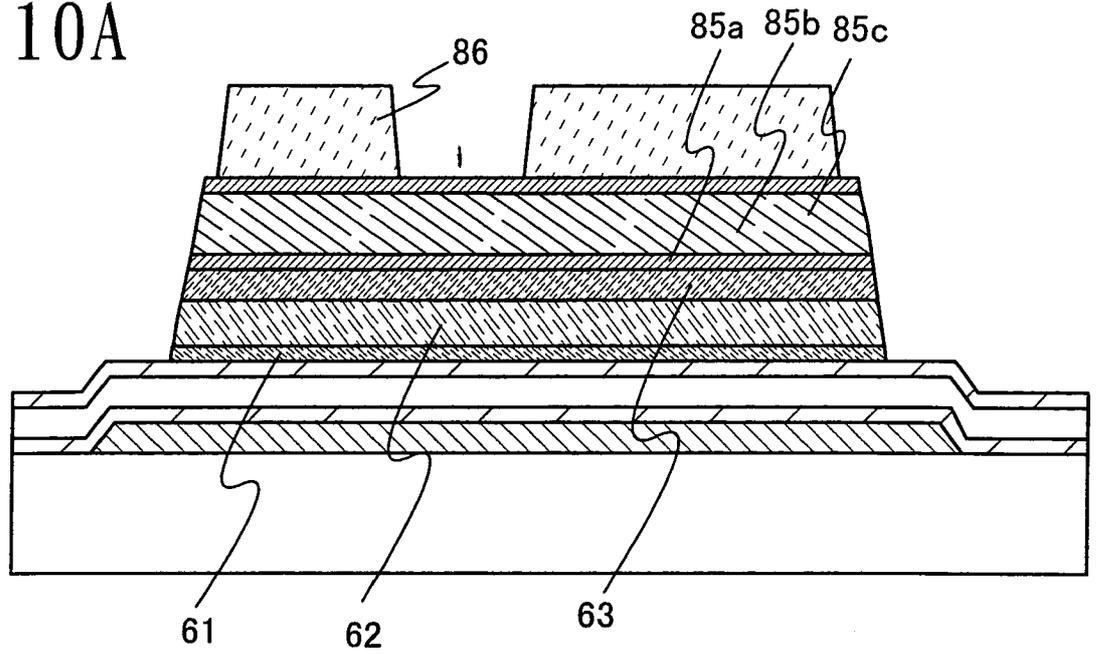


圖 10B

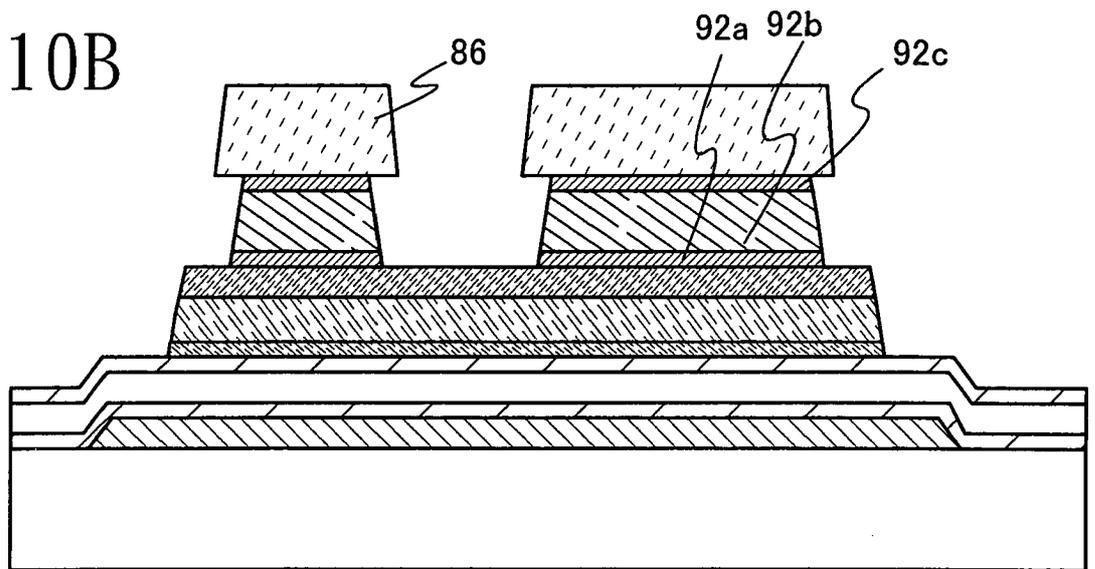


圖 10C

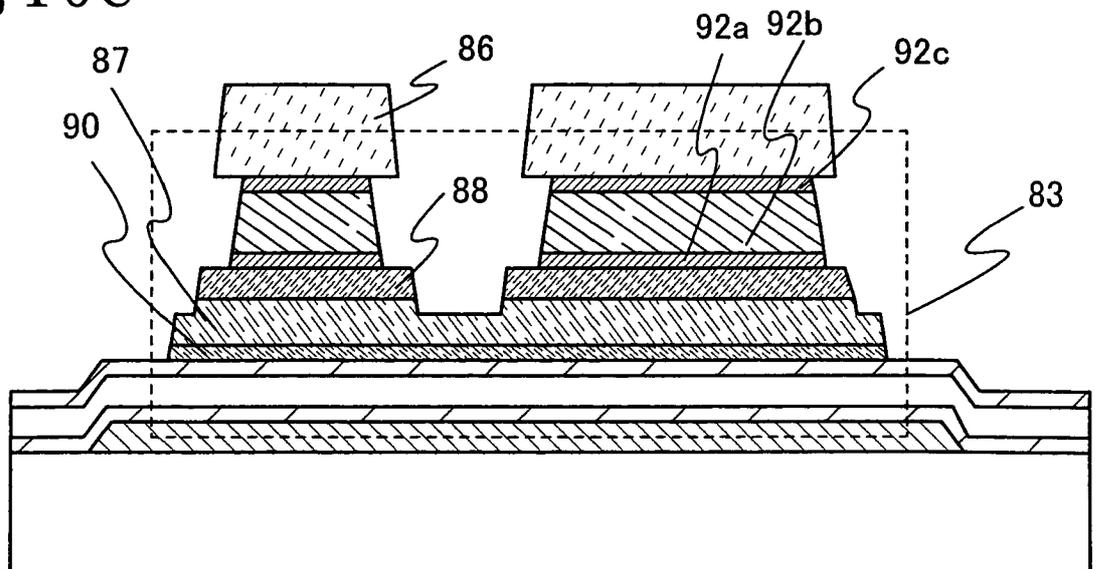


圖 11A

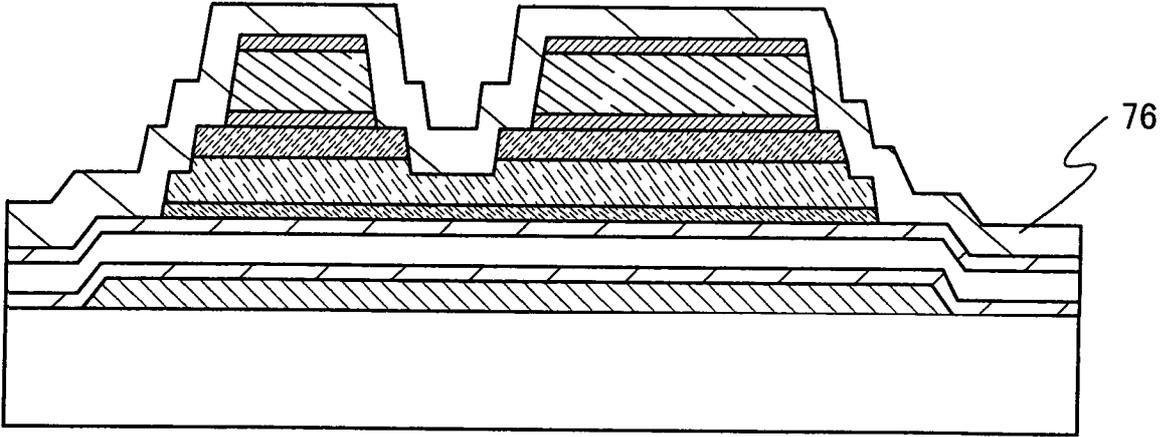


圖 11B

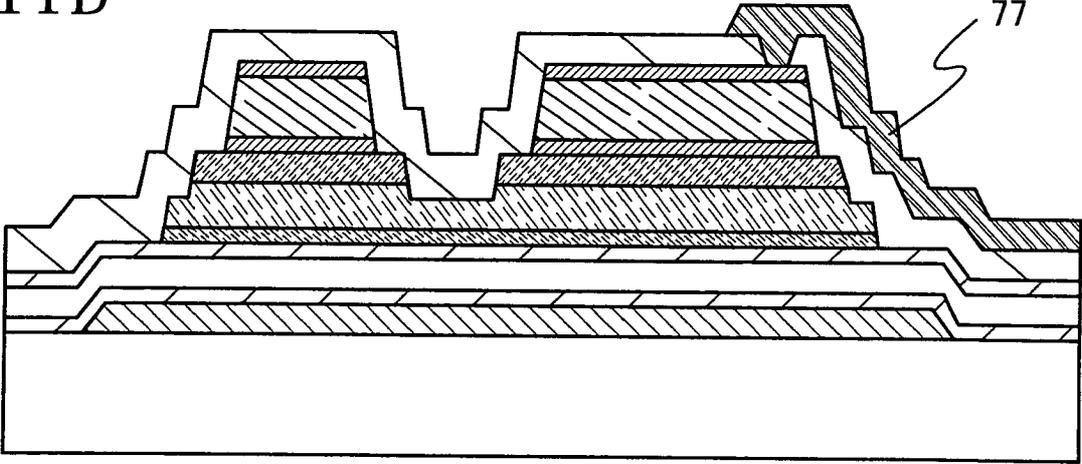


圖12A

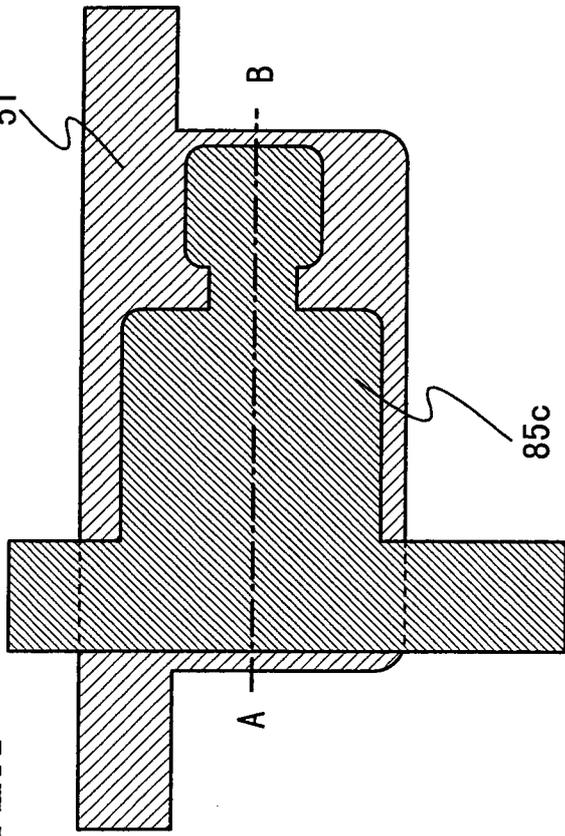


圖12B

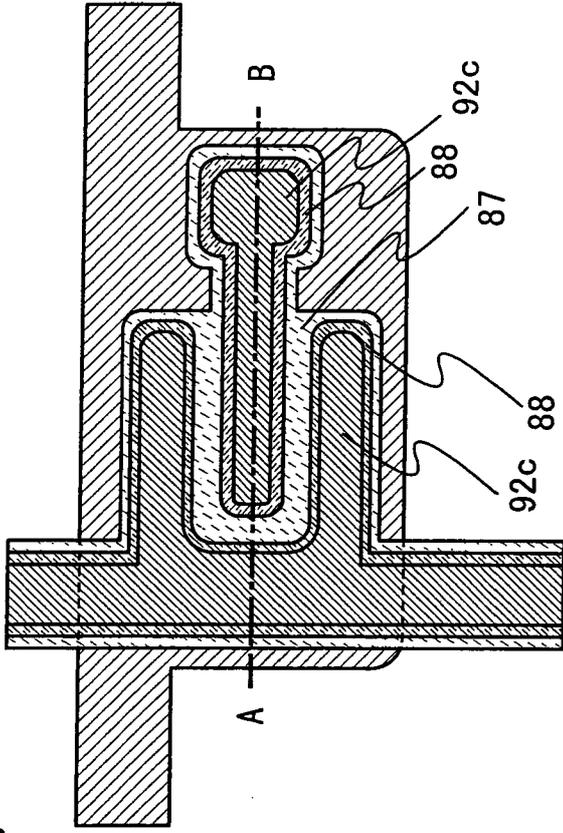


圖12C

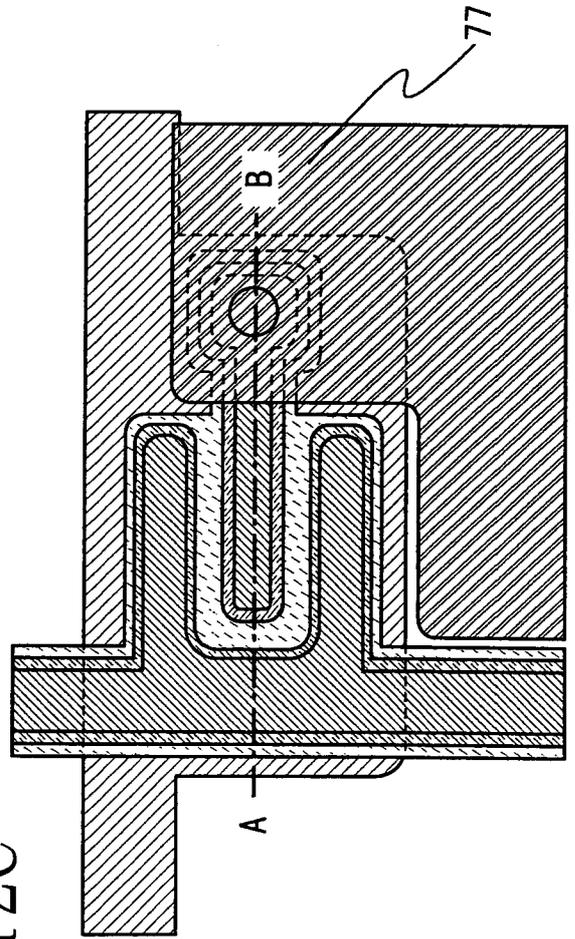


圖13

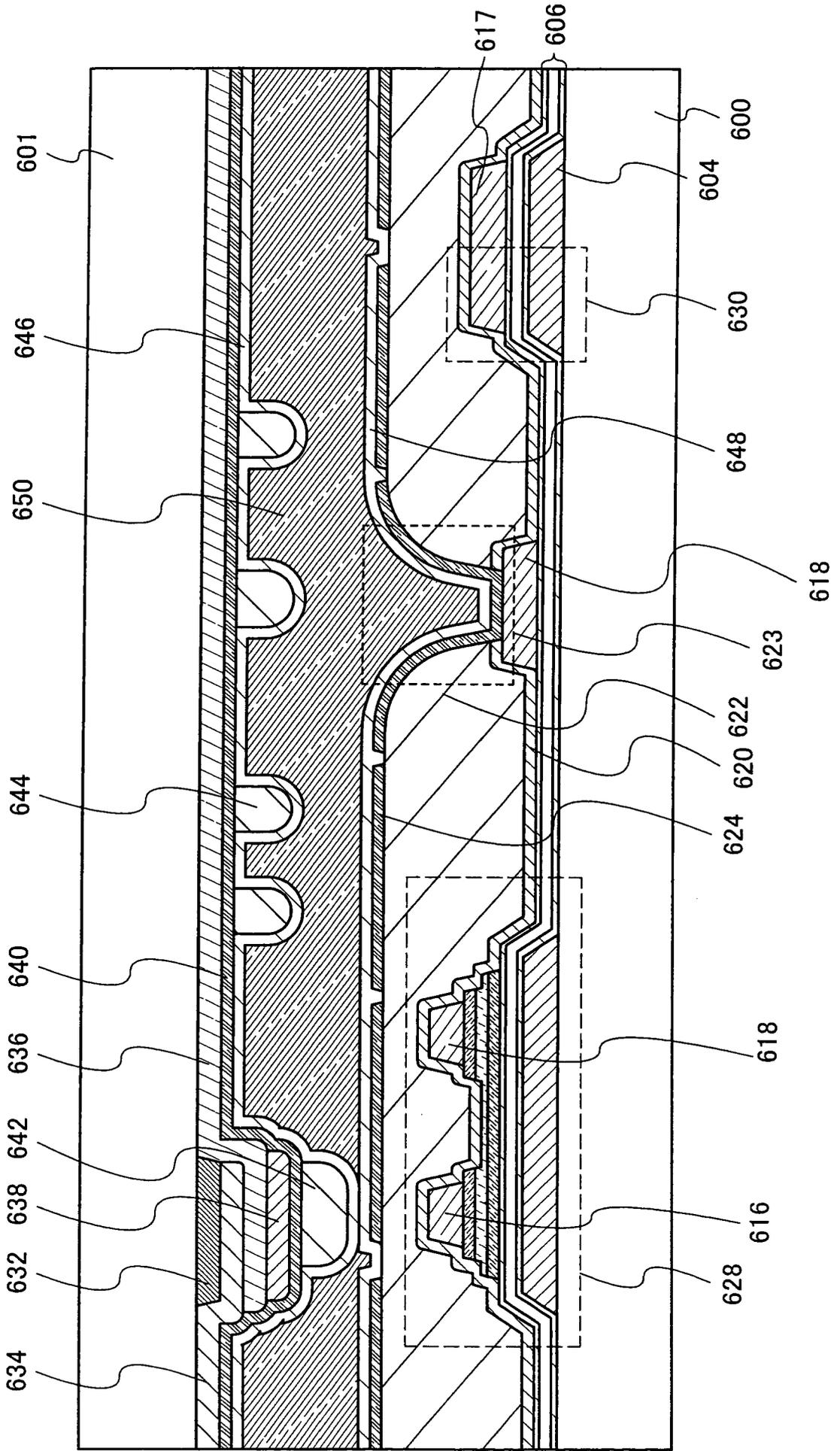


圖 14

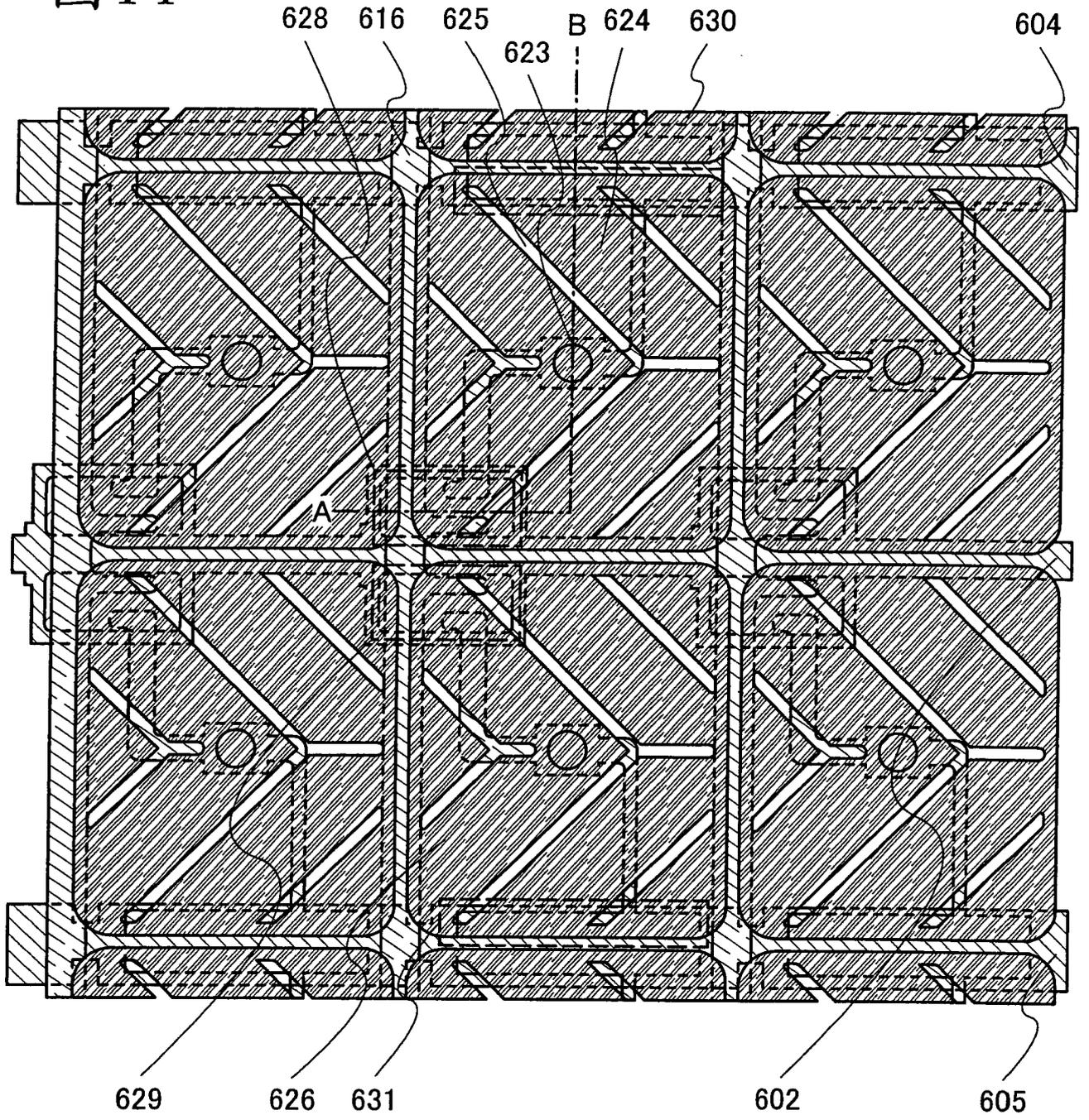


圖 15

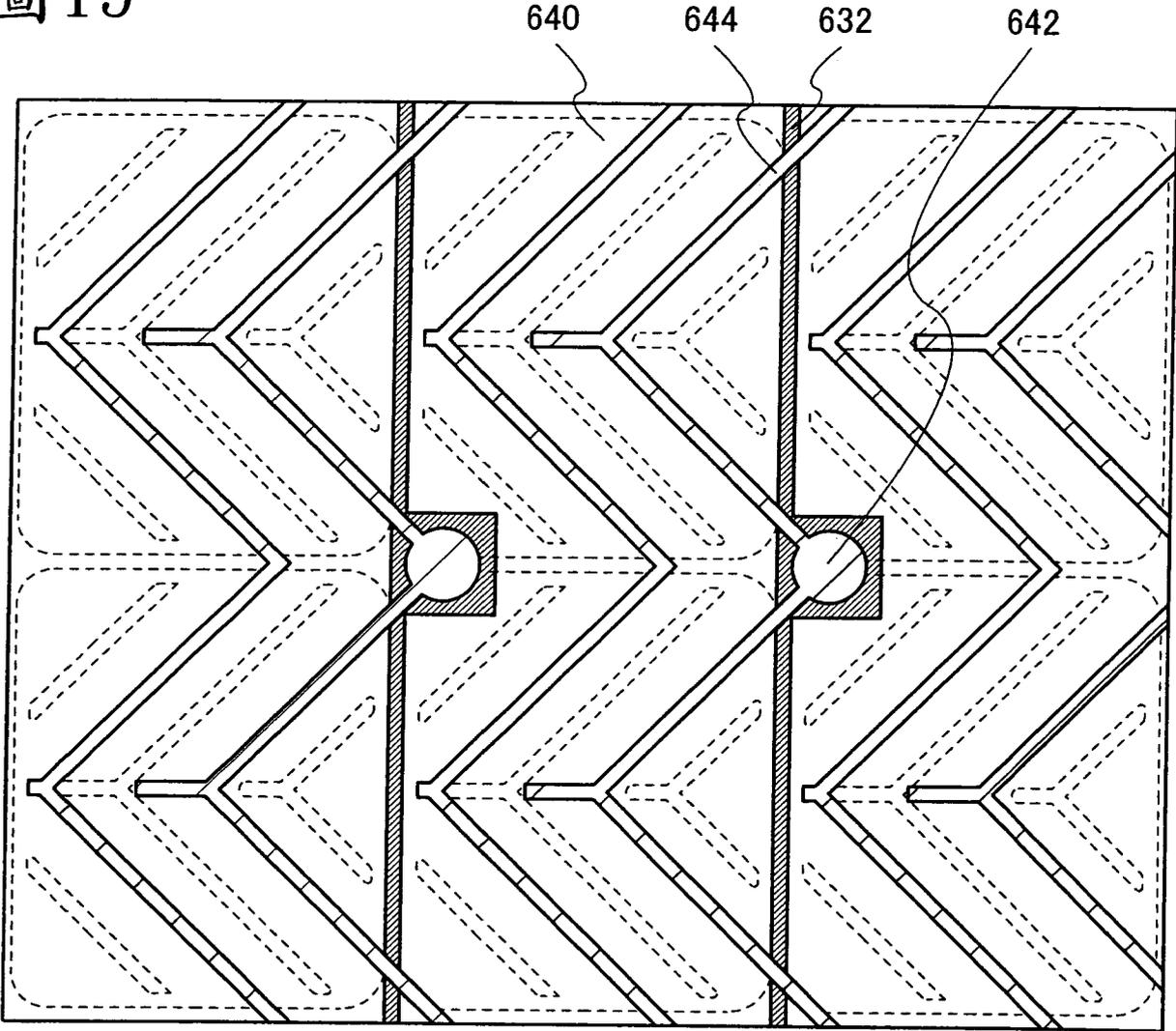


圖 16

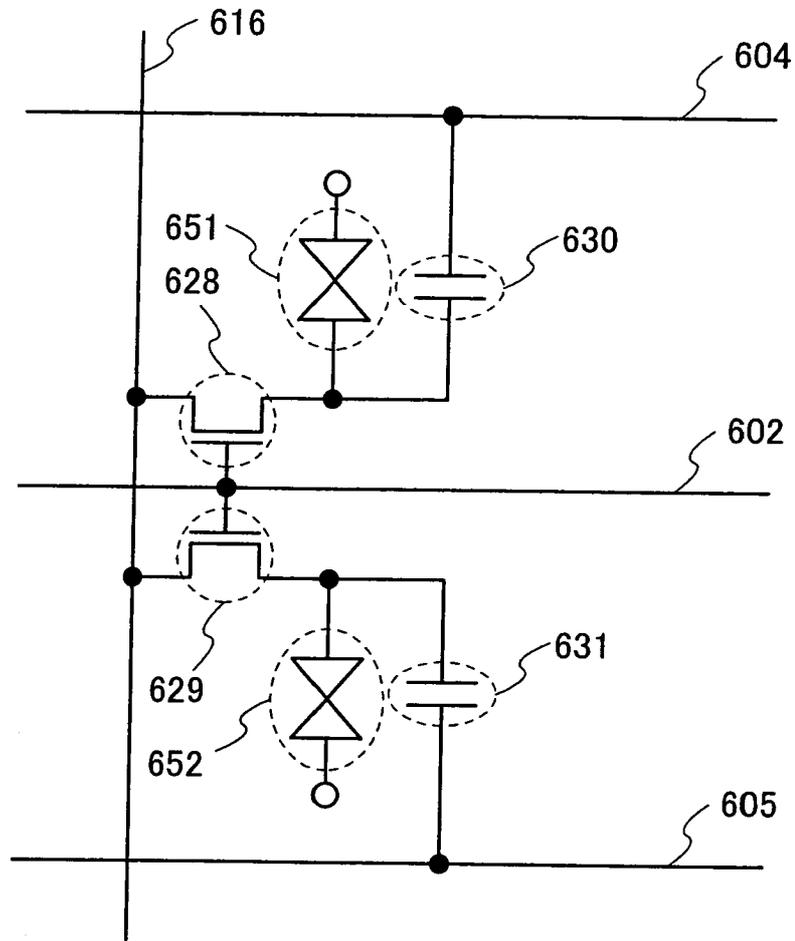


圖17

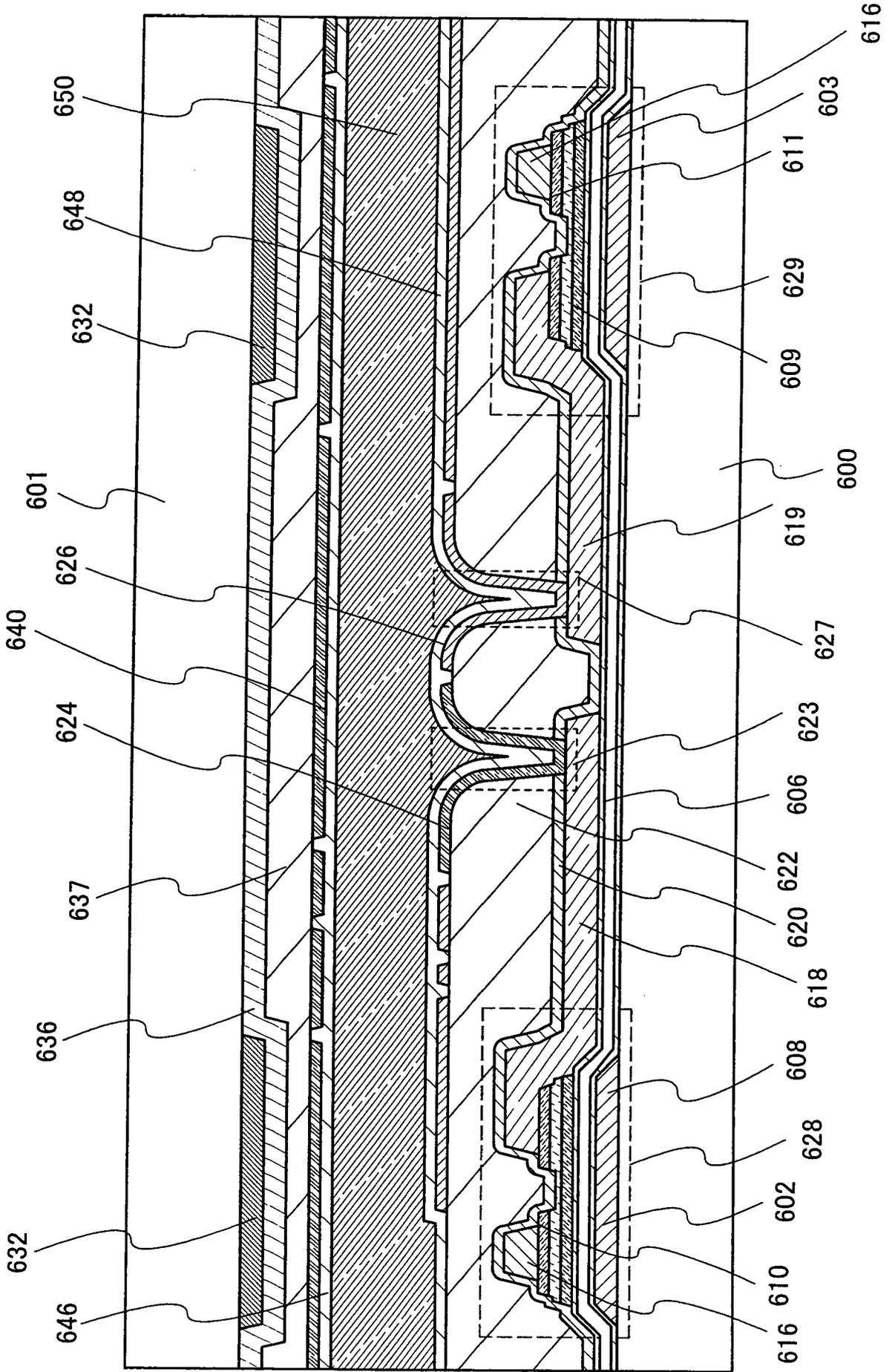


圖 18

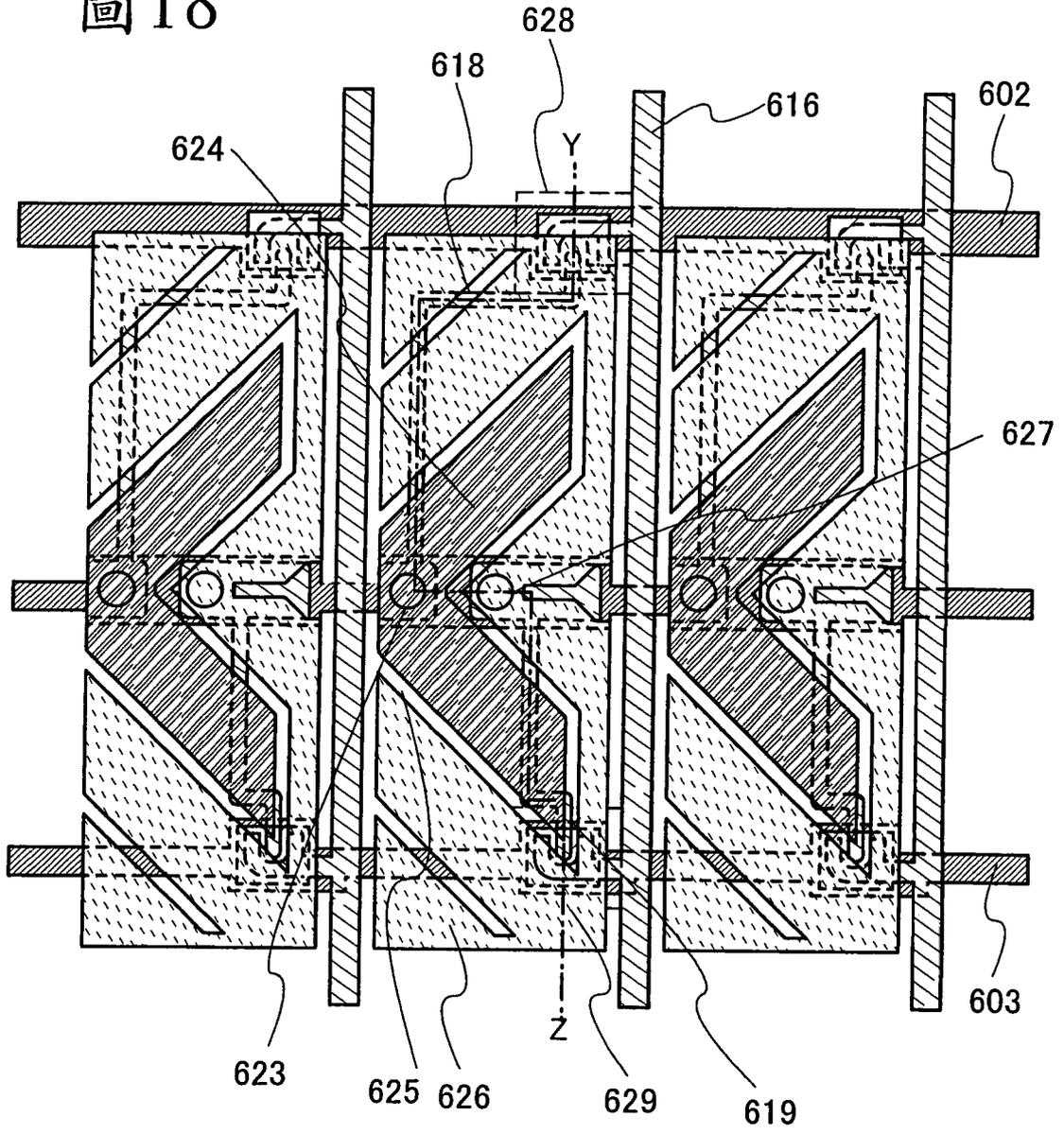


圖 19

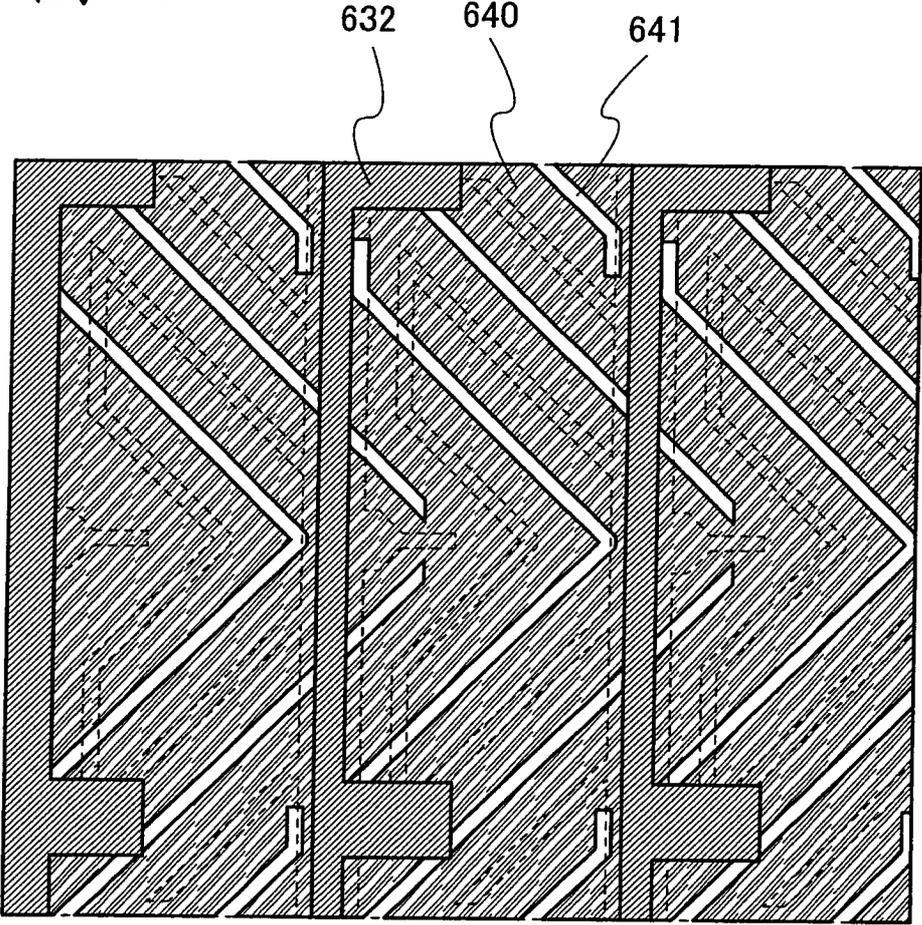


圖 20

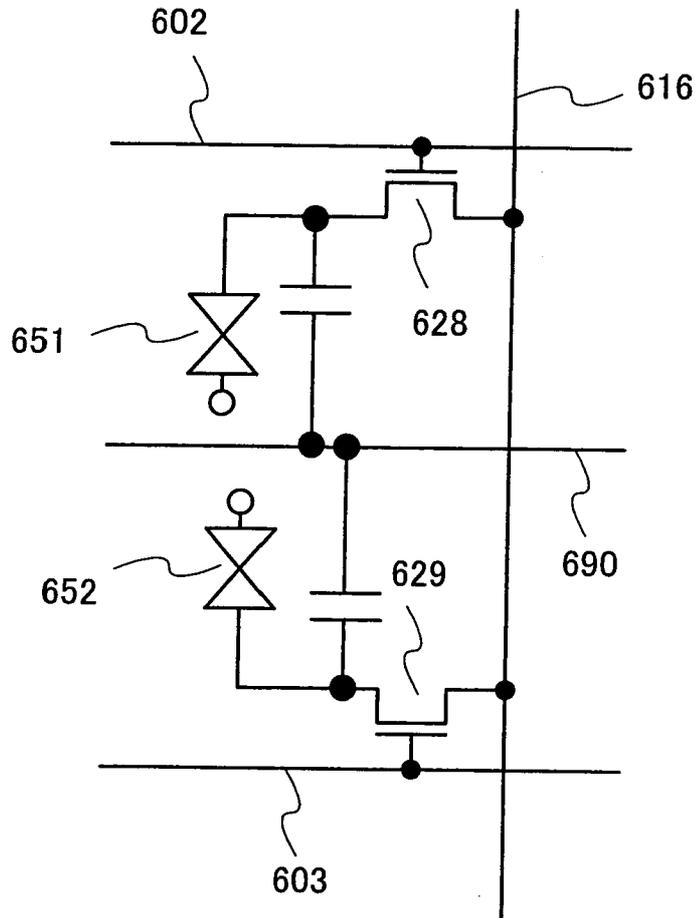


圖21

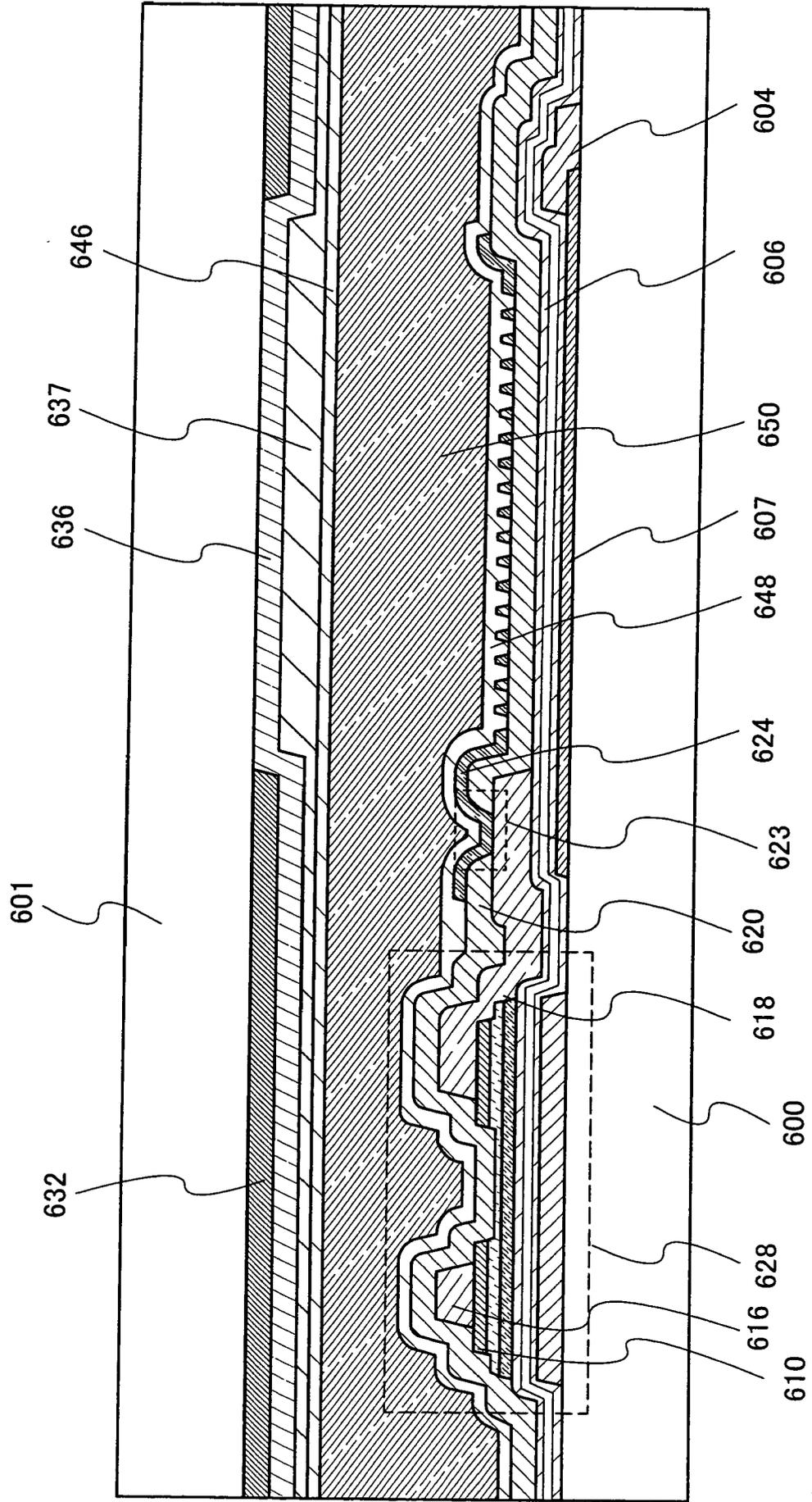


圖 22

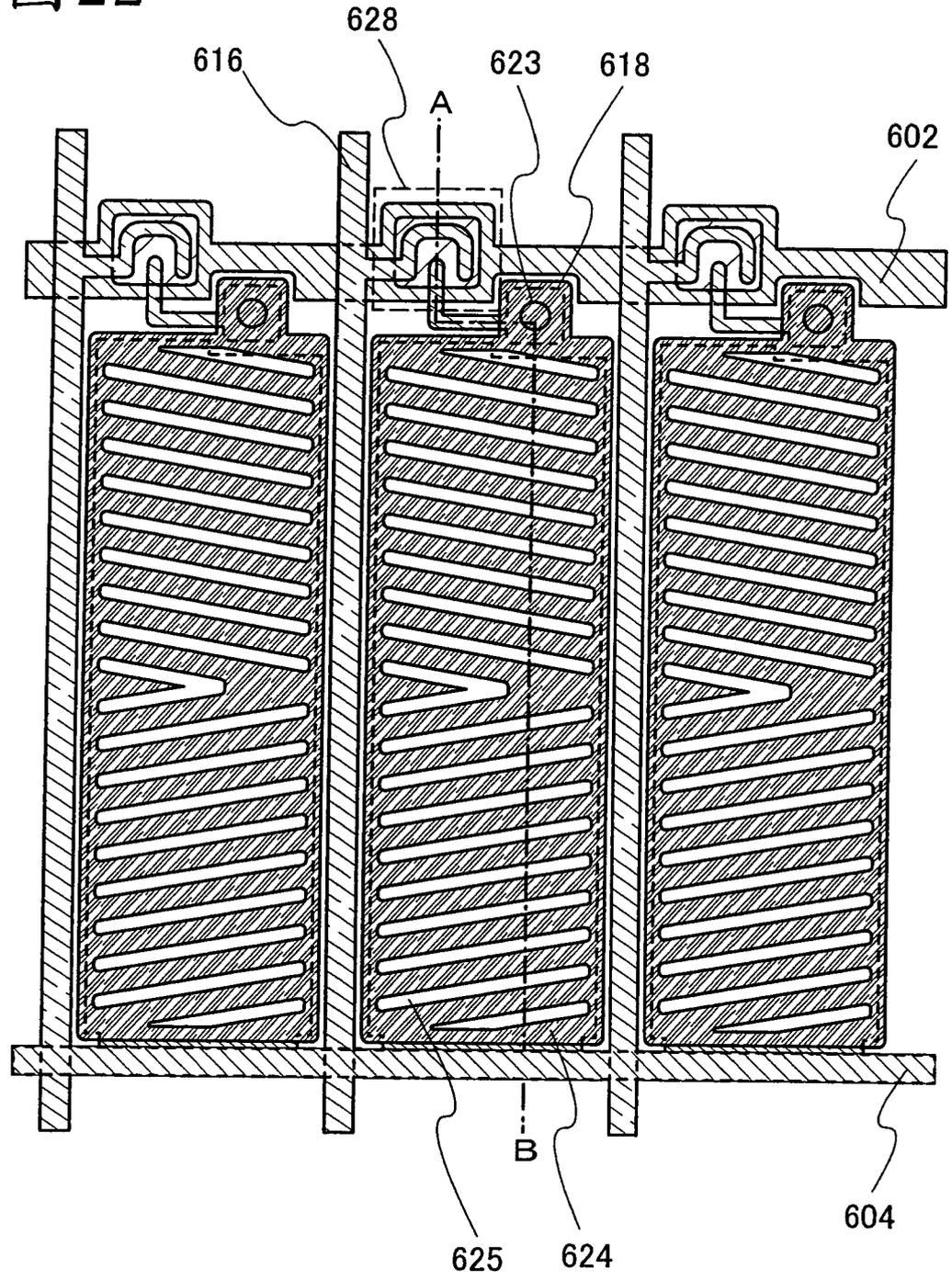


圖23

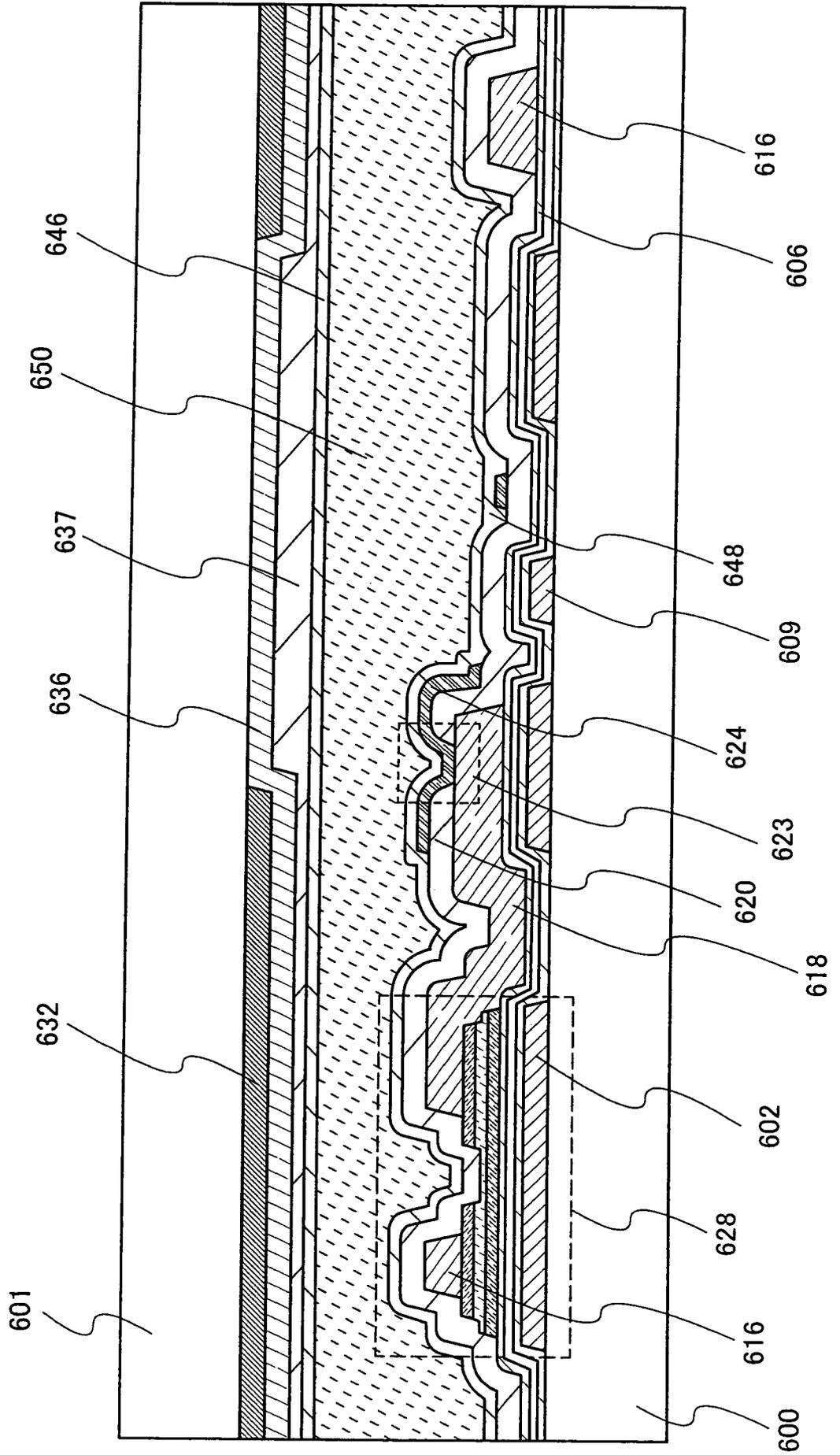


圖 24

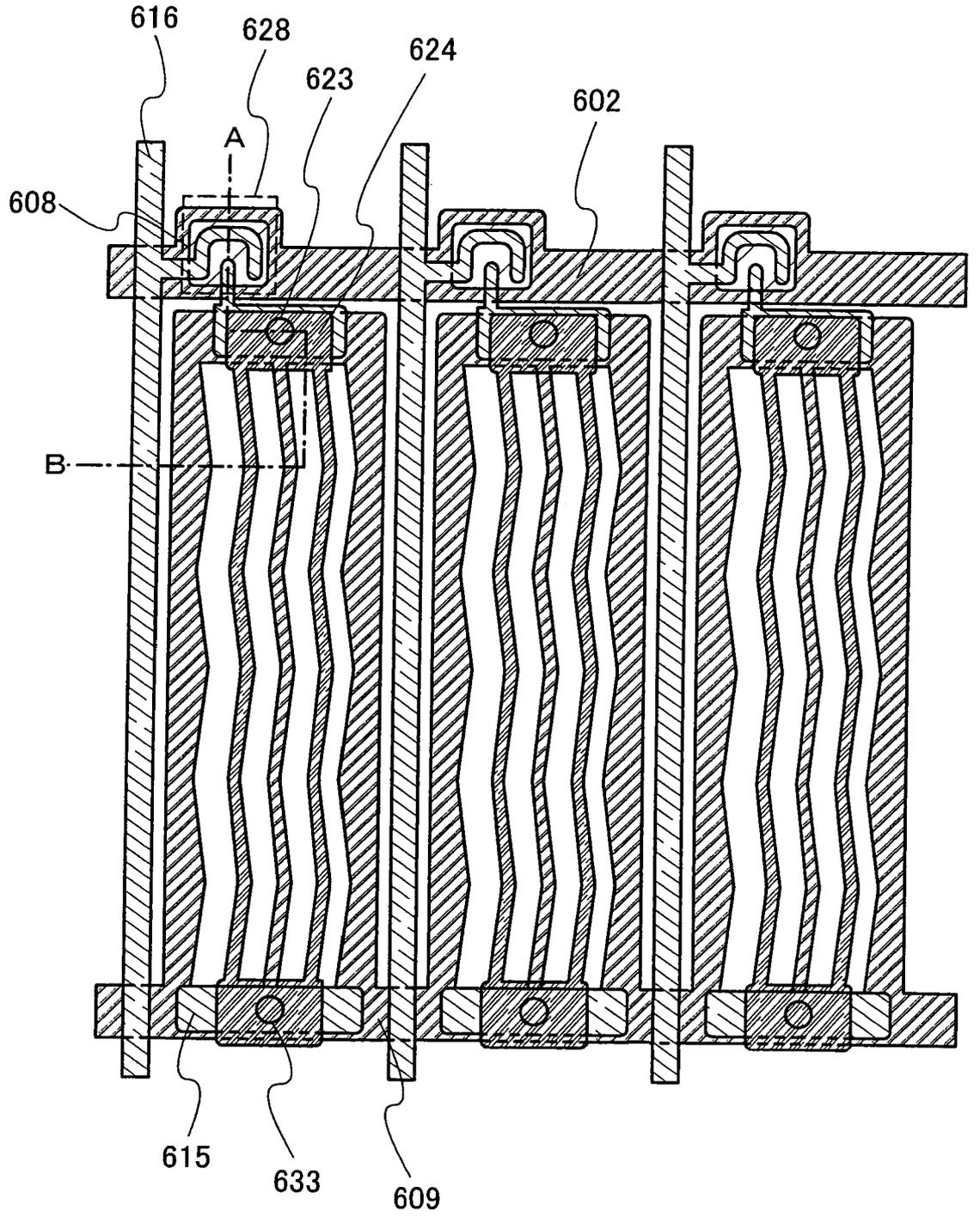


圖25

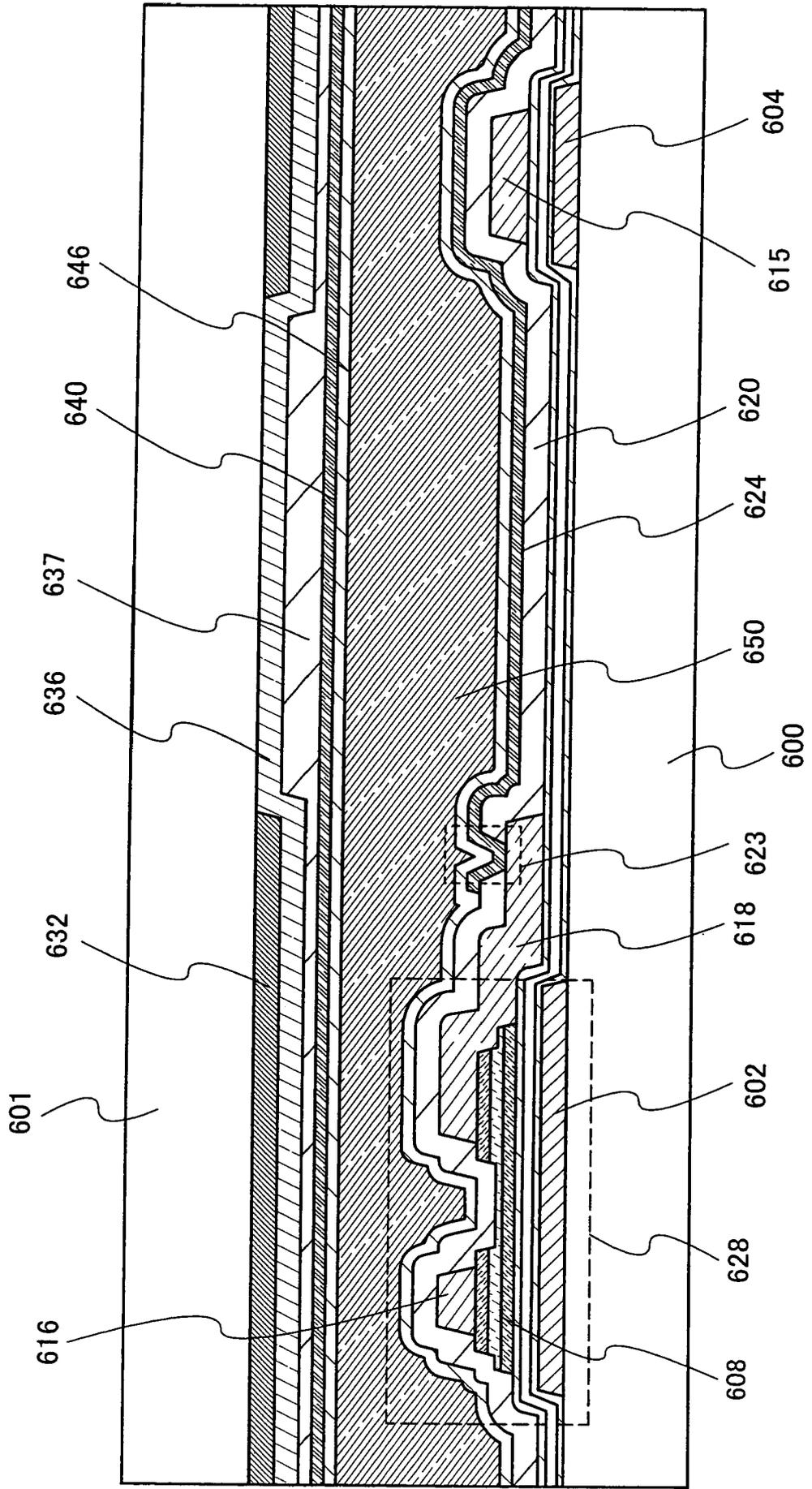


圖 26

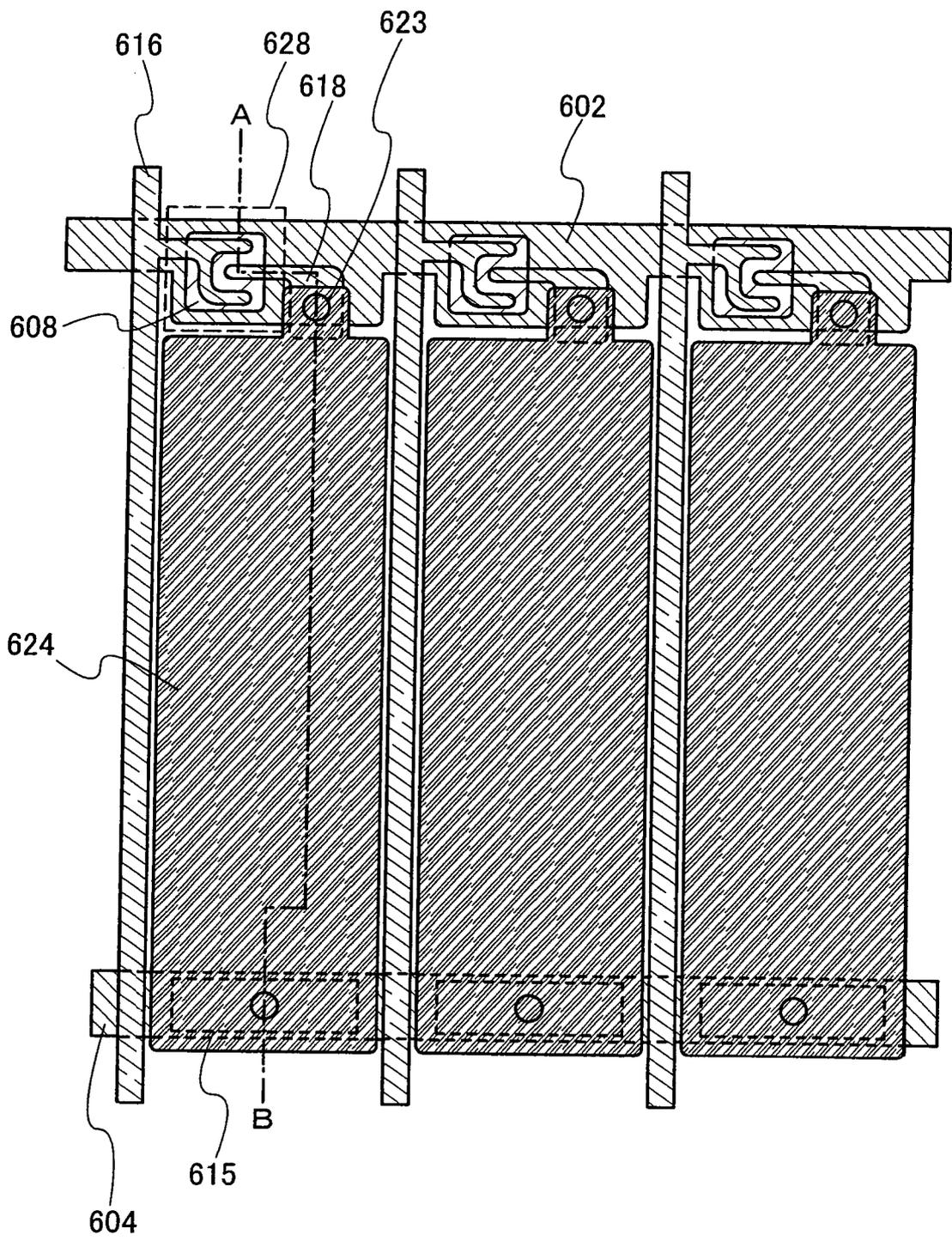


圖27A

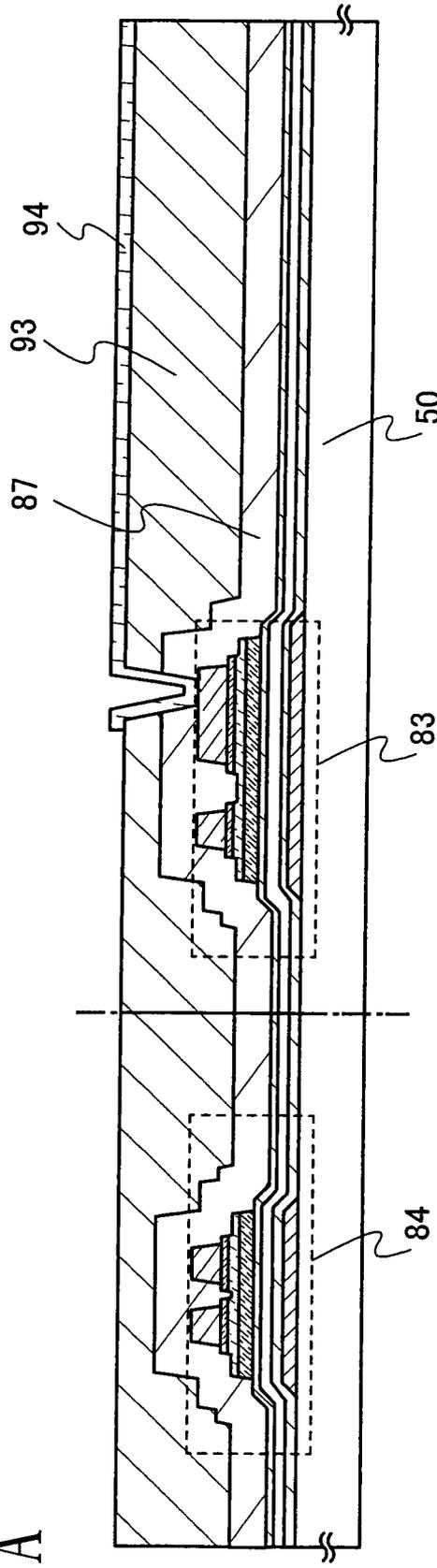


圖27B

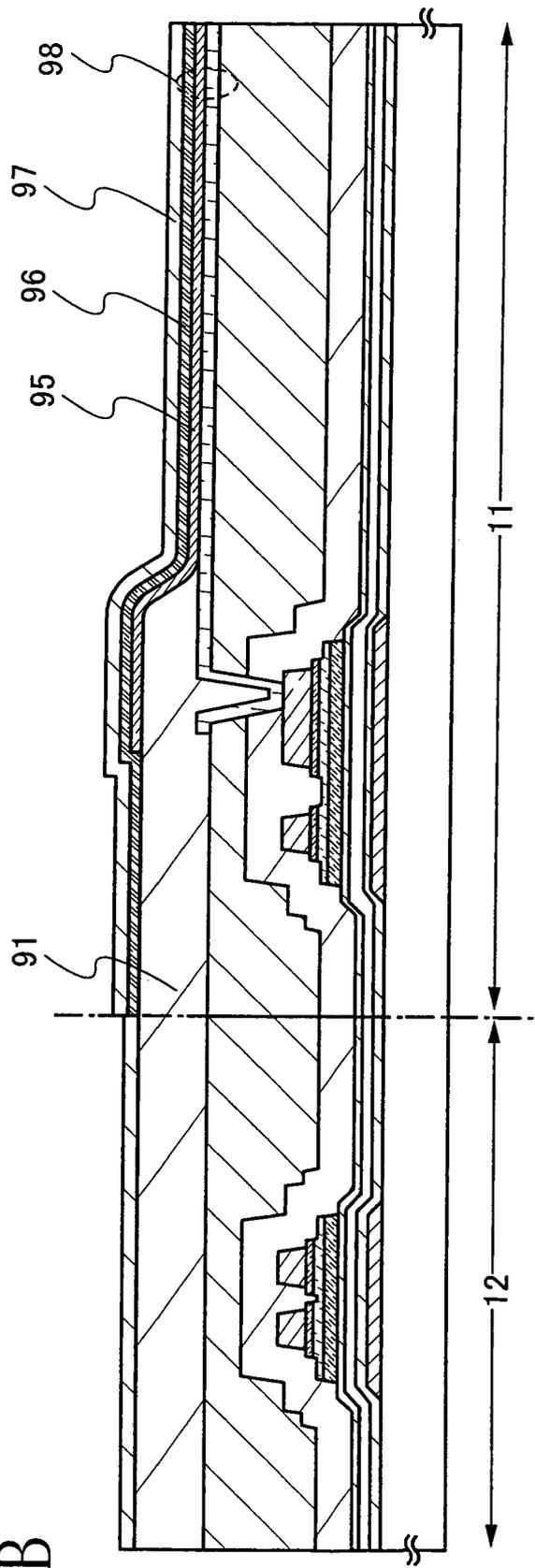


圖 28A

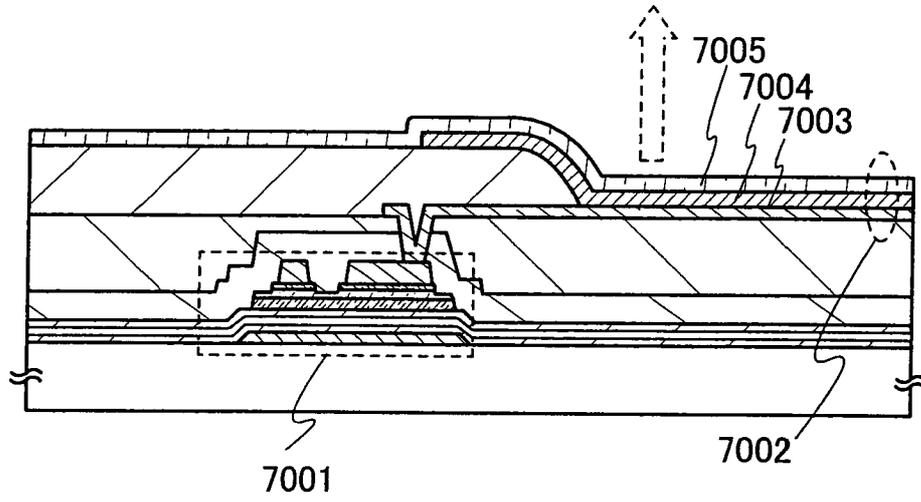


圖 28B

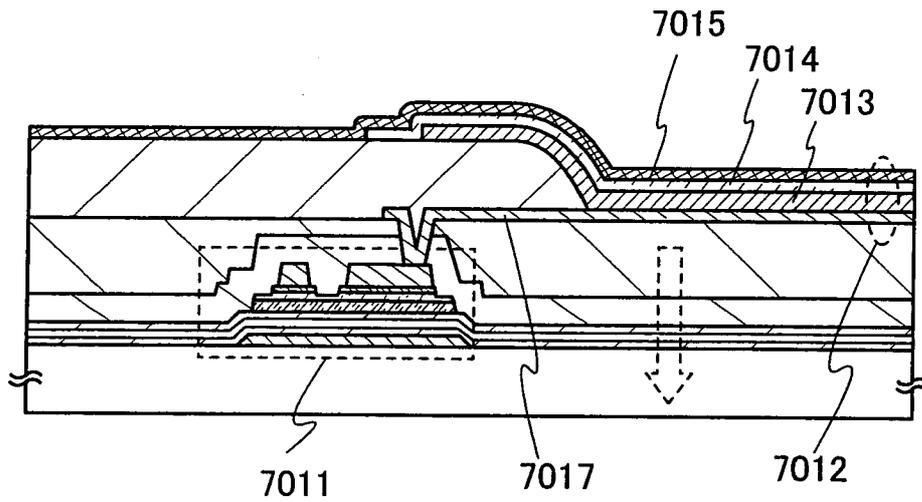


圖 28C

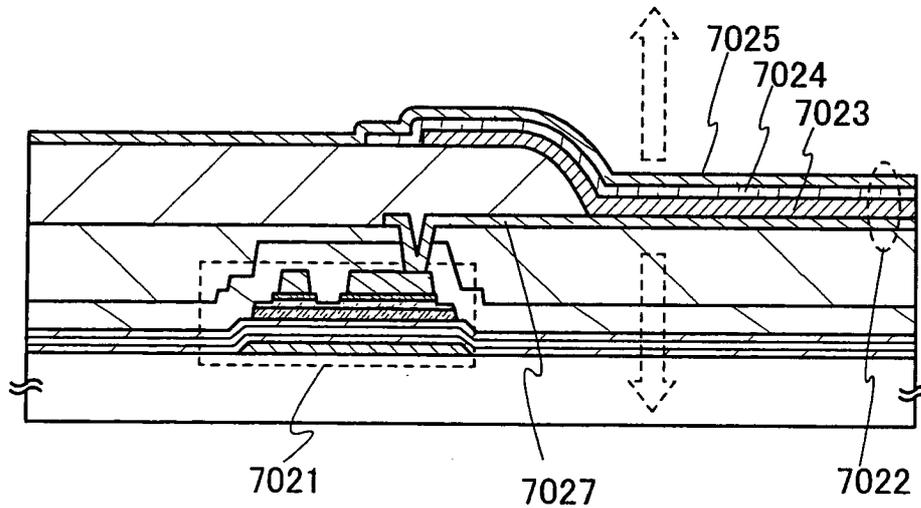


圖 29A

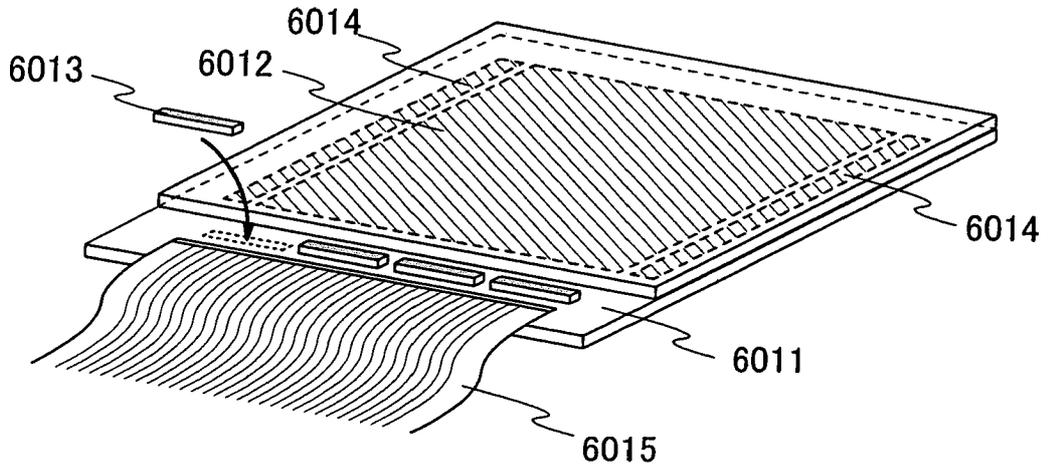


圖 29B

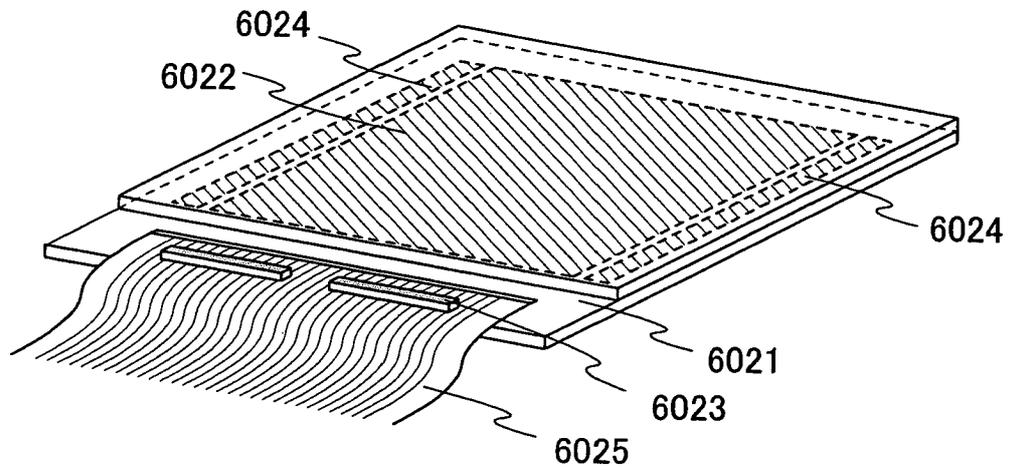


圖 29C

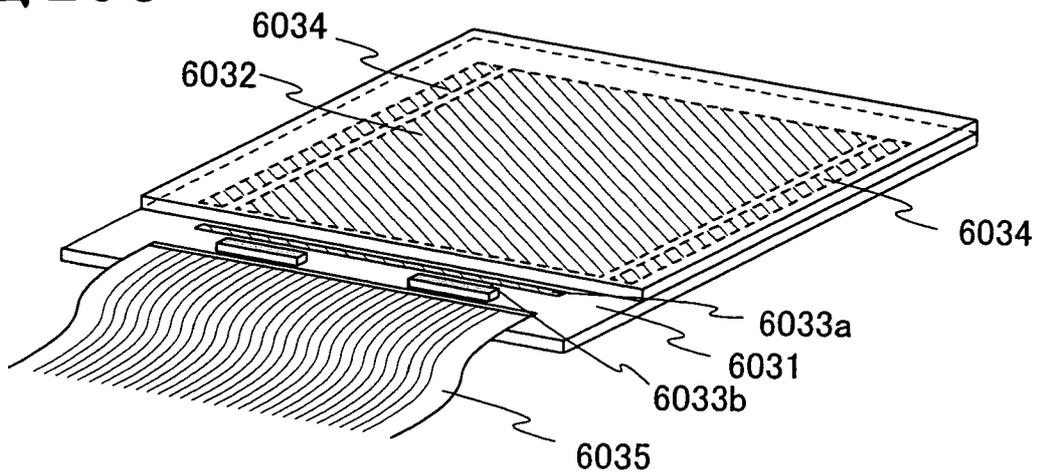


圖 30A

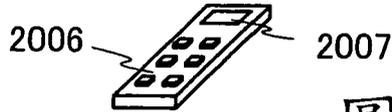
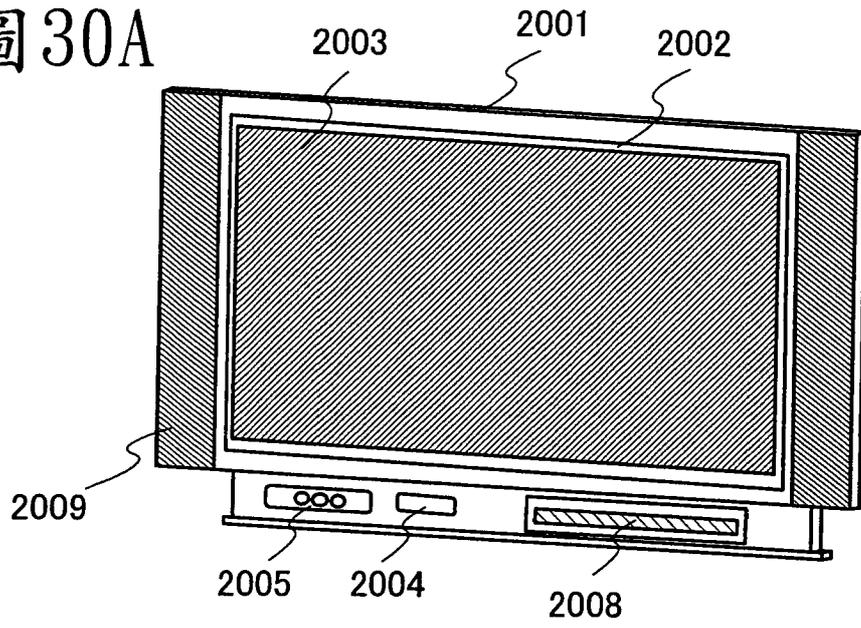


圖 30B

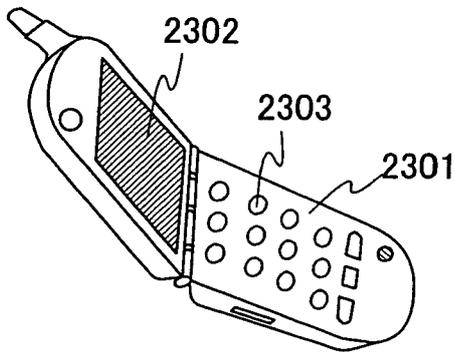


圖 30C

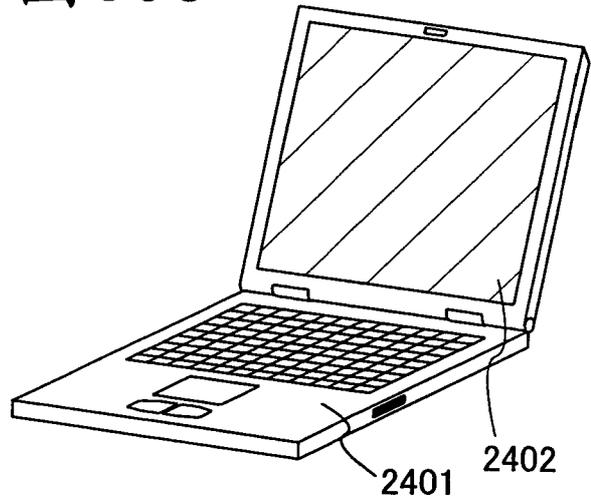


圖 30D

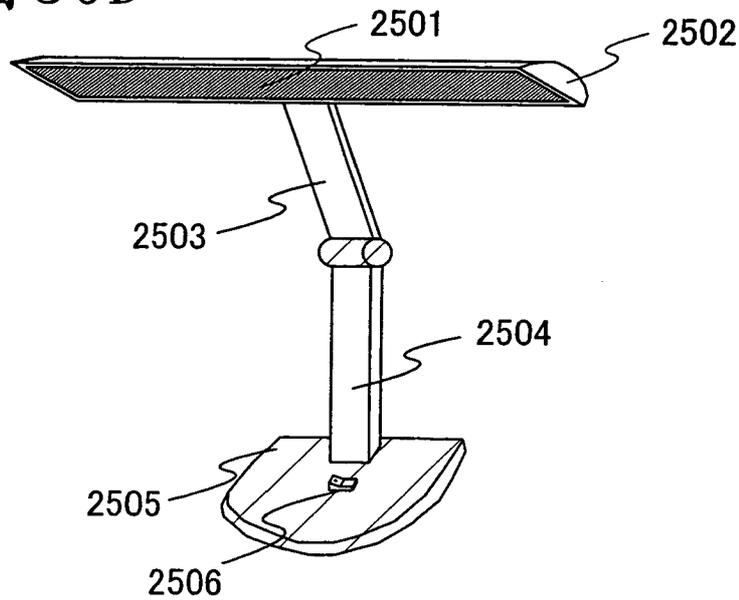


圖 31

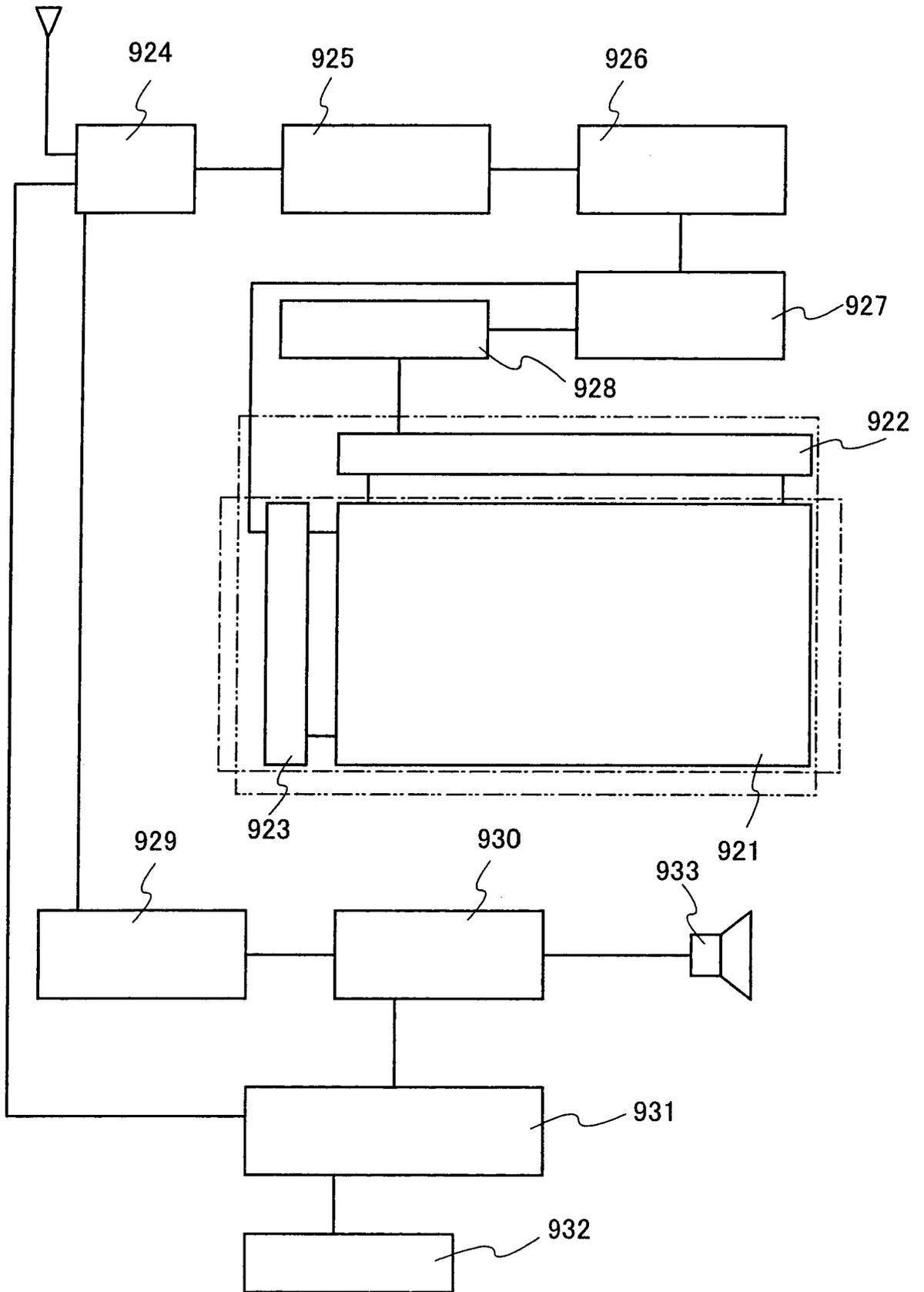


圖 32

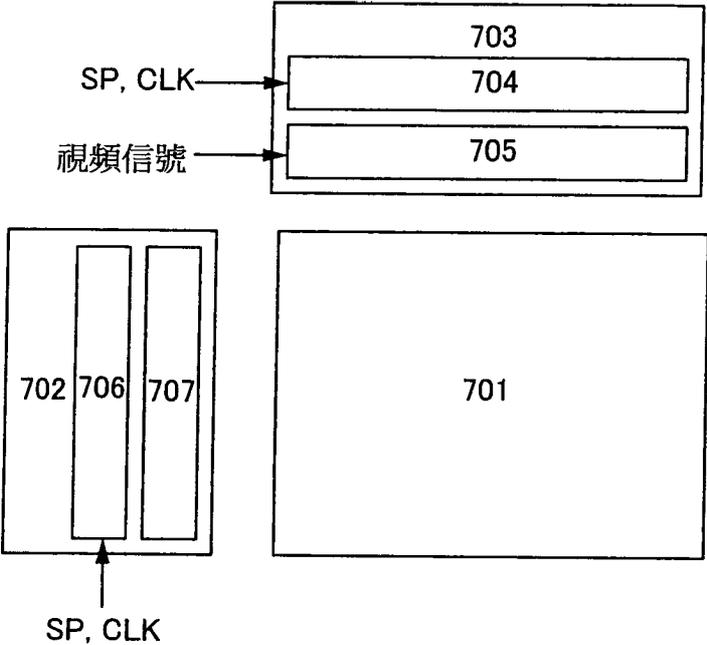


圖 34A

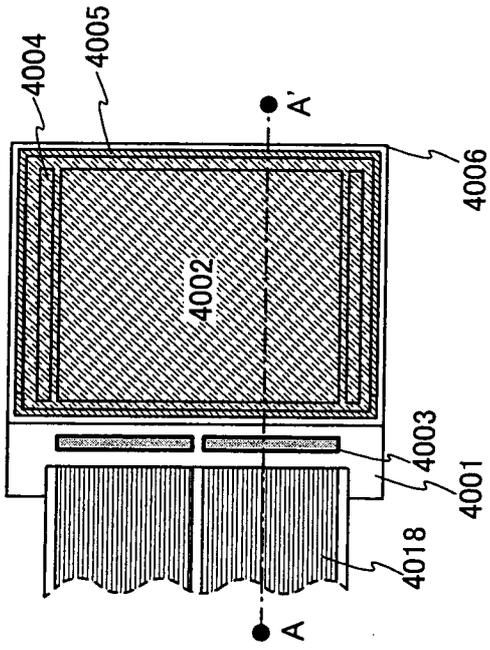
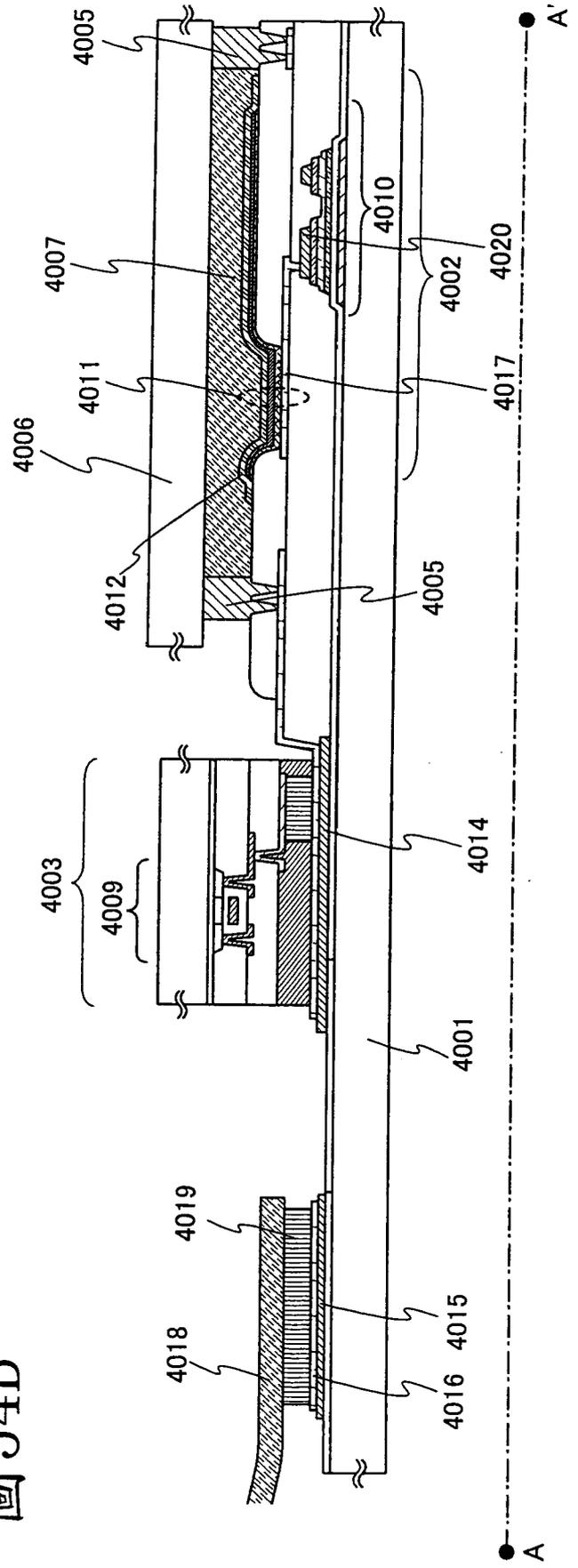


圖 34B



七、指定代表圖：

(一)、本案指定代表圖為：第 (3C) 圖

(二)、本代表圖之元件代表符號簡單說明：

50：基板

51：閘極電極

52a、52b、52c：閘極絕緣膜

61：微晶半導體膜

71a、71b、71c：源極電極及汲極電極

72：源極區及汲極區

73：緩衝層

76：絕緣膜

77：像素電極

A、B：虛線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無