



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I718180 B

(45) 公告日：中華民國 110 (2021) 年 02 月 11 日

(21) 申請案號：105129283

(22) 申請日：中華民國 105 (2016) 年 09 月 09 日

(51) Int. Cl. : *G11C11/412 (2006.01)**G11C11/413 (2006.01)**G11C11/419 (2006.01)*

(30) 優先權：2015/10/01 美國

14/872,493

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72) 發明人：阿加沃爾 潘卡伊 AGGARWAL, PANKAJ (IN)；蔡睿哲 TSAI, JUI CHE (TW)；
李政宏 LEE, CHENG HUNG (TW)；陳建源 CHEN, CHIEN YUAN (TW)；鄭基廷
CHENG, CHITING (TW)；謝豪泰 SHIEH, HAU TAI (TW)；陳彝梓 CHEN, YI TZU
(TW)

(74) 代理人：陳長文；馮博生

(56) 參考文獻：

TW 543158

US 7142466B1

US 2011/0249524A1

審查人員：劉繼誠

申請專利範圍項數：10 項 圖式數：7 共 31 頁

(54) 名稱

工作於多重低電壓且不降低效能的靜態隨機存取記憶體

(57) 摘要

一記憶體裝置包括用於控制該記憶體裝置之寫入操作或讀取操作之一追蹤控制電路。該追蹤控制電路包括複數個追蹤胞，其中該等追蹤胞之時序特性在該記憶體裝置之一寫入操作或一讀取操作期間模擬一位元胞之時序特性。該記憶體裝置進一步包括：至少兩個參考字線，其等用於組態該追蹤控制電路之追蹤胞數目；及一選擇電路，其經組態以啟動該至少兩個參考字線之一或多者。

A memory device comprises a tracking control circuit for controlling the write operation or the read operation of the memory device. The tracking control circuit comprises a plurality of tracking cells, wherein the timing characteristics of the tracking cells emulate the timing characteristics of a bit cell during a write operation or a read operation of the memory device. The memory device further comprises at least two reference word lines for configuring the number of tracking cells of the tracking control circuit; and a selection circuit configured to activate one or more of the at least two reference word lines.

指定代表圖：

100

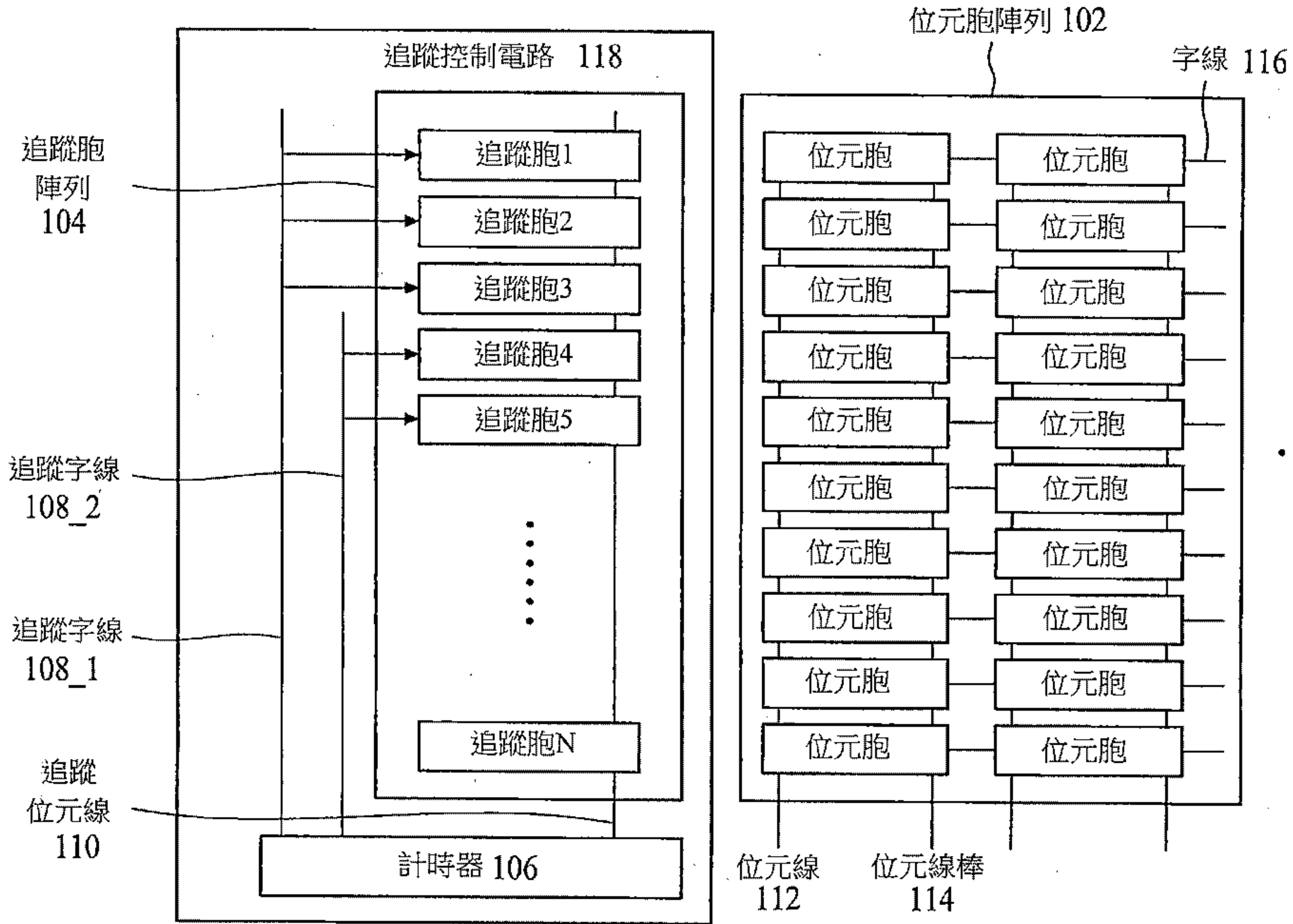


圖 1

符號簡單說明：

100 . . . 靜態隨機存取記憶體(SRAM)記憶體單元

102 . . . 位元胞陣列

104 . . . 追蹤胞陣列

106 . . . 計時器

.....

108_1 . . . 追蹤字線

108_2 . . . 追蹤字線

110 . . . 追蹤位元線

112 . . . 位元線

114 . . . 位元線棒

116 . . . 字線

118 . . . 追蹤控制電路

I718180

發明摘要

※ 申請案號：105129283

G11C 11/412 (2006.01)

※ 申請日：105年9月9日

※IPC 分類：**G11C 11/413** (2006.01)

G11C 11/419 (2006.01)

【發明名稱】

工作於多重低電壓且不降低效能的靜態隨機存取記憶體

SRAM DEVICE CAPABLE OF WORKING IN MULTIPLE LOW
VOLTAGES WITHOUT LOSS OF PERFORMANCE

【中文】

一記憶體裝置包括用於控制該記憶體裝置之寫入操作或讀取操作之一追蹤控制電路。該追蹤控制電路包括複數個追蹤胞，其中該等追蹤胞之時序特性在該記憶體裝置之一寫入操作或一讀取操作期間模擬一位元胞之時序特性。該記憶體裝置進一步包括：至少兩個參考字線，其等用於組態該追蹤控制電路之追蹤胞數目；及一選擇電路，其經組態以啟動該至少兩個參考字線之一或多者。

【英文】

A memory device comprises a tracking control circuit for controlling the write operation or the read operation of the memory device. The tracking control circuit comprises a plurality of tracking cells, wherein the timing characteristics of the tracking cells emulate the timing characteristics of a bit cell during a write operation or a read operation of the memory device. The memory device further comprises at least two reference word lines for configuring the number of tracking cells of the tracking control circuit; and a selection circuit configured to activate one or more of the at least two reference word lines.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

- | | |
|-------|----------------------|
| 100 | 靜態隨機存取記憶體(SRAM)記憶體單元 |
| 102 | 位元胞陣列 |
| 104 | 追蹤胞陣列 |
| 106 | 計時器 |
| 108_1 | 追蹤字線 |
| 108_2 | 追蹤字線 |
| 110 | 追蹤位元線 |
| 112 | 位元線 |
| 114 | 位元線棒 |
| 116 | 字線 |
| 118 | 追蹤控制電路 |

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

工作於多重低電壓且不降低效能的靜態隨機存取記憶體

SRAM DEVICE CAPABLE OF WORKING IN MULTIPLE LOW
VOLTAGES WITHOUT LOSS OF PERFORMANCE

【技術領域】

本揭露大體上係關於可支援多電壓操作而不降低效能之靜態隨機存取記憶體(SRAM)之結構。

【先前技術】

諸如筆記型電腦、電腦及智慧型電話之電子裝置通常包含儲存資料之各種記憶體。記憶體之類型可分為兩類：揮發性記憶體及非揮發性記憶體。儲存於揮發性記憶體中之資料在移除揮發性記憶體之電力後將丟失。相反地，儲存於非揮發性記憶體中之資料即使當移除電力時仍然可保留。揮發性記憶體包含隨機存取記憶體(RAM)，其可進一步分為兩個子類：靜態隨機存取記憶體(SRAM)及動態隨機存取記憶體(DRAM)。

一SRAM記憶體單元由複數個SRAM胞構成。該等SRAM胞之各者可包含不同數目之電晶體。由六個電晶體組成之一SRAM胞係指(例如)一六電晶體(6-T) SRAM。在一SRAM記憶體晶片中，SRAM胞可配置成列及行。在一讀取操作或一寫入操作期間藉由選擇胞之列及行而選擇一SRAM胞。在製造SRAM時，該等SRAM胞之各者經設計而在一特定電壓下工作。該SRAM僅在該特定電壓下可以一預期速度及準確度工作。

【發明內容】

本揭露之實施例提供用於在至少一操作電壓下操作一記憶體裝置之方法。本揭露之實施例亦提供用於在至少一操作電壓下操作之記憶體裝置。

本揭露之實施例提供一種用於在至少一操作電壓下操作一記憶體裝置之方法，該方法包括：判定在該至少一操作電壓下之該記憶體裝置之電特性；提供該記憶體裝置中之至少一追蹤控制電路，該至少一追蹤控制電路包括複數個追蹤胞，該等追蹤胞之該等時序特性在該記憶體裝置之一寫入操作或一讀取操作期間模擬一位元胞之該等時序特性；組態該至少一追蹤控制電路之追蹤胞數目；且提供用於選擇該至少一追蹤控制電路之一者之一第一選擇電路。

提供之方法及記憶體裝置增加一SRAM記憶體單元之使用之靈活性而無記憶體結構之顯著區域影響。提供之方法及記憶體裝置亦增強一SRAM記憶體單元之各自讀取操作及寫入操作之準確度。提供之方法及記憶體裝置亦延伸一SRAM記憶體單元之可工作操作電壓之範圍。

【圖式簡單說明】

當與隨附圖一起閱讀時，自以下詳細描述最佳瞭解本揭露之態樣。應注意，根據產業中之標準實踐，各種特徵未按比例繪製。實際上，為討論之清楚起見，各種特徵之尺寸可隨意增加或減小。

圖1係根據本申請案之一些實施例之一SRAM記憶體單元之一示意圖。

圖2係根據本申請案之一些實施例之一追蹤控制電路之一示意圖。

圖3係根據本申請案之一些實施例之能夠在兩種不同電壓下工作之一SRAM記憶體單元之一示意圖。

圖4係根據本申請案之一些實施例之能夠在兩種不同電壓下工作

之一SRAM記憶體單元之一示意圖。

圖5係根據本申請案之一些實施例之能夠在兩種不同電壓下工作之一SRAM記憶體單元之一示意圖。

圖6A係根據本申請案之一些實施例之組態一SRAM記憶體單元而在兩種不同電壓下工作之一流程圖。

圖6B係根據本申請案之一些實施例之組態一SRAM記憶體單元而在兩種不同電壓下工作之一流程圖。

圖7係根據本申請案之一些實施例之展示一SRAM記憶體單元之一讀取餘量與一工作電壓之一圖式。

【實施方式】

以下揭露提供諸多不同實施例或實例以用於實施提供之標的之不同特徵。以下描述組件及配置之特定實例以簡化本揭露。當然，此等僅為實例且不意欲具有限制性。另外，本揭露可重複各種實例中之參考數字及/或字母。此重複係為了簡化及清楚之目的且本身不指示所討論之各種實施例及/或組態之間之一關係。將瞭解，當一元件被指「連接至」另一元件或與另一元件「耦合」時，其可直接連接至或耦合至其他元件或可呈現中介元件。

一記憶體單元利用一追蹤電路來追蹤及控制讀取操作及寫入操作之態樣。該追蹤電路包含複數個追蹤胞，其中該複數個追蹤胞配置成一行。該等追蹤胞之各者具有其在讀取操作及寫入操作期間模擬SRAM陣列之時序特性。特定言之，追蹤電路係用於模仿一記憶體胞之資料寫入操作及資料讀取操作以產生一時間序列控制信號，且可實現一SRAM資料寫入及資料讀取路徑之準確時間序列控制。

如先前所討論，一SRAM記憶體單元經設計而在一特定電壓範圍下工作。SRAM記憶體單元僅在該特定電壓範圍中可以預期速度及準確度工作。例如，經設計而在2伏特下工作之一SRAM記憶體單元若

被迫在400毫伏下工作則其之效能將降級。另外，當一SRAM記憶體單元需要在除了經設計之電壓外之一電壓下操作時，SRAM記憶體單元之追蹤電路亦需要經調整以保證正確讀取操作及寫入操作。

若SRAM記憶體單元可在一個以上特定電壓下工作，則將增加一SRAM記憶體單元之使用之靈活性。一些現存架構可利用一個以上追蹤位元線來達成此目的。然而，額外追蹤位元線之結構不可避免地需要用於SRAM記憶體單元之追蹤胞之另外區域，因為一追蹤位元線伴隨配置成一行之複數個追蹤胞。記憶體結構之任何設計者不希望顯著之區域影響，尤其係鑒於半導體製造中之小型化之趨勢。

圖1係根據本申請案之一些實施例之一SRAM記憶體單元100之一示意圖。如圖1中所展示，SRAM記憶體單元100包括一位元胞陣列102及一追蹤控制電路118。

位元胞陣列102包括複數個位元胞。可將資料寫入至此等位元胞或自此等位元胞讀取資料。在讀取操作中，例如，若需要讀出儲存於位元胞陣列102之左上位元胞中之資料，則首先將預先充電與位元胞相關聯之一位元線112及一位元線棒114。一旦接通字線116，則儲存於位元胞中之資料將由位元線112及位元線棒114之一者讀取。另一方面，在寫入操作中，例如，若需要將一新資料儲存於位元胞陣列102之左上位元胞中時，則首先將相關聯之位元線112及位元線棒114之一者驅動至邏輯高且將另一者驅動至邏輯低。一旦接通字線116，則將通過相關聯之位元線112及位元線棒114寫入新資料。

追蹤控制電路118包括一追蹤胞陣列104及一計時器106。追蹤胞陣列104包括複數個追蹤胞，例如追蹤胞1至追蹤胞N，N為一自然數。將複數個追蹤胞通過一追蹤位元線110連接至一計時器106。

追蹤胞陣列104之追蹤胞之各者可具有與位元胞陣列102之位元胞相同之一結構，且因此可具有在寫入操作或讀取操作期間模擬位元

胞陣列102之一時序特性之一時序特性。基於複數個追蹤胞之時序特性，計時器106可產生使得追蹤控制電路118控制位元胞陣列102之寫入操作及讀取操作之信號(未展示)。

追蹤胞陣列104及追蹤控制電路118經設計以保證位元胞陣列102之正確讀取操作或寫入操作。在圖1展示之實施例中，追蹤控制電路118具有兩個可組態追蹤字線108_1及108_2。將追蹤字線108_1連接至追蹤胞1至3，且將追蹤字線108_2連接至追蹤胞4及5。追蹤控制電路118能夠選擇追蹤字線108_1及108_2之一者以在不同條件下控制讀取操作或寫入操作。

針對一追蹤控制電路，可由完成位元胞陣列之讀取操作或寫入操作所需之時間判定由一追蹤字線連接之追蹤胞數目。例如，若由寫入操作支配一位元胞陣列之循環時間(即，完成寫入操作所需之時間比完成讀取操作所需之時間更長)，則追蹤胞陣列內之追蹤胞數目將經設計以保證位元胞陣列之正確寫入操作。一般而言，位元胞陣列之循環時間越長，則將需要追蹤胞陣列內之追蹤胞數目更多來維持最佳速度且反之亦然。

在一些現存做法中，一SRAM記憶體單元經設計而在一特定電壓下工作。在該情況中，追蹤胞陣列內之藉由追蹤字線連接之追蹤胞之數目將係一固定數目。例如，針對此一SRAM記憶體單元，僅追蹤胞1至3藉由一追蹤字線連接，而其他追蹤胞不由任何追蹤字線連接。

當SRAM記憶體單元被迫在不同於特定電壓之一電壓下工作時，SRAM記憶體單元內之追蹤胞陣列及計時器將不能產生用於控制位元胞陣列之寫入操作及讀取操作之正確信號。例如，若在一現存做法中，一SRAM記憶體單元經設計而在2伏特下工作，當其被迫以4伏特工作時，需要增加追蹤胞之數目以維持最佳速度，因為一4伏特信號自邏輯高降至邏輯低或自邏輯低升至邏輯高所需之時間增加。相反

地，若SRAM記憶體單元經設計而在2伏特下工作，當其被迫以400毫伏工作時，需要減少追蹤胞之數目。

圖2係根據本申請案之一些實施例之一追蹤控制電路218之一示意圖。參考圖2，追蹤控制電路218包括一追蹤胞陣列204及一計時器206。再者，追蹤控制電路218具有多重可組態追蹤字線208_1至208_n。如圖2中所展示，追蹤胞陣列204包括複數個追蹤胞。一追蹤位元線210將所有追蹤胞連接至計時器206。追蹤字線208_1至208_n之各者可經組態以連接不同數目之追蹤胞。例如，在圖2繪示之實例中，將追蹤字線208_1連接至三個追蹤胞，將追蹤字線208_2連接至兩個追蹤胞，且僅將追蹤字線208_n連接至一個追蹤胞。

在一實施例中，追蹤控制電路218可判定待分別用於控制讀取及寫入操作之追蹤胞之數目。例如，若一SRAM記憶體單元經設計而僅在一個特定電壓下工作，則追蹤控制電路218可選擇用於控制SRAM記憶體單元之讀取操作之追蹤字線208_1，且選擇用於控制SRAM記憶體單元之寫入操作之追蹤字線208_2。利用不同數目之追蹤胞模擬讀取操作及寫入操作之時序特性可保證根據預期操作SRAM記憶體單元之讀取及寫入兩者。

另外，由於在一SRAM記憶體單元中，寫入操作通常比讀取操作花費更多時間，所以SRAM記憶體單元之循環時間通常由寫入操作支配。在寫入操作上利用比讀取操作更多之追蹤胞可消除由寫入操作之位元線預先充電時間引起之循環時間影響。

在一實施例中，利用不同數目之追蹤胞可使得一SRAM記憶體單元能夠在一個以上特定電壓下工作。例如，假定SRAM記憶體單元經設計而在2伏特及400毫伏下工作。在SRAM記憶體單元在2伏特下工作之情況中，追蹤控制電路218可選擇用於控制讀取或寫入操作之追蹤字線208_1。另一方面，在SRAM記憶體單元在400毫伏下工作之情

況中，追蹤控制電路218可選擇用於控制讀取或寫入操作之追蹤字線208_n。

另外，應瞭解，為了符合不同應用，追蹤控制電路218一次可選擇一個以上追蹤字線。例如，若一SRAM記憶體單元之時序特性相對較慢，則追蹤控制電路218可選擇用於控制SRAM記憶體單元之讀取或寫入操作之追蹤字線208_1及208_2兩者。因此，追蹤控制電路218使得一SRAM記憶體單元能夠在不同功率域下操作且在SRAM記憶體單元之一存取操作中提供更多靈活性。

圖3係根據本申請案之一些實施例之能夠在兩個不同電壓下工作之一SRAM記憶體單元300之一示意圖。參考圖3，SRAM記憶體單元300包括兩個追蹤控制電路302及304。SRAM記憶體單元300進一步包括一字線驅動器306、位元胞陣列308及310、一局部控制器312、局部I/O 314及316、一主控制器318及主I/O 320及322。字線驅動器306經組態以驅動用於在一讀取或一寫入操作期間待存取之位元胞陣列308及310內之對應位元胞之一字線。局部控制器312經組態以控制局部I/O 314及316轉移SRAM記憶體單元300內之資料。主控制器318經組態以控制主I/O 320及322轉移SRAM記憶體單元300與SRAM記憶體單元300外部之其他電路之間之資料。

主控制器318中之一雙電壓(DVLT)選擇邏輯324可使一使用者選擇追蹤控制電路302及304之一者以由SRAM記憶體單元300來操作。例如，DVLT選擇邏輯324可經設計使得當一邏輯高信號饋入至DVLT選擇邏輯324時，通過邏輯328及參考位元線334選擇追蹤控制電路304。另一方面，(例如)當將一邏輯低信號饋入至DVLT選擇邏輯324時，通過邏輯326及參考位元線332選擇追蹤控制電路302。DVLT選擇邏輯324可為一通道閘或邏輯閘/NMOS/PMOS/反相器裝置之一組合。

追蹤控制電路302及304經設計以用於使SRAM記憶體單元300在

兩種不同電壓下工作。例如，追蹤控制電路302可經設計在2伏特下工作，且追蹤控制電路304可經設計在400毫伏下工作。在此實例中，追蹤控制電路304可組態(例如)以選擇三個追蹤胞，而追蹤控制電路302可組態(例如)以選擇八個追蹤胞。如先前所提及，此係因為針對一較高電壓，自一邏輯高位準降至一邏輯低位準或自一邏輯低位準升至一邏輯高位準將花費一更長時間，因此需要更多追蹤胞以維持最佳速度。

圖4係根據本申請案之一些實施例之能夠在兩種不同電壓下工作之一SRAM記憶體單元400之一示意圖。參考圖4，SRAM記憶體單元400包括一單一追蹤控制電路404及兩個參考字線(RWL) 438及440。SRAM記憶體單元400進一步包括一字線驅動器406、位元胞陣列408及410、一局部控制器412、局部I/O 414及416、一主控制器418及主I/O 420及422。字線驅動器406驅動用於在一讀取或一寫入操作期間待存取之位元胞陣列408及410內之對應位元胞之字線。局部控制器412控制局部I/O 414及416轉移SRAM記憶體單元400內之資料。主控制器418控制主I/O 420及422轉移SRAM記憶體單元300與SRAM記憶體單元400外部之其他電路之間之資料。

主控制器418中之一參考字線邏輯430使得一使用者選擇RWL 438及RWL 440之一者或兩者以由SRAM記憶體單元400來操作。RWL邏輯430包括兩個輸入、多個參考字線(MRWL) 432及MRWL 434。根據以下表1選擇RWL 438及RWL 440。應瞭解，表1係展示MRWL 432及434與RWL 438及440之值之間之關係之一實例。RWL 438及/或440之選擇組態SRAM記憶體單元400之讀取操作或寫入操作中之追蹤胞數目。一旦判定RWL之數目(即，僅選擇RWL 438或RWL 440之一者，或選擇RWL 438及440兩者)，則追蹤控制電路404通過參考位元線436連接至邏輯428且產生用於控制SRAM記憶體單元400之寫入操作及讀取

操作之信號。

表 1

MRWL 432	MRWL 434	RWL 438	RWL 440
0	1	選定	未選定
1	0	未選定	選定
1	1	選定	選定

圖5係根據本申請案之一些實施例之能夠在兩種不同電壓下工作之一SRAM記憶體單元500之一示意圖。參考圖5，SRAM記憶體單元500包括兩個追蹤控制電路502及504。追蹤控制電路502及504之各者包括兩個參考字線(RWL) 538及540。SRAM記憶體單元500進一步包括一字線驅動器506、位元胞陣列508及510、一局部控制器512、局部I/O 514及516、一主控制器518及主I/O 520及522。字線驅動器506驅動用於在一讀取或一寫入操作期間待存取之位元胞陣列508及510內之對應位元胞之字線。局部控制器512控制局部I/O 514及516轉移SRAM記憶體單元500內之資料。主控制器518控制主I/O 520及522轉移SRAM記憶體單元500與SRAM記憶體單元500外部之其他電路之間之資料。

主控制器518中之一雙電壓(DVLT)選擇邏輯524使得一使用者選擇追蹤控制電路502及504之一者以由SRAM記憶體單元500來操作。例如，DVLT選擇邏輯524可經設計使得當將一邏輯高信號饋入至DVLT選擇邏輯524時，通過邏輯528及參考位元線536選擇追蹤控制電路504。另一方面，(例如)當將一邏輯低信號饋入至DVLT選擇邏輯524時，通過邏輯526及參考位元線542選擇追蹤控制電路502。DVLT選擇邏輯524可為一通道閘或邏輯閘/NMOS/PMOS/反相器裝置之一組

合。

主控制器518中之一參考字線邏輯530使得一使用者選擇RWL 538及RWL 540之一者或兩者以與選定之追蹤控制電路操作。RWL 538及/或540之選擇組態SRAM記憶體單元500之讀取操作或寫入操作中之追蹤胞數目。根據以下表2選擇RWL 538及RWL 540。應瞭解，表2係展示MRWL 532及534與RWL 538及540之值之間之關係之一實例。

表2

MRWL 532	MRWL 534	RWL 538	RWL 540
0	1	選定	未選定
1	0	未選定	選定
1	1	選定	選定

追蹤控制電路502及504經設計使得SRAM記憶體單元500能夠在兩種不同電壓下工作。例如，追蹤控制電路502可經設計而在2伏特下工作，且追蹤控制電路504可經設計而在400毫伏下工作。在此實例中，追蹤控制電路504可組態(例如)以選擇三個追蹤胞，而追蹤控制電路502可組態(例如)以選擇八個追蹤胞。

可組態RWL 538及540甚至可延伸SRAM記憶體單元500之靈活性。例如，若選擇經設計而在2伏特下工作之追蹤控制電路502，則RWL 538及540可組態用於各自2伏特讀取操作及寫入操作之不同數目之追蹤胞。另一方面，例如，若選擇經設計在400毫伏下工作之追蹤控制電路504，則RWL 538及540可組態用於各自400毫伏讀取操作及寫入操作之不同數目之追蹤胞。因此，SRAM記憶體單元500能夠在兩種不同電壓下工作，且在彼等兩種不同電壓下保證用於讀取操作及寫入操作兩者之正確操作。

圖6A係根據本申請案之一些實施例之組態一SRAM記憶體單元而在兩種不同電壓下工作之一流程圖。在操作602中，判定在不同操作電壓下之一SRAM記憶體單元之電特性。該等電特性可包含用於在(例

如)兩種不同操作電壓下操作之SRAM記憶體單元之雜訊餘量及操作速度。

在操作604中，在SRAM記憶體單元中提供一第一追蹤電路及一第二追蹤電路。

在操作606中，第一追蹤電路之追蹤胞數目經組態以用於一第一操作電壓，且第二追蹤電路之追蹤胞數目經組態以用於一第二操作電壓。第一追蹤電路及第二追蹤電路內之追蹤胞之數目取決於電特性，諸如在操作602中針對第一操作電壓及第二操作電壓判定之雜訊餘量及操作速度。

在操作608中，提供一第一選擇邏輯以用於選擇待用於SRAM記憶體單元中之第一追蹤電路及第二追蹤電路之一者。

圖6B係根據本申請案之一些實施例之組態一SRAM記憶體單元而在兩種不同電壓下工作之一流程圖。在操作612中，針對兩種不同操作電壓判定電特性，諸如一SRAM記憶體單元之雜訊餘量及操作速度。

在操作614中，在SRAM記憶體單元中提供一第一追蹤電路及一第二追蹤電路。

在操作616中，第一追蹤電路經組態以用於一第一操作電壓，且第二追蹤電路經組態以用於一第一操作電壓。

在操作618中，提供一第一選擇邏輯以用於選擇待用於SRAM記憶體單元中之第一追蹤電路及第二追蹤電路之一者。

在操作620中，提供一第二選擇邏輯以用於組態選定追蹤電路之追蹤胞數目。第一追蹤電路及第二追蹤電路內之追蹤胞之數目取決於諸如在操作612中判定之雜訊餘量及操作速度之電特性。另外，不同數目之追蹤胞可經組態以單獨控制SRAM記憶體單元之讀取及寫入操作。

在一SRAM記憶體單元中，一雜訊餘量係信號超過一合適邏輯低或邏輯高之一臨限值之量。例如，一數位電路可經設計以在0伏特與1.2伏特之間擺動。在該情況中，低於0.2伏特之信號被認為係一邏輯低，且高於1.0伏特之信號被認為係一邏輯高。接著，一邏輯低之雜訊餘量將係一信號低於0.2伏特之量，且一邏輯高之雜訊餘量將係一信號超過1.0伏特之量。簡單而言，一雜訊餘量係一SRAM記憶體單元可承受之雜訊量。

圖7係展示一SRAM記憶體單元之一讀取餘量與一工作電壓之一圖式。參考圖7，讀取餘量係指一SRAM記憶體單元之讀取操作之雜訊餘量。x軸表示SRAM記憶體單元之工作電壓(VDD)(單位為伏特)。y軸表示SRAM記憶體單元之讀取餘量(單位為毫伏)。線702展示無一追蹤控制電壓之一現存SRAM記憶體單元之讀取餘量特性，且線704展示根據本申請案之一些實施例之一SRAM記憶體單元之讀取餘量特性。

若吾人將工作電壓分為兩類：低於0.6伏特之工作電壓及高於0.6伏特之工作電壓則可更佳地瞭解圖7。針對低於0.6伏特之工作電壓，為了增強一讀取操作之準確度，將期望增加讀取餘量。通過利用圖1至圖5中所繪示之實施例，一SRAM記憶體單元之一追蹤控制電路可經組態以減少追蹤胞之數目。相較於由線702表示之現存做法，增加在線704之工作電壓0.4伏特及0.5伏特處之讀取餘量。

針對高於0.6伏特之工作電壓，相較於存取速度，讀取餘量對一SRAM記憶體單元不係一大問題。在此情況中，通過利用圖1至圖5中繪示之實施例，一SRAM記憶體單元之一追蹤控制電路可經組態以增加追蹤胞之數目。因此，可增強讀取操作之速度。圖7僅展示一現存SRAM記憶體單元與根據本申請案之一SRAM記憶體單元之間之讀取餘量比較。然而應瞭解，亦可根據類似於先前所描述之一方式改良一

SRAM記憶體單元之寫入餘量。

本揭露之實施例提供用於在至少一操作電壓下操作一記憶體裝置之方法。本揭露之實施例亦提供用於在至少一操作電壓下操作之記憶體裝置。提供之方法及記憶體裝置增加一SRAM記憶體單元之使用之靈活性而無記憶體結構之顯著區域影響。提供之方法及記憶體裝置亦增強一SRAM記憶體單元之各自讀取操作及寫入操作之準確度。提供之方法及記憶體裝置亦延伸一SRAM記憶體單元之可工作操作電壓之範圍。

上文概述一些實施例之特徵使得熟習技術者可更佳地理解本揭露之態樣。熟習技術者將明白其等可易於將本揭露用作為設計或修改用於執行相同目的及/或達成本文介紹之實施例之相同優勢之其他程序及結構之一基礎。熟習技術者亦應意識到，此等等效建構未背離本揭露之精神及範疇，且其等可在不背離本揭露之精神及範疇之情況下在本文中作出各種改變、取代及替代。

【符號說明】

100	靜態隨機存取記憶體(SRAM)記憶體單元
102	位元胞陣列
104	追蹤胞陣列
106	計時器
108_1	追蹤字線
108_2	追蹤字線
110	追蹤位元線
112	位元線
114	位元線棒
116	字線
118	追蹤控制電路

204	追蹤胞陣列
206	計時器
208_1至208_n	追蹤字線
210	追蹤位元線
218	追蹤控制電路
300	靜態隨機存取記憶體(SRAM)記憶體單元
302	追蹤控制電路
304	追蹤控制電路
306	字線驅動器
308	位元胞陣列
310	位元胞陣列
312	局部控制器
314	局部I/O
316	局部I/O
318	主控制器
320	主I/O
322	主I/O
324	雙電壓(DVLT)選擇邏輯
326	邏輯
328	邏輯
332	參考位元線
334	參考位元線
400	靜態隨機存取記憶體(SRAM)記憶體單元
404	單一追蹤控制電路
406	字線驅動器
408	位元胞陣列

410	位元胞陣列
412	局部控制器
414	局部I/O
416	局部I/O
418	主控制器
420	主I/O
422	主I/O
428	邏輯
430	參考字線(RWL)邏輯
432	參考字線(MRWL)
434	參考字線(MRWL)
436	參考位元線
438	參考字線(RWL)
440	參考字線(RWL)
500	靜態隨機存取記憶體(SRAM)記憶體單元
502	追蹤控制電路
504	追蹤控制電路
506	字線驅動器
508	位元胞陣列
510	位元胞陣列
512	局部控制器
514	局部I/O
516	局部I/O
518	主控制器
520	主I/O
522	主I/O

524	雙電壓(DVLT)選擇邏輯
526	邏輯
528	邏輯
530	參考字線邏輯
532	參考字線(MRWL)
534	參考字線(MRWL)
536	參考位元線
538	參考字線(RWL)
540	參考字線(RWL)
542	參考位元線
602	操作
604	操作
606	操作
608	操作
612	操作
614	操作
616	操作
618	操作
620	操作
702	線
704	線

申請專利範圍

1. 一種用於在至少一操作電壓下操作一記憶體裝置之方法，該方法包括：
 - 判定在該至少一操作電壓下之該記憶體裝置之電特性；
 - 提供該記憶體裝置中之至少一追蹤控制電路，該至少一追蹤控制電路包括複數個追蹤胞，該等追蹤胞之時序特性在該記憶體裝置之一寫入操作或一讀取操作期間模擬一位元胞之時序特性；
 - 組態該至少一追蹤控制電路之追蹤胞數目；且
 - 提供用於選擇該至少一追蹤控制電路之一者之一第一選擇電路；其中：
 - 該至少一追蹤控制電路內之該等追蹤胞中之一第一數目個追蹤胞經組態以控制該記憶體裝置之該寫入操作，且
 - 該至少一追蹤控制電路內之該等追蹤胞中之一第二數目個追蹤胞經組態以控制該記憶體裝置之該讀取操作。
2. 如請求項1之方法，其中根據該記憶體裝置之該至少一操作電壓及該記憶體裝置之該等電特性來組態該至少一追蹤控制電路之該追蹤胞數目。
3. 如請求項1之方法，其中組態該至少一追蹤控制電路之該追蹤胞數目包括：
 - 提供用於組態該追蹤控制電路之該追蹤胞數目之至少兩個參考字線；且
 - 提供用於啟動該至少兩個參考字線之一或多者之一第二選擇

電路。

4. 一種用於在至少一操作電壓下操作之記憶體裝置，其包括：
 - 一追蹤控制電路，其用於控制該記憶體裝置之寫入操作或讀取操作，該追蹤控制電路包括複數個追蹤胞，其中該等追蹤胞之時序特性在該記憶體裝置之一寫入操作或一讀取操作期間模擬一位元胞之時序特性；
 - 至少兩個參考字線，其等用於組態該追蹤控制電路之追蹤胞數目；及
 - 一選擇電路，其經組態以啟動該至少兩個參考字線之一或多者；其中：
 - 該追蹤控制電路內之該等追蹤胞中之一第一數目個追蹤胞經組態以控制該記憶體裝置之該寫入操作，且
 - 該追蹤控制電路內之該等追蹤胞中之一第二數目個追蹤胞經組態以控制該記憶體裝置之該讀取操作。
5. 如請求項4之記憶體裝置，其中根據該記憶體裝置之該至少一操作電壓來組態該追蹤控制電路之該追蹤胞數目。
6. 一種用於在至少一操作電壓下操作之記憶體裝置，其包括：
 - 至少一追蹤控制電路，其用於控制該記憶體裝置之一寫入操作或一讀取操作，其中該至少一追蹤控制電路各包括複數個追蹤胞，其中該等追蹤胞之時序特性在該記憶體裝置之該寫入操作或該讀取操作期間模擬一位元胞之時序特性；及
 - 一第一選擇電路，其用於啟動該至少一追蹤控制電路之一者；其中針對該至少一追蹤控制電路之各者：

該等追蹤胞中之一第一數目個追蹤胞經組態以控制該記憶體裝置之該寫入操作，且

該等追蹤胞中之一第二數目個追蹤胞經組態以控制該記憶體裝置之該讀取操作。

7. 如請求項6之記憶體裝置，其中該至少一追蹤控制電路經組態以確保足夠時間用於該記憶體裝置之該寫入操作或該讀取操作。

8. 一種用於操作一記憶體裝置之方法，該方法包括：

提供該記憶體裝置中之一追蹤控制電路，該追蹤控制電路包含複數個追蹤胞；

組態該追蹤控制電路內之該等追蹤胞中之一第一數目個追蹤胞；

組態該追蹤控制電路內之該等追蹤胞中之一第二數目個追蹤胞；且

啟動該追蹤控制電路內之該第一數目個追蹤胞、該第二數目個追蹤胞或該第一數目個追蹤胞及該第二數目個追蹤胞之一組合，其中啟動該第一數目個追蹤胞用以控制該記憶體裝置之一寫入操作，以及其中啟動該第二數目個追蹤胞用以控制該記憶體裝置之一讀取操作；

其中該第一數目個追蹤胞不同於該第二數目個追蹤胞。

9. 一種記憶體裝置，其包括：

一追蹤控制電路，其包含複數個追蹤胞，其中該等追蹤胞包含：

一第一數目個追蹤胞用以控制該記憶體裝置之一寫入操作，及

一第二數目個追蹤胞用以控制該記憶體裝置之一讀取操

作；

一選擇電路，其經組態以啟動該追蹤控制電路內之該第一數目個追蹤胞、該第二數目個追蹤胞或該第一數目個追蹤胞及該第二數目個追蹤胞之一組合；

其中該第一數目個追蹤胞不同於該第二數目個追蹤胞。

10. 一種記憶體裝置，其包括：

一第一追蹤控制電路，其中該第一追蹤控制電路包含複數個追蹤胞，該第一追蹤控制電路之該等追蹤胞包含：

一第一數目個追蹤胞用以控制該記憶體裝置之一寫入操作，及

一第二數目個追蹤胞用以控制該記憶體裝置之一讀取操作；

其中該第一數目個追蹤胞不同於該第二數目個追蹤胞；

一第二追蹤控制電路，其中該第二追蹤控制電路包含複數個追蹤胞，該第二追蹤控制電路之該等追蹤胞包含：

一第三數目個追蹤胞用以控制該記憶體裝置之該寫入操作，及

一第四數目個追蹤胞用以控制該記憶體裝置之該讀取操作；

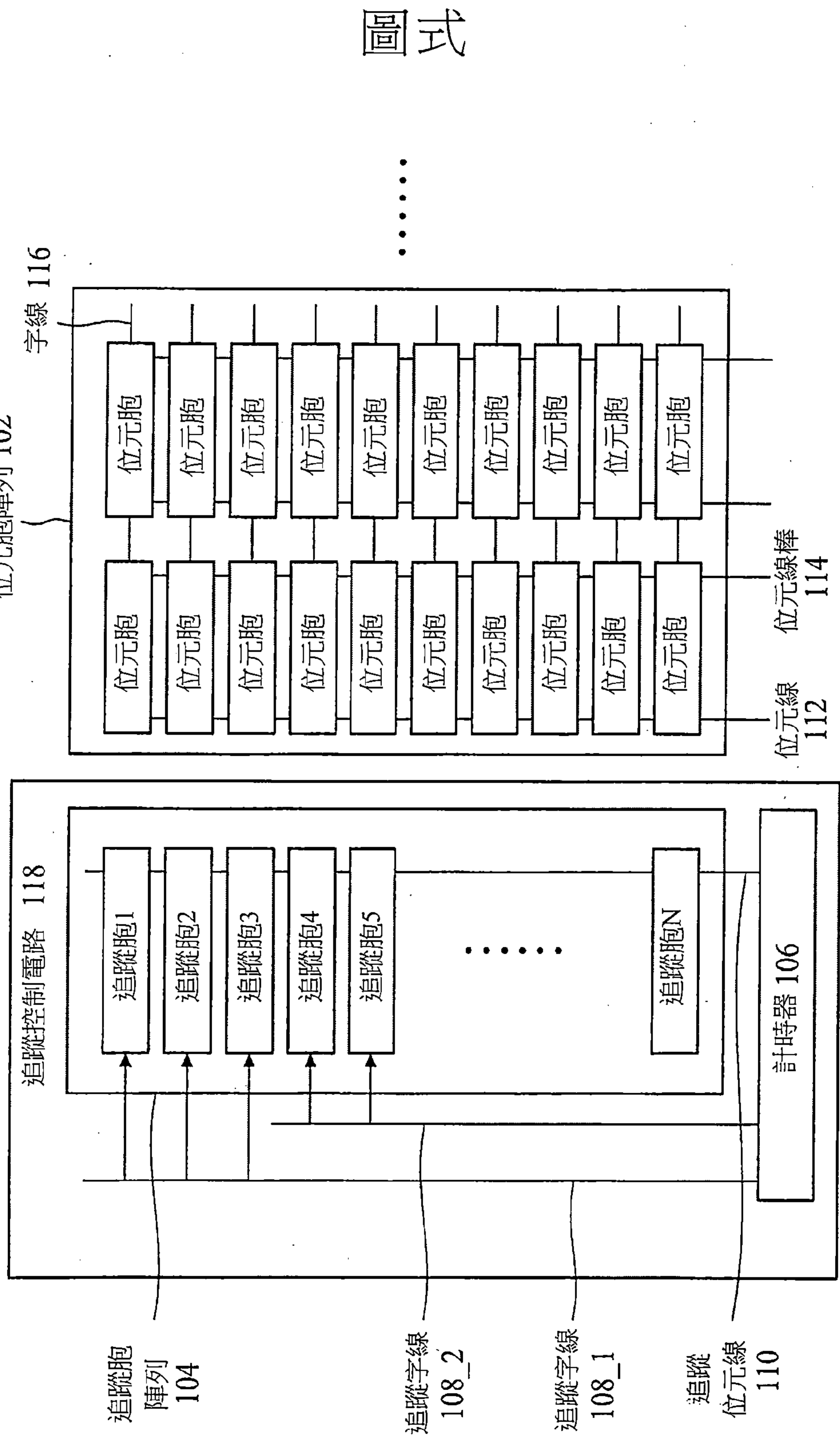
其中該第三數目個追蹤胞不同於該第四數目個追蹤胞；

一第一選擇電路，其用於啟動該第一追蹤控制電路或該第二追蹤控制電路；及

一第二選擇電路，其經組態以啟動經啟動的該第一追蹤控制電路內之該第一數目個追蹤胞或該第二數目個追蹤胞，或經啟動的該第二追蹤控制電路內之該第三數目個追蹤胞或該第四數

目個追蹤胞。

100



圖式

圖 1

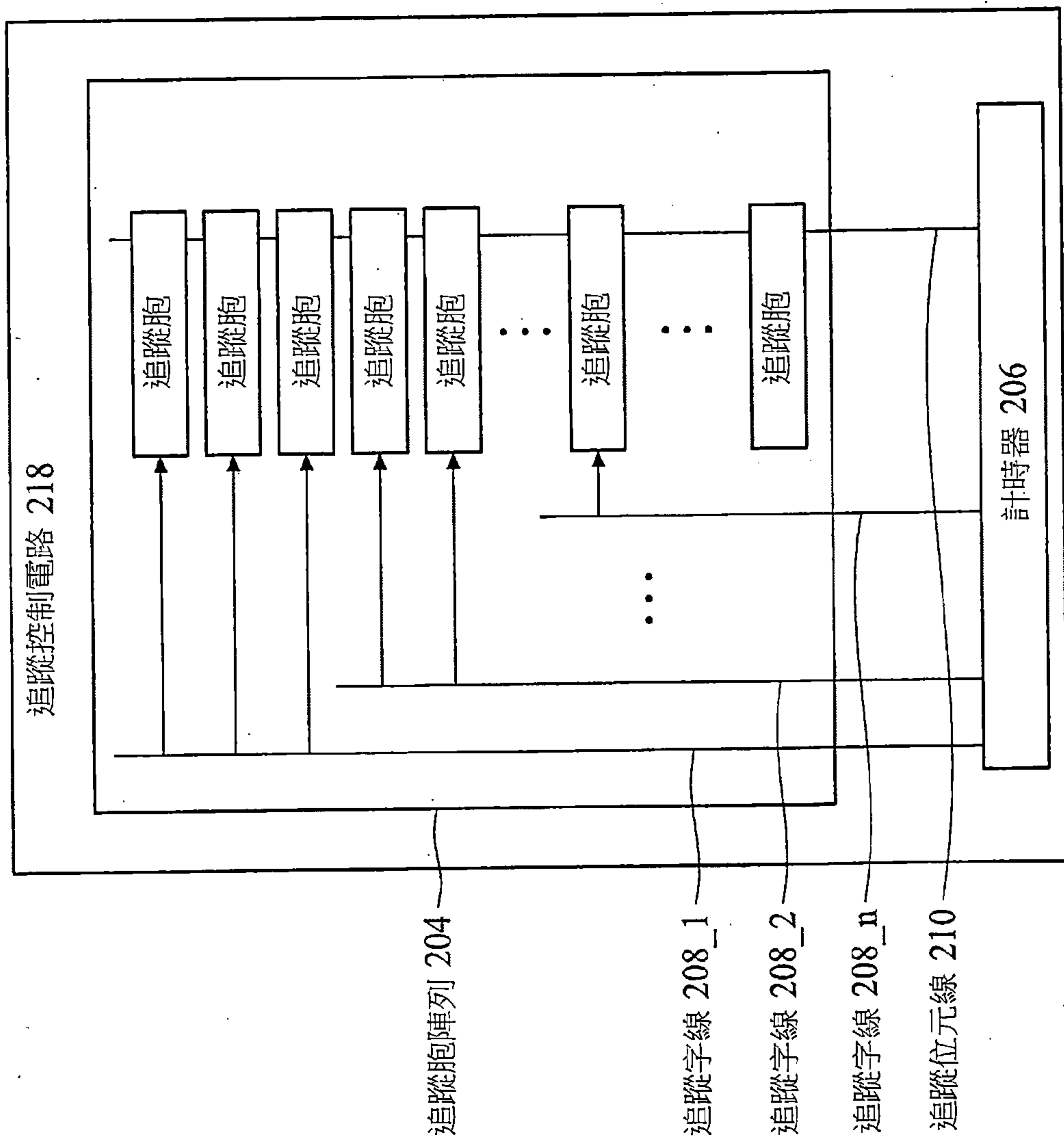


圖 2

300

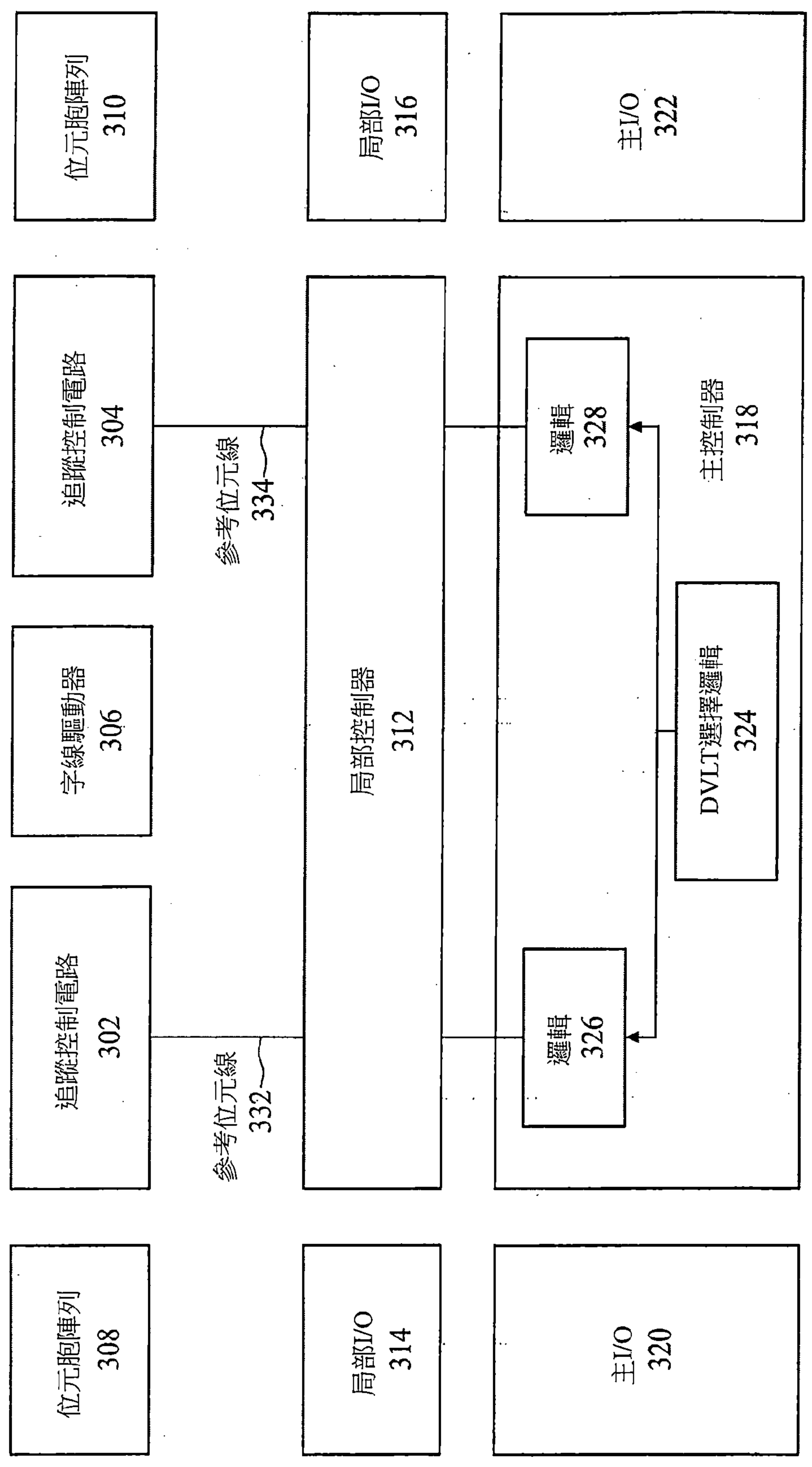


圖 3

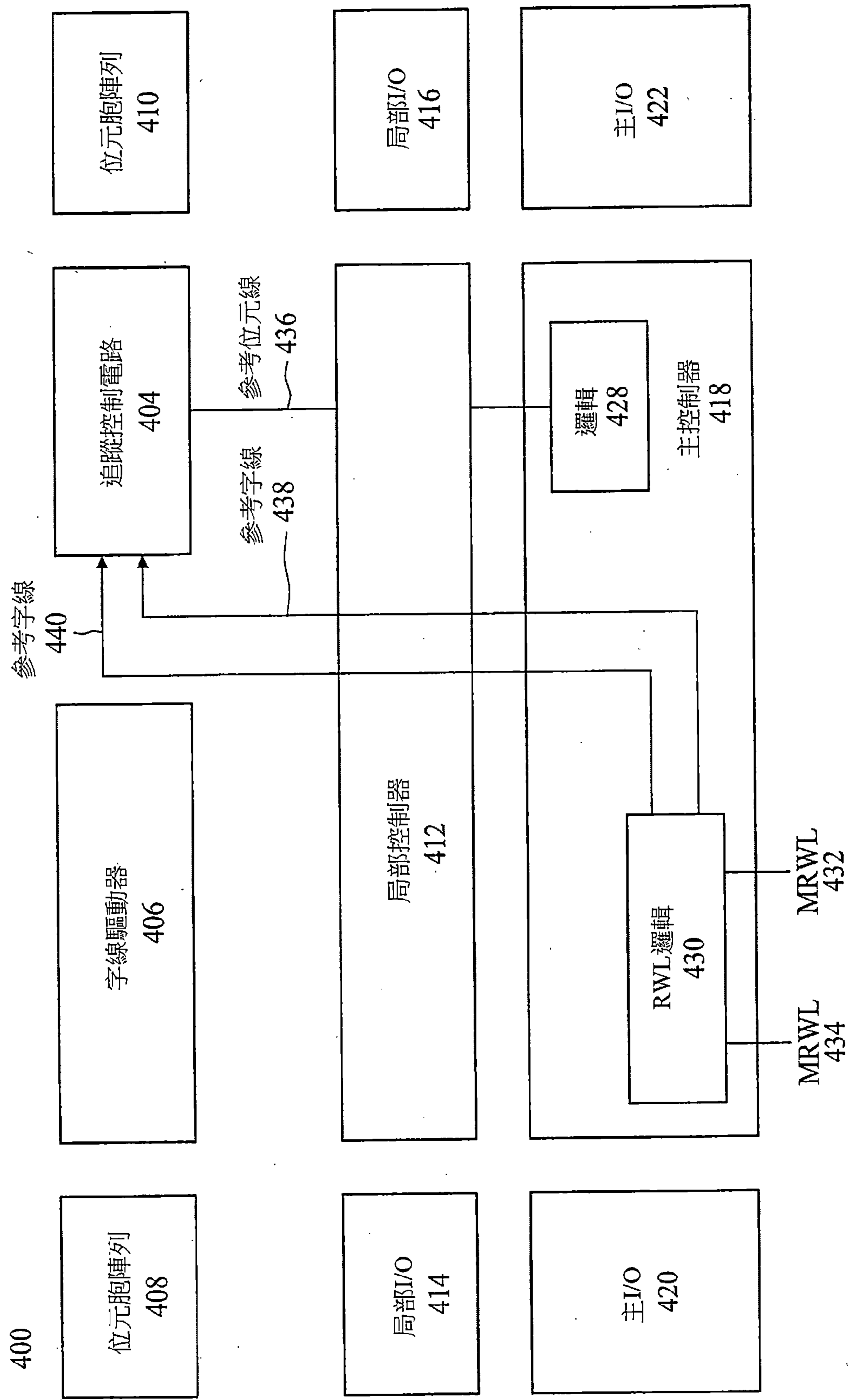


圖 4

500

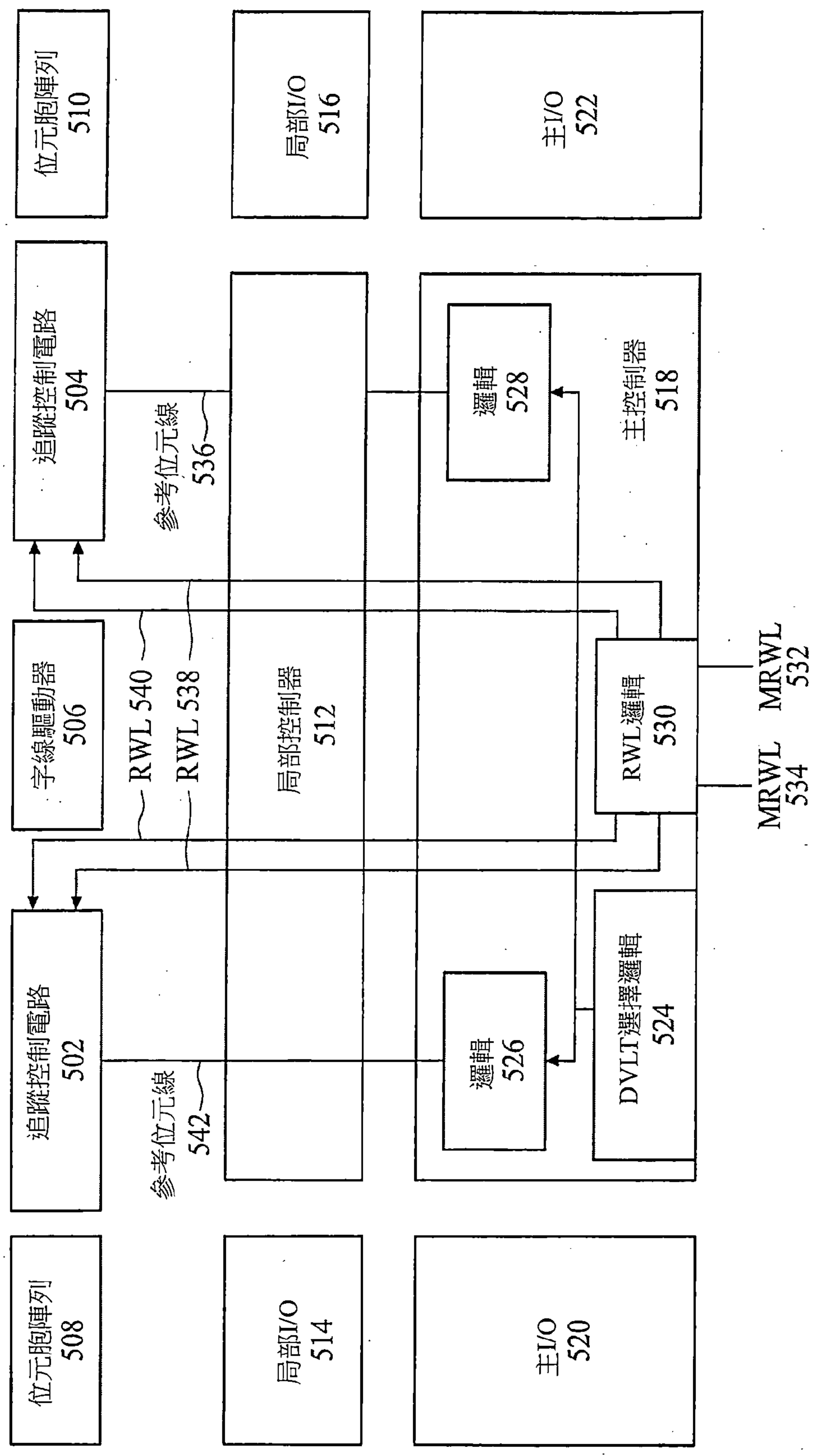


圖 5

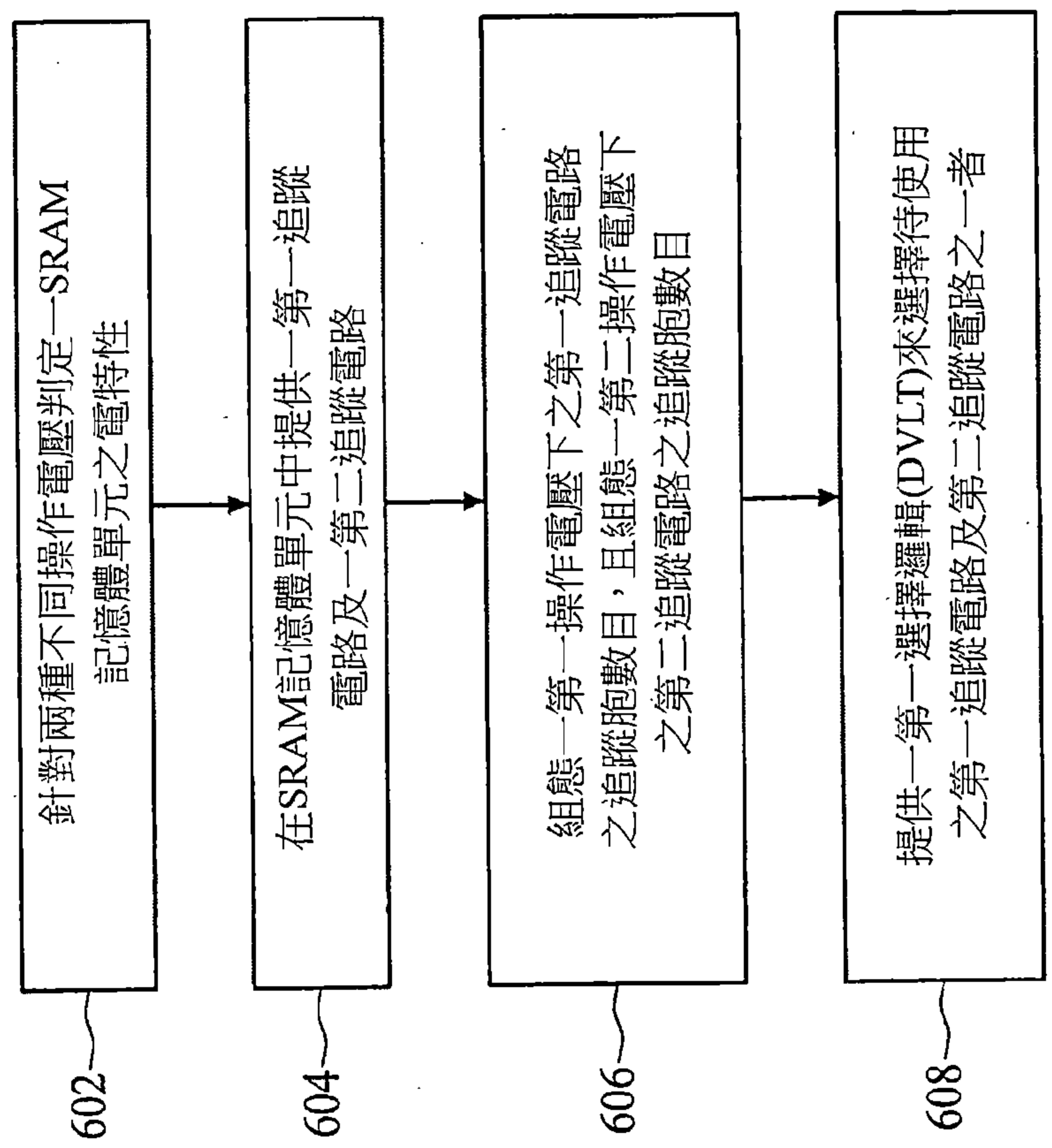


圖 6A

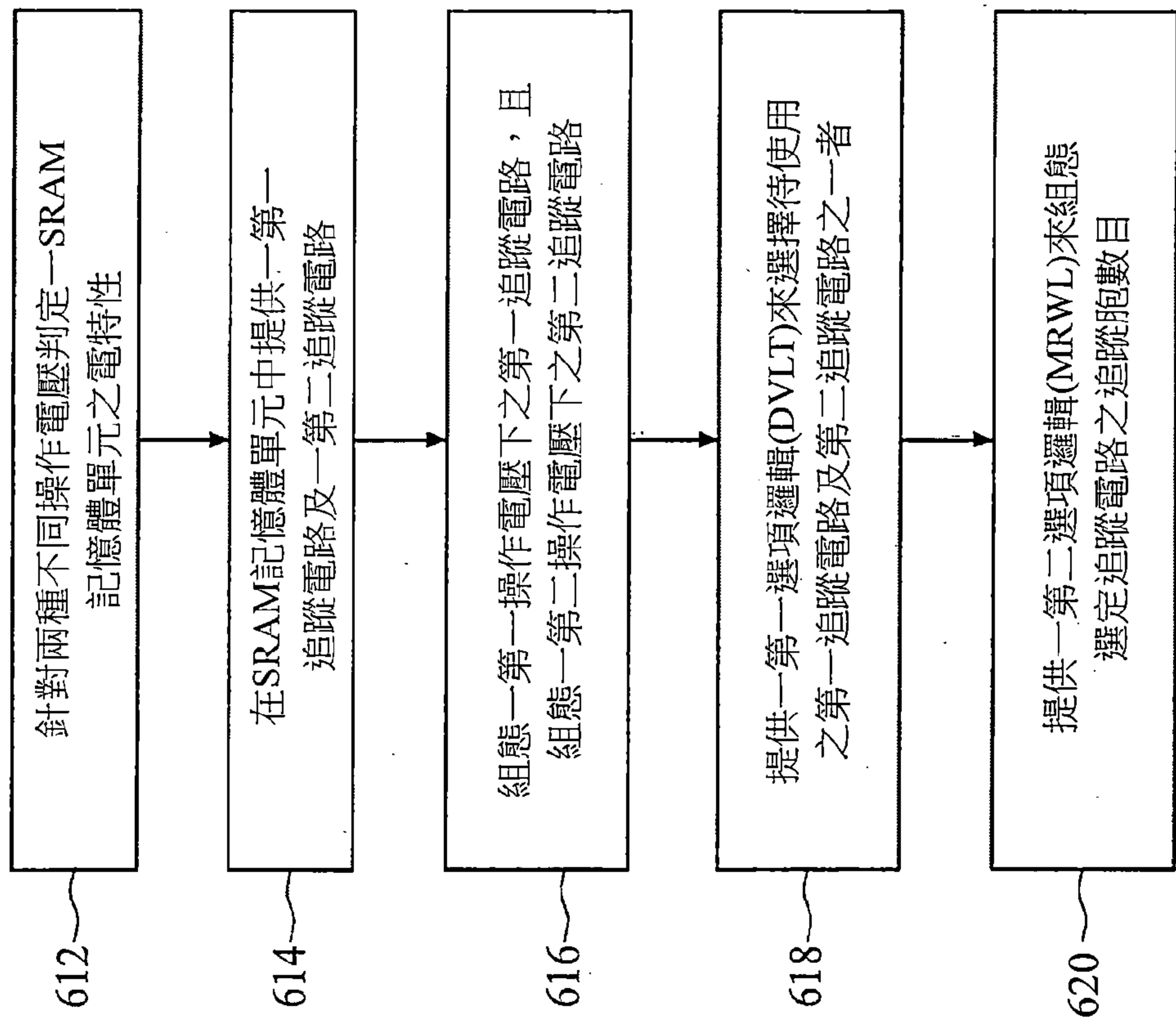


圖 6B

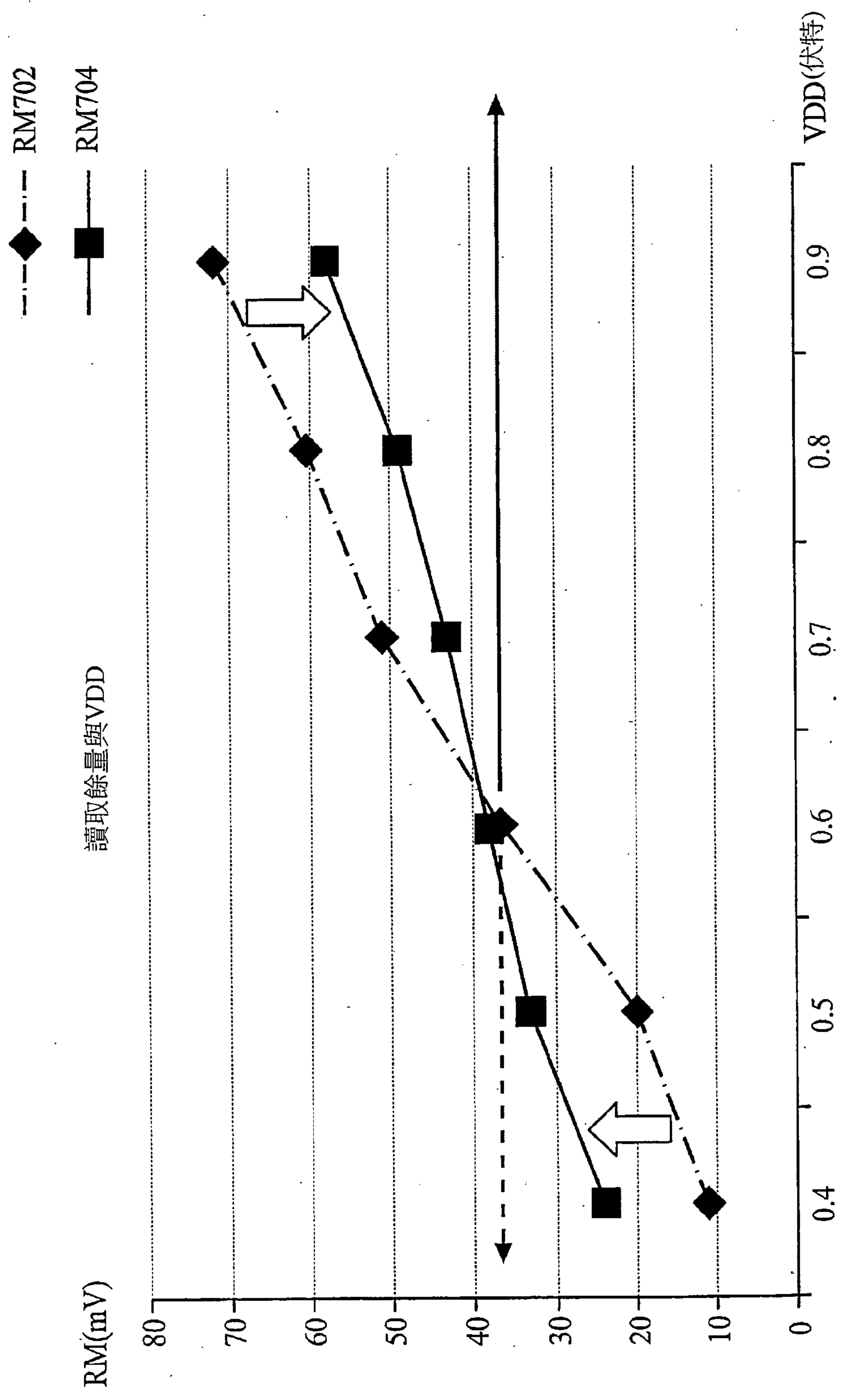


圖 7