



(12) 发明专利

(10) 授权公告号 CN 102683276 B

(45) 授权公告日 2015. 03. 11

(21) 申请号 201210054258. 0

审查员 张一文

(22) 申请日 2012. 03. 02

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 姜春生

(74) 专利代理机构 北京同达信恒知识产权代理
有限公司 11291

代理人 黄志华

(51) Int. Cl.

H01L 21/77(2006. 01)

G09G 3/32(2006. 01)

(56) 对比文件

US 2009/0121982 A1, 2009. 05. 14,

CN 101276107 A, 2008. 10. 01,

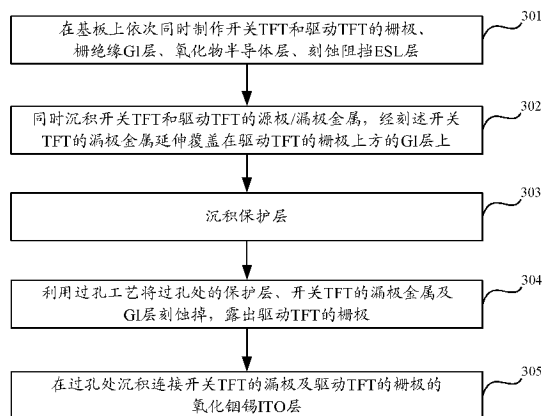
权利要求书2页 说明书6页 附图5页

(54) 发明名称

一种像素驱动电路及其制备方法、阵列基板

(57) 摘要

本发明公开了一种像素驱动电路及其制备方法
及阵列基板,像素驱动电路包括开关 TFT 和驱
动 TFT 该方法包括:在基板上依次同时制作开关
TFT 和驱动 TFT 的栅极、栅绝缘 GI 层、氧化物半导
体层、ESL 层;同时开关 TFT 和驱动 TFT 的源极/
漏极金属,经刻蚀所述开关 TFT 的漏极金属延伸
覆盖在驱动 TFT 的栅极上方的 GI 层上;沉积保护
层,利用过孔工艺将过孔处的保护层、开关 TFT 的
漏极金属及 GI 层刻蚀掉,露出驱动 TFT 的栅极;
在过孔处沉积连接开关 TFT 的漏极及驱动 TFT 的
栅极的氧化铟锡 ITO 层。本发明增加了背板的开
口率且降低了干刻刻蚀比的开发及工艺的复杂
性。



1. 一种像素驱动电路的制备方法,所述像素驱动电路包括开关薄膜场效应晶体管 TFT 和驱动 TFT,其特征在于,包括:

在基板上依次制作开关 TFT 和驱动 TFT 的栅极、开关 TFT 和驱动 TFT 的栅绝缘层、开关 TFT 和驱动 TFT 的氧化物半导体层、开关 TFT 和驱动 TFT 的刻蚀阻挡层;

同时沉积开关 TFT 和驱动 TFT 的源极/漏极金属,经刻蚀所述开关 TFT 的漏极金属延伸覆盖在驱动 TFT 的栅极上方的栅绝缘层上;

沉积保护层,利用过孔工艺将过孔处的保护层、开关 TFT 的漏极金属及栅绝缘层刻蚀掉,露出驱动 TFT 的栅极;

在过孔处沉积连接开关 TFT 的漏极及驱动 TFT 的栅极的氧化铟锡 ITO 层。

2. 如权利要求 1 所述的方法,其特征在于,利用过孔工艺将过孔处的保护层、开关 TFT 的漏极金属及栅绝缘层刻蚀掉,具体包括:

采用干刻工艺在驱动 TFT 的栅极上方进行过孔刻蚀,将过孔处的保护层、开关 TFT 的漏极金属及栅绝缘层刻蚀掉,露出驱动 TFT 的栅极;或者

在驱动 TFT 的栅极上方进行过孔刻蚀,采用干刻工艺将过孔处的保护层刻蚀掉,然后利用湿刻工艺将过孔处的开关 TFT 的漏极金属刻蚀掉,最后利用干刻工艺将过孔处的栅绝缘层刻蚀掉,露出驱动 TFT 的栅极。

3. 如权利要求 1 所述的方法,其特征在于,制作氧化物半导体层和刻蚀阻挡层具体包括:

在栅绝缘层上沉积氧化物半导体层并利用湿法刻蚀进行刻蚀,刻蚀后的氧化物半导体层在开关 TFT 和驱动 TFT 的栅极上方,且驱动 TFT 的栅极上方部分区域未被覆盖氧化物半导体层;

在氧化物半导体层上沉积刻蚀阻挡层并进行刻蚀,刻蚀后的刻蚀阻挡层在开关 TFT 的栅极和驱动 TFT 的栅极上方,且驱动 TFT 的栅极上方未被覆盖氧化物半导体层的区域未被覆盖刻蚀阻挡层。

4. 如权利要求 1 所述的方法,其特征在于,具体采用金属钼 Mo,或者采用钼 Mo/ 铝 Al/ 钼 Mo 制作开关 TFT 的栅极及驱动 TFT 的栅极。

5. 如权利要求 1 所述的方法,其特征在于,具体采用氮化硅 SiN_x 或氧化硅 SiO_x 制作栅绝缘层。

6. 如权利要求 1 所述的方法,其特征在于,具体采用氧化硅 SiO_x 制作刻蚀阻挡层。

7. 如权利要求 1 所述的方法,其特征在于,具体采用氮化硅 SiN_x 或氧化硅 SiO_x 制作保护层。

8. 如权利要求 1 所述的方法,其特征在于,所述像素驱动电路还包括存储电容,还包括:

将所述驱动 TFT 与存储电容连接。

9. 一种采用如权利要求 1-8 任一项所述的像素驱动电路制备方法得到的像素驱动电路,其特征在于,所述像素驱动电路包括开关薄膜场效应晶体管 TFT 和驱动 TFT,所述开关 TFT 和驱动 TFT 均包括栅极、栅绝缘层、氧化物半导体层、刻蚀阻挡层、源极/漏极,所述开关 TFT 的漏极经驱动 TFT 栅极上方的通孔上的氧化铟锡 ITO 层与所述驱动 TFT 的栅极连接在一起。

10. 一种阵列基板,其特征在于,所述阵列基板包括权利要求 9 所述像素驱动电路。

一种像素驱动电路及其制备方法、阵列基板

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种像素驱动电路及其制备方法、阵列基板。

背景技术

[0002] AMOLED (Active Matrix/Organic Light Emitting Diode,是有源矩阵 / 有机发光二极管面板) 显示器的像素驱动电路通常采用 TFT (Thin Film Transistor, 薄膜场效应晶体管), TFT 作为驱动 OLED (Organic Light-Emitting Diode, 有机发光二极管)、PLED (polymer light-emitting diode, 高分子发光二极管) 面板, 与非晶硅相比, 其载流子浓度是非晶硅的十倍。另外, TFT 可通过溅射 Sputter 的方法制备, 因此导入时无需大幅改变现有的液晶面板生产线。同时, 由于没有离子注入及激光晶化等设备的限制, 相对于多晶硅技术, 更有利于大面积的玻璃背板的生产。

[0003] 像素驱动电路包含两个 TFT 和一个存储电容, 其中一个为开关 TFT (Switching TFT), 另一个为驱动 TFT (Driving TFT)。在扫描线开启时, 开关 TFT 的栅极上施加一定电压, 电流从栅极流向漏极, 并通过 ITO 层传输到驱动 TFT, 使驱动 TFT 导通, 电流从栅极流向漏极, 驱动 TFT 与存储电容连接, 从而为电容充电, 当扫描线关闭时, 存储于电容中的电压仍能保持驱动 TFT 在导通状态, 故能在一个画面内维持 OLED 的固定电流。

[0004] Switching TFT 和 Driving TFT 由于处于不同层, 因此 Switching TFT 和 Driving TFT 的跳层连接技术是关键技术。目前主要采用以下两种方式:

[0005] 方式 1: 如图 1-1 ~ 图 1-7 所示, 主要包括以下过程:

[0006] 在玻璃基板上沉积 Switching TFT 和 Driving TFT 的栅极 (Gate) 金属 101 并刻蚀, 沉积栅绝缘 (GI) 层 102, 形成图 1-1 所示的截面图形;

[0007] 在 GI 层 102 上 Switching TFT 的位置沉积氧化铟镓锌 (IGZO) 层 103, 利用湿法刻蚀对 IGZO 层 103 进行刻蚀, 随后沉积 ESL (刻蚀阻挡层) 层 104 并刻蚀, 形成如图 1-2 所示截面图形;

[0008] 利用干刻技术, 在 Driving TFT 的 Gate 金属 101 上的 GI 层 102 开口, 形成如图 1-3 所示截面图形, 并沉积 Switching TFT 的源极 / 漏极 (S/D) 金属 105 和 Driving TFT 的 S/D (图中未示出), 形成如图 1-4 所示截面图形;

[0009] 然后沉积保护层 (PVX 层) 106, 形成如图 1-5 所示截面图形; 进行过孔 (Via Hole) 刻蚀, 露出 Switching TFT 的漏极和 Driving TFT 的栅极, 形成如图 1-6 所示的截面图形; 沉积 ITO (Indium Tin Oxide, 氧化铟锡) 层 107, 形成如图 1-7 所示的截面图形, 从而实现 Switching TFT 和 Driving TFT 的跳层连接。

[0010] 此方法虽然可以实现 Switching TFT 和 Driving TFT 的跳层的可靠连接, 但在 Driving TFT 的 Gate 金属的 GI 层上开口时, 是需要在图 1-2 上添加一张掩膜 MASK, 采用掩膜工艺进行开口, 不利于节约成本且降低了制备效率。

[0011] 方式 2: 在玻璃基板上沉积 Switching TFT 和 Driving TFT 的 Gate 金属 101 并刻蚀, 沉积 GI 层 102, 形成图 1-1 所示的截面图形;

[0012] 在 GI 层 102 上 Switching TFT 的位置沉积 IGZO 层 103, 利用湿法刻蚀对 IGZO 层 103 进行刻蚀, 沉积 ESL 层 104 并刻蚀, 形成如图 1-2 所示截面图形;

[0013] 沉积 Switching TFT 的源极 / 漏极 (S/D) 金属 105 和 Driving TFT 的 S/D (图中未示出), 随后沉积保护层 106, 形成如图 2-1 所示截面图形; 进行过孔 Via Hole 刻蚀, 利用干刻工艺采用的气氛环境对漏极 (Drain) 金属 (如钼 Mo 金属) 及 GI 层 (纳米二氧化硅 SiO_x)、保护层 (氮化硅 SiN_x) 的不同的刻蚀比, 在保证 Drain 金属未被刻蚀掉的前提下, 将 Driving TFT 的 Gate 金属上的 GI 层刻蚀干净并形成通孔, 形成如图 2-2 所示截面图形; 随后沉积 ITO 层 107, 形成如图 2-3 所示截面图形, 实现 Switching TFT 和 Driving TFT 的跳层连接。

[0014] 虽然采用此方法可以减少一张 MASK, 但需要调节干刻工艺, 提高干刻气氛对 Mo 金属及 SiO_x 、 SiN_x 的不同的刻蚀比, 增加了工艺的复杂性。

发明内容

[0015] 本发明提供一种像素驱动电路及其制备方法及阵列基板, 用以高效率地实现开关 TFT 和驱动 TFT 的跳层连接。

[0016] 本发明提供一种像素驱动电路的制备方法, 所述像素驱动电路包括开关薄膜场效应晶体管 TFT 和驱动 TFT 包括:

[0017] 在基板上依次同时制作开关 TFT 和驱动 TFT 的栅极、栅绝缘 GI 层、氧化物半导体层、刻蚀阻挡 ESL 层;

[0018] 同时沉积开关 TFT 和驱动 TFT 的源极 / 漏极金属, 经刻蚀所述开关 TFT 的漏极金属延伸覆盖在驱动 TFT 的栅极上方的 GI 层上;

[0019] 沉积保护层, 利用过孔工艺将过孔处的保护层、开关 TFT 的漏极金属及 GI 层刻蚀掉, 露出驱动 TFT 的栅极;

[0020] 在过孔处沉积连接开关 TFT 的漏极及驱动 TFT 的栅极的氧化铟锡 ITO 层。

[0021] 本发明提供一种像素驱动电路, 所述像素驱动电路包括开关薄膜场效应晶体管 TFT 和驱动 TFT, 所述开关 TFT 和驱动 TFT 均包括栅极、栅绝缘 GI 层、氧化物半导体层、刻蚀阻挡 ESL 层、源极 / 漏极, 所述开关 TFT 的漏极经氧化铟锡 ITO 层与所述驱动 TFT 的栅极连接在一起, 所述像素驱动电路采用上述像素驱动电路制备方法制备得到。

[0022] 本发明提供一种阵列基板, 所述阵列基板包括采用上述像素驱动电路制备方法制备得到的像素驱动电路。

[0023] 利用本发明所提供的像素驱动电路及其制备方法及阵列基板, 具有以下有益效果:

[0024] 1) 由于仅在驱动 TFT 的栅极上方开口, 增加了背板的开口率;

[0025] 2) 由于仅在驱动 TFT 的栅极上方开口, 刻蚀时不需要考虑对不同处刻蚀时的刻蚀比, 减少 SiO_x 及 Mo 金属的干刻刻蚀比的开发及工艺的复杂性;

[0026] 3) 在增加背板开口率和减少工艺复杂性的条件下, 保证一个像素内, Switching TFT 和 Driving TFT 的跳层连接。

附图说明

[0027] 图 1-1 ~ 图 1-7 为现有技术中采用方式 1 制备像素驱动电路过程中得到的截面

图；

[0028] 图 2-1 ~图 2-3 为现有技术中采用方式 2 制备像素驱动电路过程中得到的截面图；

[0029] 图 3 为本发明实施例像素驱动电路制备方法流程图；

[0030] 图 4-1 ~图 4-4 为本发明实施例像素驱动电路制备方法过程中得到的截面图；

[0031] 图 5 为本发明实施例制备的像素驱动电路的俯视图。

具体实施方式

[0032] 下面结合附图和实施例对本发明提供的像素驱动电路及其制备方法及阵列基板进行详细地说明。

[0033] 本发明实施例提供的像素驱动电路的制备方法,所述像素驱动电路包括开关薄膜场效应晶体管 TFT 和驱动 TFT,如图 3 所示,包括:

[0034] 步骤 301,在基板上依次同时制作开关 TFT 和驱动 TFT 的栅极、栅绝缘 GI 层、氧化物半导体层、刻蚀阻挡 ESL 层;

[0035] 显示器的每个像素内具有一个像素驱动电路,像素驱动电路包括开关 TFT 和驱动 TFT,开关 TFT 和驱动 TFT 采用相同的结构,不同的是开关 TFT 与数据扫描线连接,驱动 TFT 与存储电容连接。

[0036] 步骤 302,同时沉积开关 TFT 和驱动 TFT 的源极/漏极金属,经刻蚀所述开关 TFT 的漏极金属延伸覆盖在驱动 TFT 的栅极上方的 GI 层上;

[0037] 在 ESL 上沉积开关 TFT 和驱动 TFT 的源极/漏极(S/D)金属,这样,在开关 TFT/驱动 TFT 的栅极上施加一定电压时,电流从开关 TFT/驱动 TFT 的源极流向漏极。

[0038] 步骤 303,沉积保护层;

[0039] 具体地,沉积的保护层覆盖整个阵列基板表面。

[0040] 步骤 304,利用过孔工艺将过孔处的保护层、开关 TFT 的漏极金属及 GI 层刻蚀掉,露出驱动 TFT 的栅极;

[0041] 步骤 305,在过孔处沉积连接开关 TFT 的漏极及驱动 TFT 的栅极的氧化铟锡 ITO 层。

[0042] 本发明实施例提供的像素驱动电路制备方法,在开关 TFT 和驱动 TFT 的制作过程中,采用延长 Switching TFT 的 Drain 金属并覆盖在 Driving TFT 的 Gate 金属上,利用刻蚀技术在此位置上方开口,将保护层、S/D 层及 GI 层刻蚀掉,形成通孔,使得 Gate 金属露于背板表面,然后沉积 ITO,实现 Switching TFT 和 Driving TFT 的跳层连接,可见,由于本发明实施例可以优化以下问题:

[0043] 1) 由于仅在驱动 TFT 的栅极上方开口,增加了背板的开口率;

[0044] 2) 由于仅在驱动 TFT 上方开口,刻蚀时不需要考虑对不同处刻蚀时的刻蚀比,减少 SiO_x 及 Mo 金属的干刻刻蚀比的开发及工艺的复杂性;

[0045] 3) 在增加背板开口率和减少工艺复杂性的条件下,保证一个像素内,Switching TFT 和 Driving TFT 的跳层连接。

[0046] 实施例 1

[0047] 下面结合图 4-1 ~图 4-4 详细说明本发明实施例提供的像素电路的指标方法,详

细过程如下：

[0048] 1) 在玻璃基板上沉积 Gate 金属并刻蚀, 制作出开关 TFT 和驱动 TFT 的栅极 201；

[0049] 具体地, 这里的栅极 201 包括开关 TFT 的栅极和驱动 TFT 的栅极, 具体的刻蚀过程可以采用现有方法, 这里不再详述。

[0050] 优选地, 具体采用金属钼 Mo, 或者采用钼 Mo/ 铝 Al/ 钼 Mo 制作开关 TFT 和驱动 TFT 的栅极, 其中 Mo/Al/Mo 是三层金属, 分别是 Mo 金属层、Al 层及 Mo 金属层, 两层 Mo 金属起保护作用, 而 Al 层起导电作用。

[0051] 2) 沉积开关 TFT 和驱动 TFT 的栅绝缘 (GI) 层 202；

[0052] 优选地, 沉积的栅绝缘层 202 覆盖整个玻璃基板表面。

[0053] 具体采用氮化硅 SiN_x 或氧化硅 SiO_x 制作 GI 层。

[0054] 3) 在 GI 层上沉积开关 TFT 和驱动 TFT 的氧化物半导体层 203 并进行刻蚀；

[0055] 优选地, 氧化物半导体层 203 可以采用氧化铟镓锌 IGZO, 也可采用氧化镓锌 IZO 等。

[0056] 优选地, 沉积 IGZO 层并利用湿法刻蚀进行刻蚀, 刻蚀后的 IGZO 层在开关 TFT 和驱动 TFT 的栅极上方, 且驱动 TFT 的栅极上方部分区域未被覆盖 IGZO 层, 以方便开关 TFT 与驱动 TFT 的跳层连接。

[0057] 本实施例为了清楚地表示开关 TFT 和驱动 TFT 的跳层连接, 图 4-1 给出的是驱动 TFT 的栅极上方部分区域未被覆盖 IGZO 层的切面图。

[0058] 4) 在 IGZO 层上沉积刻蚀阻挡 ESL 层 204 并进行刻蚀；

[0059] 优选地, 刻蚀后的 ESL 层在开关 TFT 和驱动 TFT 的栅极上方, 由于是在 IGZO 层上沉积 ESL 层, 而驱动 TFT 的栅极上方部分区域未被覆盖 IGZO 层, 因此驱动 TFT 的栅极上方部分区域也未被覆盖 ESL 层, 以方便开关 TFT 与驱动 TFT 的跳层连接, ESL 层具体采用氧化硅 SiO_x 制作 ESL 层。

[0060] 5) 沉积开关 TFT 和驱动 TFT 的源极 S/ 漏极 D 金属, 经刻蚀所述开关 TFT 的漏极金属 205 延伸覆盖在驱动 TFT 的栅极上方的 GI 层上；

[0061] 本发明实施例中, 优选采用溅射 Sputter 技术沉积 S/D 金属并刻蚀, 经过刻蚀后, 保证 Switching TFT 的漏极 Drain 金属 205 覆盖在 Driving TFT 的 gate 金属上, 得到如图 4-1 所示的截面图形, 优选地, S/D 金属采用金属 Mo 或采用 Mo/Al/Mo, 具体的刻蚀技术采用现有方法刻蚀过程即可, 这里不再详述。

[0062] 6) 沉积保护层 (PVX 层) 206；

[0063] 如图 4-2 所示, 本实施例中沉积的保护层 206 覆盖整个玻璃基板表面, 优选地, 具体采用氮化硅 SiN_x 或氧化硅 SiO_x 制作保护层。

[0064] 7) 采用干刻工艺在驱动 TFT 的栅极上方进行过孔 Via Hole 刻蚀, 将 ViaHole 处的保护层、开关 TFT 的漏极金属及 GI 层刻蚀掉, 形成通孔, 露出驱动 TFT 的栅极, 得到如图 4-3 所示的截面图形。

[0065] 8) 在过孔处沉积氧化铟锡 IT0207, 实现 Switching TFT 和 Driving TFT 的跳层连接, 得到如图 4-4 所示的截面图形。

[0066] 至此, 制作出像素驱动电路的驱动 TFT 和驱动 TFT 并实现了跳层连接, 进一步地, 该像素驱动电路还包括存储电容, 将驱动 TFT 与存储电容连接, 从而能够实现像素驱动电

路的功能,如图 5 所示一个像素内像素驱动电路的俯视图,开关 TFT 的漏极 206 通过过孔与驱动 TFT 的栅极连接。

[0067] 实施例 2

[0068] 1) 在玻璃基板上沉积 Gate 金属并刻蚀,制作出开关 TFT 和驱动 TFT 的栅极 201;

[0069] 具体地,这里的栅极 201 包括开关 TFT 的栅极和驱动 TFT 的栅极,具体的刻蚀过程可以采用现有方法,这里不再详述。

[0070] 优选地,具体采用金属钼 Mo,或者采用钼 Mo/ 铝 Al/ 钼 Mo 制作开关 TFT 和驱动 TFT 的栅极。

[0071] 2) 沉积开关 TFT 和驱动 TFT 的栅绝缘 (GI) 层 202;

[0072] 优选地,沉积的栅绝缘层 202 覆盖整个玻璃基板表面。

[0073] 具体采用氮化硅 SiNx 或氧化硅 SiOx 制作 GI 层。

[0074] 3) 在 GI 层上沉积开关 TFT 和驱动 TFT 的氧化物半导体层 203 并进行刻蚀;

[0075] 优选地,沉积 IGZO 层并利用湿法刻蚀进行刻蚀,刻蚀后的 IGZO 层在开关 TFT 和驱动 TFT 的栅极上方,且驱动 TFT 的栅极上方部分区域 G 未被覆盖 IGZO 层,以方便开关 TFT 与驱动 TFT 的跳层连接。

[0076] 4) 在 IGZO 层上沉积刻蚀阻挡 ESL 层 204 并进行刻蚀;

[0077] 优选地,刻蚀后的 ESL 层在开关 TFT 和驱动 TFT 的栅极上方,由于是在 IGZO 层上沉积 ESL 层,而驱动 TFT 的栅极上方部分区域未被覆盖 IGZO 层,因此驱动 TFT 的栅极上方部分区域也未被覆盖 ESL 层,以方便开关 TFT 与驱动 TFT 的跳层连接,ESL 层具体采用氧化硅 SiOx 制作 ESL 层。

[0078] 本实施例为了清楚地表示开关 TFT 和驱动 TFT 的跳层连接,图 4-1 给出的是驱动 TFT 的栅极上方部分区域未被覆盖 ESL 层的切面图。

[0079] 5) 沉积开关 TFT 和驱动 TFT 的源极 S/ 漏极 D 金属,经刻蚀所述开关 TFT 的漏极金属 205 延伸覆盖在驱动 TFT 的栅极上方的 GI 层上;

[0080] 本发明实施例中,优选采用溅射 Sputter 技术沉积 S/D 金属并刻蚀,经过刻蚀后,保证 Switching TFT 的漏极 Drain 金属 205 覆盖在 Driving TFT 的 gate 金属上,得到如图 4-1 所示的截面图形,优选地,S/D 金属采用金属 Mo 或采用 Mo/Al/Mo,具体的刻蚀技术采用现有方法刻蚀过程即可,这里不再详述。

[0081] 6) 沉积保护层 206;

[0082] 如图 4-2 所示,本实施例中沉积的保护层 206 覆盖整个玻璃基板表面,优选地,具体采用氮化硅 SiNx 或氧化硅 SiOx 制作保护层。

[0083] 7) 在驱动 TFT 的栅极上方进行过孔 Via Hole 刻蚀,采用干刻工艺将过孔 Via Hole 处的保护层刻蚀掉,然后利用湿刻工艺将过孔 Via Hole 处的开关 TFT 的漏极金属完全刻蚀掉,最后利用干刻工艺将过孔处的 GI 层刻蚀掉,形成通孔,露出驱动 TFT 的栅极,得到如图 4-3 所示的截面图形。

[0084] 8) 在过孔处沉积氧化铟锡 IT0207,实现 Switching TFT 和 Driving TFT 的跳层连接,得到如图 4-4 所示的截面图形。

[0085] 本发明实施例中提及的湿刻工艺和干刻工艺具体可以采用现有工艺流程实现,这里不再详述刻蚀过程。

[0086] 本发明实施例中还提供一种像素驱动电路,所述像素驱动电路包括开关薄膜场效应晶体管 TFT 和驱动 TFT,所述开关 TFT 和驱动 TFT 均包括栅极、栅 绝缘 GI 层、氧化物半导体层、刻蚀阻挡 ESL 层、源极 / 漏极,所述开关 TFT 的漏极经氧化铟锡 ITO 层与所述驱动 TFT 的栅极连接在一起,所述像素驱动电路采用本发明实施例所提供的像素驱动电路制备方法制备得到,Switching TFT 和 Driving TFT 共用一个通孔实现跳层连接,由于仅使用一个通孔,因此增加了背板的开口率。

[0087] 本发明实施例还提供了一种阵列基板,所述阵列基板包括采用本发明实施例所提供的像素驱动电路制备方法得到的像素驱动电路。

[0088] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

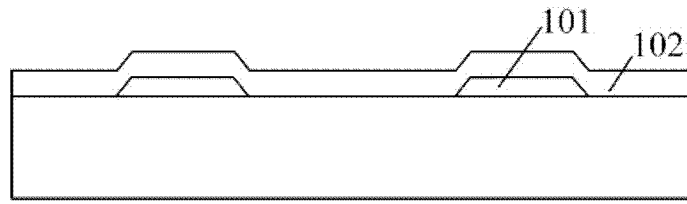


图 1-1

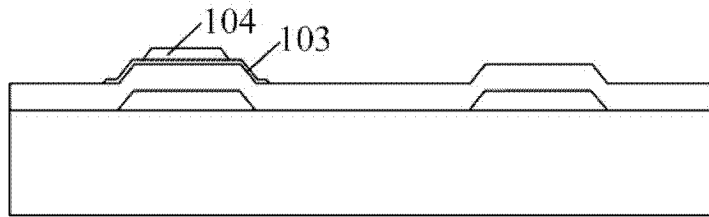


图 1-2

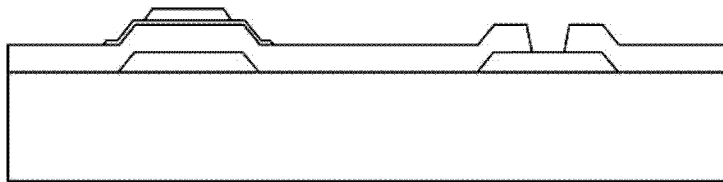


图 1-3

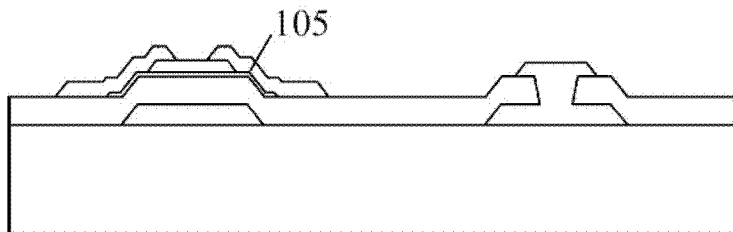


图 1-4

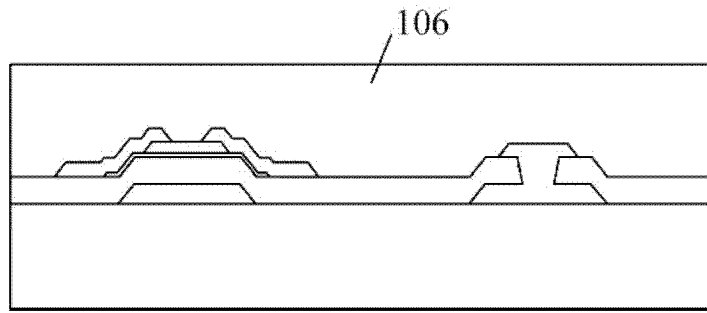


图 1-5

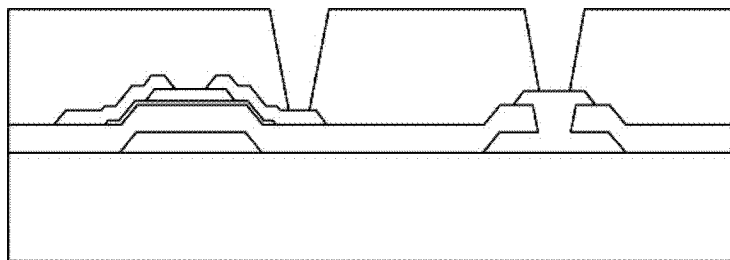


图 1-6

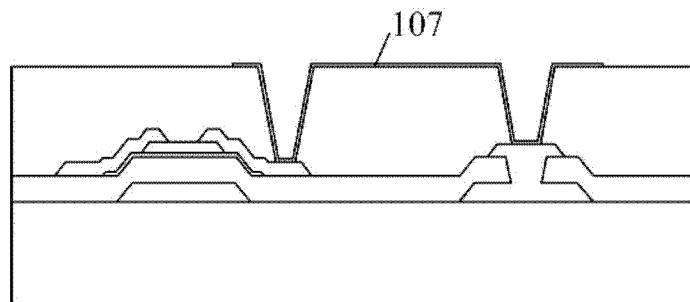


图 1-7

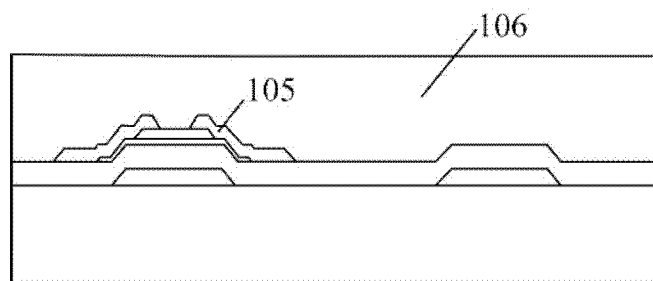


图 2-1

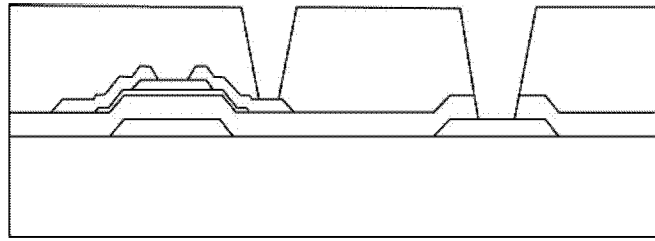


图 2-2

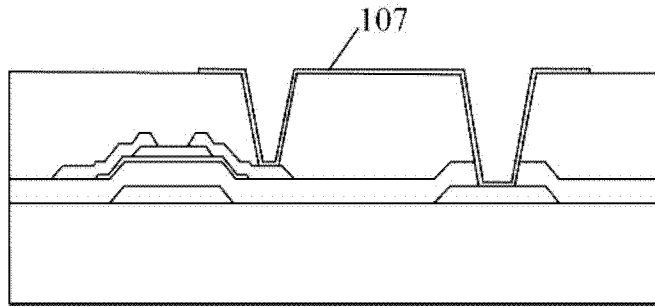


图 2-3

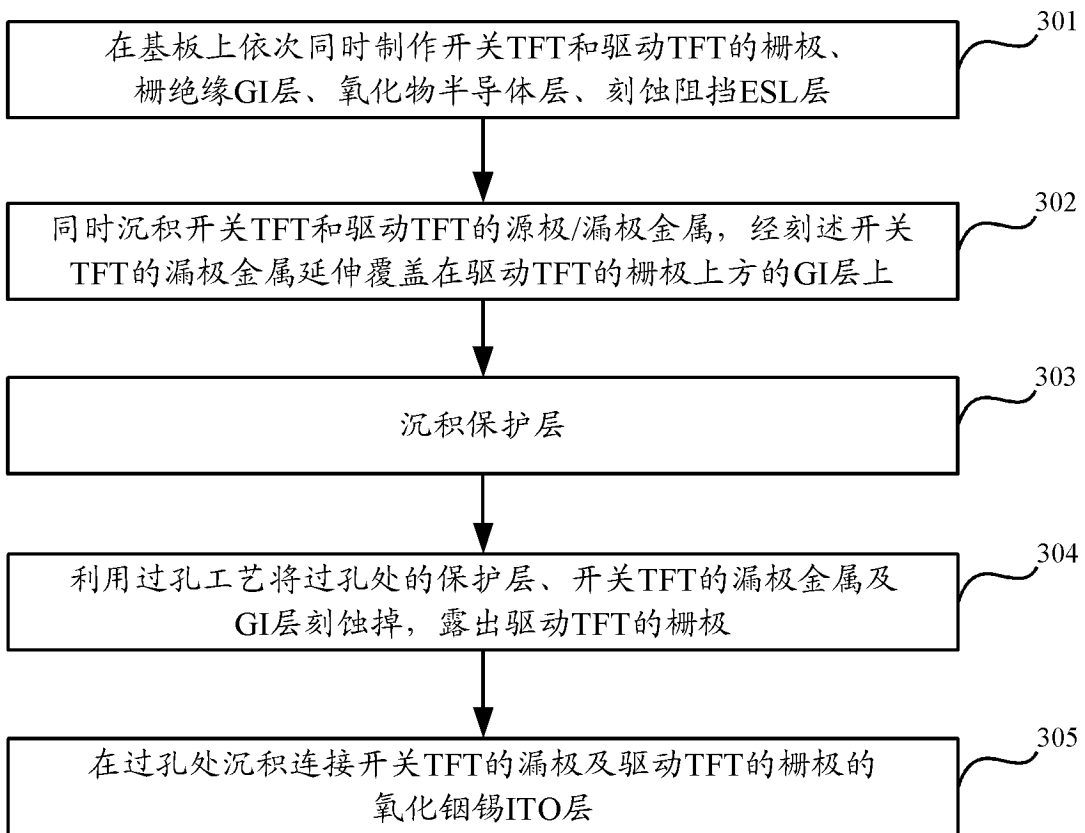


图 3

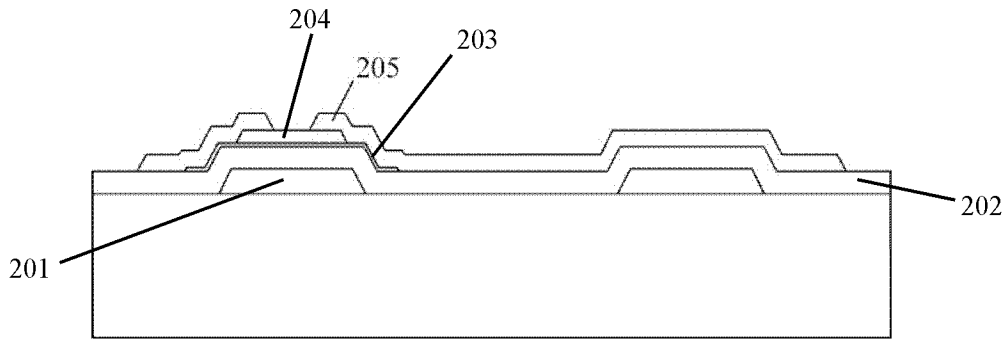


图 4-1

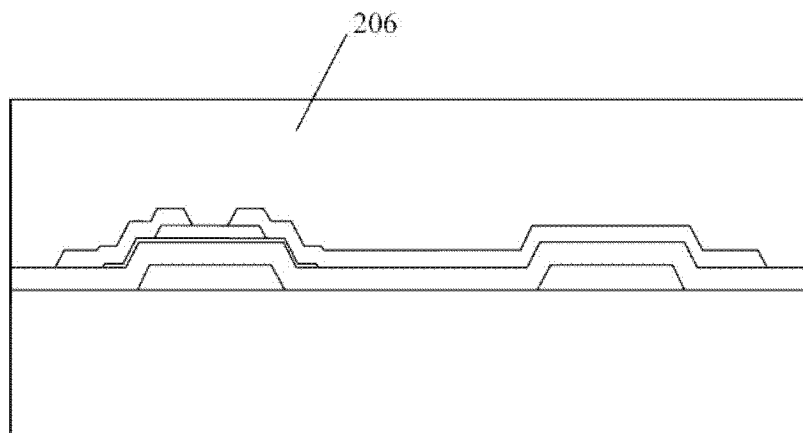


图 4-2

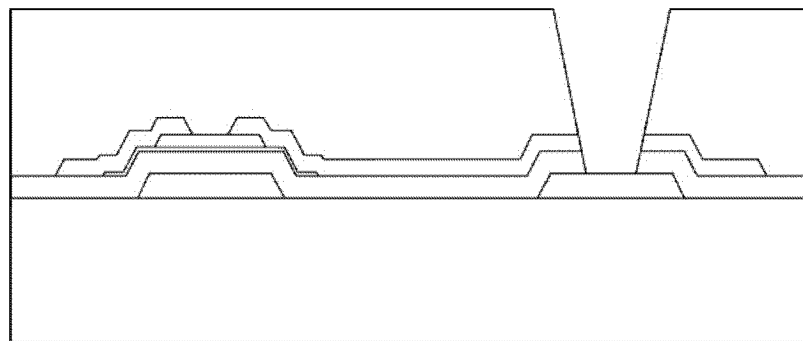


图 4-3

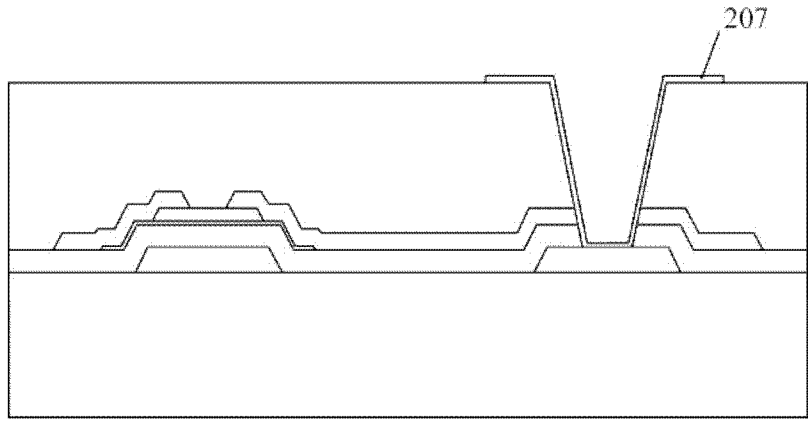


图 4-4

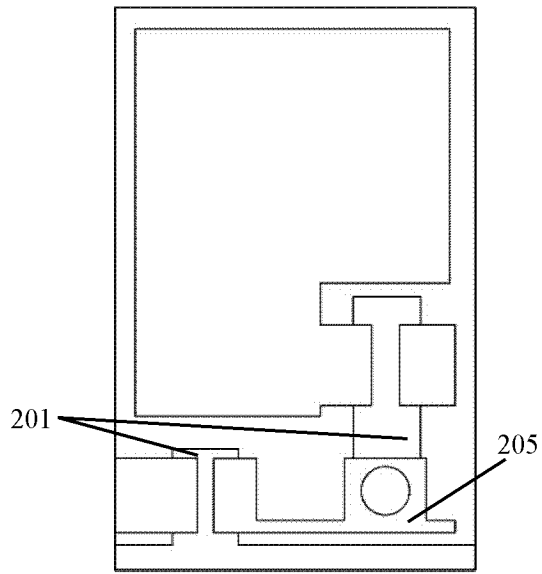


图 5