

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
H01L 27/01
H01L 27/12
H01L 29/784

(45) 공고일자 1995년04월06일
(11) 공고번호 특1995-0003235

(21) 출원번호	특1991-0025534	(65) 공개번호	특1993-0014944
(22) 출원일자	1991년12월30일	(43) 공개일자	1993년07월23일
(71) 출원인	주식회사 금성사 이현조 서울특별시 영등포구 여의도동 20번지		

(72) 발명자 소희섭
경기도 과천시 부림동 주공아파트 810-701
(74) 대리인 김용인, 심창섭

심사관 : 유환열 (책자공보 제3925호)

(54) 반도체 소자의 구조

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체 소자의 구조

[도면의 간단한 설명]

제1도는 종래의 박막트랜지스터의 구조 단면도.

제2도는 종래의 박막트랜지스터의 제조공정 단면도

제3도는 본 발명의 제1실시에 박막트랜지스터의 구조 단면도.

제4도는 본 발명의 제2실시에 박막트랜지스터의 구조 단면도.

제5도는 본 발명의 제3실시에 박막트랜지스터의 구조 단면도.

제6도는 본 발명의 제4실시에 박막트랜지스터의 구조 단면도.

제7도는 본 발명의 제5실시에 박막트랜지스터의 구조 단면도.

제8도는 본 발명의 제6실시에 박막트랜지스터의 구조 단면도.

제9도는 제5도의 박막트랜지스터의 제조공정 단면도.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|-------------|---------------|
| 1 : 절연기판 | 3 : 게이트절연막 |
| 4 : 게이트 | 5 : 소오스/드레인전극 |
| 8 : 비정질 규소층 | 9 : 금속층 |
| 10 : 활성반도체층 | 11 : 이온주입층 |

[발명의 상세한 설명]

본 발명은 반도체 소자에 관한 것으로 특히 LCD(Liquid Crystal Display) 등에 응용되는 반도체 소자의 구조에 관한 것이다.

종래의 LCD는 비정질규소 TFT(Thin Film Transistor)를 스위칭소자로 하여 우수한 LCD화상을 구현하

였다.

LCD의 화소밀도가 증가함에 따라, 구동회로와의 배선밀도가 매우 높아지고 이에따라 높은 전자이동도를 가진 폴리실리콘 TFT를 이용하여 유리기판이나 석영기판위에 구동회로와 스위칭소자를 동시에 형성하는 추세이다.

상기의 폴리실리콘 박막은 석영기판을 사용할때는 고온(600℃이상)에서 처리할 수 있으며 유리기판을 사용할려면 공정조건이 600℃미만으로 제한된다.

폴리실리콘을 만드는 방법은 고온에서의 LPCVD(Low Pressure Chemical Vapour Deposition)법 뿐 아니라, 저온(600℃이하)에서 비정질규소를 만든다음 레이저 열처리법등에 의해서도 가능하며, 기타 특수한 방법의 증착법에 의해서 처음부터 폴리실리콘 박막으로 제작이 가능하다.

제1도는 이와같은 종래의 폴리실리콘 박막트랜지스터의 구조단면도로서, 절연기판(1)상에 소오스/드레인영역(2)이 형성되고 채널영역 상측부위에 절연막(3)으로 격리되어 게이트(4)가 형성되고, 게이트(4)와 소오스/드레인영역(2)에 각각 연결되어 전극(5)이 형성되어 있는 구조이다.

제2도는 제1도의 폴리실리콘 박막트랜지스터의 공정 단면도로서, 제2(a)도와 같이 절연기판(1)위에 도핑되지 않는 폴리실리콘(6)을 증착하여 불필요한 부분을 제거한뒤 제2(b)도와 같이 전표면에 게이트절연막(7)을 LPCVD법, PECVD(Plasma Enhanced CVD)법, ECR법등에 의해 1000Å-4000Å 두께로 증착하고 인(Phosphorous)이 도핑된 폴리실리콘 박막을 증착하여 포토/에칭공정으로 게이트(4)를 형성한 뒤 게이트(4)를 마스크로 하여 상기 도핑되지 않는 폴리실리콘(6)에 인(P)을 이온주입하여 소오스/드레인영역(2)을 형성한다.

그리고 제2(c)도와 같이 게이트절연용 절연막(3)을 증착하고 제2(d)도와 같이 포토/에칭공정으로 게이트(4)와 소오스/드레인영역(2)의 금속전극을 형성하기 위해 절연막(3, 7)을 제거하여 콘택을 형성한후 제2(e)도와 같이 금속전극(5)을 형성하여 박막트랜지스터를 완성한다.

그러나 종래의 박막트랜지스터의 구조에 있어서는 CMOS형의 회로를 만들기 위해서는 n형 이온주입과 p형이온주입의 2회 이상의 이온주입이 필요하고, 도핑된 폴리실리콘층이라도 두께가 얇아짐에 따라 그 직렬저항이 커진다. 따라서, 소오스/드레인영역은 따로 다량의 이온주입과정을 필요로 하고, 공정이 많아짐에 따라 포토마스크 스텝이 많아지고 수율이 감소하는 등의 문제점이 있다.

본 발명은 이와같은 문제점을 해결하기 위해 안출한 것으로서, 박막트랜지스터의 소오스/드레인 접촉저항 및 직렬저항을 작게하고 매우얇은 반도체층과 도핑층을 사용하여도 충분한 공정변수오차 허용치를 가질 수 있는 박막트랜지스터의 구조를 제공하는데 그 목적이 있다.

이와같은 목적을 달성하기 위한 본 발명을 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

제3도는 본 발명의 제1실시예의 박막트랜지스터 구조단면도로서, 절연기판(1)상에 인(P)이 많이 함유된 비정질규소(8)층을 PECVD법으로 증착하고 금속층(몰리브덴, 텅스텐등)(9)을 증착하여 포토/에칭공정으로 경사진 구조의 소오스/드레인영역을 형성한다.

그리고 그위에 100Å-2000Å 두께로 활성반도체층(10)을 증착하는데, 처음부터 폴리실리콘으로 만들 수 있고, 비정질규소를 증착한후 레이저 열처리로 폴리실리콘으로 변환시킬 수 있다.

상기 활성반도체층(10)을 포토/에칭공정으로 불필요한 부분을 제거하고 게이트 절연층(3)을 증착하여 콘택을 형성한후 게이트(4) 및 소오스/드레인전극(5)을 형성하여 만들어진 구조이다.

여기서, 게이트절연층(3) 형성시 활성반도체층(10)과의 계면을 좋게 하기 위하여 ECR법에 의해 SiO₂를 증착하거나, LPCVD법, 또는 스퍼터링법으로 SiO₂를 증착한다.

제4도는 본 발명 제2실시예의 박막트랜지스터의 구조단면도로서, 상기의 제3도와 구조가 같으나 단지 소오스/드레인영역으로부터 수평방향으로 게이트(4) 전극이 ΔL 만큼 떨어져 있으며, 게이트전극을 마스크로 하여 상기 제3도의 활성반도체층(10)에 인(P)이온을 주입하여 이온주입층(11)을 형성한다. 이 경우는 "오프"상태에서의 누설전류를 줄이면서 높은 "온"전류를 유지할 수 있고, 동일한 구조로 인(P)의 이온주입을 하지 않으면 고전압에서도 동작할 수 있는 특성을 가지게 된다.

제5도는 본 발명 제3실시예의 박막트랜지스터의 구조 단면도로서, CMOS구조를 갖도록 n형 박막트랜지스터와 p형 박막트랜지스터를 동시에 형성하되 포토마스크가 필요없이 한번의 붕소(Born)이온주입으로 완성되는 실시예이다.

상기 활성반도체층(10)을 포토/에칭공정으로 불필요한 부분을 제거하고 게이트 절연층(3)을 증착하여 콘택을 형성한후 게이트(4) 및 소오스/드레인전극(5)을 형성하여 만들어진 구조이다.

여기서, 게이트절연층(3) 형성시 활성반도체층(10)과의 계면을 좋게 하기 위하여 ECR법에 의해 SiO₂를 증착하거나, LPCVD법, 또는 스퍼터링법으로 SiO₂를 증착한다.

제4도는 본 발명 제2실시예의 박막트랜지스터의 구조단면도로서, 상기의 제3도와 구조가 같으나 단지 소오스/드레인영역으로부터 수평방향으로 게이트(4) 전극이 ΔL 만큼 떨어져 있으며, 게이트전극을 마스크로 하여 상기 제3도의 활성반도체층(10)에 인(P)이온을 주입하여 이온주입층(11)을 형성한다. 이 경우는 "오프"상태에서의 누설전류를 줄이면서 높은 "온"전류를 유지할 수 있고, 동일한 구조로 인(P)의 이온주입을 하지 않으면 고전압에서도 동작할 수 있는 특성을 가지게 된다.

제5도는 본 발명 제3실시예의 박막트랜지스터의 구조 단면도로서, CMOS 구조를 갖도록 n형 박막트랜지스터와 p형 박막트랜지스터를 동시에 형성하되 포토마스크가 필요없이 한번의 붕소(Born)이온주입으로 완성되는 실시예이다. 그 구조는 절연기판(1)위에 n⁺형 비정질규소층(8)과 금속층(9)이 적층되

어 경사진 구조의 소오스/드레인영역이 형성되고, 채널영역에는 소오스/드레인영역에 약간 겹치도록 활성반도체층(10)이 형성되고, NMOS영역은 게이트절연막(3)으로 격리되어 게이트(4)가 오버랩(Overlap)(ΔL)되게 형성되고, PMOS영역은 상기 활성반도체층(10)의 양측에 붕소이온이 주입된 이온주입층(11)이 형성되어 채널이 오프셋(off-set)(ΔL)되고, 게이트절연막(3)으로 격리되어 게이트(4)가 형성되고, 소오스/드레인영역에 연결되도록 게이트절연막(3)에 콘택이 형성되어 소오스/드레인전극(5)이 형성된 구조이다.

이와같은 구조의 박막트랜지스터 제조방법을 제9도에 나타내었다. 즉, 제9(a)도와 같이 절연기판(1)에 인(P)이 다량 함유된 비정질규소층(8)과 금속층(9)을 차례로 증착하여 포토/에칭공정으로 경사지게 소오스/드레인을 형성하고, 제9(b)도와 같이 채널영역에 소오스/드레인영역과 약간 겹치도록 활성반도체층(10)을 형성한다.

그리고 제9(c)도와 같이 전면에 게이트절연막(3)을 증착하고 소오스/드레인영역 상부의 게이트절연막(3)을 제거하여 콘택을 형성한 다음, 제9(d)도와 같이 콘택영역에 소오스/드레인전극(5)을 형성한 NMOS영역에는 채널상측부위에 게이트(4)를 오버랩되게 형성하고, PMOS영역에는 채널상측부위에 오프셋 되게 게이트(4)를 형성하여 상기 게이트(3)를 마스크로 하여 상기 활성반도체층(10)에 붕소(B) 이온을 주입하여, CMOS 구조를 갖는 박막트랜지스터를 완성한다.

여기서, PMOS영역의 소오스/드레인의 도핑농도를 조절하면 게이트 전압이 "오프"인 경우, 오프전류를 매우 낮게 할 수 있으며 한편 제9(a)도에서 소오스/드레인영역의 비정질규소층(8)을 붕소가 많이 도핑된 것으로 하고, 제9(d)도에서 활성반도체층(10)에 인(P)이온을 주입하여도 같은 결과를 얻을 수 있다.

제6도는 본 발명 제4실시예의 박막트랜지스터의 구조단면도로서, 소오스/드레인영역의 비정질규소층(8)과 금속층(9)의 위치를 바꾼것이다.

즉, 절연기판(1)위에 금속층(9)과 인(P)이 다량함유된 비정질규소층(8)으로 소오스/드레인영역이 형성되고 채널영역에는 양측 소오스/드레인영역과 겹치도록 활성반도체층(10)이 형성되고, 게이트절연막(3)으로 격리되어, 게이트(4)가 채널영역에 형성되고, 소오스/드레인영역에 콘택이 형성되어 소오스/드레인전극(5)이 형성된 구조이다.

제7도는 본 발명 제5실시예의 박막트랜지스터의 구조 단면도로서 CMOS구조의 박막트랜지스터 구조이다. 즉, 절연기판(1)위에 금속층(9)과 금속층(9)위의 채널영역쪽에 인(P)이 다량함유된 비정질규소층(8)이 적층되어 소오스/드레인영역이 형성되고 채널영역에는 활성반도체층(10)이 상기 소오스/드레인영역과 겹치도록 형성되고, PMOS영역에는 상기 활성반도체층(10)의 양측에 붕소이온이 주입된 이온주입층(11)이 형성되어 채널이 오프셋되고, 게이트절연막(4)으로 격리되어 게이트(3)가 형성되며, NMOS영역은 게이트절연막(3)으로 격리되어 오버랩되게 게이트가 형성되고, 소오스/드레인전극(5)이 형성된 구조이다.

제8도는 본 발명 제6실시예의 박막트랜지스터의 구조단면도로서, 제7도의 구조에서 NMOS영역의 활성반도체층(10)을 소오스/드레인영역과 겹치지 않게 형성한 것이다.

이상에서 설명한 바와같이 본 발명의 박막트랜지스터에 있어서는 최소한의 포토마스크를 사용하여 LCD용 스위칭소자뿐만 아니라 LCD 구동회로를 구성할 수 있는 CMOS용 박막트랜지스터를 제작할 수 있고, 이온주입공정과, 포토/에칭공정을 줄임으로서 공정비용을 절감하고 수율을 향상시킬 수 있고, 소오스/드레인영역에 금속을 사용하여 전기적 신호특성을 향상시키는 등의 효과가 있다.

(57) 청구의 범위

청구항 1

절연기판상에 제1도전형 반도체층과 금속층이 적층되어 형성되는 소오스 및 드레인영역과, 상기 소오스와 드레인영역 사이의 채널영역 기판상에 상기 소오스 및 드레인영역의 일측과 겹치도록 형성되는 활성반도체층과, 상기 소오스 및 드레인영역과 활성반도체층에 걸쳐 형성되는 게이트 절연막과, 상기 채널영역의 게이트 절연막 상에 형성되는 게이트 전극과, 상기 소오스 및 드레인영역의 금속층에 콘택되는 소오스 및 드레인전극을 포함하여 구성됨을 특징으로 하는 반도체 소자의 구조.

청구항 2

절연기판과, 상기 절연기판상에 제1도전형 반도체층과 금속층이 적층되어 형성되는 CMOS형 소오스 및 드레인영역과, 상기 CMOS형 소오스 및 드레인영역 사이의 채널영역에 상기 CMOS형 소오스 및 드레인영역 일측과 겹치도록 형성되는 활성반도체층과, 상기 CMOS형 소오스 및 드레인영역과 활성반도체층에 걸쳐 전면에 형성되는 게이트 절연막과, 제1도전형 MOS 형성영역에는 소오스 및 드레인영역과 오버랩되고 제2도전형 MOS 형성영역에는 소오스 및 드레인영역과 오프셋 되도록 상기 게이트 절연막위에 형성되는 게이트 전극과, 상기 제2도전형 MOS의 게이트 전극 양측 활성반도체층에 형성되는 제2도전형 불순물 영역을 포함하여 구성됨을 특징으로 하는 반도체 소자의 구조.

청구항 3

제1항에 있어서, 게이트 전극이 소오스 및 드레인영역과 수평방향으로 오프-셋되고 노출된 게이트 전극 양측의 활성반도체층에 제1도전형 불순물 영역이 형성됨을 특징으로 하는 반도체 소자의 구조.

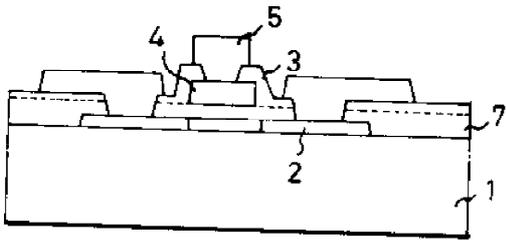
청구항 4

제1항에 있어서, 소오스 및 드레인영역이 금속층과 제1도전형 반도체층이 차례로 적층되어 형성되고, 상기 제1도전형 반도체층은 소오스 및 드레인영역과 상기 활성반도체층이 겹쳐지는 부분

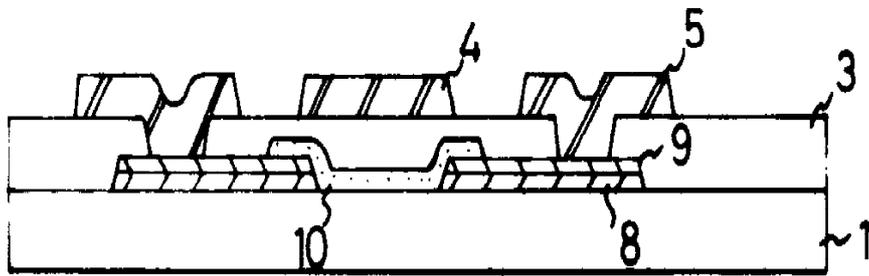
에만 형성됨을 특징으로 하는 반도체 소자의 구조.

도면

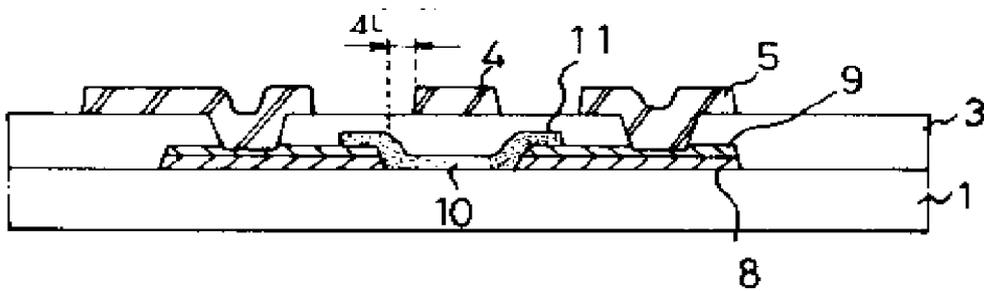
도면1



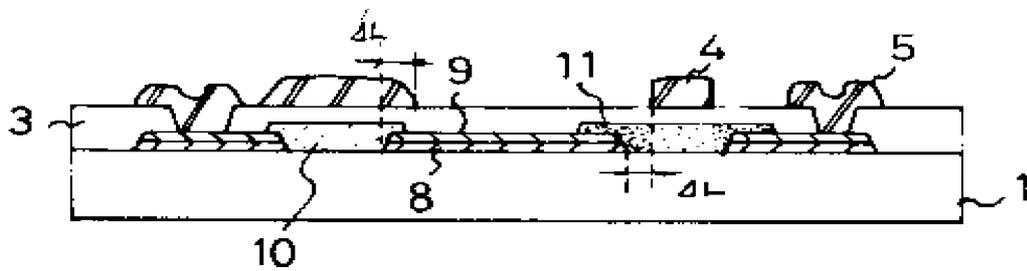
도면2-e



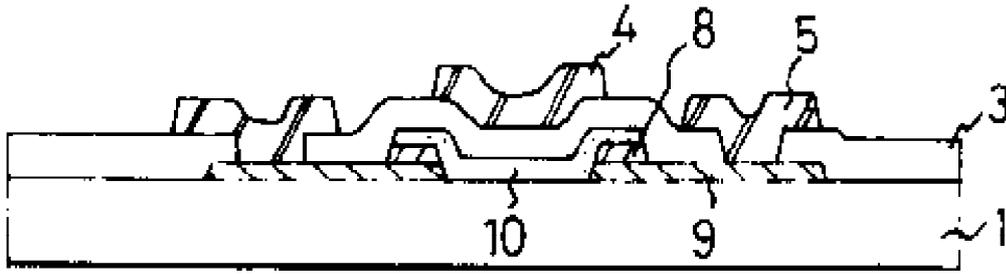
도면2-d



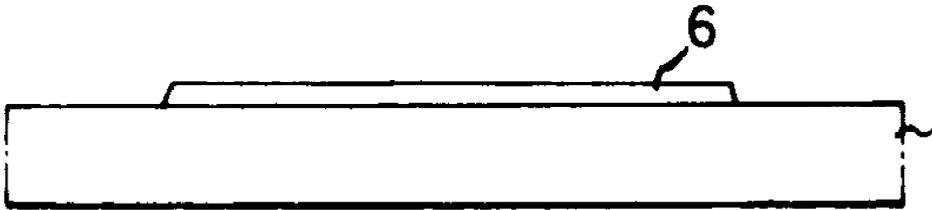
도면2-c



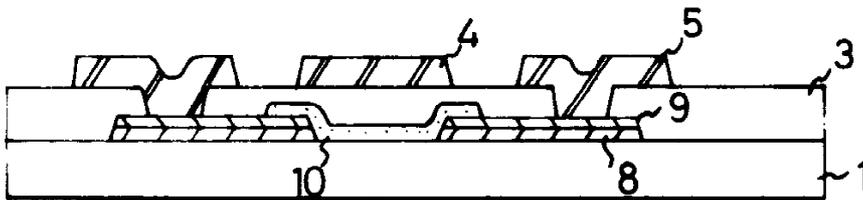
도면2-b



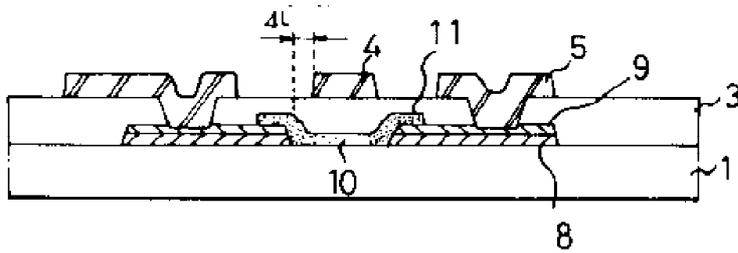
도면2-a



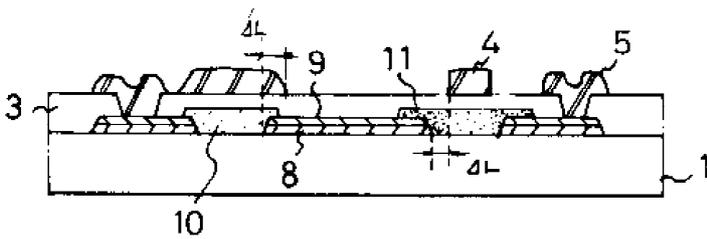
도면3



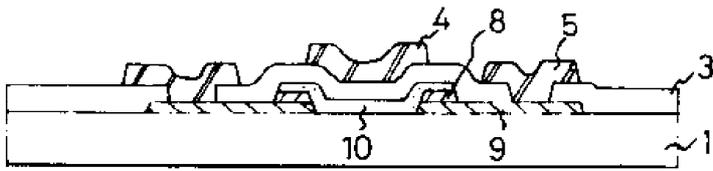
도면4



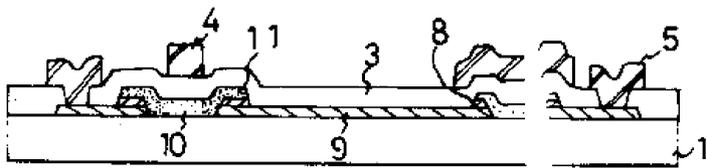
도면5



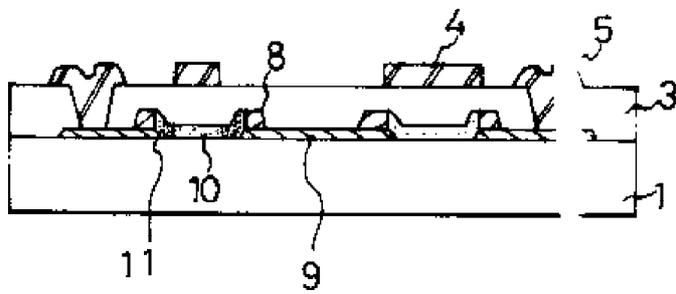
도면6



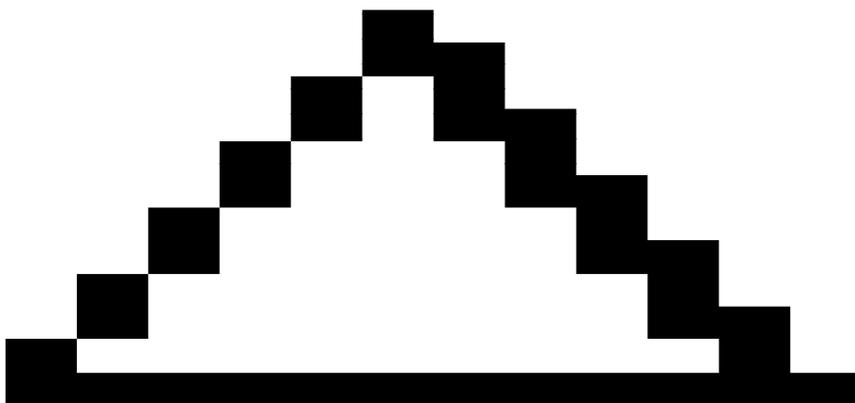
도면7



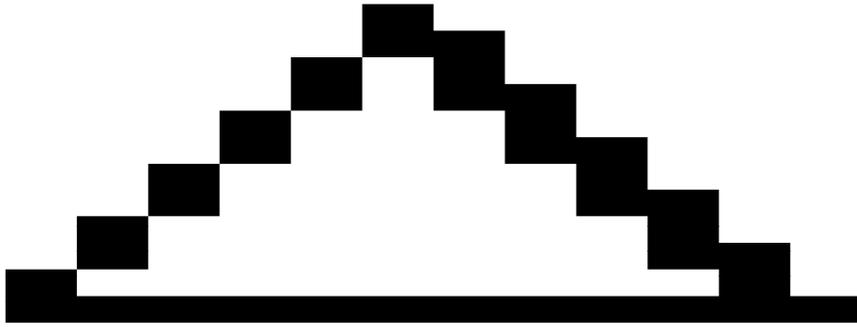
도면8



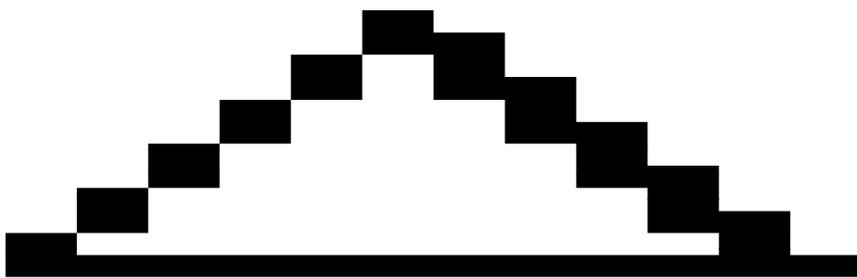
도면9-d



도면9-c



도면9-b



도면9-a

