

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-252895

(P2009-252895A)

(43) 公開日 平成21年10月29日(2009.10.29)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 D	4 M 1 0 4
HO 1 L 27/092 (2006.01)	HO 1 L 29/78 3 0 1 G	5 F 0 4 8
HO 1 L 29/78 (2006.01)	HO 1 L 21/283 B	5 F 1 4 0
HO 1 L 21/283 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 16 頁)

(21) 出願番号 特願2008-97335 (P2008-97335)
 (22) 出願日 平成20年4月3日(2008.4.3)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100109900
 弁理士 堀口 浩
 (72) 発明者 青山 知憲
 東京都港区芝浦一丁目1番1号 株式会社東芝内
 Fターム(参考) 4M104 BB33 BB34 EE03 EE16 EE17
 FF13 GG09 GG10 GG14
 5F048 AC03 BA01 BA14 BB06 BB09
 BB11 BB12 BB13 BB14 BB16
 BB17 BD09 BE03 BG12 BG13

最終頁に続く

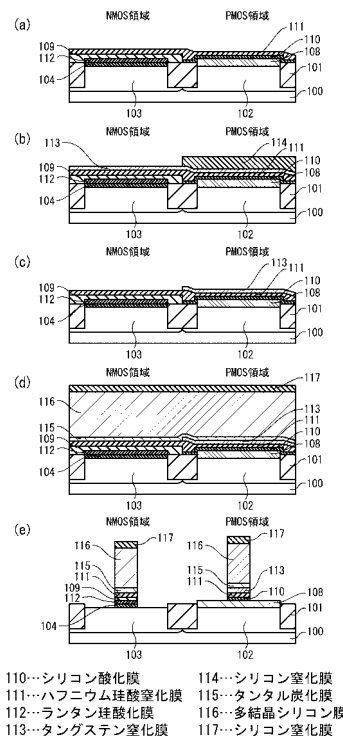
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 高誘電率ゲート絶縁膜を用い、PMOS、NMOSに適したしきい値電圧を有するCMOSFETを実現する。

【解決手段】 潮解性のあるランタン酸化膜をキャップ膜として用いずに、ハフニウムを含有する絶縁膜111を形成する前にシリコン酸化膜104上にランタンを含有する絶縁膜を形成して、ハフニウムを含有する絶縁膜111で保護するとともに、エッチングによりダメージを受けたPMOS領域にSiGe層108をエピタキシャル成長させることによって、PMOS、NMOSそれぞれに適したしきい値電圧を有する構造を形成する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

絶縁分離された P 型及び N 型領域を有する半導体基板と、

前記 P 型領域上に形成されたシリコン酸化膜或いはシリコン酸窒化膜からなる第一の絶縁膜、前記第一の絶縁膜上に形成されたハフニウムを含有せずランタンを含有する第二の絶縁膜、前記第二の絶縁膜上に形成されたハフニウム及びランタンを含有する第三の絶縁膜、前記第三の絶縁膜上に形成されたランタンを含有せずハフニウムを含有する第四の絶縁膜を有する積層構造の第一のゲート絶縁膜と、

前記 N 型領域上に形成されたシリコンゲルマニウム層と、

前記シリコンゲルマニウム層上に形成されたシリコン酸化膜或いはシリコン酸窒化膜からなる第五の絶縁膜、前記第五の絶縁膜上に形成されたランタンを含有せずハフニウムを含有する第六の絶縁膜を有する積層構造の第二のゲート絶縁膜と、

前記第一及び第二のゲート絶縁膜上にそれぞれ形成されたゲート電極と、

を備えることを特徴とする半導体装置。

10

【請求項 2】

半導体基板の主面に素子分離領域によって、絶縁分離された P 型及び N 型領域を形成する工程と、

前記第 P 型及び N 型領域上にシリコン酸化膜或いはシリコン酸窒化膜からなる第一の絶縁膜を形成する工程と、

前記第一の絶縁膜上にランタン酸化膜、ハフニウムを含有するハフニウム絶縁膜を順次積層形成する工程と、

20

前記 N 型領域上の前記ハフニウム絶縁膜、前記ランタン酸化膜及び前記第一の絶縁膜を順次除去し、前記 N 型領域を露出する工程と、

前記 P 型領域上の前記ランタン酸化膜のランタン元素と前記ハフニウム絶縁膜のハフニウム元素を反応させてハフニウム及びランタンを含有する第三の絶縁膜を形成する工程と

、
前記露出された N 型領域上にシリコンゲルマニウム層を形成した後、前記シリコンゲルマニウム層上にシリコン酸化膜或いはシリコン酸窒化膜からなる第五の絶縁膜を形成する工程と、

前記第三の絶縁膜上及び前記第五の絶縁膜上にハフニウムを含有する第四の絶縁膜を形成する工程と、

30

前記 P 型領域上の前記第一の絶縁膜と前記第三の絶縁膜との間にハフニウムを含有せずランタンを含有する第二の絶縁膜を形成する工程と、

前記第四の絶縁膜上にゲート電極材料を形成する工程と、

前記ゲート電極材料と前記第一乃至第五の絶縁膜とを加工して、前記 P 型領域上に前記第一乃至第四の絶縁膜を有する積層構造の第一のゲート絶縁膜と前記第一のゲート絶縁膜上にゲート電極を形成すると共に、前記 N 型領域上に前記第五の絶縁膜と、前記第四の絶縁膜の加工による第六の絶縁膜とを有する積層構造の第二のゲート絶縁膜、及び前記第二の絶縁膜上にゲート電極を形成する工程と、

を備えることを特徴とする半導体装置の製造方法。

40

【請求項 3】

前記第二の絶縁膜は、前記第四の絶縁膜を形成する際の加熱工程により形成することを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 4】

半導体基板の主面に素子分離領域によって、絶縁分離された P 型及び N 型領域を形成する工程と、

前記 P 型及び N 型領域上にシリコン酸化膜或いはシリコン酸窒化膜からなる第一の絶縁膜を形成する工程と、

前記第一の絶縁膜上にハフニウム及びランタンを含有する第三の絶縁膜を形成する工程と、

50

前記N型領域上の前記第三の絶縁膜、及び前記第一の絶縁膜を順次除去し、前記N型領域を露出する工程と、

前記P型領域の前記第一の絶縁膜と前記第三の絶縁膜との間にハフニウムを含有せずランタンを含有する第二の絶縁膜を形成する工程と、

前記露出されたN型領域上にシリコンゲルマニウム層を形成した後、前記シリコンゲルマニウム層上にシリコン酸化膜或いはシリコン酸窒化膜からなる第五の絶縁膜を形成する工程と、

前記第三の絶縁膜上及び前記第五の絶縁膜上にハフニウムを含有する第四の絶縁膜を形成する工程と、

前記第四の絶縁膜上にゲート電極材料を形成する工程と、

10

前記ゲート電極材料と前記第一乃至第五の絶縁膜を加工して、前記P型領域上に前記第一乃至第四の絶縁膜を有する積層構造の第一のゲート絶縁膜と前記第一のゲート絶縁膜上にゲート電極を形成すると共に、前記N型領域上に前記第五の絶縁膜と、前記第四の絶縁膜の加工による第六の絶縁膜とを有する積層構造の第二のゲート絶縁膜、及び前記第二の絶縁膜上にゲート電極を形成する工程と、

を備えることを特徴とする半導体装置の製造方法。

【請求項5】

前記第二の絶縁膜は、前記第三の絶縁膜を形成した後、前記第三の絶縁膜を加熱処理することにより形成することを特徴とする請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、高誘電率ゲート絶縁膜を用いたCMOSFET (Complementary Metal Oxide Semiconductor Field Effect Transistor) を有する半導体装置及びその製造方法に関する。

【背景技術】

【0002】

近年の大規模集積回路の微細化に伴って、CMOSFETトランジスタにおいてもゲート絶縁膜の薄膜化が要求されている。次世代のゲート絶縁膜には、高誘電率ゲート絶縁膜と呼ばれる、シリコン酸化膜やシリコン酸窒化膜よりも高い比誘電率を持つ金属酸化膜、金属シリケート膜、あるいはこれらの窒化膜を用いることにより、物理的な膜厚を厚くしてリーク電流を抑制しつつ、電気的な膜厚を薄くする提案がなされている。

30

【0003】

特に、高誘電率ゲート絶縁膜として、ハフニウム酸化膜(HfO₂膜)、ハフニウム珪酸化膜(HfSiO膜)、あるいはこれらに窒素を混入して耐熱性を向上させたハフニウム酸窒化膜(HfON膜)やハフニウム珪酸窒化膜(HfSiON膜)を用いることが盛んに検討されている。

【0004】

また、微細化に伴って、従来の多結晶シリコンをゲート電極材料に用いたトランジスタでは、ゲート電極の空乏化により反転側の容量が小さくなるという問題があり、多結晶シリコンに代えて金属をゲート電極に用いる提案がなされている。この場合の金属とは、金属、金属窒化物、あるいは金属珪化物等を言う。

40

【0005】

金属をゲート電極に用いる場合、仕事関数が最適な金属を用いることにより、しきい値電圧を制御できるメリットの他に、多結晶シリコンのゲート電極に比較して電極の空乏化が起こりにくいため、大きな反転容量を確保できるというメリットもある。

【0006】

ただし、高い駆動力のCMOSFETを得るためには、しきい値電圧を下げる必要があり、NMOS (N Channel Metal Oxide Semiconductor) は4.0 eV、PMOS (P Channel Metal Oxide Semiconductor) は5.1 eV付近の実効仕事関数を持つゲート電極材

50

料を選択するのが望ましい。

【0007】

また、ゲート電極形成後にソース・ドレインを形成する場合、その活性化に1000以上の熱工程が必要である。この熱工程に耐え、ハフニウムを含有する高誘電率ゲート絶縁膜上に形成して、実効仕事関数が高いゲート電極材料は、タングステン窒化膜(WN膜)やモリブデン窒化膜(MoN膜)等があるが、今のところ、実効仕事関数が4.0 eVに近く、耐熱性のある材料は見つかっていない。

【0008】

ところで、近年、4.0 eV付近の実効仕事関数を得る方法として、ハフニウム酸化膜上にランタン酸化膜(La₂O₃)をキャップする方法が提案されている(非特許文献1)。

10

【0009】

この提案されたランタン酸化膜をキャップ膜として用いてCMOSFETを製造する場合、(1)シリコン基板のN型及びP型領域上にシリコン酸化膜の界面層を形成し、この界面層上にハフニウム酸化膜、及びランタン酸化膜を順次積層した後、(2)リソグラフィ工程によりP型領域にレジストを形成し、このレジストをマスクにしてN型領域のランタン酸化膜を除去し、次に(3)このレジストを除去した後、(4)P型領域のランタン酸化膜上及びN型領域のハフニウム酸化膜上にタングステン窒化膜の電極材料を形成し、(5)N型領域のタングステン窒化膜上にシリコン窒化膜を形成した後、このシリコン窒化膜をマスクにしてP型領域のタングステン窒化膜を除去し、次に(6)このシリコン窒化膜を除去した後、(7)タンタル炭化膜、及び多結晶シリコン膜等を積層した後、ゲート加工することになる。

20

【0010】

しかしながら、上記(2)のレジストを形成する工程において、合わせズレ等が発生すると、一旦レジストを除去した後、再度フォトリソグラフィ工程を繰り返すため、ランタン酸化膜が大気に晒される時間が長くなる他、ランタン酸化膜が溶剤に晒されることによる膜質の劣化が生じる。また、上記(6)のマスクとして形成したシリコン窒化膜を除去する工程においては、ランタン酸化膜がWet処理液に晒されることによる膜質の劣化あるいはランタン酸化膜の消失等が生じる。

【0011】

なお、上記(2)のレジストを除去する工程において、溶剤を用いずに酸素アッシング法を用いることで、ランタン酸化膜が溶剤に晒されることは防止できるが、酸素アッシングの際に界面層であるシリコン酸化膜の膜厚が増加し、トランジスタ特性が低下してしまうという問題があった。

30

【0012】

上記したように、ランタン酸化膜の膜質が劣化することにより、NMOS領域においてしきい値電圧の変化が懸念されており、ランタン酸化膜の劣化を防ぐことが求められている。また、PMOS領域においても、材料の実効仕事関数が十分ではないため、よりしきい値電圧を低下させることが求められている。

【非特許文献1】V. Narayanan et al., 2006 Symposium On VLSI Technology Digest of Technical Papers, pp.224

40

【発明の開示】

【発明が解決しようとする課題】

【0013】

本発明は、上記の問題に鑑みなされたもので、高誘電率ゲート絶縁膜を用い、PMOS、NMOSに適した仕事関数を有するCMOSFETを有する半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0014】

上記目的を達成するために、本発明の一態様による半導体装置は、絶縁分離されたP型

50

及びN型領域を有する半導体基板と、前記P型領域上に形成されたシリコン酸化膜或いはシリコン酸窒化膜からなる第一の絶縁膜、前記第一の絶縁膜上に形成されたハフニウムを含有せずランタンを含有する第二の絶縁膜、前記第二の絶縁膜上に形成されたハフニウム及びランタンを含有する第三の絶縁膜、前記第三の絶縁膜上に形成されたランタンを含有せずハフニウムを含有する第四の絶縁膜を有する積層構造の第一のゲート絶縁膜と、前記N型領域上に形成されたシリコンゲルマニウム層と、前記シリコンゲルマニウム層上に形成されたシリコン酸化膜或いはシリコン酸窒化膜からなる第五の絶縁膜、前記第五の絶縁膜上に形成されたランタンを含有せずハフニウムを含有する第六の絶縁膜を有する積層構造の第二のゲート絶縁膜と、前記第一及び第二のゲート絶縁膜上にそれぞれ形成されたゲート電極と、を備えることを特徴とする。

10

【0015】

本発明の一態様による半導体装置の製造方法は、半導体基板の主面に素子分離領域によって、絶縁分離されたP型及びN型領域を形成する工程と、前記第P型及びN型領域上にシリコン酸化膜或いはシリコン酸窒化膜からなる第一の絶縁膜を形成する工程と、前記第一の絶縁膜上にランタン酸化膜、ハフニウムを含有するハフニウム絶縁膜を順次積層形成する工程と、前記N型領域上の前記ハフニウム絶縁膜、前記ランタン酸化膜及び前記第一の絶縁膜を順次除去し、前記N型領域を露出する工程と、前記P型領域上の前記ランタン酸化膜のランタン元素と前記ハフニウム絶縁膜のハフニウム元素を反応させてハフニウム及びランタンを含有する第三の絶縁膜を形成する工程と、前記露出されたN型領域上にシリコンゲルマニウム層を形成した後、前記シリコンゲルマニウム層上にシリコン酸化膜或いはシリコン酸窒化膜からなる第五の絶縁膜を形成する工程と、前記第三の絶縁膜上及び前記第五の絶縁膜上にハフニウムを含有する第四の絶縁膜を形成する工程と、前記P型領域上の前記第一の絶縁膜と前記第三の絶縁膜との間にハフニウムを含有せずランタンを含有する第二の絶縁膜を形成する工程と、前記第四の絶縁膜上にゲート電極材料を形成する工程と、前記ゲート電極材料と前記第一乃至第五の絶縁膜とを加工して、前記P型領域上に前記第一乃至第四の絶縁膜を有する積層構造の第一のゲート絶縁膜と前記第一のゲート絶縁膜上にゲート電極を形成すると共に、前記N型領域上に前記第五の絶縁膜と、前記第四の絶縁膜の加工による第六の絶縁膜とを有する積層構造の第二のゲート絶縁膜、及び前記第二の絶縁膜上にゲート電極を形成する工程と、を備えることを特徴とする。

20

【0016】

また、本発明の別態様による半導体装置の製造方法は、半導体基板の主面に素子分離領域によって、絶縁分離されたP型及びN型領域を形成する工程と、前記P型及びN型領域上にシリコン酸化膜或いはシリコン酸窒化膜からなる第一の絶縁膜を形成する工程と、前記第一の絶縁膜上にハフニウム及びランタンを含有する第三の絶縁膜を形成する工程と、前記N型領域上の前記第三の絶縁膜、及び前記第一の絶縁膜を順次除去し、前記N型領域を露出する工程と、前記P型領域の前記第一の絶縁膜と前記第三の絶縁膜との間にハフニウムを含有せずランタンを含有する第二の絶縁膜を形成する工程と、前記露出されたN型領域上にシリコンゲルマニウム層を形成した後、前記シリコンゲルマニウム層上にシリコン酸化膜或いはシリコン酸窒化膜からなる第五の絶縁膜を形成する工程と、前記第三の絶縁膜上及び前記第五の絶縁膜上にハフニウムを含有する第四の絶縁膜を形成する工程と、前記第四の絶縁膜上にゲート電極材料を形成する工程と、前記ゲート電極材料と前記第一乃至第五の絶縁膜を加工して、前記P型領域上に前記第一乃至第四の絶縁膜を有する積層構造の第一のゲート絶縁膜と前記第一のゲート絶縁膜上にゲート電極を形成すると共に、前記N型領域上に前記第五の絶縁膜と、前記第四の絶縁膜の加工による第六の絶縁膜とを有する積層構造の第二のゲート絶縁膜、及び前記第二の絶縁膜上にゲート電極を形成する工程と、を備えることを特徴とする。

30

40

【発明の効果】

【0017】

本発明によれば、高誘電率ゲート絶縁膜を用い、PMOS、NMOSに適した仕事関数を有するCMOSFETを有する半導体装置及びその製造方法を提供することができる。

50

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施形態について図面を参照しながら説明する。

【0019】

(第1の実施形態)

図1および図2は本発明の第1の実施形態に係るCMOSFETを有する半導体装置の製造工程を示す断面図である。

【0020】

はじめに、図1(a)に示すように、単結晶シリコン基板(以下、単にシリコン基板と称す)100の主面に、素子分離101によって区画されたPMOSFETの形成領域(以下、単にPMOS領域と称す)であるN型拡散領域102、及びNMOSFETの形成領域(以下、単にNMOS領域と称す)であるP型拡散領域103を形成する。このシリコン基板100上に、熱酸化法またはラジカル酸化法を用いて第一の絶縁膜であるシリコン酸化膜104を形成する。第一の絶縁膜は、シリコン酸化膜の他にシリコン酸窒化膜が考えられる。このシリコン酸化膜104上に、CVD法等を用いてランタン酸化膜105、及びハフニウム酸化膜106を順次、積層形成する。ここで、ランタン酸化膜105は、吸湿性があり、長時間大気に晒されると膜質の劣化が生じるため、ハフニウム酸化膜106の形成は、ランタン酸化膜105を形成し大気開放してから、3時間以内、好ましくは30分以内に行うことが望ましい。さらには、ランタン酸化膜105とハフニウム酸化膜106は、真空を破らずに連続で形成することが望ましい。

10

20

【0021】

次いで、図1(b)に示すように、NMOS領域上にフォトリソグラフィ法等でレジスト107を形成する。この場合、リワークが発生しても、ランタン酸化膜105がハフニウム酸化膜106でカバーされているため、ランタン酸化膜105の膜質が劣化することはない。

【0022】

その後、図1(c)に示すように、レジスト107をマスクとして、PMOS領域のハフニウム酸化膜106、ランタン酸化膜105及びシリコン酸化膜104を順次、反応性イオンエッチングと希HF/希HCl混合水溶液を用いたエッチングにより除去し、PMOS領域のシリコン基板100の主面を露出させる。

30

【0023】

続いて、図1(d)に示すように、レジスト107を溶剤で除去する。この時、ランタン酸化膜105は、ハフニウム酸化膜106でカバーされているので、アッシャーを用いずに溶剤でレジスト107を除去することができ、界面層であるシリコン酸化膜104の膜厚増加を防止することができる。

【0024】

次に、図1(e)に示すように、例えば、窒素雰囲気中において1000℃で5~10秒間加熱処理を行う。この加熱処理によってNMOS領域のランタン酸化膜105とハフニウム酸化膜106とは、ランタン元素とハフニウムとが相互に拡散し、第三の絶縁膜となるハフニウムランタン酸化膜109になる。ここで、窒素雰囲気中には酸素が0.1~1.0%程度含まれていても構わない。また、このハフニウムランタン酸化膜109は、スパイクアニールにより、極短時間に急激に加熱を行うことによって形成してもよい。

40

【0025】

次に、PMOS領域のシリコン基板102上にシリコンゲルマニウム(SiGe)層108をエピタキシャル成長させる。これは、PMOS領域のハフニウム酸化膜106、ランタン酸化膜105、及びシリコン酸化膜104を反応性イオンエッチングにより除去した際に受けたシリコン基板100のダメージを回復するためである。また、PMOS領域にSiGe層108を成長させることによって、シリコン基板を用いる場合に比べて見かけ上の実効仕事関数を上昇させ、よりPMOSFETに適したしきい値電圧を得ることができる。なお、SiGe層108を成長させる際に、例えば、ボロン等の不純物をドーブ

50

して、PMOSFETのしきい値電圧の調整を行っても良い。

【0026】

次いで、図2(a)に示すように、PMOS領域のSiGe層108上に、例えば、熱酸化法やラジカル酸化法、あるいは、ALD法等を用いて第五の絶縁膜であるシリコン酸化膜110を形成する。第五の絶縁膜も第一の絶縁膜と同様に、シリコン酸化膜の他にシリコン窒化膜が考えられる。SiGe層108を酸化させて第五の絶縁膜を形成する場合、第五の絶縁膜中にゲルマニウム元素が含有される可能性が考えられる。しかし、含有されるゲルマニウム元素が少量であり、デバイス特性に影響を与えない程度であるため、第五の絶縁膜中にゲルマニウム元素が含有されていても構わない。シリコン酸化膜110形成後、CVD法等を用いてNMOS領域のハフニウムランタン酸化膜109及びPMOS領域のシリコン酸化膜110上にハフニウム珪酸化膜を形成する。

10

【0027】

このハフニウム珪酸化膜形成後、例えば、室温～450℃で30～180秒間プラズマ窒化を行うことにより、ハフニウム珪酸化膜中に窒素を混入させる。さらに、1000～1050℃の熱処理を行うことにより、第四の絶縁膜であるハフニウム珪酸窒化膜111を形成する。また、この時の加熱工程により、NMOS領域のハフニウムランタン酸化膜109とシリコン酸化膜104の間に第二の絶縁膜であるランタン珪酸化膜(LaSiO_x)112が形成される。

【0028】

その後、図2(b)に示すように、CVD法等を用いてハフニウム珪酸窒化膜111上にゲート電極材料であるタングステン窒化膜113を形成し、さらにそのタングステン窒化膜113上にシリコン窒化膜114を形成し、フォトリソグラフィ法等でPMOS領域にシリコン窒化膜114のマスクを形成する。

20

【0029】

続いて、図2(c)に示すように、シリコン窒化膜114のマスクを用いて、NMOS領域のタングステン窒化膜113を過酸化水素水等で除去する。さらに、加熱したリン酸でシリコン窒化膜114のマスクを除去する。

【0030】

次に、図2(d)に示すように、CVD法等を用いてPMOS領域のタングステン窒化膜113及びNMOS領域のハフニウム珪酸窒化膜111上にゲート電極材料であるタンタル炭化膜115を形成し、さらにタンタル炭化膜115上に多結晶シリコン膜116及びシリコン窒化膜117を順次、積層形成する。

30

【0031】

次いで、図2(e)に示すように、多結晶シリコン膜116に対してヒ素やリン等をイオン注入した後、フォトリソグラフィ法、反応性イオンエッチング法、Wet処理法を用いて、ゲート電極及びゲート絶縁膜のパターニングを行う。

【0032】

本実施形態では、NMOSFETのゲート絶縁膜が、ゲート電極側から、ハフニウム珪酸窒化膜111/ハフニウムランタン酸化膜109/ランタン珪酸化膜112/シリコン酸化膜104の積層構造となり、PMOSFETのゲート絶縁膜が、ハフニウム珪酸窒化膜111/シリコン酸化膜110の積層構造となる。

40

【0033】

言い換えると、NMOSFETのゲート絶縁膜が、シリコン基板100側から、第一の絶縁膜であるシリコン酸化膜/ハフニウム元素を含有せずランタン元素を含有する第二の絶縁膜/ハフニウム元素及びランタン元素を含有する第三の絶縁膜/ランタン元素を含有せずハフニウムを含有する第四の絶縁膜という構造になり、PMOSFETのゲート絶縁膜が、シリコン基板100側から、第五の絶縁膜であるシリコン酸化膜/ランタン元素を含有せずハフニウムを含有する第六の絶縁膜という構造になる。

【0034】

また、NMOSFETのゲート電極は、多結晶シリコン膜116及びタンタル炭化膜1

50

15の積層構造になり、PMOSFETのゲート電極は、多結晶シリコン膜116、タンタル炭化膜115、及びタンゲステン窒化膜113の積層構造になる。

【0035】

なお、本実施形態では、形成される膜自体が非常に薄い上、膜と膜との界面が不明確であり、界面領域において各膜の構成元素が相互に拡散しているため、第二の絶縁膜中にハフニウムが、また第四の絶縁膜中にランタンが少量存在していると考えられる。このような拡散による元素の浸透は構造上発生するものであり、当該浸透元素は含有元素とは考えない。

【0036】

上記した本実施形態によれば、次のような効果が得られる。すなわち、ランタン酸化膜105上にハフニウム酸化膜106を形成することによって、ランタン酸化膜105が大気や溶剤に晒されることを防ぎ、ランタン酸化膜105の膜質劣化を防止することができる。また、ランタン元素をキャップ層から拡散させるのではなく、シリコン基板100上に、しきい値低減に必要な量のランタン元素だけを含有する膜を形成するので、正確にしきい値電圧を調整することができる。さらに、エッチング工程でダメージを受けたPMOS領域にSiGe層108を成長させることによって、NMOSFET、PMOSFETともに低いしきい値電圧で形成することができる。

【0037】

従来の製造方法では、ランタンを含有する絶縁膜をキャップ層として用い、シリコン酸化膜付近まで拡散させることで、しきい値電圧の調整を行っていたため、ゲート絶縁膜の全ての層にランタン元素が含まれていた上、ランタン元素の量を調整することが困難であった。

【0038】

また、ランタン珪酸化膜112の比誘電率がシリコン酸化膜104よりも高いため、NMOSFETの電氣的なゲート絶縁膜を薄くすることができる。なお、PMOSFETの界面層であるシリコン酸化膜110の膜厚とNMOSFETの界面層であるシリコン酸化膜104の膜厚を最適な膜厚比に選択すると、NMOSFETとPMOSFETで電氣的なゲート絶縁膜の厚さを同じにすることが可能となる。

【0039】

さらに、NMOSFETとPMOSFETが同じ絶縁層構造だと、PMOSFETのリーク電流がNMOSFETよりも低いため、PMOSFETの電氣的なゲート絶縁膜の厚さをNMOSFETの電氣的なゲート絶縁膜の厚さよりも薄くすることで、リーク電流をNMOSFETとPMOSFETで同じで、PMOSFETの駆動力を従来よりも向上させることも可能となる。具体的なゲート絶縁膜の厚さは、所望のデバイスの要求に合わせて調整することができる。

【0040】

なお、本実施形態において、ランタン酸化膜105を形成した後にハフニウム酸化膜106を形成したが、ランタン酸化膜105を保護するためにはハフニウム酸化膜106を連続膜にする必要があり、その場合、ハフニウム酸化膜106の膜厚は0.3nm以上であることが望ましい。

【0041】

また、ランタン酸化膜105はしきい値を制御するために用いるため、デバイスの要求に合わせて膜厚を調整することができる。例えば、低いしきい値電圧が要求される場合は、ランタン酸化膜105を厚く形成すれば良く、それほど低いしきい値電圧が要求されないデバイスの場合は、膜ではなく、島状の状態でも良いし、金属ランタンの状態でも良い。

【0042】

加えて、本実施形態において、ゲート電極と接するゲート絶縁膜部分には、ハフニウム珪酸窒化膜111を用いたが、ハフニウム酸窒化膜、ジルコニウム酸化膜、ジルコニウム酸窒化膜、ハフニウム珪酸化膜、ハフニウム酸化膜、ジルコニウム珪酸化膜、ジルコニウ

10

20

30

40

50

ム珪酸窒化膜、ハフニウムジルコニウム酸化膜、ハフニウムジルコニウム酸窒化膜、ハフニウムジルコニウム珪酸化膜、ハフニウムジルコニウム珪酸窒化膜等を用いてもよい。

【0043】

なお、本実施形態では、NMOS領域のランタン酸化膜105とハフニウム酸化膜106を反応させ、ハフニウムランタン酸化膜109を形成するため、図1(e)に示す工程において加熱工程を行ったが、SiGe層108をエピタキシャル成長させる際に、700以上の熱処理でSi基板表面の自然酸化膜を除去する。この高温熱処理時にNMOS領域のランタン酸化膜105とハフニウム酸化膜106は相互に拡散し、ハフニウムランタン酸化膜109が形成されるため、省略しても構わない。

【0044】

さらに、本実施形態ではランタン珪酸化膜112の形成をハフニウム珪酸窒化膜111の窒化工程時に行ったが、窒化を行わない材料の場合、例えば、1000で5~10秒間加熱を行うことによって、ランタン珪酸化膜112を形成してもよい。

【0045】

(第2の実施形態)

図3および図4は本発明の第2の実施形態に係るCMOSFETを有する半導体装置の製造工程を示す断面図である。

【0046】

はじめに、図3(a)に示すように、シリコン基板200の主面に、素子分離201によって区画されたPMOS領域であるN型拡散領域202、及びNMOS領域であるP型拡散領域203を形成する。このシリコン基板200上に、熱酸化法またはラジカル酸化法を用いて第一の絶縁膜であるシリコン酸化膜204を形成する。第一の絶縁膜は、シリコン酸化膜の他にシリコン酸窒化膜が考えられる。このシリコン酸化膜204上に、CVD法等を用いて第三の絶縁膜であるハフニウムランタン酸化膜205を形成する。

【0047】

次いで、図3(b)に示すように、NMOS領域上にフォトリソグラフィ法等でレジスト206を形成する。その後、図3(c)に示すように、レジスト206をマスクとして、PMOS領域のハフニウムランタン酸化膜205及びシリコン酸化膜204を反応性イオンエッチングと希HF水溶液を用いたエッチングにより除去し、PMOS領域のシリコン基板200の主面を露出させる。

【0048】

続いて、図3(d)に示すように、レジスト206を溶剤で除去する。この時、酸素アシッチャーを用いずに溶剤でレジスト206を除去することにより、シリコン酸化膜204の膜厚増加を防止することができる。次に、図3(e)に示すように、例えば、1000で5~10秒間加熱処理を行うことによって、ハフニウムランタン酸化膜205とシリコン酸化膜204の間に第二の絶縁膜であるランタン珪酸化膜207を形成する。

【0049】

その後、PMOS領域のシリコン基板上にSiGe層208をエピタキシャル成長させる。これは、PMOS領域のハフニウムランタン酸化膜205及びシリコン酸化膜204を反応性イオンエッチングにより除去した際に受けたシリコン基板200のダメージを回復するためである。また、PMOS領域にSiGe層208を成長させることによって、シリコン基板を用いる場合に比べて見かけ上の実効仕事関数を上昇させ、しきい値電圧を下げるができる。なお、SiGe層208を成長させる際に、例えば、ボロン等の不純物をドーピングして、PMOSFETのしきい値電圧の調整を行っても良い。

【0050】

次いで、図4(a)に示すように、PMOS領域のSiGe層208上に例えば、熱酸化法やラジカル酸化法、あるいは、ALD法等により第五の絶縁膜であるシリコン酸化膜209を形成する。第五の絶縁膜も第一の絶縁膜と同様に、シリコン酸化膜の他にシリコン酸窒化膜が考えられる。SiGe層108を酸化させて第五の絶縁膜を形成する場合、第五の絶縁膜中にゲルマニウム元素が含有される可能性が考えられる。しかし、含有され

10

20

30

40

50

るゲルマニウム元素が少量であり、デバイス特性に影響を与えない程度であるため、第五の絶縁膜中にゲルマニウム元素が含有されていても構わない。続いてN M O S領域のハフニウムランタン酸化膜205及びP M O S領域のシリコン酸化膜209上に第四の絶縁膜であるハフニウム酸化膜210を形成する。

【0051】

その後、図4(b)に示すように、C V D法等を用いてハフニウム酸化膜210上にゲート電極材料であるタングステン窒化膜211を形成し、さらにそのタングステン窒化膜211上にシリコン窒化膜212を形成し、フォトリソグラフィ法でP M O S領域にシリコン窒化膜212のマスクを形成する。

【0052】

続いて、図4(c)に示すように、シリコン窒化膜212のマスクを用いて、N M O S領域のタングステン窒化膜211を過酸化水素水等で除去する。さらに、加熱したリン酸でシリコン窒化膜212を除去する。

【0053】

次に、図4(d)に示すように、C V D法等を用いてP M O S領域のタングステン窒化膜211及びN M O S領域のハフニウムランタン酸化膜205上にゲート電極材料であるタンタル炭化膜213、さらにそのタンタル炭化膜213上に多結晶シリコン膜214及びシリコン窒化膜215を順次、積層形成する。

【0054】

次いで、図4(e)に示すように、多結晶シリコン膜214に対してヒ素やリン等をイオン注入した後、フォトリソグラフィ法、反応性イオンエッチング法、W e t処理法を用いて、ゲート電極及びゲート絶縁膜のパターニングを行う。

【0055】

本実施形態では、N M O S F E Tのゲート絶縁膜が、ゲート電極側から、ハフニウム酸化膜210/ハフニウムランタン酸化膜205/ランタン珪酸化膜207/シリコン酸化膜204の積層構造となり、P M O S F E Tのゲート絶縁膜が、ハフニウム酸化膜210/シリコン酸化膜209の積層構造となる。

【0056】

すなわち、N M O S領域のゲート絶縁膜が、シリコン基板200側から、シリコン酸化膜の第一の絶縁膜/ハフニウムを含有せずランタンを含有する第二の絶縁膜/ハフニウム及びランタンを含有する第三の絶縁膜/ランタンを含有せずハフニウムを含有する第四の絶縁膜という構造になり、P M O S F E Tのゲート絶縁膜が、シリコン基板200側から、第五の絶縁膜であるシリコン酸化膜/ランタン元素を含有せずハフニウムを含有する第六の絶縁膜という構造になる。

【0057】

また、N M O S F E Tのゲート電極は、多結晶シリコン膜214及びタンタル炭化膜213の積層構造になり、P M O S F E Tのゲート電極は、多結晶シリコン膜214、タンタル炭化膜213、及びタングステン窒化膜211の積層構造になる。

【0058】

なお、本実施形態では、形成される膜自体が非常に薄い上、膜と膜との界面が不明確であり、界面領域において各膜の構成元素が相互に拡散しているため、第二の絶縁膜中にハフニウムが、また第四の絶縁膜中にランタンが少量存在していると考えられる。このような拡散による元素の浸透は構造上発生するものであり、当該浸透元素は含有元素とは考えない。

【0059】

上記した実施形態の製造方法によれば、以下のような効果が得られる。すなわち、シリコン酸化膜204上に直接ハフニウムランタン酸化膜205を形成することによって、ランタン酸化膜を形成する場合に比べて膜質の劣化を回避することができる。本実施形態における製造工程中にランタン元素が最表面に露出している工程があるが、ランタン酸化膜と比較してハフニウムランタン酸化膜の吸湿性は少ないため、リワーク等を含めた通常の

10

20

30

40

50

工程に要する処理時間において十分にハフニウムランタン酸化膜の膜質の劣化を回避することができる。加えて、本実施形態はシリコン酸化膜 204 上に直接ハフニウムランタン酸化膜 205 を形成するため、第 1 の実施形態と比べて工程数を減少させることができる。

【0060】

また、ランタン元素をキャップ層から拡散させるのではなく、シリコン基板 200 上に、しきい値低減に必要な量のランタン元素だけを含有する膜を形成するので、正確にしきい値電圧を調整することができる。さらに、エッチング工程でダメージを受けた PMOS 領域に SiGe 層 208 を成長させることによって、NMOSFET、PMOSFET ともに低しきい値電圧のトランジスタを形成することができる。

10

【0061】

また、ハフニウムランタン酸化膜 205 の比誘電率がシリコン酸化膜 204 よりも高いため、PMOSFET の界面層であるシリコン酸化膜 208 の膜厚を NMOSFET の界面層であるシリコン酸化膜 204 の膜厚よりも厚くして最適な膜厚比を選択すると、NMOSFET と PMOSFET で電氣的なゲート絶縁膜の厚さを同じにすることが可能となる。

【0062】

さらに、NMOSFET と PMOSFET が同じ絶縁層構造だと、PMOSFET のリーク電流が NMOSFET よりも低いため、PMOSFET の電氣的なゲート絶縁膜の厚さを NMOSFET の電氣的なゲート絶縁膜の厚さよりも薄くすることで、リーク電流を NMOSFET と PMOSFET で同じで、PMOSFET の駆動力を従来よりも向上させることも可能となる。具体的なゲート絶縁膜の厚さは、所望のデバイスの要求に合わせて調整することができる。

20

【0063】

また、本実施形態において、ゲート電極と接するゲート絶縁膜部分にハフニウム酸化膜 210 を用いたが、ハフニウム酸化膜、ジルコニウム酸化膜、ジルコニウム酸窒化膜、ハフニウム珪酸化膜、ハフニウム珪酸窒化膜、ジルコニウム珪酸化膜、ジルコニウム珪酸窒化膜、ハフニウムジルコニウム酸化膜、ハフニウムジルコニウム酸窒化膜、ハフニウムジルコニウム珪酸化膜、ハフニウムジルコニウム珪酸窒化膜等を用いてもよい。

【0064】

なお、本実施形態では、NMOS 領域のハフニウムランタン酸化膜 205 とシリコン酸化膜 204 の間にランタン珪酸化膜 207 を形成するため、図 4 (a) に示す工程において加熱工程を行ったが、SiGe 層 208 をエピタキシャル成長させる際に、NMOS 領域のハフニウムランタン酸化膜 205 とシリコン酸化膜 204 が反応し、ランタン珪酸化膜 207 が形成されるため、省略しても構わない。

30

【0065】

(第 3 の実施形態)

本発明の第 3 の実施形態に係る CMOSFET を有する半導体装置の製造方法について説明する。本実施形態は、前記した第 1 の実施形態において NMOSFET の仕事関数制御用のゲート電極と PMOSFET の仕事関数制御用のゲート電極を同じ材料で形成することを特徴とする。また、第 1 の実施形態のタングステン窒化膜 113 を形成する工程までは第 1 の実施形態と同様の製造方法であるため、同様の構成である部分には同じ符号を付し説明は省略する。

40

【0066】

図 5 は本発明の第 3 の実施形態に係る CMOSFET を有する半導体装置の製造工程を示す断面図である。図 5 (a) は NMOSFET、PMOSFET それぞれの仕事関数制御用のゲート電極としてタングステン窒化膜 113 を形成する工程を示している。タングステン窒化膜 113 形成後、図 5 (b) に示すように、CVD 法を用いてタングステン窒化膜 113 上に多結晶シリコン膜 316 及びシリコン窒化膜 317 を順次、積層形成する。次いで、図 5 (c) に示すように、多結晶シリコン膜 316 に対してヒ素やリン等を

50

イオン注入した後、フォトリソグラフィ法、反応性イオンエッチング法、W e t 処理法を用いて、ゲート電極及びゲート絶縁膜のパターニングを行う。

【 0 0 6 7 】

本実施形態では、N M O S F E T のゲート絶縁膜が、ゲート電極側から、ハフニウム珪酸窒化膜 1 1 1 / ハフニウムランタン酸化膜 1 0 9 / ランタン珪酸化膜 1 1 2 / シリコン酸化膜 1 0 4 の積層構造となり、P M O S F E T のゲート絶縁膜が、ハフニウム珪酸窒化膜 1 1 1 / シリコン酸化膜 1 1 0 の積層構造となる。

【 0 0 6 8 】

言い換えると、N M O S F E T のゲート絶縁膜が、シリコン基板 1 0 0 側から、第一の絶縁膜であるシリコン酸化膜 / ハフニウム元素を含有せずランタン元素を含有する第二の絶縁膜 / ハフニウム元素及びランタン元素を含有する第三の絶縁膜 / ランタン元素を含有せずハフニウムを含有する第四の絶縁膜という構造になり、P M O S F E T のゲート絶縁膜が、シリコン基板 1 0 0 側から、第五の絶縁膜であるシリコン酸化膜 / ランタン元素を含有せずハフニウムを含有する第六の絶縁膜という構造になる。

【 0 0 6 9 】

また、N M O S F E T 、 P M O S F E T のゲート電極はいずれも、多結晶シリコン膜 3 1 6 及びタングステン窒化膜 1 1 3 の積層構造になる。

【 0 0 7 0 】

なお、本実施形態では、形成される膜自体が非常に薄い上、膜と膜との界面が不明確であり、界面領域において各膜の構成元素が相互に拡散しているため、第二の絶縁膜中にハフニウムが、また第四の絶縁膜中にランタンが少量存在していると考えられる。このような拡散による元素の浸透は構造上発生するものであり、当該浸透元素は含有元素とは考えない。

【 0 0 7 1 】

また、本実施形態において、N M O S F E T 、 P M O S F E T それぞれの仕事関数制御用のゲート電極としてタングステン窒化膜を用いたが、タングステン窒化膜の他にタンタル炭化膜、チタン窒化膜等を用いても構わない。

【 0 0 7 2 】

上記した本実施形態の製造方法によれば、以下のような効果が得られる。N M O S F E T の仕事関数制御用のゲート電極と P M O S F E T の仕事関数制御用のゲート電極を同じ材料で形成することによって、それぞれの電極材料の作り分けが不要となる。そのため、第 1 の実施形態の効果に加え、第 1 の実施形態と比較して製造工程数を減少させることができる。

【 0 0 7 3 】

(第 4 の実施形態)

本発明の第 4 の実施形態に係る C M O S F E T を有する半導体装置の製造方法について説明する。本実施形態は、前記した第 2 の実施形態において N M O S F E T の仕事関数制御用のゲート電極と P M O S F E T の仕事関数制御用のゲート電極を同じ材料で形成することを特徴とする。また、第 2 の実施形態のタングステン窒化膜 2 1 1 を形成する工程までは第 1 の実施形態と同様の製造方法であるため、同様の構成である部分には同じ符号を付し説明は省略する。

【 0 0 7 4 】

図 6 は本発明の第 4 の実施形態に係る C M O S F E T を有する半導体装置の製造工程を示す断面図である。図 6 (a) は N M O S F E T 、 P M O S F E T それぞれの仕事関数制御用のゲート電極としてタングステン窒化膜 2 1 1 を形成する工程を示している。タングステン窒化膜 2 1 1 形成後、図 6 (b) に示すように、C V D 法等を用いてタングステン窒化膜 2 1 1 上に多結晶シリコン膜 4 1 4 及びシリコン窒化膜 4 1 5 を順次、積層形成する。次いで、図 6 (c) に示すように、多結晶シリコン膜 4 1 4 に対してヒ素やリン等をイオン注入した後、フォトリソグラフィ法、反応性イオンエッチング法、W e t 処理法を用いて、ゲート電極及びゲート絶縁膜のパターニングを行う。

10

20

30

40

50

【 0 0 7 5 】

本実施形態では、N M O S F E T のゲート絶縁膜が、ゲート電極側から、ハフニウム酸化膜 2 1 0 / ハフニウムランタン酸化膜 2 0 5 / ランタン珪酸化膜 2 0 7 / シリコン酸化膜 2 0 4 の積層構造となり、P M O S F E T のゲート絶縁膜が、ハフニウム酸化膜 2 1 0 / シリコン酸化膜 2 0 9 の積層構造となる。

【 0 0 7 6 】

すなわち、N M O S 領域のゲート絶縁膜が、シリコン基板 2 0 0 側から、シリコン酸化膜の第一の絶縁膜 / ハフニウムを含有せずランタンを含有する第二の絶縁膜 / ハフニウム及びランタンを含有する第三の絶縁膜 / ランタンを含有せずハフニウムを含有する第四の絶縁膜という構造になり、P M O S F E T のゲート絶縁膜が、シリコン基板 2 0 0 側から、第五の絶縁膜であるシリコン酸化膜 / ランタン元素を含有せずハフニウムを含有する第六の絶縁膜という構造になる。

10

【 0 0 7 7 】

また、N M O S F E T 、 P M O S F E T のゲート電極はいずれも、多結晶シリコン膜 4 1 4 及びタングステン窒化膜 2 1 1 の積層構造になる。

【 0 0 7 8 】

なお、本実施形態では、形成される膜自体が非常に薄い上、膜と膜との界面が不明確であり、界面領域において各膜の構成元素が相互に拡散しているため、第二の絶縁膜中にハフニウムが、また第四の絶縁膜中にランタンが少量存在していると考えられる。このような拡散による元素の浸透は構造上発生するものであり、当該浸透元素は含有元素とは考えない。

20

【 0 0 7 9 】

また、本実施形態において、N M O S F E T 、 P M O S F E T それぞれの仕事関数制御用のゲート電極としてタングステン窒化膜を用いたが、タングステン窒化膜の他にタンタル炭化膜、チタン窒化膜等を用いても構わない。

【 0 0 8 0 】

上記した本実施形態の製造方法によれば、以下のような効果が得られる。N M O S F E T の仕事関数制御用のゲート電極と P M O S F E T の仕事関数制御用のゲート電極を同じ材料で形成することによって、それぞれの電極材料の作り分けが不要となる。そのため、第 2 の実施形態の効果に加え、第 2 の実施形態と比較して製造工程数を減少させることができる。

30

【 0 0 8 1 】

本発明は上記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々に変形して実施することができる。

【 図面の簡単な説明 】

【 0 0 8 2 】

【 図 1 】 本発明の第 1 の実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図。

【 図 2 】 本発明の第 1 の実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図。

40

【 図 3 】 本発明の第 2 の実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図。

【 図 4 】 本発明の第 2 の実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図。

【 図 5 】 本発明の第 3 の実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図。

【 図 6 】 本発明の第 4 の実施形態に係る半導体装置の製造方法の一部を模式的に示した断面図。

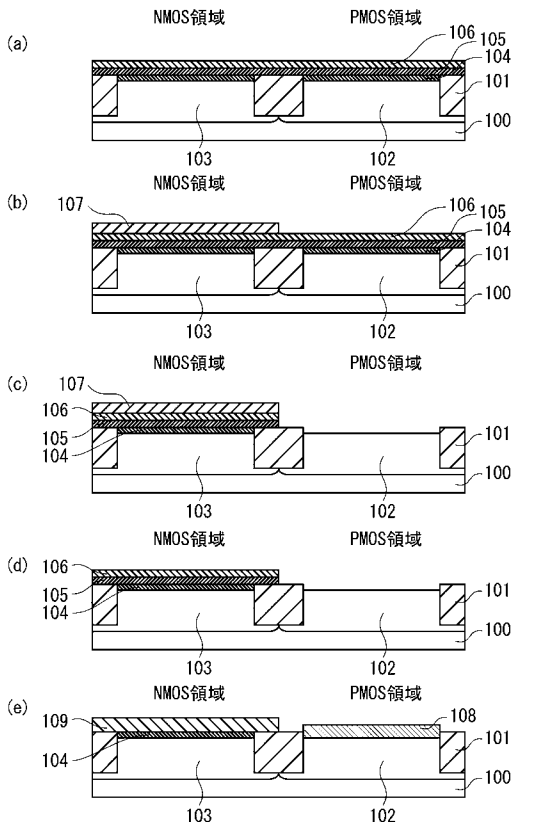
【 符号の説明 】

【 0 0 8 3 】

50

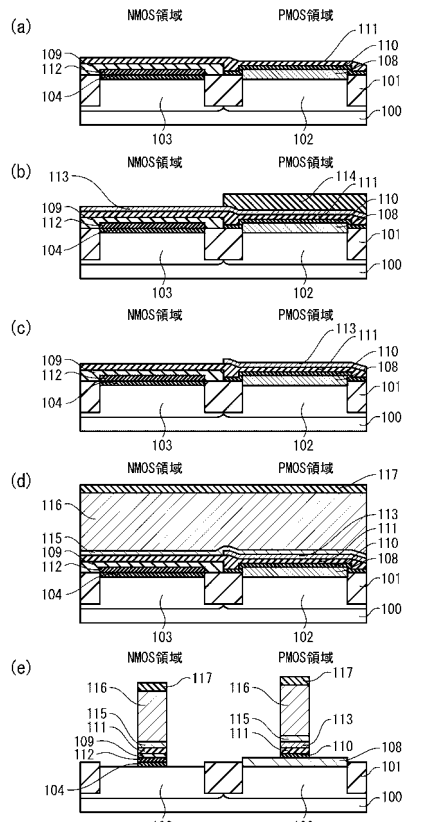
- 100、200 単結晶シリコン基板
- 101、201 素子分離
- 102、202 N型拡散領域
- 103、203 P型拡散領域
- 104、110、204、209 シリコン酸化膜
- 105 ランタン酸化膜
- 106、210 ハフニウム酸化膜
- 107、206 レジスト
- 108、208 単結晶SiGe層
- 109、205 ハフニウムランタン酸化膜
- 111 ハフニウム珪酸窒化膜
- 112、207 ランタン珪酸窒化膜
- 113、211 タングステン窒化膜
- 114、117、212、215、317、415 シリコン窒化膜
- 115、213 タantal炭化膜
- 116、214、316、414 多結晶シリコン膜

【図1】



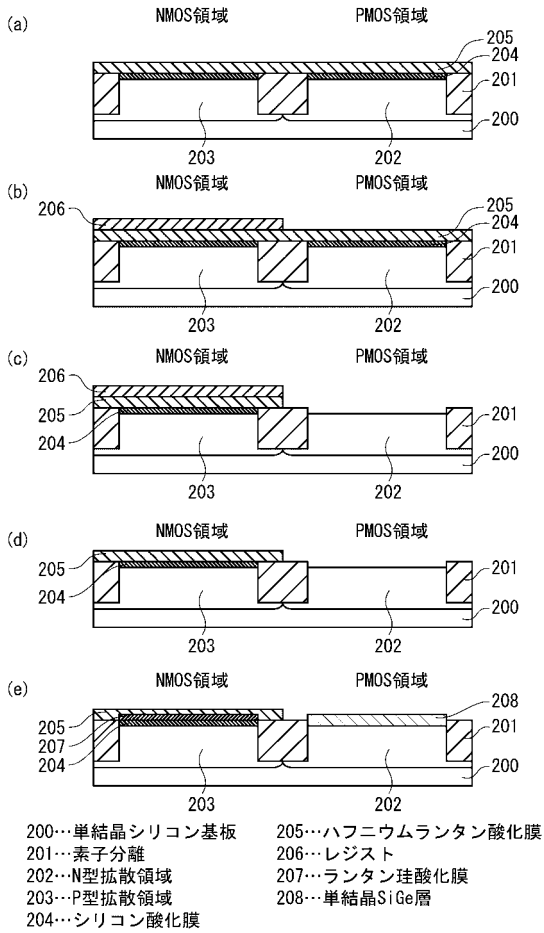
- 100…単結晶シリコン基板
- 101…素子分離
- 102…N型拡散領域
- 103…P型拡散領域
- 104…シリコン酸化膜
- 105…ランタン酸化膜
- 106…ハフニウム酸化膜
- 107…レジスト
- 108…単結晶SiGe層
- 109…ハフニウムランタン酸化膜

【図2】

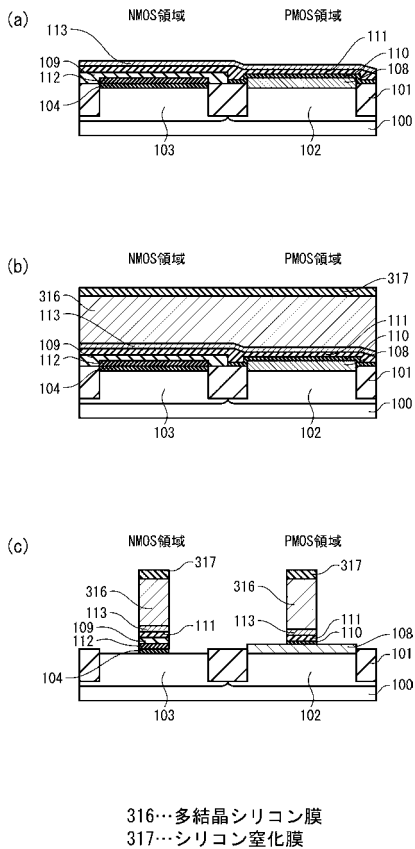


- 110…シリコン酸化膜
- 111…ハフニウム珪酸窒化膜
- 112…ランタン珪酸窒化膜
- 113…タングステン窒化膜
- 114…シリコン窒化膜
- 115…タantal炭化膜
- 116…多結晶シリコン膜
- 117…シリコン窒化膜

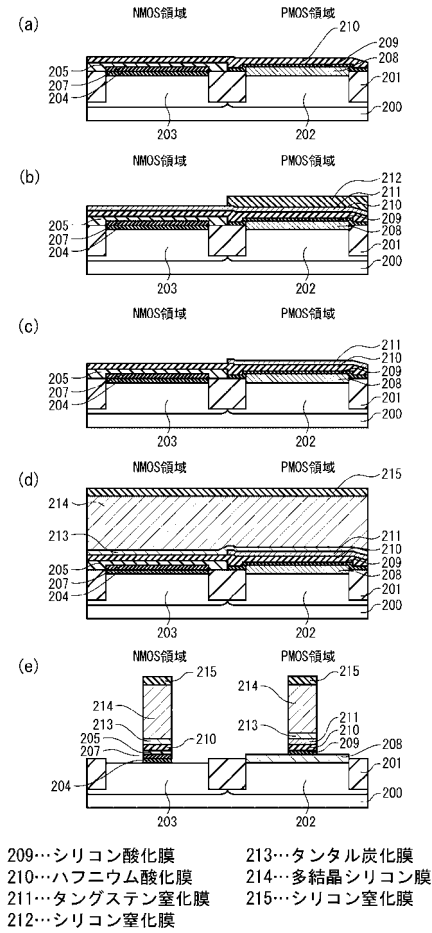
【 図 3 】



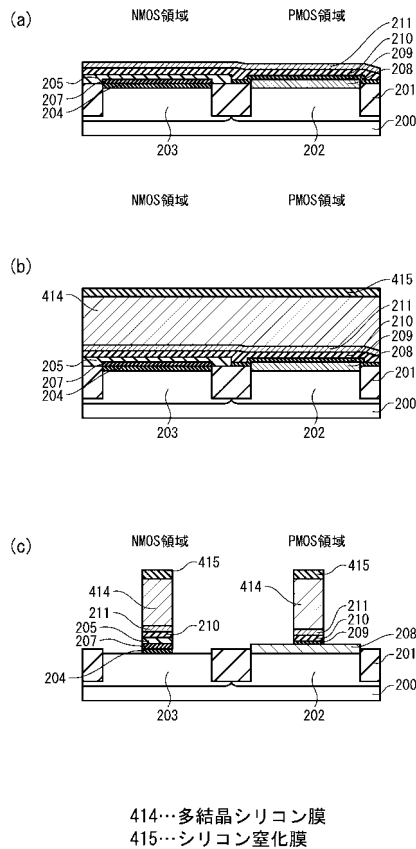
【 図 5 】



【 図 4 】



【 図 6 】



フロントページの続き

Fターム(参考) 5F140 AA06 AB03 AC01 BA01 BA05 BC12 BD01 BD02 BD04 BD05
BD09 BD11 BD13 BE17 BE19 BF10 BF11 BF14 BF20 BF21
BF24