



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년05월18일
(11) 등록번호 10-2533145
(24) 등록일자 2023년05월11일

(51) 국제특허분류(Int. Cl.)
H10B 41/20 (2023.01) H01L 21/768 (2006.01)
H10B 41/30 (2023.01) H10B 41/40 (2023.01)
(52) CPC특허분류
H10B 41/20 (2023.02)
H01L 21/76897 (2013.01)
(21) 출원번호 10-2017-0164120
(22) 출원일자 2017년12월01일
심사청구일자 2020년11월30일
(65) 공개번호 10-2019-0064852
(43) 공개일자 2019년06월11일
(56) 선행기술조사문헌
KR1020170019541 A
(뒷면에 계속)

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
조권순
경기도 수원시 영통구 태장로82번길 32, 114동
1901호 (망포동, 동수원자이1차)
강서구
서울특별시 구로구 경인로 638, 103동 2802호 (신도림동, 신도림에스케이뷰)
(뒷면에 계속)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 19 항

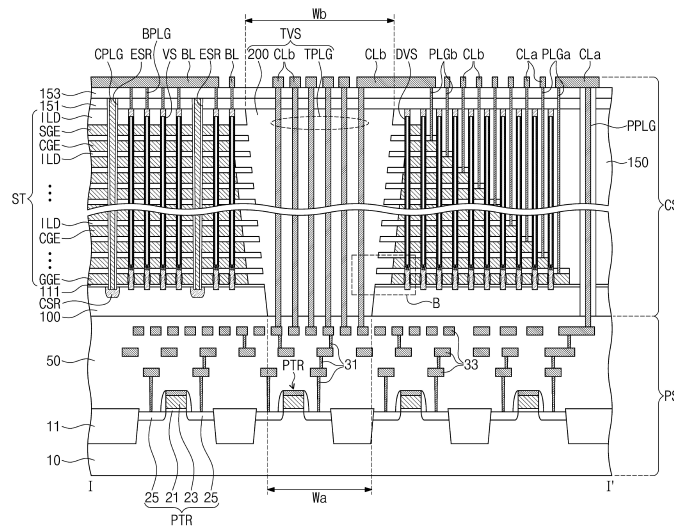
심사관 : 고연화

(54) 발명의 명칭 3차원 반도체 메모리 장치

(57) 요약

3차원 반도체 메모리 장치가 제공된다. 3차원 반도체 메모리 장치는 반도체 기판 상에 집적된 주변 로직 회로들을 포함하는 주변 로직 구조체; 상기 주변 로직 구조체 상에 배치된 수평 반도체층; 상기 수평 반도체층 상에 수직적으로 번갈아 적층된 전극들 및 절연막들을 포함하는 전극 구조체; 및 상기 전극 구조체 및 상기 수평 반도체층의 일부분을 관통하는 관통 배선 구조체로서, 상기 관통 배선 구조체는 상기 주변 로직 구조체와 연결되는 관통 플러그를 포함하되, 상기 절연막들 중 제 1 절연막의 일 측벽은 상기 관통 플러그로부터 제 1 거리만큼 이격되고, 상기 전극들 중 제 1 전극의 일 측벽은 상기 관통 플러그로부터 상기 제 1 거리보다 큰 제 2 거리만큼 이격될 수 있다.

대표도



(52) CPC특허분류

H10B 41/30 (2023.02)

H10B 41/40 (2023.02)

(72) 발명자

손영환

경기도 화성시 동탄반석로 231, 149동 2804호 (석우동, 동탄예당마을 롯데캐슬)

카나모리, 요지

서울특별시 용산구 이촌로 347 신동아아파트 10동 409호

(56) 선행기술조사문헌

US20170179026 A1*

US09679907 B1

KR1020120003677 A*

JP2010034109 A

KR1020150129360 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

반도체 기판 상에 집적된 주변 로직 회로들을 포함하는 주변 로직 구조체;
 상기 주변 로직 구조체 상에 배치된 수평 반도체층;
 상기 수평 반도체층 상에 수직적으로 번갈아 적층된 전극들 및 절연막들을 포함하는 전극 구조체;
 상기 전극 구조체 및 상기 수평 반도체층의 일부분을 관통하는 관통 배선 구조체로서, 상기 관통 배선 구조체는 상기 주변 로직 구조체와 연결되는 관통 플러그; 및
 상기 관통 배선 구조체는 상기 관통 플러그를 둘러싸는 관통 절연 패턴을 포함하되,
 상기 절연막들 중 제 1 절연막의 일 측벽은 상기 관통 플러그로부터 제 1 거리만큼 이격되고,
 상기 전극들 중 제 1 전극의 일 측벽은 상기 관통 플러그로부터 상기 제 1 거리보다 큰 제 2 거리만큼 이격되고,
 상기 관통 절연 패턴은 상기 전극들을 향해 수평적으로 돌출되어 서로 인접하는 상기 절연막들 사이에 제공되는 돌출 부분들을 포함하는 3차원 반도체 메모리 장치.

청구항 2

제 1 항에 있어서,
 상기 수평 반도체층의 일 측벽은 상기 관통 플러그로부터 제 3 거리만큼 이격되되, 상기 제 3 거리는 상기 전극 구조체의 일 측벽과 상기 관통 플러그 사이의 최소 거리보다 큰 3차원 반도체 메모리 장치.

청구항 3

제 2 항에 있어서,
 상기 수평 반도체층의 일 측벽과 상기 관통 플러그 사이의 상기 제 3 거리는 상기 제 2 거리와 다른 3차원 반도체 메모리 장치.

청구항 4

제 1 항에 있어서,
 상기 제 1 전극은 상기 제 1 절연막보다 상기 수평 반도체층에 가깝게 배치되는 3차원 반도체 메모리 장치.

청구항 5

제 1 항에 있어서,
 상기 절연막들 중 최상층에 위치하는 제 2 절연막과 상기 관통 플러그 간의 거리는 상기 제 1 거리보다 큰 3차원 반도체 메모리 장치.

청구항 6

제 1 항에 있어서,
 상기 전극들의 일 측벽들과 상기 관통 플러그 간의 거리는 상기 전극들이 상기 수평 반도체층으로부터 멀어질수록 증가하는 3차원 반도체 메모리 장치.

청구항 7

제 1 항에 있어서,

상기 절연막들의 일 측벽들과 상기 관통 플러그 간의 거리는 상기 절연막들이 상기 수평 반도체층으로부터 멀어 질수록 증가하는 3차원 반도체 메모리 장치.

청구항 8

삭제

청구항 9

제 1 항에 있어서,

상기 관통 절연 패턴의 하면에서 하부 폭은 상기 관통 절연 패턴의 상면에서 상부 폭보다 작은 3차원 반도체 메모리 장치.

청구항 10

제 1 항에 있어서,

상기 전극 구조체의 상기 절연막들은 제 1 절연 물질을 포함하고,

상기 관통 절연 패턴은 상기 제 1 절연 물질과 다른 제 2 절연 물질을 포함하는 3차원 반도체 메모리 장치.

청구항 11

제 1 항에 있어서,

상기 수평 반도체층은 셀 어레이 영역 및 연결 영역을 포함하고,

상기 전극 구조체는 상기 셀 어레이 영역에서 상기 연결 영역으로 연장되어 상기 연결 영역에서 계단 구조를 갖 되,

상기 관통 배선 구조체는 상기 전극 구조체의 계단 구조와 이격되는 3차원 반도체 메모리 장치.

청구항 12

제 11 항에 있어서,

상기 셀 어레이 영역에서 상기 전극 구조체를 관통하는 셀 수직 구조체들; 및

상기 연결 영역에서 상기 전극 구조체의 상기 계단 구조를 관통하는 더미 수직 구조체들을 더 포함하되,

상기 셀 및 더미 수직 구조체들 각각은:

상기 수평 반도체층에 접속되는 반도체 패턴; 및

상기 반도체 패턴의 측벽을 둘러싸는 데이터 저장 패턴을 포함하는 3차원 반도체 메모리 장치.

청구항 13

제 1 항에 있어서,

상기 전극 구조체의 상기 전극들에 접속되는 콘택 플러그들; 및

상기 관통 플러그와 상기 콘택 플러그들을 연결하는 도전 라인들을 더 포함하는 3차원 반도체 메모리 장치.

청구항 14

반도체 기판 상에 집적된 주변 로직 회로들을 포함하는 주변 로직 구조체;

상기 주변 로직 구조체 상에 배치된 수평 반도체층;

상기 수평 반도체층 상에 수직적으로 번갈아 적층된 전극들 및 절연막들을 포함하는 전극 구조체로서, 상기 전극 구조체는 상기 전극들의 일 측벽들이 리세스되어 수직적으로 인접하는 상기 절연막들 사이에 정의된 리세스 영역들을 갖는 것;

상기 전극 구조체의 일부분 및 상기 수평 반도체층의 일부분을 관통하며, 상기 전극 구조체의 상기 리세스 영역

들을 채우는 관통 절연 패턴; 및

상기 관통 절연 패턴을 관통하여 상기 주변 로직 구조체와 연결되는 관통 플러그들을 포함하는 3차원 반도체 메모리 장치.

청구항 15

제 14 항에 있어서,

상기 수평 반도체층의 일 측벽은 상기 관통 플러그들 중 제 1 관통 플러그와 제 1 거리만큼 이격되고,

상기 전극들 중 최하층 전극의 일 측벽은 상기 제 1 관통 플러그로부터 상기 제 1 거리와 다른 제 2 거리만큼 이격되는 3차원 반도체 메모리 장치.

청구항 16

제 15 항에 있어서,

상기 제 1 거리는 상기 전극 구조체의 상기 일 측벽과 상기 제 1 관통 플러그 간의 최소 거리보다 큰 3차원 반도체 메모리 장치.

청구항 17

제 14 항에 있어서,

상기 전극 구조체의 상기 절연막들은 제 1 절연 물질을 포함하고,

상기 관통 절연 패턴은 상기 제 1 절연 물질과 다른 제 2 절연 물질을 포함하는 3차원 반도체 메모리 장치.

청구항 18

제 14 항에 있어서,

상기 관통 절연 패턴의 하면에서 하부 폭은 상기 관통 절연 패턴의 상면에서 상부 폭보다 작은 3차원 반도체 메모리 장치.

청구항 19

제 14 항에 있어서,

상기 전극들이 상기 수평 반도체층으로부터 멀어질수록, 상기 관통 플러그들과 상기 전극들의 일 측벽들 간의 거리가 증가하는 3차원 반도체 메모리 장치.

청구항 20

반도체 기판 상에 집적된 주변 로직 회로들을 포함하는 주변 로직 구조체;

상기 주변 로직 구조체 상에 배치된 수평 반도체층;

상기 수평 반도체층 상에 수직적으로 번갈아 적층된 전극들 및 절연막들을 포함하는 전극 구조체; 및

상기 전극 구조체 및 상기 수평 반도체층의 일부분을 관통하며, 상기 주변 로직 구조체와 연결되는 관통 플러그를 포함하는 관통 배선 구조체를 포함하되,

상기 관통 플러그는 상기 수평 반도체층의 일 측벽으로부터 제 1 거리만큼 이격되되, 상기 제 1 거리는 상기 전극 구조체의 일 측벽과 상기 관통 플러그 간의 최소 거리보다 큰 3차원 반도체 메모리 장치.

발명의 설명

기술 분야

본 발명은 3차원 반도체 메모리 장치에 관한 것으로서, 더욱 상세하게는 신뢰성 및 집적도가 보다 향상된 3차원

[0001]

반도체 메모리 장치에 관한 것이다.

배경 기술

[0002] 소비자가 요구하는 우수한 성능 및 저렴한 가격을 충족시키기 위해 반도체 장치의 집적도를 증가시키는 것이 요구되고 있다. 반도체 장치의 경우, 그 집적도는 제품의 가격을 결정하는 중요한 요인이기 때문에, 특히 증가된 집적도가 요구되고 있다. 2차원 또는 평면적 반도체 장치의 경우, 그 집적도는 단위 메모리 셀이 점유하는 면적에 의해 주로 결정되기 때문에, 미세 패턴 형성 기술의 수준에 크게 영향을 받는다. 하지만, 패턴의 미세화를 위해서는 초고가의 장비들이 필요하기 때문에, 2차원 반도체 장치의 집적도는 증가하고는 있지만 여전히 제한적이다. 이에 따라, 3차원적으로 배열되는 메모리 셀들을 구비하는 3차원 반도체 메모리 장치들이 제안되고 있다.

발명의 내용

해결하려는 과제

[0003] 본원 발명이 해결하고자 하는 과제는 신뢰성 및 집적도가 보다 향상된 3차원 반도체 메모리 장치를 제공하는데 있다.

[0004] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0005] 상기 해결하고자 하는 과제를 달성하기 위하여 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치는 반도체 기판 상에 집적된 주변 로직 회로들을 포함하는 주변 로직 구조체; 상기 주변 로직 구조체 상에 배치된 수평 반도체층; 상기 수평 반도체층 상에 수직적으로 번갈아 적층된 전극들 및 절연막들을 포함하는 전극 구조체; 및 상기 전극 구조체 및 상기 수평 반도체층의 일부분을 관통하는 관통 배선 구조체로서, 상기 관통 배선 구조체는 상기 주변 로직 구조체와 연결되는 관통 플러그를 포함하되, 상기 절연막들 중 제 1 절연막의 일 측벽은 상기 관통 플러그로부터 제 1 거리만큼 이격되고, 상기 전극들 중 제 1 전극의 일 측벽은 상기 관통 플러그로부터 상기 제 1 거리보다 큰 제 2 거리만큼 이격될 수 있다.

[0006] 상기 해결하고자 하는 과제를 달성하기 위하여 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치는 반도체 기판 상에 집적된 주변 로직 회로들을 포함하는 주변 로직 구조체; 상기 주변 로직 구조체 상에 배치된 수평 반도체층; 상기 수평 반도체층 상에 수직적으로 번갈아 적층된 전극들 및 절연막들을 포함하는 전극 구조체로서, 상기 전극 구조체의 일 측벽은 상기 전극들의 일 측벽들이 리세스되어 수직적으로 인접하는 상기 절연막들 사이에 정의된 리세스 영역들을 갖는 것; 상기 전극 구조체의 일부분 및 상기 수평 반도체층의 일부분을 관통하며, 상기 전극 구조체의 상기 리세스 영역들을 채우는 관통 절연 패턴; 및 상기 관통 절연 패턴을 관통하여 상기 주변 로직 구조체와 연결되는 관통 플러그들을 포함할 수 있다.

[0007] 상기 해결하고자 하는 과제를 달성하기 위하여 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치는 반도체 기판 상에 집적된 주변 로직 회로들을 포함하는 주변 로직 구조체; 상기 주변 로직 구조체 상에 배치된 수평 반도체층; 상기 수평 반도체층 상에 수직적으로 번갈아 적층된 전극들 및 절연막들을 포함하는 전극 구조체; 및 상기 전극 구조체 및 상기 수평 반도체층의 일부분을 관통하며, 상기 주변 로직 구조체와 연결되는 관통 플러그를 포함하는 관통 배선 구조체를 포함하되, 상기 관통 플러그는 상기 수평 반도체층의 일 측벽으로부터 제 1 거리만큼 이격되되, 상기 제 1 거리는 상기 전극 구조체의 일 측벽과 상기 관통 플러그 간의 최소 거리보다 큰 클 수 있다.

[0008] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0009] 본 발명의 실시예들에 따르면, 전극 구조체의 전극들의 일 측벽들 및 수평 반도체층의 일 측벽이 절연막들에 비해 리세스되어 있으므로, 셀 어레이 구조체와 셀 어레이 구조체 아래에 배치된 주변 로직 구조체를 연결하는 관통 플러그와 어레이 구조체의 전극들 및 수평 반도체층 간의 이격 거리를 확보할 수 있다. 따라서, 전극 구조체 및 수평 반도체층과 관통 플러그 간의 전기적 단락을 방지할 수 있다.

[0010] 나아가, 관통 배선 구조체의 관통 절연 패턴이 전극 구조체의 전극들 향해 수평적으로 돌출된 돌출 부분들을 포

함할 수 있다. 이에 따라, 3차원 반도체 메모리 장치의 제조 공정 동안, 관통 절연 패턴이 수직적으로 인접하는 절연막들 사이를 지지할 수 있으므로, 관통 배선 구조체와 인접한 영역에서 몰드 구조체가 무너지는 것을 방지할 수 있다.

도면의 간단한 설명

- [0011] 도 1은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 간략히 나타내는 사시도이다.
- 도 2는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 셀 어레이를 나타내는 간략 회로도이다.
- 도 3은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 설명하기 위한 개략적인 평면도이다.
- 도 4는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 설명하기 위한 평면도로서, 도 3의 A 부분을 보다 자세히 나타낸 도면이다.
- 도 5a 및 도 5b는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 설명하기 위한 단면도로서, 도 3의 I-I' 선 및 II-II' 선을 따라 자른 단면을 각각 나타낸다.
- 도 6a 및 도 6b는 도 5의 B 부분을 확대한 도면이다.
- 도 7, 도 9, 및 도 11은 본 발명의 다양한 실시예들에 따른 3차원 반도체 메모리 장치를 설명하기 위한 단면도들이다.
- 도 8, 도 10, 및 도 12는 도 7, 도 9, 및 도 11의 B부분을 각각 확대한 도면들이다.
- 도 13은 본 발명의 다양한 실시예들에 따른 3차원 반도체 메모리 장치를 설명하기 위한 개략적인 평면도이다.
- 도 14는 도 13에 도시된 따른 3차원 반도체 메모리 장치의 단면도이다.
- 도 15는 도 14의 B부분을 확대한 도면이다.
- 도 16 내지 도 23은 본 발명의 다양한 실시예들에 따른 3차원 반도체 메모리 장치의 제조 방법을 설명하기 위한 도면들이다.
- 도 24 내지 도 28은 본 발명의 다양한 실시예들에 따른 3차원 반도체 메모리 장치의 제조 방법을 설명하기 위한 도면들이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 이하, 도면들을 참조하여, 본 발명의 실시예들에 대해 상세히 설명하기로 한다.
- [0013] 도 1은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 간략히 나타내는 사시도이다.
- [0014] 도 1을 참조하면, 실시예들에 따른 3차원 반도체 메모리 장치는 주변 로직 구조체(PS) 및 셀 어레이 구조체(CS)를 포함하며, 주변 로직 구조체(PS) 상에 셀 어레이 구조체(CS)가 적층될 수 있다. 즉, 주변 로직 구조체(PS)와 셀 어레이 구조체(CS)가 평면적 관점에서, 오버랩될 수 있다.
- [0015] 실시예들에서, 주변 로직 구조체(PS)는 3차원 반도체 메모리 장치의 셀 어레이를 제어하는 로우 및 칼럼 디코더들, 페이지 버퍼, 및 제어 회로들을 포함할 수 있다.
- [0016] 셀 어레이 구조체(CS)는 데이터 소거 단위인 복수 개의 메모리 블록들(BLK1-BLK_n)을 포함할 수 있다. 메모리 블록들(BLK1-BLK_n) 각각은 3차원 구조(또는 수직 구조)를 갖는 메모리 셀 어레이를 포함한다. 메모리 셀 어레이는 3차원적으로 배열된 복수의 메모리 셀들, 메모리 셀들과 전기적으로 연결된 복수 개의 워드 라인들 및 비트 라인들을 포함하는 포함한다. 3차원 구조를 갖는 메모리 셀 어레이에 대해서는 이하 도면을 참조하여 상세히 설명하기로 한다.
- [0017] 도 2는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 셀 어레이를 나타내는 간략 회로도이다.
- [0018] 도 2를 참조하면, 본 발명의 실시예들에 따른 반도체 메모리 장치의 셀 어레이는 공통 소오스 라인(CSL), 복수 개의 비트 라인들(BL) 및 공통 소오스 라인(CSL)과 비트 라인들(BL) 사이에 배치되는 복수개의 셀 스트링들(CSTR)을 포함할 수 있다.
- [0019] 셀 스트링들(CSTR)은 제 1 및 제 2 방향들(D1, D2)을 따라 신장된 평면 상에, 제 3 방향(D3)을 따라 연장될 수

있다. 비트 라인들(BL)은 제 1 방향(D1)으로 서로 이격되며, 제 2 방향(D2)으로 연장될 수 있다.

- [0020] 비트 라인들(BL0-BL2) 각각에 복수개의 셀 스트링들(CSTR)이 병렬로 연결될 수 있다. 복수 개의 셀 스트링들(CSTR)은 공통 소오스 라인(CSL)에 공통으로 연결될 수 있다. 즉, 복수 개의 비트 라인들(BL0-BL2)과 하나의 공통 소오스 라인(CSL) 사이에 복수 개의 셀 스트링들(CSTR)이 배치될 수 있다. 공통 소오스 라인(CSL)은 복수 개로 2차원적으로 배열될 수 있다. 여기서, 공통 소오스 라인들(CSL)에는 전기적으로 동일한 전압이 인가될 수 있거나, 또는 공통 소오스 라인들(CSL) 각각이 전기적으로 제어될 수도 있다.
- [0021] 실시예들에 따르면, 셀 스트링들(CSTR) 각각은 직렬 연결된 스트링 선택 트랜지스터들(SST1, SST2), 직렬 연결된 메모리 셀들(MCT), 접지 선택 트랜지스터(GST)로 구성될 수 있다. 또한, 메모리 셀들(MCT) 각각은 데이터 저장 요소(data storage element)를 포함한다.
- [0022] 일 예로, 각각의 셀 스트링들(CSTR)은 직렬 연결된 제 1 및 제 2 스트링 선택 트랜지스터들(SST1, SST2)을 포함할 수 있으며, 제 2 스트링 선택 트랜지스터(SST2)는 비트 라인(BL0-BL2)에 접속될 수 있으며, 접지 선택 트랜지스터(GST)는 공통 소오스 라인(CSL)에 접속될 수 있다. 메모리 셀들(MCT)은 제 1 스트링 선택 트랜지스터(SST1)와 접지 선택 트랜지스터(GST) 사이에 직렬 연결될 수 있다.
- [0023] 나아가, 셀 스트링들(CSTR) 각각은 제 1 스트링 선택 트랜지스터(SST1)와 메모리 셀(MCT) 사이에 연결된 더미 셀(DMC)을 더 포함할 수 있다. 도면에는 도시하지 않았으나, 더미 셀(DMC)은 접지 선택 트랜지스터(GST)와 메모리 셀(MCT) 사이에도 연결될 수 있다. 다른 예로, 각각의 셀 스트링들(CSTR)에서 접지 선택 트랜지스터(GST)는, 제 1 및 제 2 스트링 선택 트랜지스터들(SST1, SST2)와 유사하게, 직렬 연결된 복수 개의 모오스 트랜지스터들로 구성될 수도 있다. 또 다른 예로, 각각의 셀 스트링들(CSTR)은 하나의 스트링 선택 트랜지스터를 포함할 수도 있다.
- [0024] 실시예들에 따르면, 제 1 스트링 선택 트랜지스터(SST1)는 제 1 스트링 선택 라인(SSL1)에 의해 제어될 수 있으며, 제 2 스트링 선택 트랜지스터(SST2)는 제 2 스트링 선택 라인(SSL2)에 의해 제어될 수 있다. 메모리 셀들(MCT)은 복수 개의 워드 라인들(WL0-WLn)에 의해 제어될 수 있으며, 더미 셀들(DMC)은 더미 워드 라인(DWL)에 의해 제어될 수 있다. 또한, 접지 선택 트랜지스터(GST)는 접지 선택 라인(GSL)에 의해 제어될 수 있다. 공통 소오스 라인(CSL)은 접지 선택 트랜지스터들(GST)의 소오스들에 공통으로 연결될 수 있다.
- [0025] 하나의 셀 스트링(CSTR)은 공통 소오스 라인들(CSL)로부터의 거리가 서로 다른 복수개의 메모리 셀들(MCT)로 구성될 수 있다. 그리고, 공통 소오스 라인들(CSL)과 비트 라인들(BL0-BL2) 사이에는 복수 개의 워드 라인들(WL0-WLn, DWL)이 배치될 수 있다.
- [0026] 공통 소오스 라인들(CSL)로부터 실질적으로 동일한 거리에 배치되는, 메모리 셀들(MCT)의 게이트 전극들은 워드 라인들(WL0-WLn, DWL) 중의 하나에 공통으로 연결되어 등전위 상태에 있을 수 있다. 이와 달리, 메모리 셀들(MCT)의 게이트 전극들이 공통 소오스 라인들(CSL)로부터 실질적으로 동일한 레벨에 배치되더라도, 서로 다른 행 또는 열에 배치되는 게이트 전극들이 독립적으로 제어될 수 있다.
- [0027] 접지 선택 라인들(GSL0-GSL2) 및 스트링 선택 라인들(SSL1, SSL2)은 제 1 방향(D1)을 따라 연장되며, 제 2 방향(D2)으로 서로 이격될 수 있다. 공통 소오스 라인들(CSL)로부터 실질적으로 동일한 레벨에 배치되는 접지 선택 라인들(GSL0-GSL2) 및 스트링 선택 라인들(SSL1, SSL2)은 전기적으로 서로 분리될 수 있다.
- [0028] 도 3은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 설명하기 위한 개략적인 평면도이다. 도 4는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 설명하기 위한 평면도로서, 도 3의 A 부분을 보다 자세히 나타낸 도면이다. 도 5a 및 도 5b는 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 설명하기 위한 단면도로서, 도 3의 I-I' 선 및 II-II' 선을 따라 자른 단면을 각각 나타낸다. 도 6a 및 도 6b는 도 5의 B 부분을 확대한 도면들이다.
- [0029] 도 3, 도 4, 도 5a, 및 도 5b를 참조하면, 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치는 반도체 기판(10) 상의 주변 로직 구조체(PS), 주변 로직 구조체(PS) 상의 셀 어레이 구조체(CS), 및 셀 어레이 구조체(CS)의 일 부분을 관통하며 셀 어레이 구조체(CS)와 주변 로직 구조체(PS)를 연결하는 관통 배선 구조체(TVS)를 포함할 수 있다.
- [0030] 상세히 설명하면, 주변 로직 구조체(PS)는 반도체 기판(10)의 전면 상에 집적되는 주변 로직 회로들(PTR) 및 주변 로직 회로들(PTR)을 덮은 하부 매립 절연막(50)을 포함할 수 있다.
- [0031] 반도체 기판(10)은 실리콘 기판, 실리콘-게르마늄 기판, 게르마늄 기판, 또는 단결정 실리콘 기판에 성장된 단

결정 에피택시얼층(epitaxial layer)일 수 있다. 반도체 기판(10)은 소자 분리막(11)에 의해 정의된 활성 영역들을 포함할 수 있다.

- [0032] 주변 로직 회로들(PTR)은 앞서 설명한 바와 같이, 로우 및 칼럼 디코더들, 페이지 버퍼, 및 제어 회로 등일 수 있으며, 반도체 기판(10) 상에 집적된 NMOS 및 PMOS 트랜지스터들, 저전압 및 고전압 트랜지스터들, 및 저항 등을 포함할 수 있다. 보다 상세하게, 주변 로직 회로들(PTR)은 반도체 기판(10) 상의 게이트 절연막(21), 게이트 절연막(21) 상에 주변 게이트 전극(23), 주변 게이트 전극(23) 양측의 소오스/드레인 영역들(25)을 포함할 수 있다.
- [0033] 주변 회로 배선들(33)은 주변회로 콘택 플러그들(31)을 통해 주변 로직 회로들(PTR)과 전기적으로 연결될 수 있다. 예를 들어, NMOS 및 PMOS 트랜지스터들에 주변회로 콘택 플러그들(31) 및 주변회로 배선들(33)이 접속될 수 있다.
- [0034] 하부 매립 절연막(50)이 반도체 기판(10) 전면 상에 제공될 수 있다. 하부 매립 절연막(50)은 반도체 기판(10) 상에서 주변 로직 회로들(PTR), 주변회로 콘택 플러그들(31) 및 주변회로 배선들(33)을 덮을 수 있다. 하부 매립 절연막(50)은 다층으로 적층된 절연막들을 포함할 수 있다. 예를 들어, 하부 매립 절연막(50)은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막, 및/또는 저유전막을 포함할 수 있다.
- [0035] 실시예들에서, 셀 어레이 구조체(CS)는, 평면적 관점에서, 주변 로직 구조체(PS)와 오버랩(overlap)될 수 있다. 셀 어레이 구조체(CS)는 하부 매립 절연막(50) 상에 배치되며, 수평 반도체층(100), 전극 구조체들(ST), 및 셀 및 더미 수직 구조체들(VS, DVS)을 포함할 수 있다.
- [0036] 수평 반도체층(100)은 하부 매립 절연막(50)의 상면 상에 적층될 수 있다. 수평 반도체층(100)은 메모리 셀들이 제공되는 셀 어레이 영역(CAR) 및 메모리 셀들과 연결되는 콘택 플러그들(PLGa, PLGb) 및 도전 라인들(CLa, CLb)이 제공되는 연결 영역(CNR)을 포함할 수 있다. 실시예들에 따르면, 셀 어레이 영역(CAR)의 수평 반도체층(100) 상에 도 2에 도시된 셀 스트링들(도 2의 CSTR)이 집적될 수 있다.
- [0037] 수평 반도체층(100)은 반도체 물질로 이루어질 수 있으며, 예를 들어, 실리콘(Si), 게르마늄(Ge), 실리콘 게르마늄(SiGe), 갈륨비소(GaAs), 인듐갈륨비소(InGaAs), 알루미늄갈륨비소(AlGaAs), 또는 이들의 혼합물 중 적어도 하나를 포함할 수 있다. 또한, 수평 반도체층(100)은 제 1 도전형의 불순물이 도핑된 반도체 및/또는 불순물이 도핑되지 않은 상태의 진성 반도체(intrinsic semiconductor)를 포함할 수 있다. 또한, 수평 반도체층(100)은 단결정, 비정질(amorphous), 및 다결정(polycrystalline) 중에서 선택된 적어도 어느 하나를 포함하는 결정 구조를 가질 수 있다.
- [0038] 복수 개의 전극 구조체들(ST)은 수평 반도체층(100) 상에 배치되며, 셀 어레이 영역(CAR)에서 연결 영역(CNR)으로 제 1 방향(D1)을 따라 연장될 수 있다. 서로 인접하는 전극 구조체들(ST)은 이들 사이에 제공된 전극 분리 영역(ESR)에 의해 제 1 방향(D1)과 교차하는 제 2 방향(D2)으로 서로 이격될 수 있다. 여기서, 제 1 및 제 2 방향들(D1, D2)은 수평 반도체층(100)의 상면과 평행할 수 있다.
- [0039] 전극 구조체들(ST) 각각은 제 1 및 제 2 방향들(D1, D2)에 대해 수직하는 제 3 방향(D3; 즉, 수직 방향)을 따라 번갈아 적층된 절연막들(ILD) 및 전극들(GGE, CGE, SGE)을 포함할 수 있다. 각 전극 구조체(ST)에서, 전극들(GGE, CGE, SGE)은 연결 영역(CNR)에서 계단식 구조를 갖도록 적층될 수 있다. 이에 따라, 각 전극 구조체들(ST)의 높이는 셀 어레이 영역(CAR)으로부터 멀어질수록 감소될 수 있다. 각 전극 구조체(ST) 전극들(GGE, CGE, SGE)은 수평 반도체층(100)으로부터 멀어질수록 제 1 방향(D1)으로의 길이가 감소할 수 있다. 전극들(GGE, CGE, SGE) 각각은 연결 영역(CNR)에서 패드부를 가질 수 있으며, 연결 영역(CNR)에서 전극들(GGE, CGE, SGE) 각각의 패드부는 그것의 바로 위에 위치하는 절연막(ILD)에 의해 노출될 수 있다. 전극들(GGE, CGE, SGE)의 패드부들은 수평적으로 및 수직적으로 서로 다른 위치에 위치할 수 있다.
- [0040] 보다 상세하게, 전극 구조체들(ST) 각각에서, 전극들은 수직적으로 적층된 복수 개의 셀 게이트 전극들(CGE), 최하층 셀 게이트 전극(CGE) 아래에서 수평적으로 서로 이격되어 배치된 복수 개의 접지 선택 게이트 전극들(GGE), 및 최상층 셀 게이트 전극(CGE) 상에서 수평적으로 서로 이격되어 배치된 복수 개의 스트링 선택 게이트 전극들(SGE)을 포함할 수 있다. 각 전극 구조체(ST)에서, 최하층의 접지 선택 게이트 전극들(GGE)은 공통 소오스 라인(도 2의 CSL)과 셀 수직 구조체들(VS) 사이의 전기적 연결을 제어하는 접지 선택 트랜지스터들(도 2의 GST)의 게이트 전극들로 이용될 수 있다. 최상층의 스트링 선택 게이트 전극들(SGE)은 비트 라인(BL)과 셀 수직 구조체들(VS) 사이의 전기적 연결을 제어하는 스트링 선택 트랜지스터(도 2의 SST)의 게이트 전극으로 사용될 수 있다. 셀 게이트 전극들(CGE)은 메모리 셀들(도 2의 MCT)의 제어 게이트 전극들(도 2의 WL0-WL3, DWL)로

사용될 수 있다.

- [0041] 실시예들에 따르면, 전극 구조체(ST)는 관통 배선 구조체(TVS)와 인접하는 일 측벽을 가질 수 있으며, 상기 일 측벽은 수직적으로 인접하는 절연막들(ILD) 사이에 정의된 리세스 영역들을 가질 수 있다. 각 리세스 영역은 수직적으로 인접하는 절연막들(ILD) 및 이들 사이의 전극(GGE, CGE, SGE)에 의해 정의될 수 있다. 다시 말해, 전극들(GGE, CGE, SGE)의 일 측벽들은 절연막들(ILD)의 일 측벽들과 수평적으로 이격될 수 있다.
- [0042] 복수 개의 셀 수직 구조체들(VS)이 셀 어레이 영역(CAR)의 수평 반도체층(100) 상에 제공될 수 있으며, 더미 수직 구조체들(DVS)이 연결 영역(CNR)의 수평 반도체층(100) 상에 제공될 수 있다. 셀 및 더미 수직 구조체들(VS, DVS)은 제 3 방향(D3)으로 연장되며, 전극 구조체들(ST)을 관통할 수 있다. 셀 및 더미 수직 구조체들(VS, DVS)은, 평면적 관점에서, 일 방향으로 배열되거나, 지그재그 형태로 배열될 수 있다.
- [0043] 셀 및 더미 수직 구조체들(VS, DVS)은 실리콘(Si), 게르마늄(Ge) 또는 이들의 혼합물과 같은 반도체 물질을 포함할 수 있다. 또한, 수직 구조체들(VS)은 불순물이 도핑된 반도체이거나 불순물이 도핑되지 않은 상태의 진성 반도체(intrinsic semiconductor)일 수도 있다. 반도체 물질을 포함하는 셀 수직 구조체들(VS)은 도 2를 참조하여 설명된 선택 트랜지스터들(SST, GST) 및 메모리 셀들(MCT) 및 더미 셀(DMC)의 채널들로서 사용될 수 있다.
- [0044] 더미 수직 구조체들(DVS)은 전극 구조체(ST)의 계단 구조를 관통할 수 있다. 즉, 더미 수직 구조체들(DVS)은 연결 영역(CNR)에서 전극들(GGE, CGE, SGE)의 패드 부분들을 관통할 수 있다. 더미 수직 구조체들(VS, DVS)은 셀 수직 구조체들(VS)과 실질적으로 동일한 길이를 가질 수 있으며, 셀 수직 구조체들(VS)의 폭보다 큰 폭을 가질 수 있다.
- [0045] 보다 상세하게, 도 6a를 참조하면, 셀 및 더미 수직 구조체들(VS, DVS) 각각은 하부 반도체 패턴(LSP) 및 상부 반도체 패턴(USP)을 포함할 수 있다. 하부 반도체 패턴(LSP)은 수평 반도체층(100)으로부터 에피택시얼 성장된 에피택시얼층일 수 있다. 하부 반도체 패턴(LSP)은 수직 홀들의 하부 부분들을 채우는 필라(pillar) 형태를 가질 수 있다. 하부 반도체 패턴(LSP)의 상면은 최하층 접지 선택 게이트 전극(GGE)의 상면보다 위에 위치할 수 있다.
- [0046] 하부 반도체 패턴(LSP)의 측벽 일부분에 게이트 절연막(15)이 배치될 수 있다. 게이트 절연막(15)은 최하층 전극(GGE)과 하부 반도체 패턴(LSP) 사이에 배치될 수 있다. 게이트 절연막(15)은 실리콘 산화막(예를 들어, 열 산화막)을 포함할 수 있다. 게이트 절연막(15)은 라운드진 측벽을 가질 수 있다.
- [0047] 상부 반도체 패턴(USP)은 하부 반도체 패턴(LSP)과 연결될 수 있으며, 실리콘(Si), 게르마늄(Ge) 또는 이들의 혼합물을 포함할 수 있다. 상부 반도체 패턴들(USP) 각각의 상단에 비트라인 도전 패드가 제공될 수 있으며, 비트라인 도전 패드는 불순물이 도핑된 불순물 영역이거나, 도전 물질로 이루어질 수 있다. 상부 반도체 패턴(USP)은 제 1 반도체 패턴(SP1) 및 제 2 반도체 패턴(SP2)을 포함할 수 있다. 제 1 반도체 패턴(SP1)은 하부 반도체 패턴(LSP)과 접촉될 수 있으며, 하단이 닫힌 파이프 형태 또는 마카로니 형태일 수 있다. 이러한 형태의 제 1 반도체 패턴(SP1)의 내부는 매립 절연 패턴(VI)으로 채워질 수 있다. 제 1 반도체 패턴(SP1)은 제 2 반도체 패턴(SP2)과 하부 반도체 패턴(LSP)을 전기적으로 연결할 수 있다. 제 2 반도체 패턴(SP2)은 상단 및 하단이 오픈된(opened) 파이프 형태(pipe-shaped) 또는 마카로니 형태(macaroni-shaped)일 수 있다. 그리고, 제 2 반도체 패턴(SP2)은 하부 반도체 패턴(LSP)과 접촉하지 않고 이격될 수 있다.
- [0048] 다른 예로, 도 6b를 참조하면, 셀 및 더미 수직 구조체들(VS, DVS)에서 하부 반도체 패턴은 생략될 수도 있다. 즉, 셀 및 더미 수직 구조체들(VS, DVS) 각각은, 앞서 설명한 상부 반도체 패턴(USP)처럼, 제 1 반도체 패턴(SP1) 및 제 2 반도체 패턴(SP2)을 포함할 수 있다. 여기서, 제 1 반도체 패턴(SP1)은 수평 반도체층(100)과 직접 접촉할 수 있으며, 제 1 반도체 패턴(SP1)의 내부는 매립 절연 패턴(VI)으로 채워질 수 있다.
- [0049] 나아가, 도 6a 및 도 6b를 참조하면, 수직 절연 패턴(VP)이 전극 구조체(ST)와 셀 및 더미 수직 구조체들(VS, DVS) 사이에 배치될 수 있다. 수직 절연 패턴(VP)은 상단 및 하단이 오픈된(opened) 파이프 형태 또는 마카로니 형태일 수 있다. 수직 절연 패턴(VP)은 제 3 방향(D3)으로 연장되며 셀 및 더미 수직 구조체들(VS, DVS) 각각의 측벽을 둘러쌀 수 있다. 셀 및 더미 수직 구조체들(VS, DVS)이 하부 및 상부 반도체 패턴들(LSP, USP)을 포함하는 경우, 수직 절연 패턴(VP)은 상부 반도체 패턴(USP)의 측벽을 둘러쌀 수 있다. 본 발명의 실시예들에서, 수직 절연 패턴(VP)은 데이터 저장막의 일부일 수 있다. 예를 들어, 수직 절연 패턴(VP)은 NAND 플래시 메모리 장치의 데이터 저장막으로서, 터널 절연막, 전하 저장막, 및 블록킹 절연막을 포함할 수 있다. 예를 들어, 전하 저장막은 트랩 절연막, 부유 게이트 전극 또는 도전성 나노 도트들(conductive nano dots)을 포함하는 절연막일 수 있다. 이와 달리, 수직 절연 패턴(VP)은 상변화 메모리를 위한 박막 또는 가변저항 메모리를 위한 박막을 포

함할 수도 있다.

- [0050] 수평 절연 패턴(HP)이 전극들(GGE, CGE, SGE)의 일측벽들과 수직 절연 패턴(VP) 사이에 배치될 수 있으며, 각 전극들(GGE, CGE, SGE)의 상면들 및 하면들로 연장될 수 있다. 수평 절연 패턴(HP)은 NAND 플래시 메모리 장치의 데이터 저장막의 일부로서 블로킹 절연막을 포함할 수 있다.
- [0051] 다시, 도 3, 도 4, 도 5a 및 도 5b를 참조하면, 관통 배선 구조체(TVS)는 전극 구조체들(ST)의 일부분들 및 수평 반도체층(100)의 일부분을 관통할 수 있다. 일부 실시예들에 따르면, 관통 배선 구조체(TVS)는 평면적 관점에서, 한 쌍의 전극 구조체들(ST) 사이에 제공될 수 있으며, 한 쌍의 전극 구조체들(ST)에 의해 둘러싸일 수 있다. 관통 배선 구조체(TVS)는 전극 구조체(ST)의 계단 구조와 이격되어 전극 구조체(ST)의 일부분을 관통할 수 있다.
- [0052] 보다 상세하게, 관통 배선 구조체(TVS)는 수평 반도체층(100)의 일부를 관통하며, 전극 구조체들(ST)의 일 측벽들을 가로지르는 관통 절연 패턴(200), 관통 절연 패턴(200)을 관통하는 관통 플러그들(TPLG), 및 관통 플러그들(TPLG)에 연결되는 도전 라인들(Clb)을 포함할 수 있다.
- [0053] 관통 절연 패턴(200)은 하부 매립 절연막(50) 상에서 제 3 방향(D3)으로 연장될 수 있다. 관통 절연 패턴(200)의 바닥면은 주변 회로 구조체(PS)의 하부 매립 절연막(50)과 접촉할 수 있으며, 관통 절연 패턴(200)은 이에 인접하는 전극 구조체들(ST)의 측벽들을 덮을 수 있다. 관통 절연 패턴(200)은 평면적 관점에서, 한 쌍의 전극 구조체들(ST)에 의해 둘러싸일 수 있다.
- [0054] 관통 절연 패턴(200)의 상면은 셀 및 더미 수직 구조체들(VS, DVS)의 상면과 실질적으로 동일한 레벨에 위치할 수 있다. 관통 절연 패턴(200)은 제 3 방향(D3)으로 높이가 전극 구조체들(ST)의 높이보다 크거나 실질적으로 같을 수 있다. 관통 절연 패턴(200)의 폭은 전극 구조체(ST)의 높이에 따라 달라질 수 있다.
- [0055] 관통 절연 패턴(200)의 하면에서 하부 폭(Wa)은 관통 절연 패턴(200)의 상면에서 상부 폭(Wb)보다 작을 수 있다. 관통 절연 패턴(200)은 전극 구조체(ST)에서 수직적으로 인접하는 절연막들(ILD) 사이에 정의된 리세스 영역들을 채울 수 있다. 즉, 관통 절연 패턴(200)의 측벽은, 도 6a에 도시된 바와 같이, 전극들(GGE, CGE, SGE)을 향해 수평 방향으로 돌출되는 돌출 부분들(200P)을 포함할 수 있다. 실시예들에서, 관통 절연 패턴(200)은 데이터 저장막의 일부를 포함하는 수평 절연 패턴(HP)과 접촉할 수 있다. 관통 절연 패턴(200)은 실리콘 산화막 및 저유전막과 같은 절연 물질로 이루어질 수 있다. 실시예들에서, 관통 절연 패턴(200)은 전극 구조체(ST)의 절연막들(ILD)과 다른 절연 물질로 이루어질 수 있다.
- [0056] 복수 개의 관통 플러그들(TPLG)이 관통 절연 패턴(200)을 관통하여 주변 로직 구조체(PS)의 주변회로 배선들(33)에 연결될 수 있다. 관통 플러그들(TPLG)은 도전 라인들(Clb)을 통해 전극 구조체들(ST)의 상부 계단 구조(Sb)를 형성하는 전극들(CGE, SGE)과 연결될 수 있다. 즉, 관통 플러그들(TPLG)은 전극들(GGE, CGE, SGE)과 주변 회로 배선들(33)을 전기적으로 연결할 수 있다.
- [0057] 실시예들에 따르면, 전극들(GGE, CGE, SGE)의 일측벽들이 절연막들(ILD)의 일측벽들에 비해 수평적으로 리세스되어 있으므로, 관통 플러그(TPLG)와 전극들(GGE, CGE, SGE) 간의 거리는 관통 플러그(TPLG)와 절연막들(ILD) 간의 거리보다 클 수 있다. 보다 상세하게, 도 6a를 참조하면, 관통 플러그들(TPLG) 중 어느 하나는 최하층 절연막(ILD)의 일측벽으로부터 제 1 거리(S1)만큼 수평적으로 이격될 수 있으며, 최하층 전극(GGE)의 일측벽으로부터 제 1 거리(S1)보다 큰 제 2 거리(S2)만큼 수평적으로 이격될 수 있다.
- [0058] 관통 절연 패턴(200)의 하부 폭(Wa)이 상부 폭(Wb)보다 작기 때문에, 절연막들(ILD) 중 최상층 절연막과 관통 플러그(TPLG) 간의 거리는 절연막들(ILD) 중 최하층 절연막과 관통 플러그(TPLG) 간의 거리보다 클 수 있다. 마찬가지로, 전극들(GGE, CGE, SGE) 중 최상층 전극(SGE)과 관통 플러그(TPLG) 간의 거리는 최하층 전극(GGE)과 관통 플러그(TPLG) 간의 거리보다 클 수 있다.
- [0059] 나아가, 절연막들(ILD)이 수평 반도체층(100)의 상면으로부터 멀어질수록, 관통 플러그(TPLG)와 절연막들(ILD)의 일측벽들 간의 거리는 증가할 수 있다. 마찬가지로, 전극들(GGE, CGE, SGE)이 수평 반도체층(100)의 상면으로부터 멀어질수록, 관통 플러그(TPLG)와 전극들(GGE, CGE, SGE)의 일측벽들 간의 거리는 증가할 수 있다. 또한, 관통 플러그(TPLG)와 전극들(GGE, CGE, SGE)의 일 측벽들 간의 거리는 관통 플러그(TPLG)와 절연막들(ILD) 사이의 최소 거리보다 클 수 있다. 이에 더하여, 관통 플러그(TPLG)와 수평 반도체층(100)의 일 측벽 간의 거리는 관통 플러그(TPLG)와 절연막들(ILD) 사이의 최소 거리보다 작을 수 있다.
- [0060] 계속해서, 도 3, 도 4, 및 도 5a, 및 도 5b를 참조하면, 상부 매립 절연막(150)이 계단식 구조를 갖는 전극 구

조체들(ST)의 단부들을 덮을 수 있다. 제 1 및 제 2 층간 절연막들(151, 153)이 상부 매립 절연막(150) 상에 차례로 적층될 수 있으며, 셀 및 더미 수직 구조체들(VS, DVS)의 상면들을 덮을 수 있다.

- [0061] 전극 구조체들(ST)을 관통하는 전극 분리 영역들(ESR) 아래의 수평 반도체층(100) 내에 공통 소오스 영역들(CSR)이 제공될 수 있다. 공통 소오스 영역들(CSR)은 전극 분리 영역들(ESR)과 나란하게 제 1 방향(D1)으로 연장될 수 있다. 공통 소오스 영역들(CSR)은 수평 반도체층(100)과 반대의 도전형 불순물들, 예를 들어, N형의 불순물(예를 들어, 비소(As) 또는 인(P))을 포함할 수 있다.
- [0062] 전극 분리 영역들(ESR)은 절연 물질로 채워질 수 있으며, 전극 분리 영역들(ESR) 내에 공통 소오스 영역들(CSR)과 접속되는 공통 소오스 플러그(CPLG)가 제공될 수 있다.
- [0063] 비트 라인들(BL)이 셀 어레이 영역(CAR)의 제 2 층간 절연막(53) 상에 배치될 수 있으며, 전극 구조체들(ST)을 가로질러 제 2 방향(D2)으로 연장될 수 있다. 비트 라인들(BL)은 비트 라인 콘택 플러그들(BPLG)을 통해 셀 수직 구조체들(VS)에 전기적으로 연결될 수 있다.
- [0064] 하부 콘택 플러그들(PLGa)이 전극 구조체(ST)의 하부 영역에 제공된 전극들(GGE, CGE)에 각각 접속될 수 있다. 하부 콘택 플러그들(PLGa)은 제 1 방향(D1)으로 연장되는 제 1 도전 라인들(CLa)을 통해 연결 콘택 플러그(PPLG)와 연결될 수 있다. 연결 콘택 플러그(PPLG)는 전극 구조체들(ST)과 이격되어 상부 매립 절연막(150) 및 수평 반도체층(100)을 관통할 수 있으며, 주변 로직 구조체(PS)의 주변 회로 배선들(33)에 연결될 수 있다. 연결 콘택 플러그(PPLG)의 측벽은, 관통 플러그들(TPLG)처럼, 절연 물질로 둘러싸일 수 있다. 일 예에서, 전극 구조체(ST)의 하부 영역에 제공된 전극들(GGE, CGE)은 하부 콘택 플러그들(PLGa), 제 1 도전 라인들(CLa), 및 연결 콘택 플러그(PPLG)를 통해 주변 로직 구조체(PS)와 전기적으로 연결될 수 있다.
- [0065] 상부 콘택 플러그들(PLGb)이 상부 매립 절연막(150)을 관통하여 전극 구조체(ST)의 상부 영역에 제공된 전극들(CGE, SGE)에 접속될 수 있다. 상부 콘택 플러그들(PLGb)은 제 1 방향(D1)으로 연장되는 제 2 도전 라인들(CLb)을 통해 관통 플러그들(TPLG)과 연결될 수 있다. 제 1 및 제 2 도전 라인들(CLa, CLb) 중 일부는 제 1 방향(D1)으로 연장될 수 있으며, 다른 일부는 제 2 방향(D2)으로 연장될 수 있다. 일 예에서, 전극 구조체(ST)의 상부 영역에 제공된 전극들(CGE, SGE)은 상부 콘택 플러그들(PLGb), 제 2 도전 라인들(CLb), 및 관통 플러그들(TPLG)을 통해 주변 로직 구조체(PS)와 전기적으로 연결될 수 있다.
- [0066] 도 7, 도 9, 및 도 11은 본 발명의 다양한 실시예들에 따른 3차원 반도체 메모리 장치를 설명하기 위한 단면도들이다. 도 8, 도 10, 및 도 12는 도 7, 도 9, 및 도 11의 B부분을 각각 확대한 도면이다. 설명의 간략함을 위해 앞서 설명된 3차원 반도체 메모리 장치와 동일한 기술적 특징들에 대한 설명은 생략될 수 있으며, 실시예들 간의 차이점들에 대해 설명한다.
- [0067] 도 7 및 도 8을 참조하면, 전극 구조체(ST)는 경사진 일 측벽을 가질 수 있으며, 관통 절연 패턴(200)은 전극 구조체(ST)의 경사진 일측벽과 접촉할 수 있다. 관통 절연 패턴(200)에서 전극 구조체(ST)를 관통하는 일 부분은 하부에서 상부로 갈수록 연속적으로 증가하는 폭을 가질 수 있다. 즉, 최하층 절연막(ILD)의 일 측벽과 관통 플러그(TPLG) 간의 제 1 거리(S1)보다 최하층 전극(GGE)의 일 측벽과 관통 플러그(TPLG) 간의 제 2 거리(S2)가 작을 수 있다.
- [0068] 이 실시예에서, 수평 반도체층(100)의 일 측벽은 전극 구조체(ST)의 일 측벽에 비해 수평적으로 리세스될 수 있다. 즉, 수평 반도체층(100)의 일 측벽은 관통 플러그(TPLG)로부터 제 3 거리(S3)만큼 이격될 수 있으며, 제 3 거리(S3)는 제 1 및 제 2 거리들(S1, S2)보다 클 수 있다. 수평 반도체층(100)과 관통 플러그(TPLG) 간의 제 3 거리(S3)는 전극 구조체(ST)의 일 측벽과 관통 플러그(TPLG) 간의 최소 거리보다 클 수 있다. 관통 절연 패턴(200)은 수평 반도체층(100)의 일 측벽을 향해 돌출된 돌출 부분(200P)을 포함할 수 있다. 이에 따라, 관통 배선 구조체(TVS)의 하부 부분에서, 관통 플러그(TPLG)와 수평 반도체층(100) 간의 이격 거리를 확보할 수 있으므로, 관통 플러그(TPLG)와 수평 반도체층(100) 간의 전기적 단락을 방지할 수 있다.
- [0069] 도 9, 도 10, 도 11, 및 도 12를 참조하면, 관통 절연 패턴(200)은 수평 반도체층(100)의 일 측벽을 향해 수평적으로 돌출된 제 1 돌출 부분(200P1) 및 전극들(GGE, CGE, SGE)의 일 측벽들을 향해 수평적으로 돌출된 제 2 돌출 부분들(200P2)을 포함할 수 있다.
- [0070] 관통 플러그(TPLG)는 최하층 절연막의 일측벽으로부터 제 1 거리(S1)만큼 이격될 수 있으며, 최하층 전극(GGE)의 일 측벽으로부터 제 2 거리(S2)만큼 이격될 수 있다. 여기서, 제 2 거리(S2)는 제 1 거리(S1)보다 클 수 있다.

- [0071] 나아가, 관통 플러그(TPLG)는 수평 반도체층(100)의 일 측벽으로부터 제 3 거리(S3)만큼 이격될 수 있으며, 제 3 거리(S3)는 제 2 거리(S2)와 다를 수 있다. 일 예로, 도 9 및 도 10에 도시된 바와 같이, 수평 반도체층(100)의 일 측벽과 관통 플러그(TPLG) 간의 제 3 거리(S3)는 최하층 전극의(GGE) 일 측벽과 관통 플러그(TPLG) 간의 제 2 거리(S2)보다 작을 수 있다. 이와 달리, 도 11 및 도 12에 도시된 바와 같이, 수평 반도체층(100)의 일 측벽과 관통 플러그(TPLG) 간의 제 3 거리(S3)는 최하층 전극(GGE)의 일 측벽과 관통 플러그(TPLG) 간의 제 2 거리(S2)보다 클 수도 있다.
- [0072] 도 13은 본 발명의 다양한 실시예들에 따른 3차원 반도체 메모리 장치를 설명하기 위한 개략적인 평면도이다. 도 14는 도 13에 도시된 다른 3차원 반도체 메모리 장치의 단면도이다. 도 15는 도 14의 B부분을 확대한 도면이다. 설명의 간략함을 위해 앞서 설명된 3차원 반도체 메모리 장치와 동일한 기술적 특징들에 대한 설명은 생략될 수 있으며, 실시예들 간의 차이점들에 대해 설명한다.
- [0073] 도 13, 도 14, 및 도 15를 참조하면, 수평 반도체층(100) 상에 복수 개의 전극 구조체들(ST) 및 더미 전극 구조체(DST)가 배치될 수 있다. 더미 전극 구조체(DST)는 최외각 전극 구조체(ST)와 제 2 방향(D2)으로 이격되어 배치될 수 있다.
- [0074] 더미 전극 구조체(DST)는 제 1 방향(D1)으로 연장될 수 있으며, 제 1 방향(D1)을 따라 형성된 계단 구조와 제 2 방향(D2)을 따라 형성된 계단 구조를 가질 수 있다. 보다 상세하게, 더미 전극 구조체(DST)는 전극 구조체들(ST)처럼, 수평 반도체층(100) 상에 번갈아 적층된 절연막들 및 더미 전극들을 포함할 수 있다. 더미 전극 구조체(DST)에서 더미 전극들은 수평 반도체층(100)으로부터 멀어질수록 제 1 방향(D1)의 길이 및 제 2 방향(D2)의 길이가 감소될 수 있다. 즉, 더미 전극들의 수직적 높이가 증가할수록 더미 전극들의 면적이 감소될 수 있다.
- [0075] 전극 구조체들(ST)은, 앞서 설명한 바와 같이, 제 1 방향(D1)으로 연장될 수 있으며, 연결 영역(CNR)에서 제 1 방향(D1)을 따라 계단식 구조를 가질 수 있다. 실시예들에서, 각 전극 구조체(ST)는 제 1 방향(D1)을 따라 차례로 제공되는 하부 계단 구조(Sa), 중간 계단 구조(Sb), 및 상부 계단 구조(Sc)를 포함할 수 있다. 상세하게, 전극 구조체(ST)는 수평 반도체층(100)의 상면에 대해 수직하는 제 3 방향(D3)을 따라 차례로 하부 영역, 중간 영역, 및 상부 영역을 포함할 수 있다. 그리고, 전극 구조체(ST)의 하부 영역에 제공되는 전극들(GGE, CGE)이 하부 계단 구조(Sa)를 형성할 수 있으며, 전극 구조체(ST)의 중간 영역에 제공되는 전극들(CGЕ)이 중간 계단 구조(Sb)를 형성할 수 있다. 그리고, 전극 구조체(ST)의 상부 영역에 제공되는 전극들(CGЕ, SGE)이 상부 계단 구조(Sc)를 형성할 수 있다.
- [0076] 셀 수직 구조체들(VS)이 셀 어레이 영역(CAR)에서 전극 구조체들(ST)을 관통할 수 있다. 또한, 도면에는 도시하지 않았으나 앞서 설명한 것처럼, 연결 영역(CNR)에서 전극 구조체들(ST)을 관통하는 더미 수직 구조체들이 제공될 수 있다.
- [0077] 실시예들에 따르면, 셀 어레이 구조체(CS)와 주변 로직 구조체(PS)를 연결하는 제 1 및 제 2 관통 배선 구조체들(TVS1, TVS2)이 제공될 수 있다. 제 1 및 제 2 관통 배선 구조체들(TVS1, TVS2) 각각은, 앞서 설명한 것처럼, 수평 반도체층(100)의 일부를 관통하며, 전극 구조체들(ST)의 일부 측벽들을 가로지르는 관통 절연 패턴(200), 관통 절연 패턴(200) 내에 제공되는 관통 플러그들(TPLG), 및 관통 플러그들(TPLG)에 접속되는 복수 개의 도전 라인들(Clb)을 포함할 수 있다.
- [0078] 제 1 관통 배선 구조체(TVS1)는 한 쌍의 전극 구조체들(ST) 사이에 제공될 수 있으며, 연결 영역(CNR)에서 전극 구조체들(ST)의 계단 구조 일부를 관통할 수 있다. 제 2 관통 배선 구조체(TVS2)는 더미 전극 구조체(DST)의 일부를 관통하도록 제공될 수 있다. 제 1 관통 배선 구조체(TVS1)는 셀 어레이 구조체(CS)에서 제 1 방향(D1)으로 연장되는 도전 라인들을 주변 로직 구조체(PS)와 전기적으로 연결할 수 있다. 제 2 관통 배선 구조체(TVS2)는 셀 어레이 구조체(CS)에서 제 2 방향(D2)으로 연장되는 도전 라인들을 주변 로직 구조체와 전기적으로 연결할 수 있다.
- [0079] 도 14 및 도 15를 참조하면, 제 1 관통 배선 구조체(TVS1)의 관통 절연 패턴(200)은, 제 1 방향(D1)으로, 각 전극 구조체(ST)의 하부 계단 구조(Sa)와 상부 계단 구조(Sc) 사이에 위치할 수 있으며, 중간 계단 구조(Sb)의 일부를 관통할 수 있다. 제 1 관통 배선 구조체(TVS1)는 전극 구조체(ST)의 상부 영역에 제공된 전극들(SGE, CGE)과 이격될 수 있다. 즉, 제 1 관통 배선 구조체(TVS1)의 관통 절연 패턴(200)은 상부 매립 절연막(150)의 일부를 관통할 수 있다. 관통 절연 패턴(200)은 전극 구조체(ST)의 하부 영역 및 중간 영역에 제공된 전극들(GGE, CGE)의 측벽들을 향해 돌출된 돌출 부분들(200P)을 포함할 수 있다. 제 2 관통 배선 구조체(TVS2)에서 마찬가지로, 관통 절연 패턴이 더미 전극 구조체(DST)의 더미 전극들을 향해 돌출되는 돌출 부분들을 포함할 수 있다.

- [0080] 도 16 내지 도 23은 본 발명의 다양한 실시예들에 따른 3차원 반도체 메모리 장치의 제조 방법을 설명하기 위한 도면들이다. 이하, 도 3 및 도 16 내지 도 23을 참조하여 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 제조 방법을 상세히 설명하기로 한다.
- [0081] 도 3 및 도 16을 참조하면, 반도체 기판(10) 상에 주변 로직 구조체(PS)가 형성될 수 있다. 반도체 기판(10)은 예를 들어, 제 1 도전형(예를 들면, P형)의 실리콘 기판일 수 있다. 반도체 기판(10) 내에 활성 영역들을 정의하는 소자 분리막(11)이 형성될 수 있다.
- [0082] 주변 로직 구조체(PS)를 형성하는 것은, 반도체 기판(10) 상에 주변 로직 회로들(PTR)을 형성하는 것, 주변 로직 회로들(PTR)과 연결되는 주변 배선 구조체들(31, 33)을 형성하는 것, 및 하부 매립 절연막(50)을 형성하는 것을 포함할 수 있다. 여기서, 주변 로직 회로들(PTR)은 반도체 기판(10)을 채널로 사용하는 MOS 트랜지스터들을 포함할 수 있다. 일 예로, 주변 로직 회로들(PTR)을 형성하는 것은, 반도체 기판(10) 상에 차례로 주변 회로 게이트 절연막(21) 및 주변 회로 게이트 전극(23)을 형성하고, 주변 회로 게이트 전극(23)의 양측의 반도체 기판(10)에 불순물을 주입하여 소오스/드레인 영역들(25)을 형성하는 것을 포함할 수 있다. 주변 회로 게이트 스페이서가 주변 회로 게이트 전극(23)의 측벽에 형성될 수 있다.
- [0083] 하부 매립 절연막(50)은 주변 로직 회로들(PTR)을 덮는 하나의 절연막 또는 적층된 복수의 절연막들을 포함할 수 있다. 하부 매립 절연막(50)은, 예를 들어, 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막 및/또는 저유전막을 포함할 수 있다.
- [0084] 주변 배선 구조체들(31, 33)을 형성하는 것은 하부 매립 절연막(50)의 일부분들을 관통하는 주변회로 콘택 플러그들(31)을 형성하는 것 및 주변 콘택 플러그들(33)과 연결되는 주변 회로 배선들(33)을 형성하는 것을 포함할 수 있다.
- [0085] 하부 매립 절연막(50) 상에 반도체 물질을 증착하여 수평 반도체층(100)이 형성될 수 있다. 수평 반도체층(100)은 단결정 또는 다결정 구조를 가질 수 있다. 일 예로, 수평 반도체층(100)은 하부 매립 절연막(50)의 전면을 덮도록 폴리실리콘막을 증착하여 형성될 수 있다. 폴리실리콘막을 증착하는 동안 제 1 도전형의 불순물이 도핑될 수 있다. 수평 반도체층(100)은 앞서 설명한 것처럼, 셀 어레이 영역(CAR) 및 연결 영역(CNR)을 포함할 수 있다.
- [0086] 계속해서, 수평 반도체층(100)의 표면을 열 산화하여 버퍼 절연막(111)이 형성될 수 있다. 버퍼 절연막(111) 상에 희생막들(SL) 및 절연막들(ILD)이 수직적으로 번갈아 적층된 몰드 구조체(110)가 형성될 수 있다. 여기서, 희생막들(SL)은 절연막들(ILD)에 대해 식각 선택성을 가지고 식각될 수 있는 물질로 형성될 수 있다. 예를 들어, 희생막들(SL)은 실리콘 질화막으로 형성될 수 있으며, 절연막들(ILD)은 실리콘 산화막으로 형성될 수 있다.
- [0087] 상세하게, 몰드 구조체(110)를 형성하는 것은, 수평 반도체층(100) 전면에 희생막들(SL) 및 절연막들(ILD)이 수직적으로 번갈아 적층된 박막 구조체(미도시)를 형성하는 것, 및 박막 구조체에 대한 트리밍(trimming) 공정을 수행하는 것을 포함할 수 있다. 여기서, 트리밍 공정은 셀 어레이 영역(CAR) 및 연결 영역(CNR)에서 박막 구조체를 덮는 마스크 패턴(미도시)을 형성하는 공정, 박막 구조체의 일 부분을 식각하는 공정, 마스크 패턴의 수평적 면적을 축소시키는 공정, 및 박막 구조체의 일 부분을 식각하는 공정과 마스크 패턴의 수평적 면적을 축소시키는 공정을 번갈아 반복하는 것을 포함할 수 있다. 트리밍 공정을 수행함에 따라, 몰드 구조체(110)는 수평 반도체층(100)의 연결 영역(CNR)에서 계단 구조를 가질 수 있다.
- [0088] 몰드 구조체(110)를 형성한 후, 수평 반도체층(100) 전면에 상부 매립 절연막(150)이 형성될 수 있다. 상부 매립 절연막(150)은 실질적으로 평탄한 상면을 가질 수 있다. 상부 매립 절연막(150)은 몰드 구조체(110)보다 두꺼운 매립 절연막을 형성한 후, 평탄화 공정을 수행하여 형성될 수 있다.
- [0089] 도 3 및 도 17을 참조하면, 몰드 구조체(110) 및 수평 반도체층(100)을 관통하여 하부 매립 절연막(50)을 노출시키는 관통 홀(TH)이 형성될 수 있다. 관통 홀(TH)은 몰드 구조체(110)의 계단 구조와 이격될 수 있다. 이와 달리, 관통 홀(TH)은 몰드 구조체(110)의 계단 구조 일부를 관통할 수도 있다.
- [0090] 관통 홀(TH)을 형성하는 것은, 몰드 구조체(110) 상에 오픈닝을 갖는 마스크 패턴(미도시)을 형성하는 것, 마스크 패턴을 식각 마스크로 이용하여 몰드 구조체(110) 및 수평 반도체층(100)을 이방성 식각하는 것을 포함할 수 있다.
- [0091] 실시예들에서, 3차원 반도체 메모리 장치의 집적도가 증가할 수록, 몰드 구조체(110)의 높이가 증가할 수 있으

며, 이에 따라, 관통 홀(TH)의 종횡비(aspect ratio)가 증가할 수 있다. 큰 종횡비를 갖는 관통 홀(TH)은 상부 폭(Wb)보다 작은 하부 폭(Wa)을 가질 수 있으며 테이퍼진(tapered) 형상을 가질 수 있다. 다시 말해, 관통 홀(TH)은 경사진 측벽을 가질 수 있다.

- [0092] 도 3 및 도 18을 참조하면, 관통 홀(TH)에 노출된 희생막들(SL)의 일부분들을 제거하여 수직적으로 인접하는 절연막들(ILD) 사이에 리세스 영역들(RS)이 형성될 수 있다. 즉, 몰드 구조체(110)는 리세스 영역들(RS)이 정의된 일 측벽을 가질 수 있다.
- [0093] 리세스 영역들(RS)을 형성하는 것은 절연막들(ILD) 및 수평 반도체층(100)에 대해 식각 선택성을 갖는 식각 레서피를 사용하여 희생막들(SL)의 일부분들을 등방성 식각하는 것을 포함할 수 있다. 일 예로, 희생막들(SL)이 실리콘 질화막이고, 버퍼 절연막(111) 및 절연막들(ILD)이 실리콘 산화막인 경우, 식각 단계는 인산을 포함하는 식각액을 사용하여 등방성 식각 공정이 수행될 수 있다.
- [0094] 도 3 및 도 19을 참조하면, 리세스 영역들(RS) 및 관통 홀(TH)을 채우는 관통 절연 패턴(200)이 형성될 수 있다. 관통 절연 패턴(200)을 형성하는 것은, 절연 물질로 관통 홀(TH)을 채우는 것 및 몰드 구조체(110)의 상면이 노출되도록 절연 물질을 평탄화하는 것을 포함할 수 있다.
- [0095] 실시예들에서, 관통 절연 패턴(200)은 몰드 구조체(110)의 절연막들(ILD)과 다른 절연 물질을 포함할 수 있다. 관통 절연 패턴(200)은 예를 들어, 고밀도플라즈마(HDP; High Density Plasma) 산화막, TEOS(TetraEthylOrthoSilicate), PE-TEOS(Plasma Enhanced TetraEthylOrthoSilicate), O3-TEOS(O3-Tetra Ethyl Ortho Silicate), USG(Undoped Silicate Glass), PSG(PhosphoSilicate Glass), BSG(Borosilicate Glass), BPSG(BoroPhosphoSilicate Glass), FSG(Fluoride Silicate Glass), SOG(Spin On Glass), TOSZ(Tonen SilaZene) 또는 이들의 조합에서 선택될 수 있다. 일 예로, 관통 절연 패턴은 갭필(gap-fill) 특성이 우수한 SOG 막으로 형성될 수 있다. 일 예로, 절연막들(ILD)은 TEOS(TetraEthylOrthoSilicate) 막을 포함할 수 있으며, 관통 절연 패턴(200)은 SOG(Spin On Glass) 막을 포함할 수 있다.
- [0096] 도 3 및 도 20을 참조하면, 몰드 구조체(110)를 관통하는 셀 및 더미 수직 구조체들(VS, DVS)이 형성될 수 있다. 셀 및 더미 수직 구조체들(VS, DVS)은 관통 절연 패턴(200)과 이격될 수 있으며, 더미 수직 구조체들(DVS)은 몰드 구조체(110)의 계단 구조를 관통할 수 있다. 실시예들에서, 더미 수직 구조체들(DVS)은 셀 수직 구조체들(VS)과 실질적으로 동일한 구조를 가질 수 있다. 더미 수직 구조체들(DVS)의 폭이 셀 수직 구조체들(VS)의 폭보다 더 클 수도 있다. 더미 수직 구조체들(DVS) 중 일부는 관통 절연 패턴(200)과 몰드 구조체(110)의 경계에 제공될 수 있으며, 관통 절연 패턴(200)의 상부 부분을 관통할 수 있다.
- [0097] 셀 및 더미 수직 구조체들(VS, DVS)을 형성하는 것은, 몰드 구조체(110)를 관통하여 수평 반도체층(100)을 노출시키는 수직 홀들을 형성하는 것, 및 각각의 수직 홀들 내에 앞서 도 6a를 참조하여 설명한 것처럼, 하부 반도체 패턴(LSP) 및 상부 반도체 패턴(USP)을 형성하는 것을 포함할 수 있다. 여기서, 하부 반도체 패턴(LSP)을 형성하는 것은 생략될 수도 있다. 나아가, 상부 반도체 패턴(USP)을 형성하기 전에, 수직 홀들 내에 도 6a를 참조하여 설명한 바와 같이, 수직 절연 패턴(VP)이 형성될 수 있다. 수직 절연 패턴(VP)을 형성하는 것은, 하부 반도체 패턴(LSP)이 형성된 수직 홀들의 내벽들 상에 수직 절연막 및 제 1 반도체층을 균일한 두께로 증착하는 것, 및 하부 반도체 패턴들(LSP)의 일부가 노출되도록 수직 절연층 및 제 1 반도체층에 대한 전면 이방성 식각 공정을 수행하는 것을 포함할 수 있다.
- [0098] 도 3 및 도 21을 참조하면, 수직 구조체들(VS)의 상면들을 덮는 제 1 층간 절연막(151)이 상부 매립 절연막(150) 상에 형성될 수 있다. 제 1 층간 절연막(151)을 형성한 후, 몰드 구조체(110)를 관통하여 수평 반도체층(100)을 노출시키는 전극 분리 영역들(ESR)이 형성될 수 있다. 전극 분리 영역들(ESR)은 몰드 구조체(110)를 이방성 식각하여 형성될 수 있으며, 몰드 구조체(110)의 측벽들을 노출시킬 수 있다.
- [0099] 전극 분리 영역들(ESR)은 셀 어레이 영역(CAR)에서 연결 영역(CNR)으로 제 1 방향(D1)을 따라 연장될 수 있다. 전극 분리 영역들(ESR) 중 일부는 다른 전극 분리 영역들(ESR)에 비해 제 1 방향(D1)으로 길이가 짧을 수도 있다. 전극 분리 영역들(ESR)을 형성함에 따라 제 2 방향으로(D2) 서로 이격된 복수 개의 서브 몰드 구조체들이 형성될 수 있다.
- [0100] 이어서, 전극 분리 영역들(ESR)에 노출된 희생막들(SL)을 제거하여 게이트 영역들(GR)을 형성할 수 있다. 게이트 영역들(GR)은 버퍼 절연막(111), 절연막들(ILD), 셀 및 더미 수직 구조체들(VS, DVS), 및 수평 반도체층(100)에 대해 식각 선택성을 갖는 식각 레서피를 사용하여 희생막들(SL)을 등방적으로 식각하여 형성될 수 있다. 여기서, 희생막들(SL)은 등방성 식각 공정에 의해 완전히 제거될 수 있다. 예를 들어, 희생막들(SL)이 실

리콘 질화막이고, 버퍼 절연막(111) 및 절연막들(ILD)이 실리콘 산화막인 경우, 식각 단계는 인산을 포함하는 식각액을 사용하여 등방성 식각 공정이 수행될 수 있다.

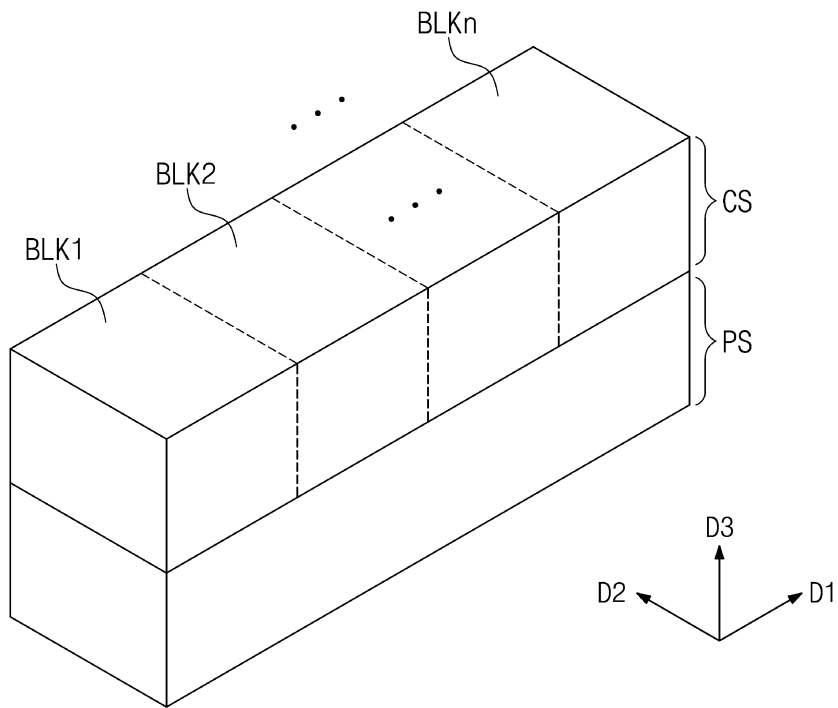
- [0101] 게이트 영역들(GR)은 수직적으로 인접하는 절연막들(ILD) 사이에 제공되는 빈 공간으로서, 수직 구조체들(VS)의 측면 일부분들을 노출시킬 수 있다. 또한, 게이트 영역들(GR)은 관통 절연 패턴(200)의 측면들을 노출시킬 수 있다.
- [0102] 게이트 영역들(GR)을 형성시 셀 및 더미 수직 구조체들(VS, DVS)은 게이트 영역들을 정의하는 절연막들(ILD)이 무너지는 것을 방지할 수 있다. 나아가, 관통 절연 패턴(200)의 돌출 부분들이 게이트 영역들(GR)을 형성하는 동안 관통 절연 패턴(200)과 인접한 영역에서 절연막들(ILD)이 무너지는 것을 방지할 수 있다.
- [0103] 도 3 및 도 22를 참조하면, 게이트 영역들(GR) 내에 수평 절연 패턴들(도 6a 및 도 6b의 HP 참조) 및 전극들(GGE, CGE, SGE)이 형성함으로써, 수평 반도체층(100) 상에 전극 구조체(ST)가 형성될 수 있다.
- [0104] 상세하게, 수평 절연 패턴들(HP) 및 전극들(GGE, CGE, SGE)은 게이트 영역들(GR)이 형성된 몰드 구조체(110) 상에 차례로 수평 절연막, 배리어 금속막(예를 들어, TiN, TaN 또는 WN) 및 금속막(예를 들어, W)을 차례로 증착하고, 트렌치 내벽에 증착된 배리어 금속막 및 금속막을 이방성 식각함으로써 형성될 수 있다. 여기서, 수평 절연 패턴(HP)은 NAND 플래시 메모리 트랜지스터의 데이터 저장막의 일부로서, 실리콘 산화막 및/또는 고유전막을 포함할 수 있다.
- [0105] 전극들(GGE, CGE, SGE)을 형성한 후에, 전극 분리 영역들(ESR)에 노출된 수평 반도체층(100) 내에 공통 소오스 영역들(CSR)이 형성될 수 있으며, 전극 분리 영역들(ESR)은 절연 물질로 채워질 수 있다. 공통 소오스 영역들(CSR)은 예를 들어, N형의 불순물(예를 들어, 비소(As) 또는 인(P))을 포함할 수 있다. 또한, 절연 물질로 채워진 전극 분리 영역들(ESR) 내에 공통 소오스 영역(CSR)과 접촉되는 공통 소오스 플러그(CPLG)가 형성될 수 있다.
- [0106] 도 3 및 도 23을 참조하면, 제 1 층간 절연막(151) 상에 제 2 층간 절연막(153)이 형성될 수 있다. 이어서, 관통 절연 패턴(200), 제 2 층간 절연막(153), 제 1 층간 절연막(151), 및 상부 매립 절연막(150)에 대한 패터닝 공정을 수행하여 콘택 홀들(VH, CH1, CH2, BCH)이 형성될 수 있다.
- [0107] 상세하게, 비아 홀들(VH)이 제 1 및 제 2 층간 절연막들(151, 153) 및 관통 절연 패턴(200)을 관통하여 주변 회로 배선들(33)을 노출시킬 수 있다. 셀 콘택 홀들(CH1)이 연결 영역(CNR)에서 제 2 층간 절연막(153), 제 1 층간 절연막(151), 및 상부 매립 절연막(150)을 관통하여 전극들(SGE, CGE, GGE)의 단부들을 각각 노출시킬 수 있다. 연결 콘택 홀들(CH2)이 전극 구조체(ST)와 이격되어 주변 회로 배선들(33)을 노출시킬 수 있다. 또한, 셀 어레이 영역(CAR)에서 비트라인 콘택 홀들(BCH)이 셀 수직 구조체들(VS)을 노출시킬 수 있다.
- [0108] 이어서, 콘택 홀들(VH, CH1, CH2, BCH) 내에 도전 물질을 매립함으로써, 도 5a 및 도 5b를 참조하여 설명된 비트 라인 콘택 플러그들(BPLG), 관통 플러그들(TPLG), 콘택 플러그들(PLGa, PLGb), 및 연결 콘택 플러그들(PPLG)이 형성될 수 있다. 이후, 제 2 층간 절연막(153) 상에 앞서 설명된 비트 라인들(BL) 및 제 1 및 제 2 도전 라인들(CLa, CLb)이 형성될 수 있다.
- [0109] 도 24 내지 도 28은 본 발명의 다양한 실시예들에 따른 3차원 반도체 메모리 장치의 제조 방법을 설명하기 위한 도면들이다. 설명의 간략함을 위해, 앞서 도 16 내지 도 23을 참조하여 앞서 설명된 3차원 반도체 메모리 장치의 제조 방법과 동일한 기술적 특징들에 대한 설명은 생략될 수 있다.
- [0110] 도 24를 참조하면, 앞서 도 17을 참조하여 설명한 것처럼 몰드 구조체(110) 및 수평 반도체층(100)을 관통하는 관통 홀(TH)을 형성한 후, 관통 홀(TH)에 노출된 수평 반도체층(100)의 측면을 수평적으로 리세스하여 하부 리세스 영역(RS1)을 형성할 수 있다.
- [0111] 하부 리세스 영역(RS1)을 형성하는 것은, 버퍼 절연막(11), 희생막들(SL), 절연막들(ILD), 및 하부 매립 절연막(50)에 대해 식각 선택성을 갖는 식각 레시프를 사용하여 수평 반도체층(100)의 일부를 식각하는 공정을 포함할 수 있다. 수평 반도체층(100)을 식각하는 공정은, 반응성 이온 식각(RIE; reactive ion etch)과 같은 화학적 물리적 식각 방법, 에천트(etchant)를 이용한 습식 식각 방법, 화학적 열분해 식각 방법(예를 들어, GPE(gas-phase etching)) 및 상기 방법들을 조합한 방법이 이용될 수 있다.
- [0112] 하부 리세스 영역(RS1)은 버퍼 절연막(11)의 하면, 하부 매립 절연막(50)의 상면, 및 수평 반도체층(100)의 일 측면에 의해 정의될 수 있다. 하부 리세스 영역(RS1)을 형성함에 따라, 하부 매립 절연막(50)을 노출시키는 관

통 홀(TH)의 하부 폭이 증가될 수 있다.

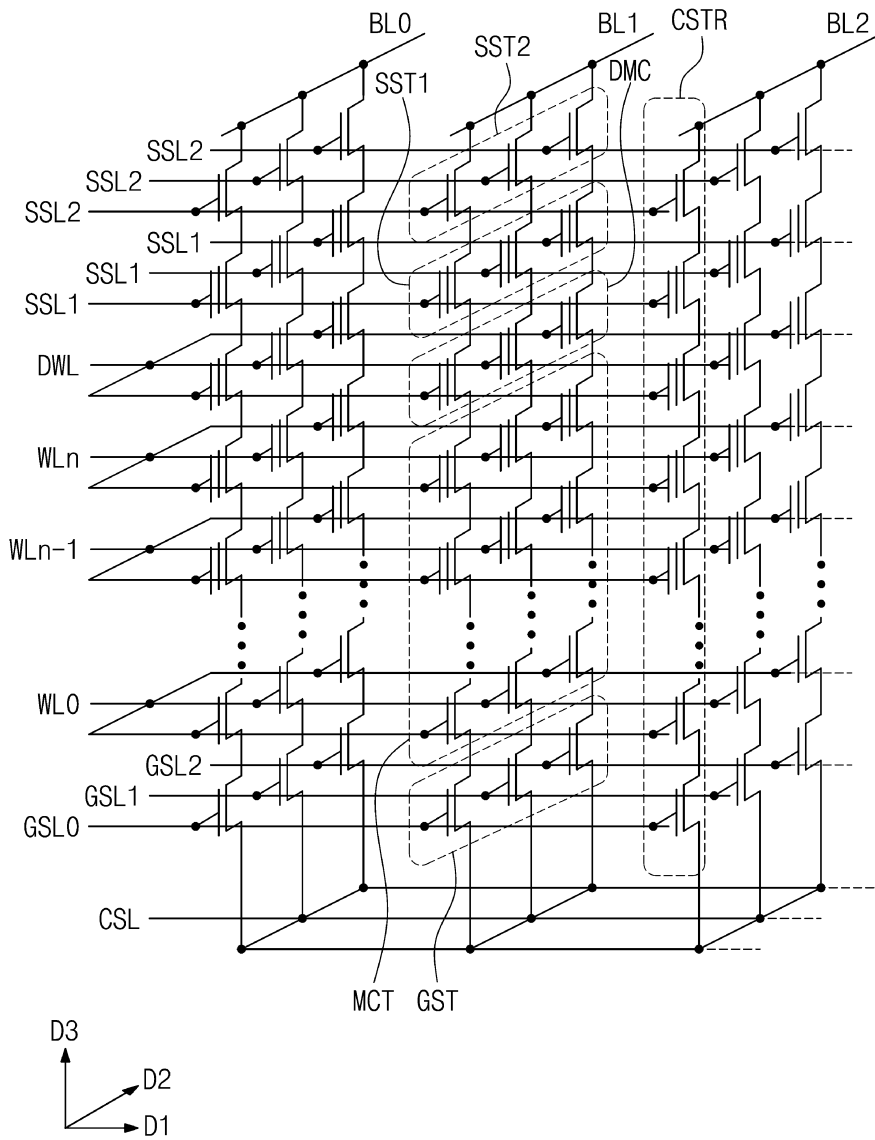
- [0113] 한편, 도 25를 참조하면, 하부 리세스 영역(RS1)을 형성하기 전 또는 후에, 앞서 도 18을 참조하여 설명한 것처럼, 수직적으로 인접하는 절연막들(ILD) 사이에 상부 리세스 영역들(RS2)이 형성될 수도 있다.
- [0114] 도 24에 이어서 도 26을 참조하면, 하부 리세스 영역(RS1)을 형성한 후, 하부 리세스 영역(RS1) 및 관통 홀(TH)을 채우는 관통 절연 패턴(200)이 형성될 수 있다. 이 실시예에서, 관통 절연 패턴(200)은 상부 폭보다 큰 하부 폭을 가질 수 있다. 이어서, 앞서 도 20을 참조하여 설명한 것처럼, 몰드 구조체(110)를 관통하는 셀 및 더미 수직 구조체들(VS, DVS)이 형성될 수 있다.
- [0115] 도 27을 참조하면, 셀 수직 구조체들(VS) 및 더미 수직 구조체들(DVS)을 형성한 후, 제 1 층간 절연막(151)이 형성될 수 있다. 제 1 층간 절연막(151)은 상부 매립 절연막(150) 상에서 수직 구조체들(VS) 및 더미 수직 구조체들(DVS)의 상면들을 덮을 수 있다.
- [0116] 이어서, 도 21 및 도 22를 참조하여 설명한 것처럼, 희생막들(SL)을 전극들(SGE, CGE, GGE)로 대체하는 공정들을 수행함으로써, 수평 반도체층(100) 상에 수직적으로 번갈아 적층된 전극들(SGE, CGE, GGE) 및 절연막들(ILD)을 포함하는 전극 구조체(ST)가 형성될 수 있다.
- [0117] 도 28을 참조하면, 제 1 층간 절연막(151) 상에 제 2 층간 절연막(153)이 형성될 수 있다. 이어서, 도 23을 참조하여 설명한 것처럼, 비아 홀들(VH), 연결 콘택 홀들(CH2), 셀 콘택 홀들(CH1), 및 비트라인 콘택 홀들(BCH)이 형성될 수 있다.
- [0118] 실시예들에 따르면, 수평 반도체층(100)의 측벽이 전극 구조체의 절연막들(ILD)의 측벽에 비해 리세스되어 있으므로, 비아 홀들(VH)을 형성시 수평 반도체층(100)과 비아 홀들(VH) 간의 이격 거리가 증가될 수 있다. 이에 따라, 비아 홀들(VH) 형성시 공정 마진을 확보할 수 있으며, 비아 홀들(VH) 내에 채워진 관통 플러그(TPLG)와 수평 반도체층(100) 간의 전기적 단락을 방지할 수 있다.
- [0119] 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면

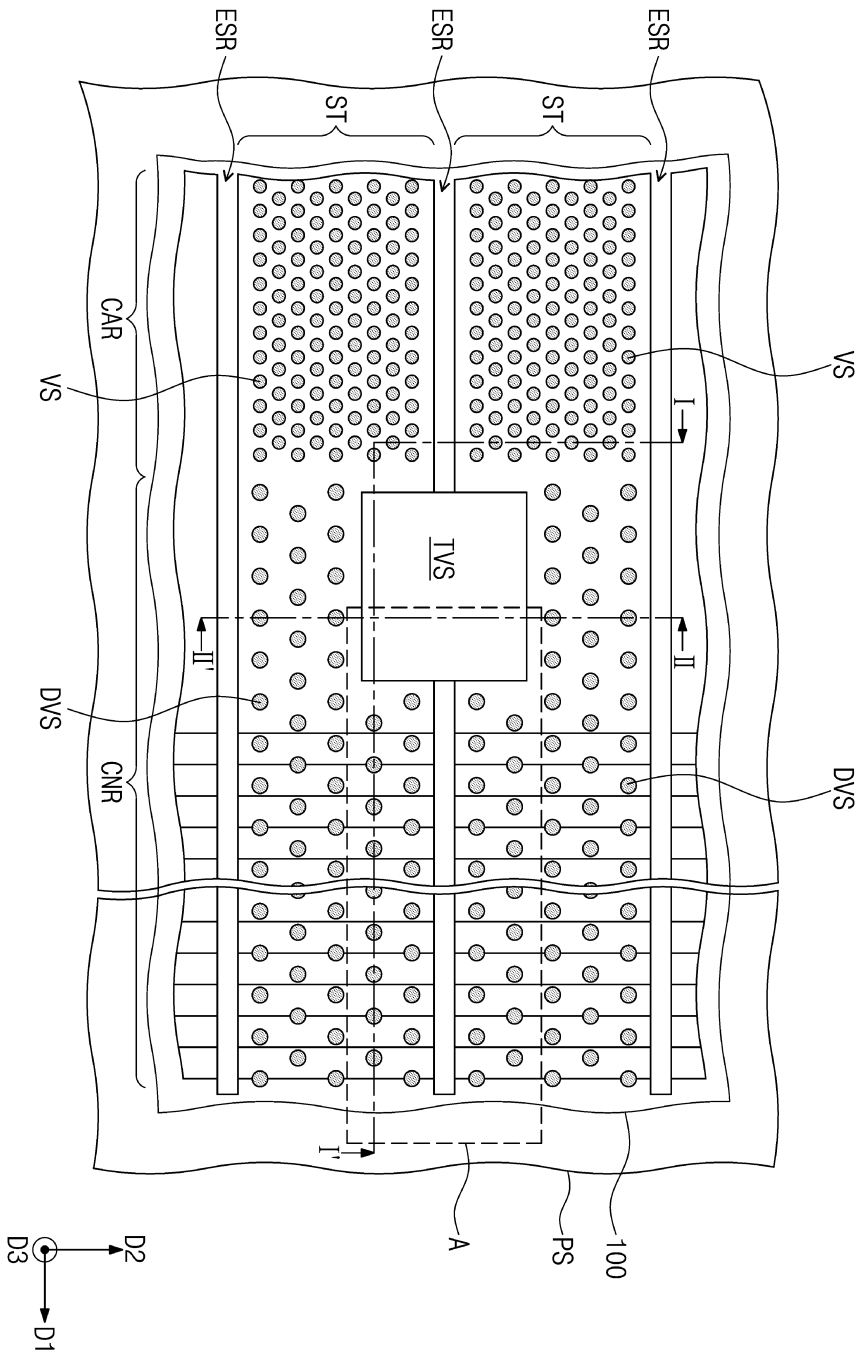
도면1



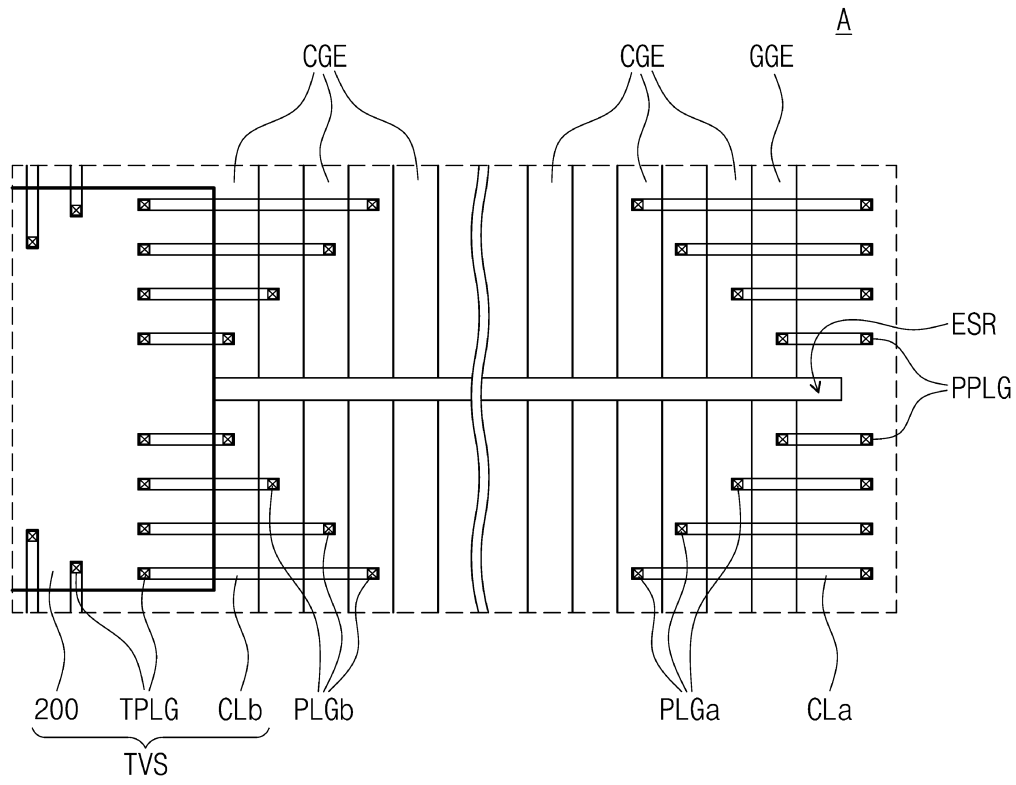
도면2



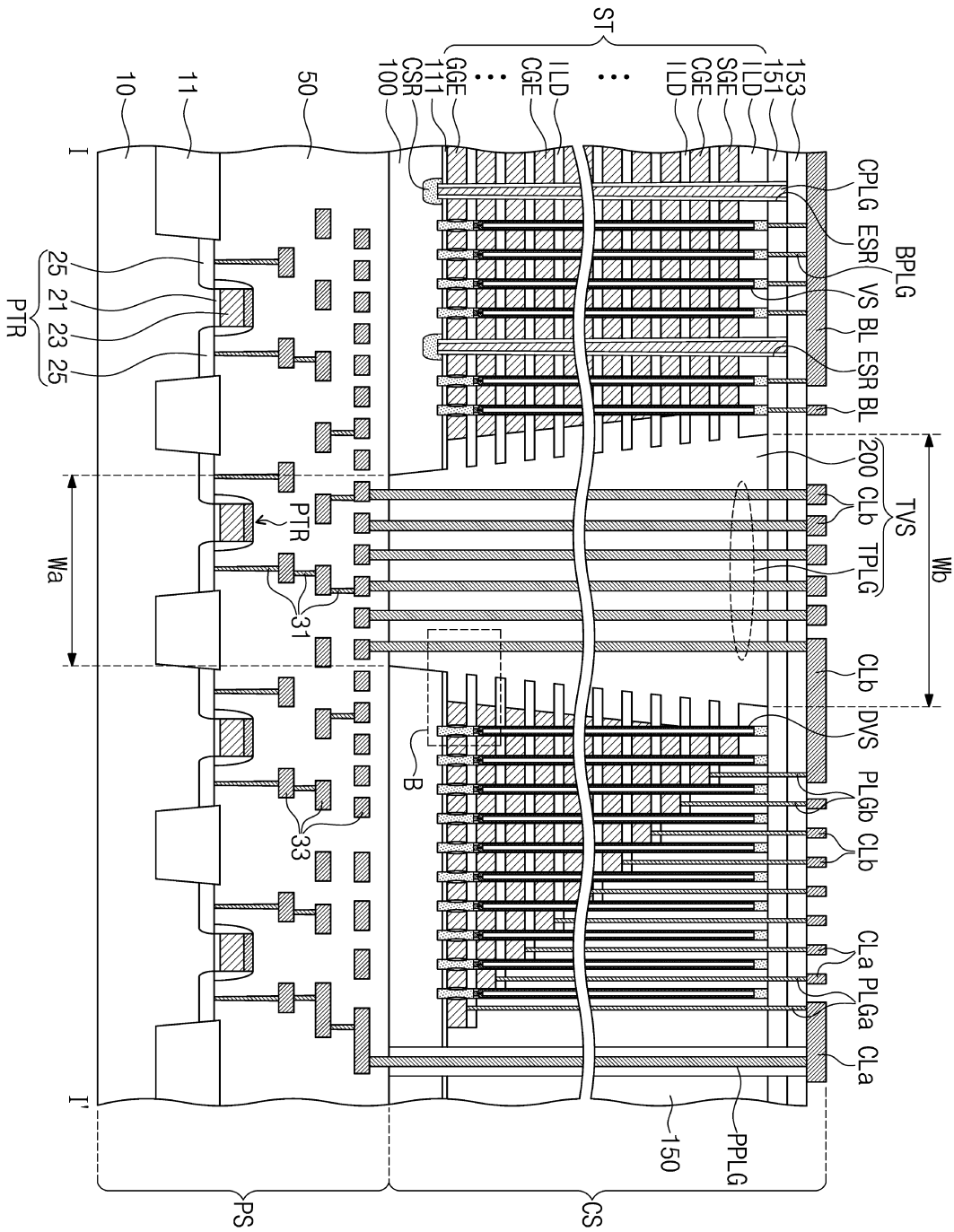
도면3



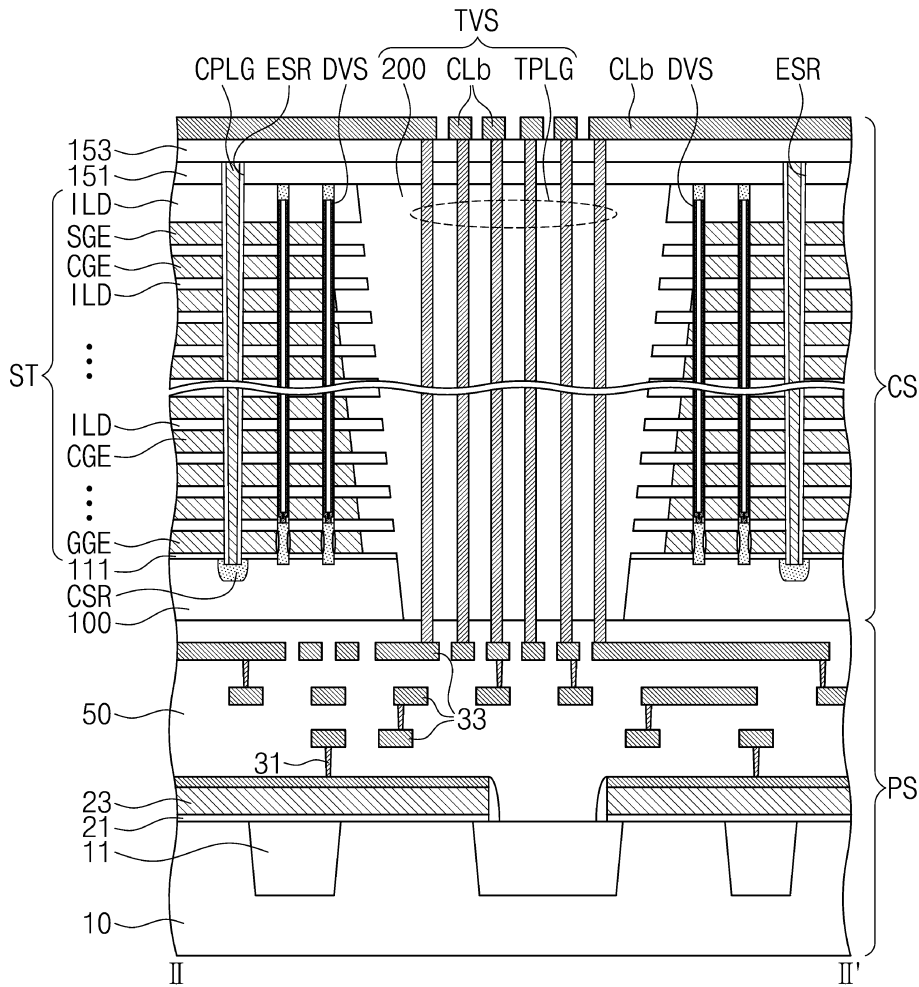
도면4



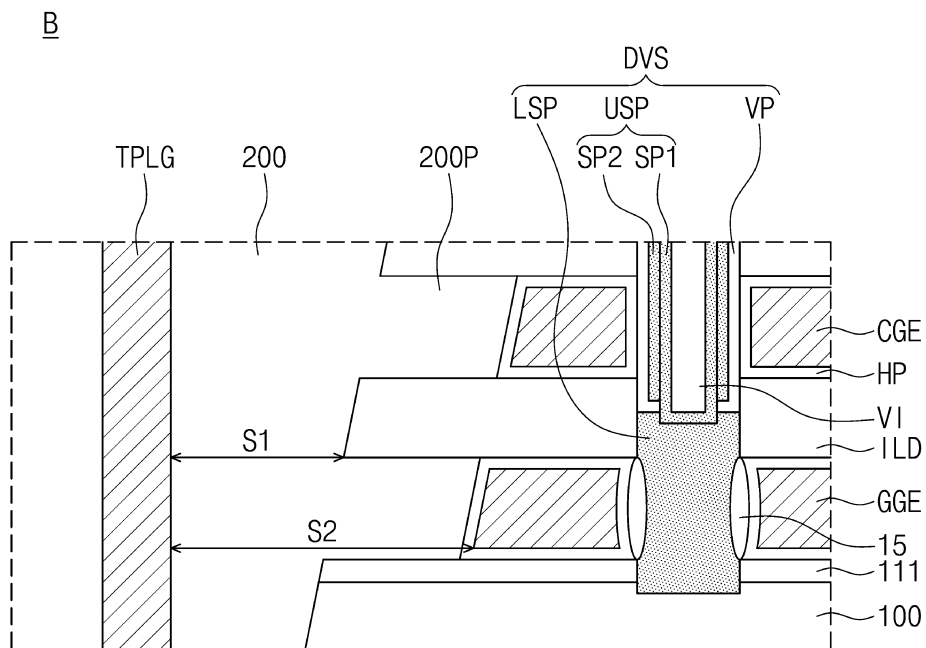
도면5a



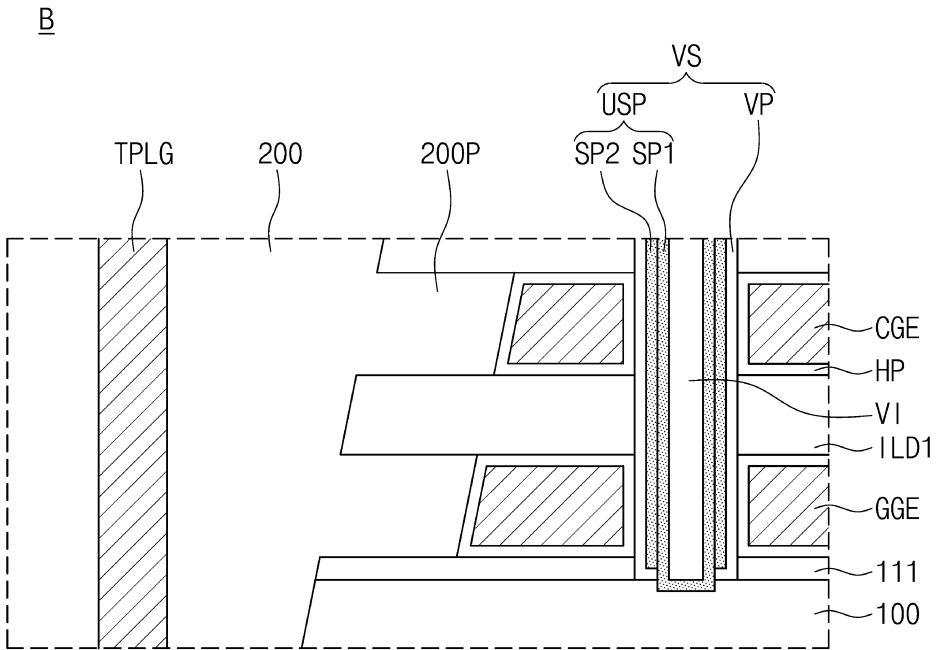
도면5b



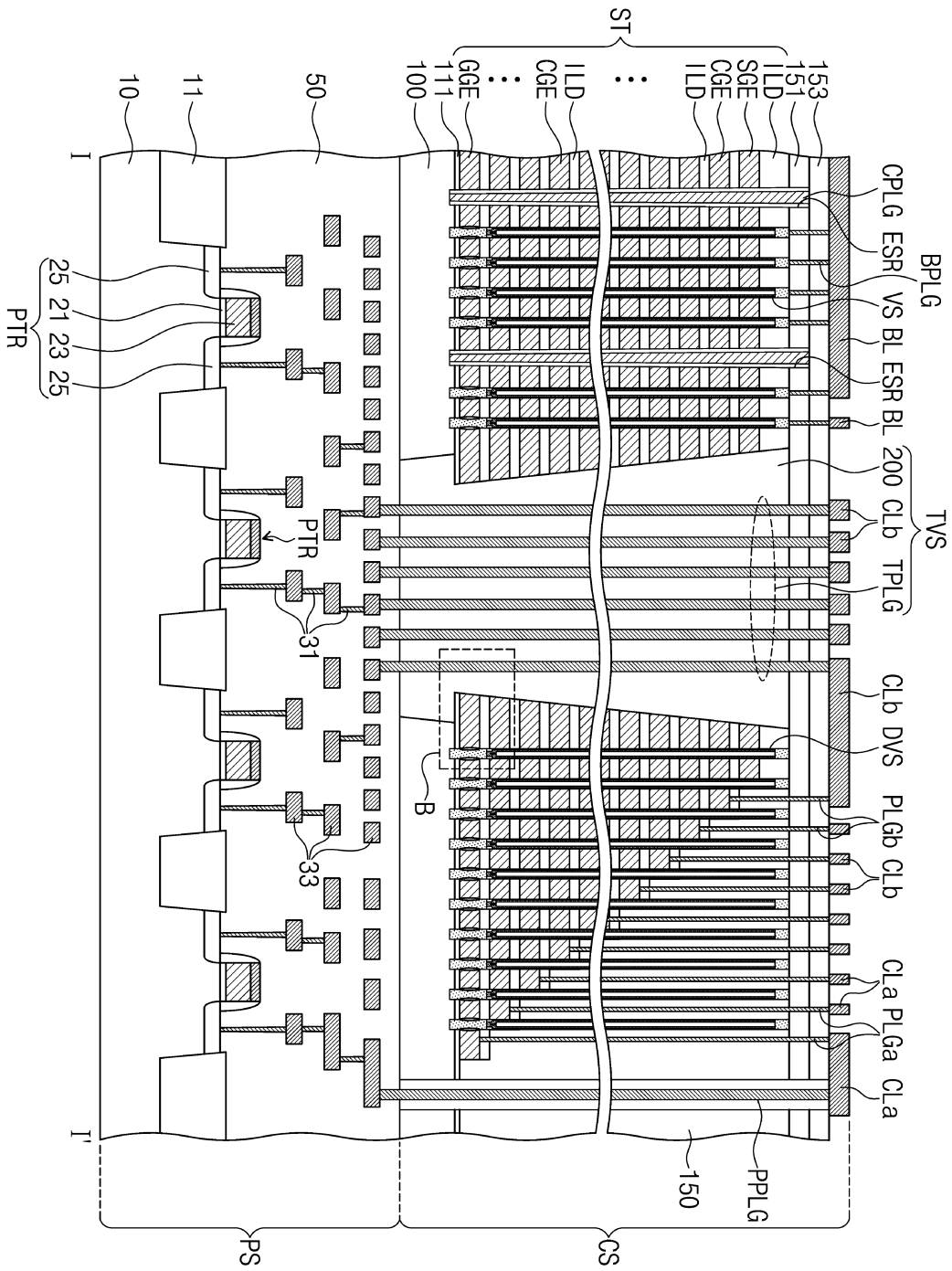
도면6a



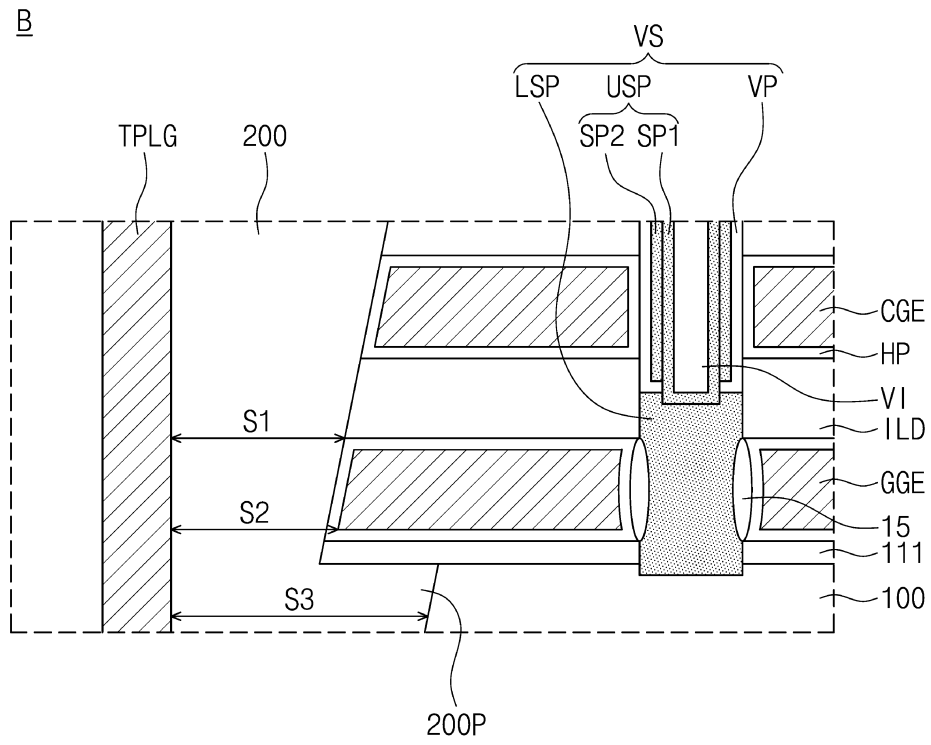
도면6b



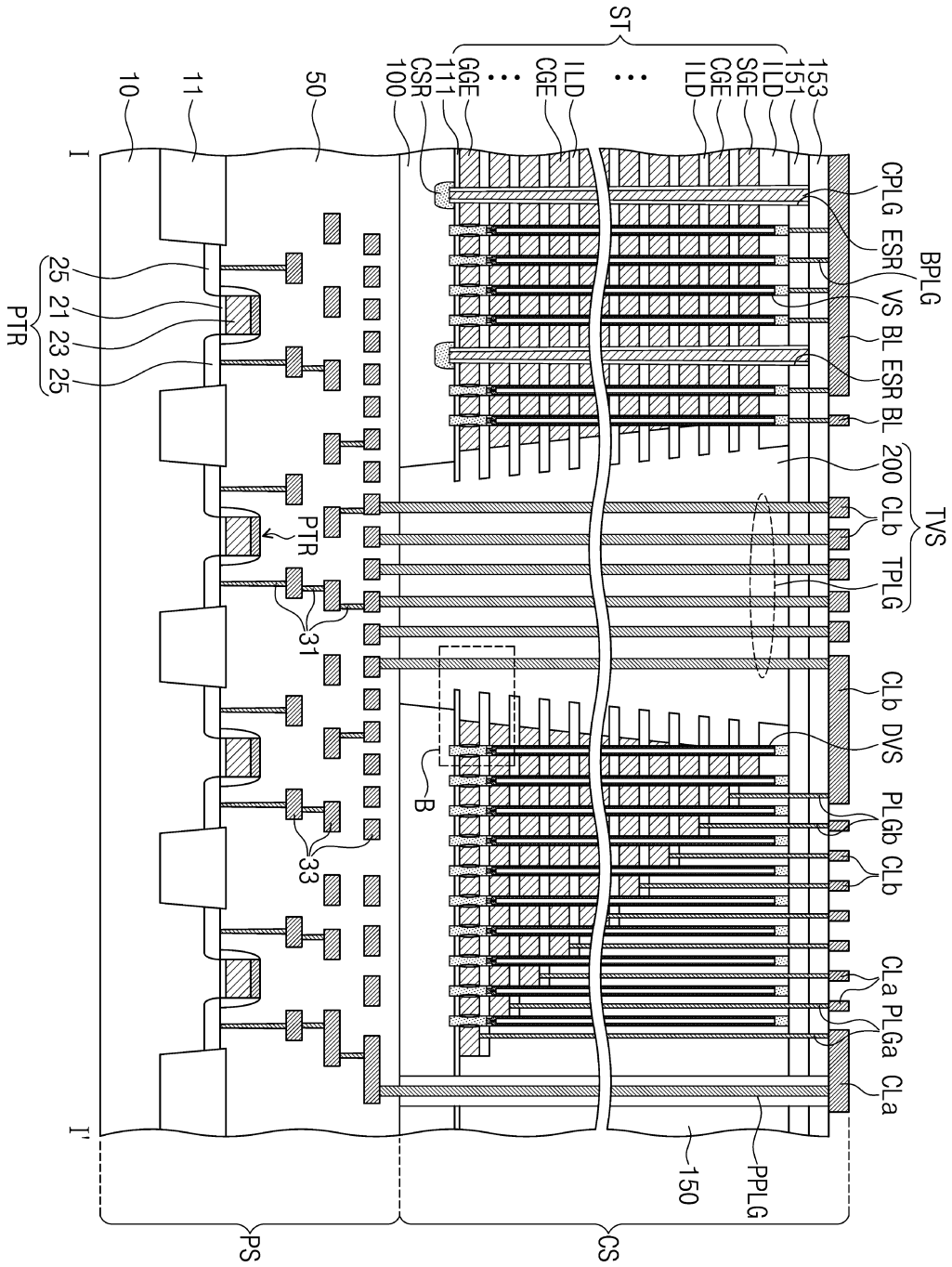
도면7



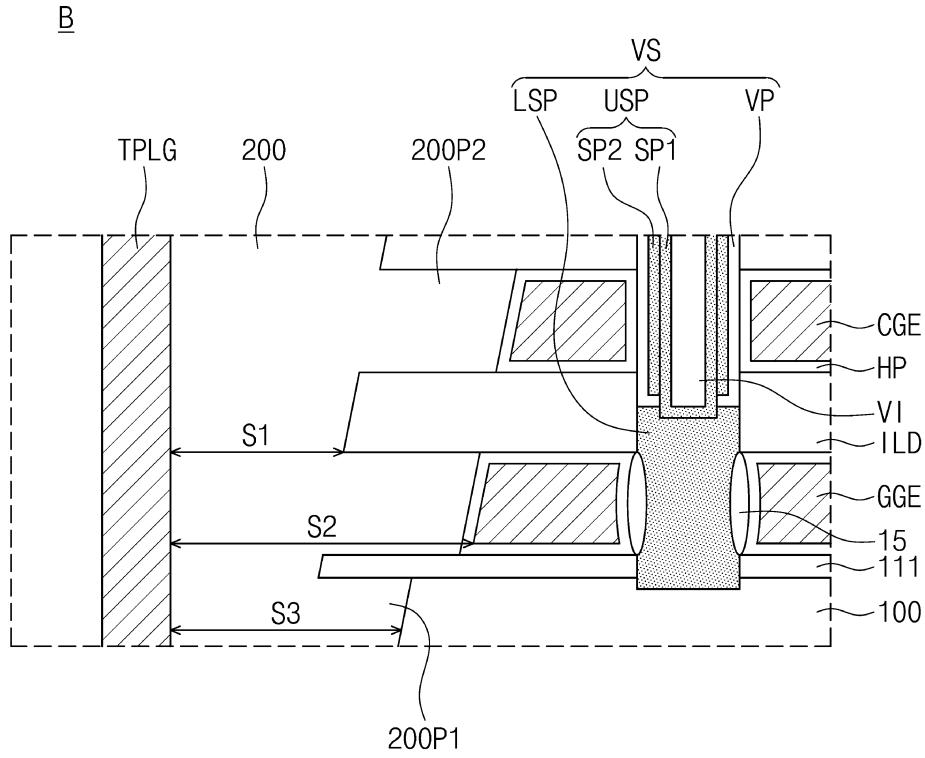
도면8



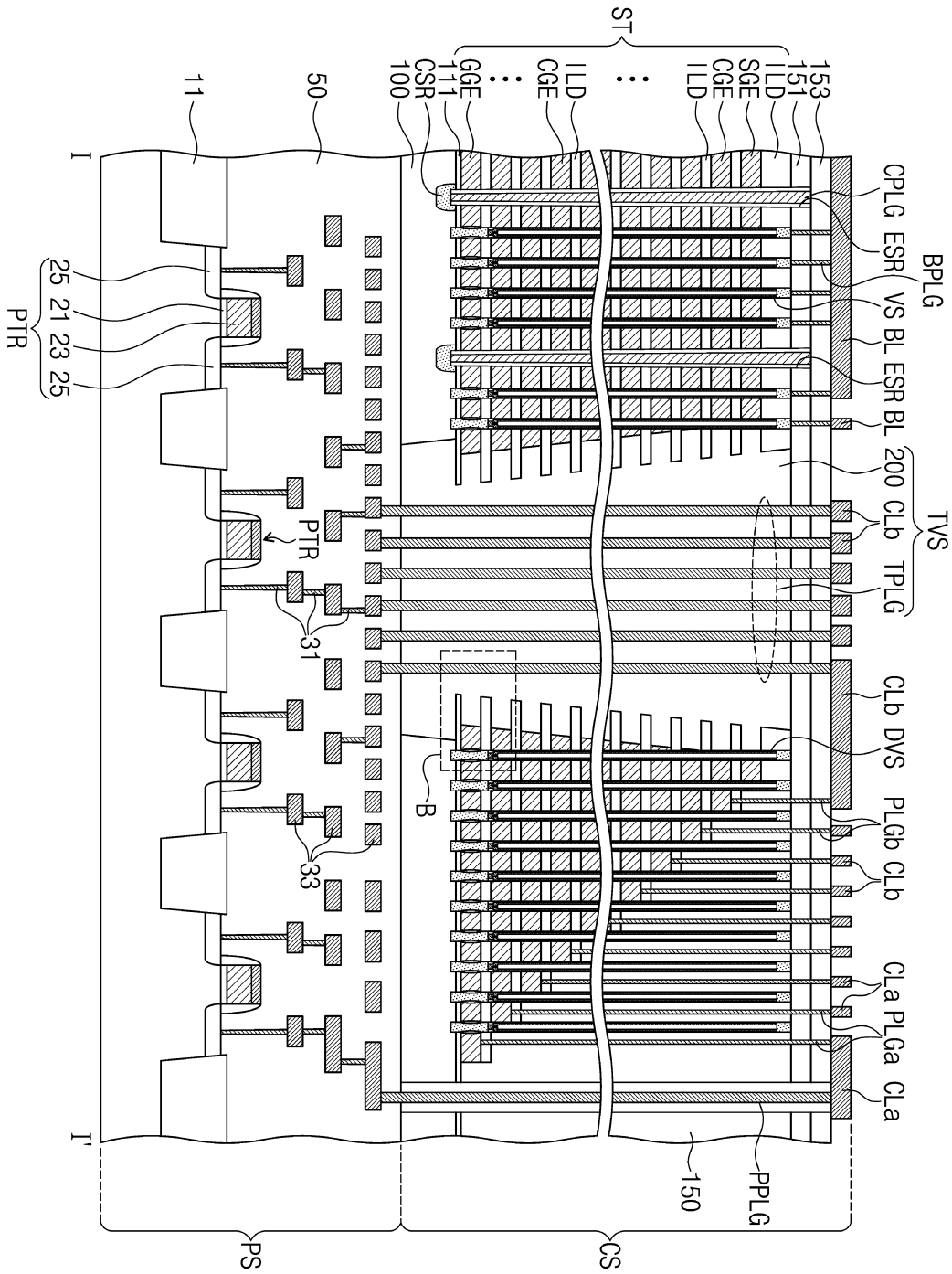
도면9



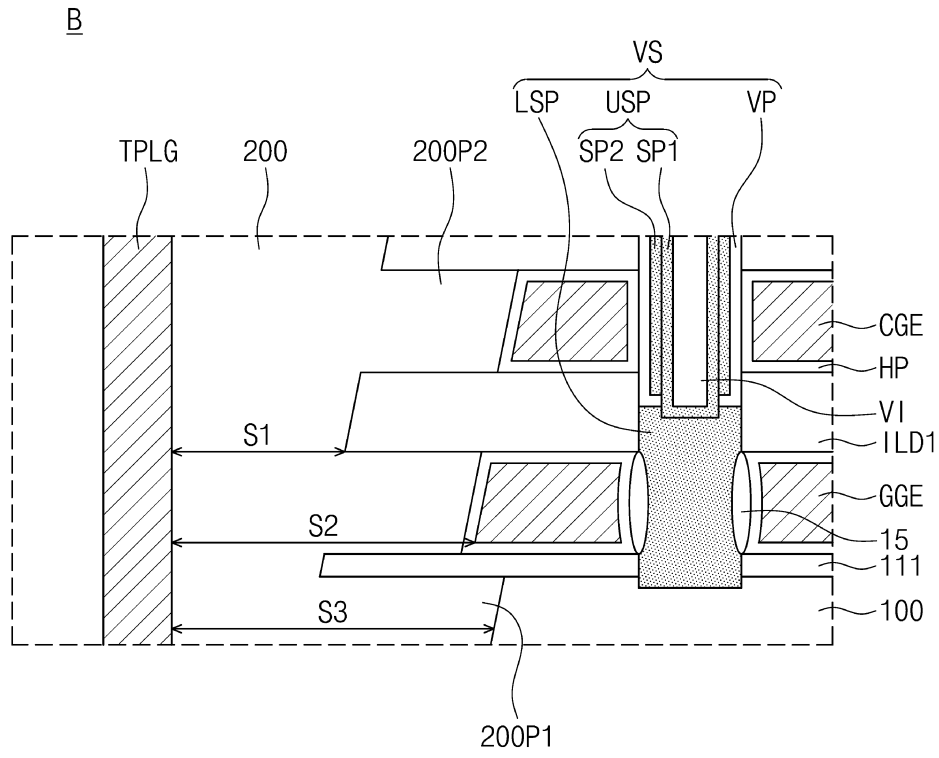
도면10



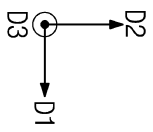
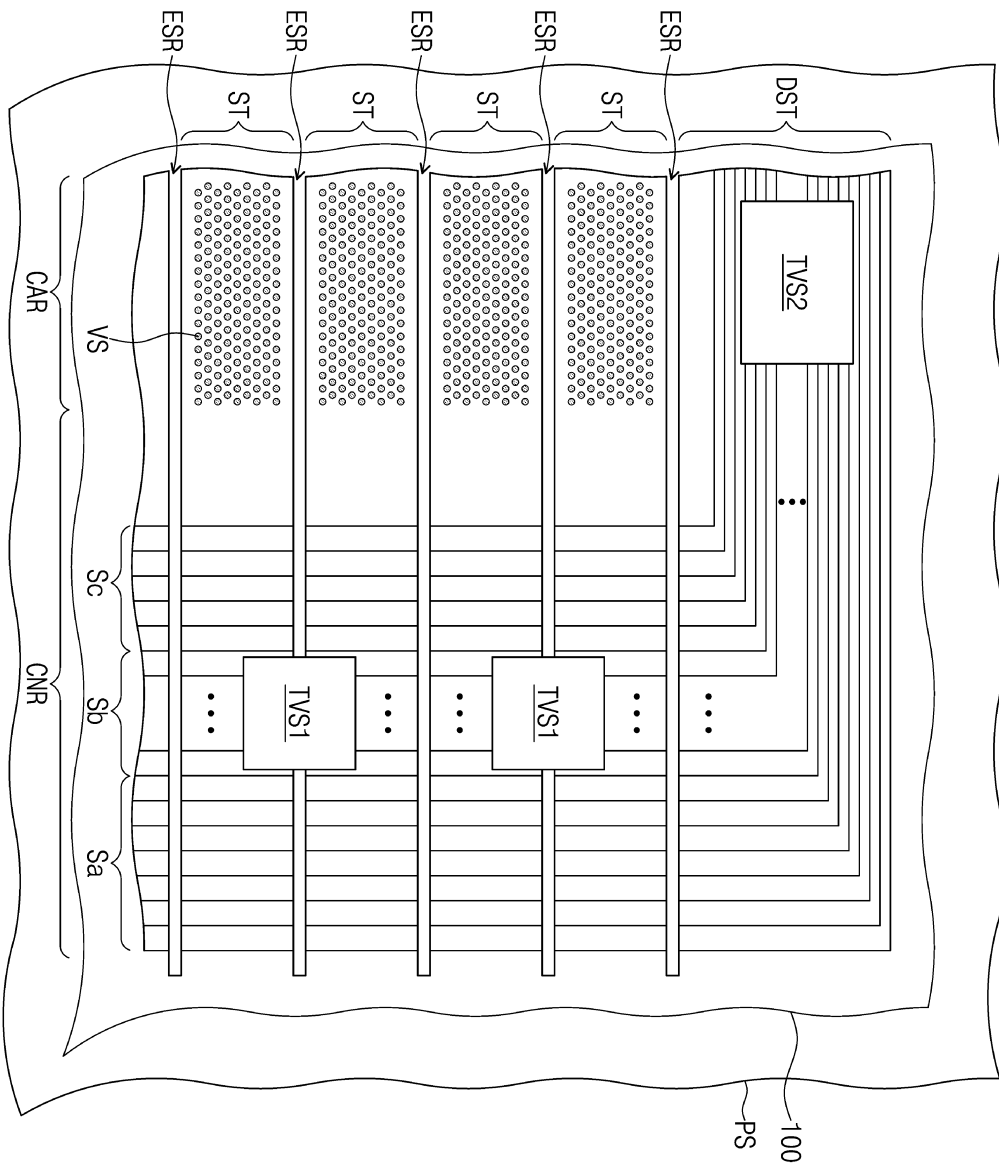
도면11



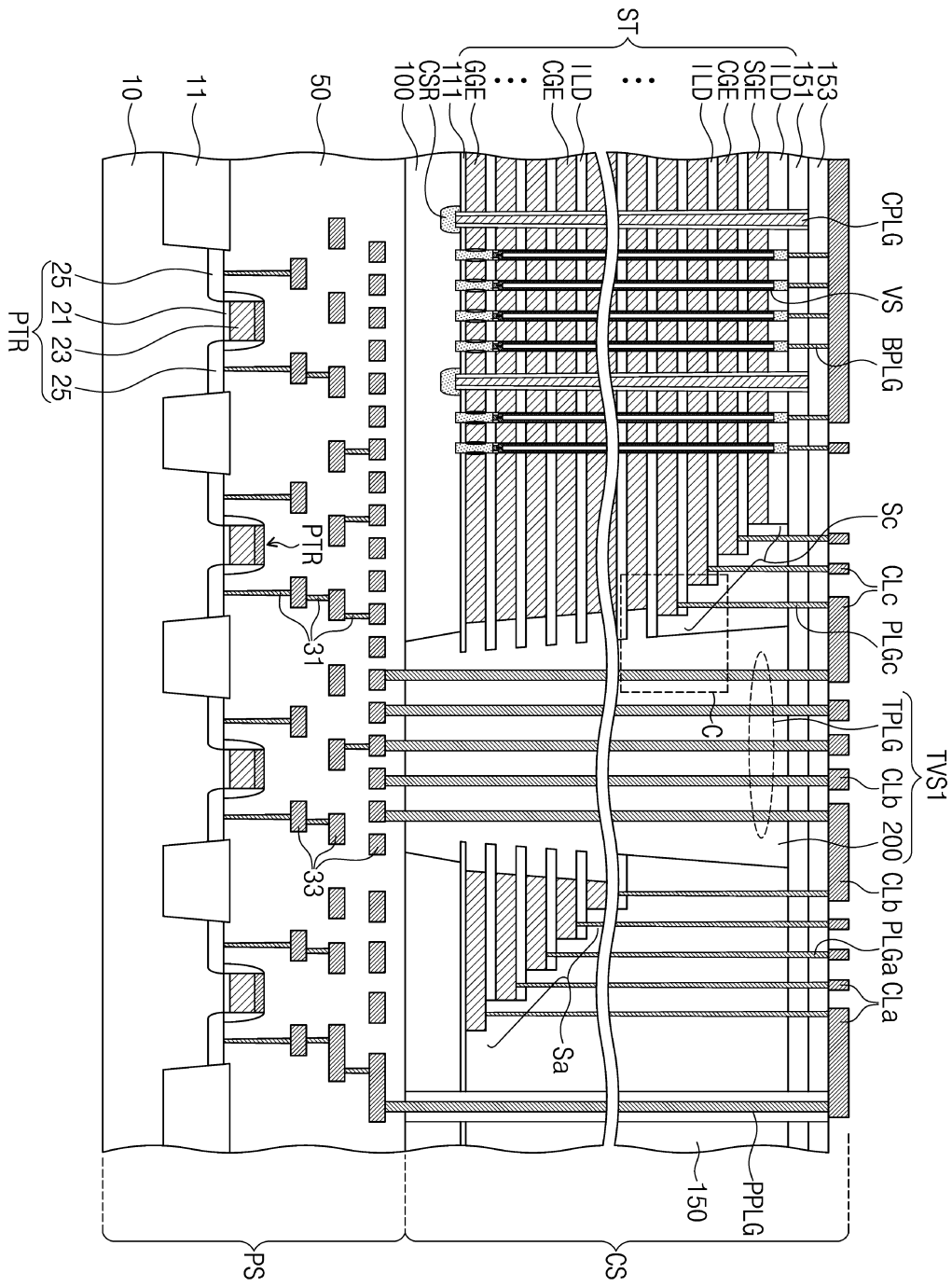
도면12



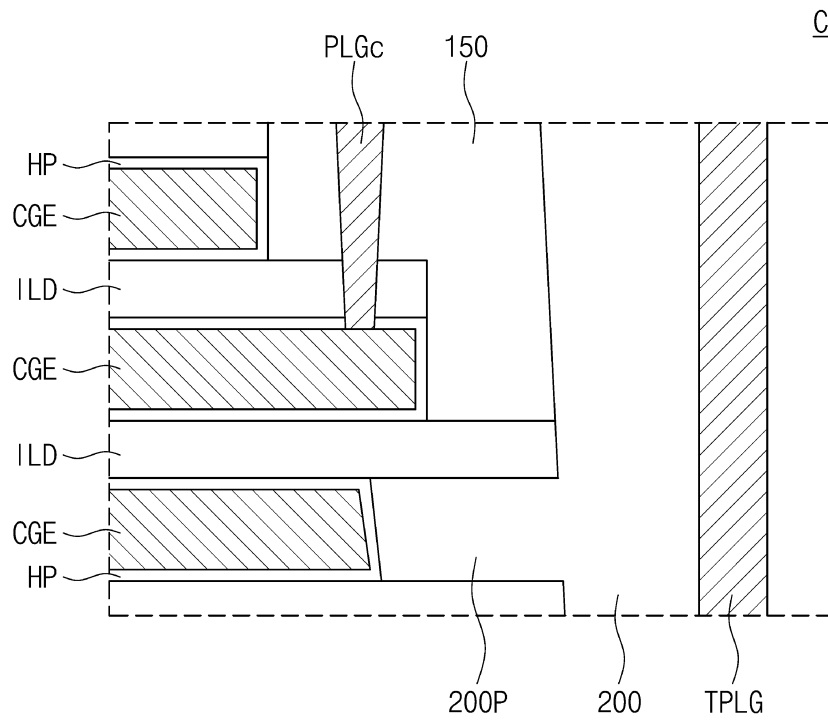
도면13



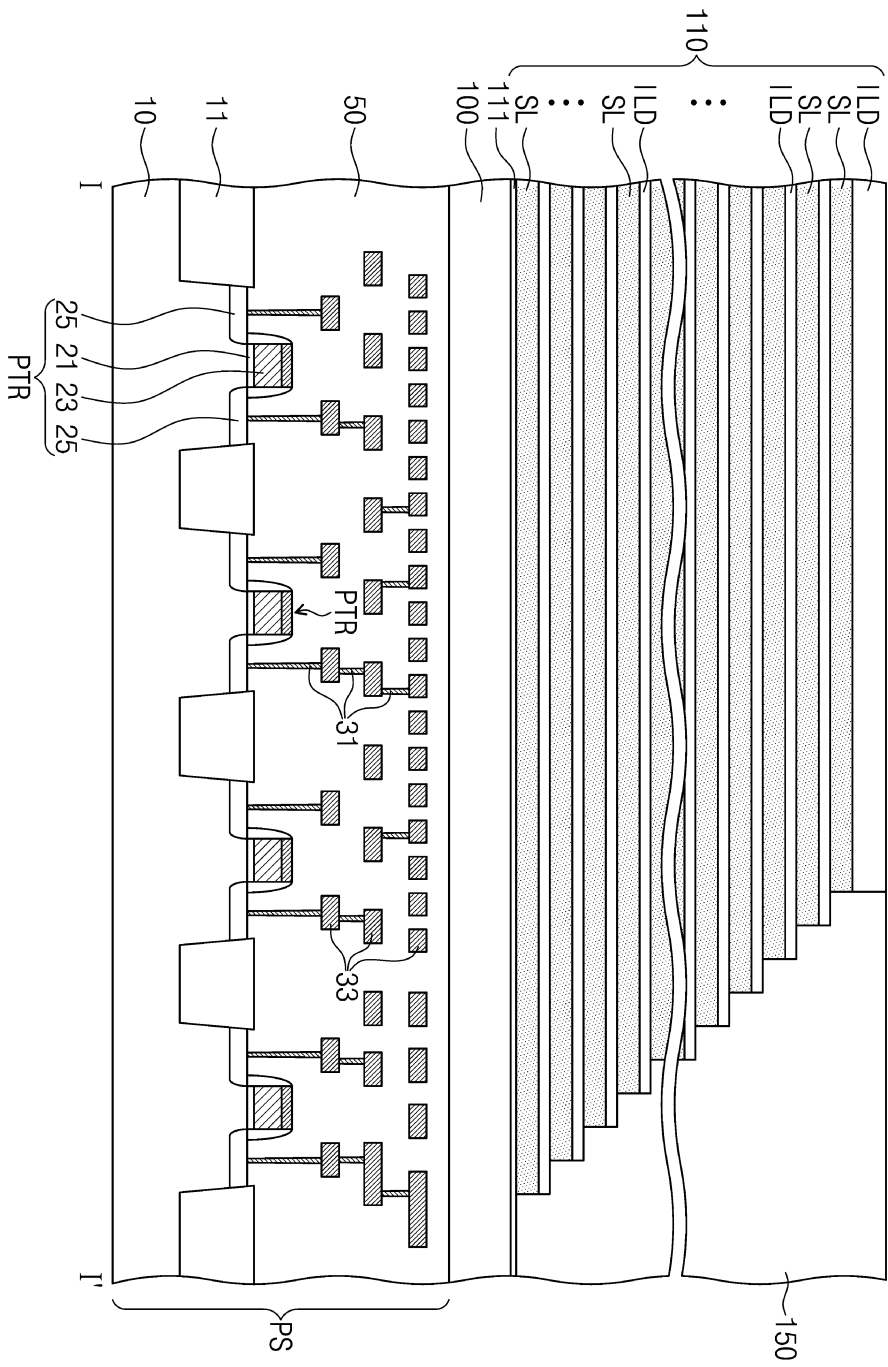
도면14



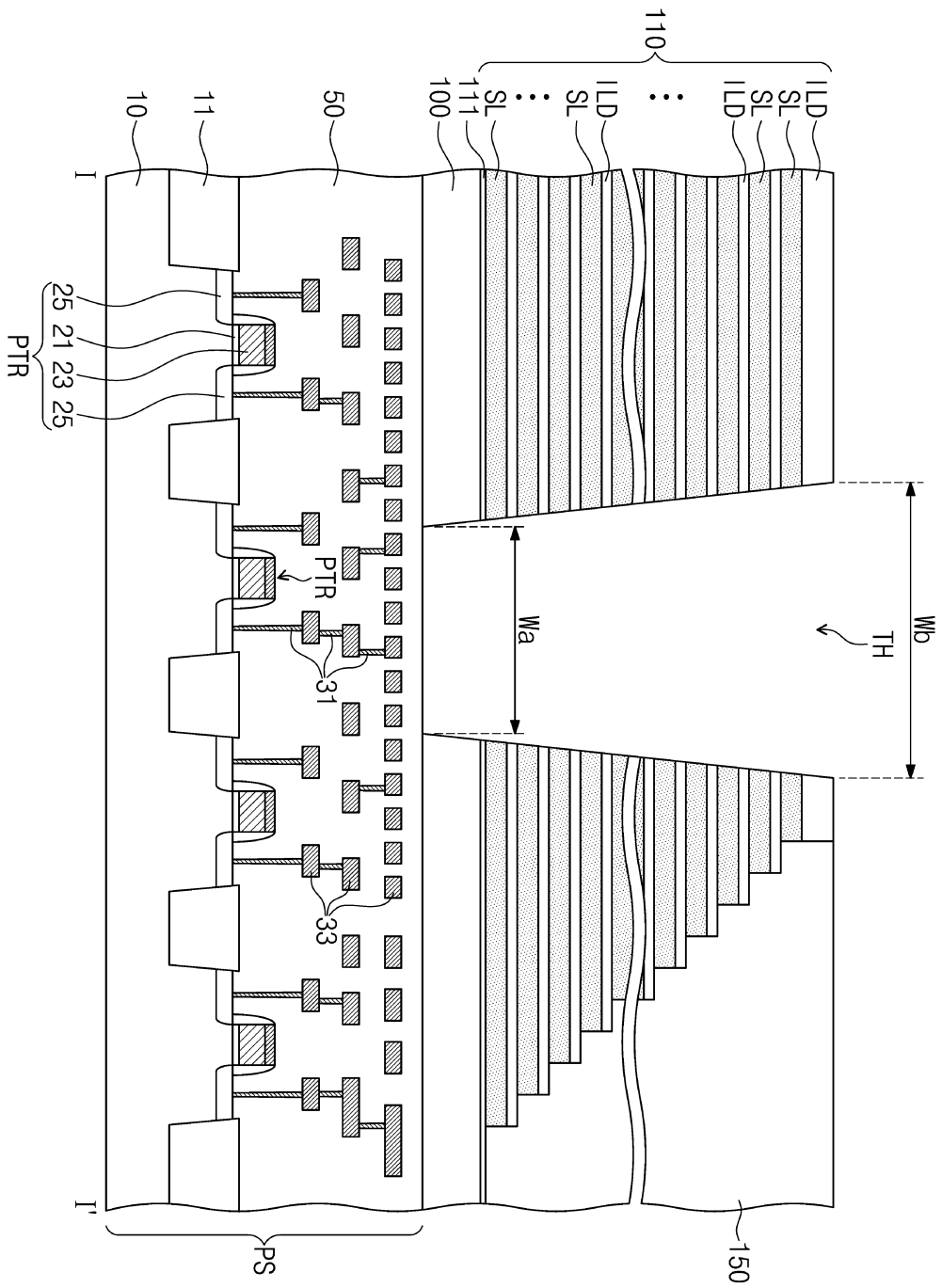
도면15



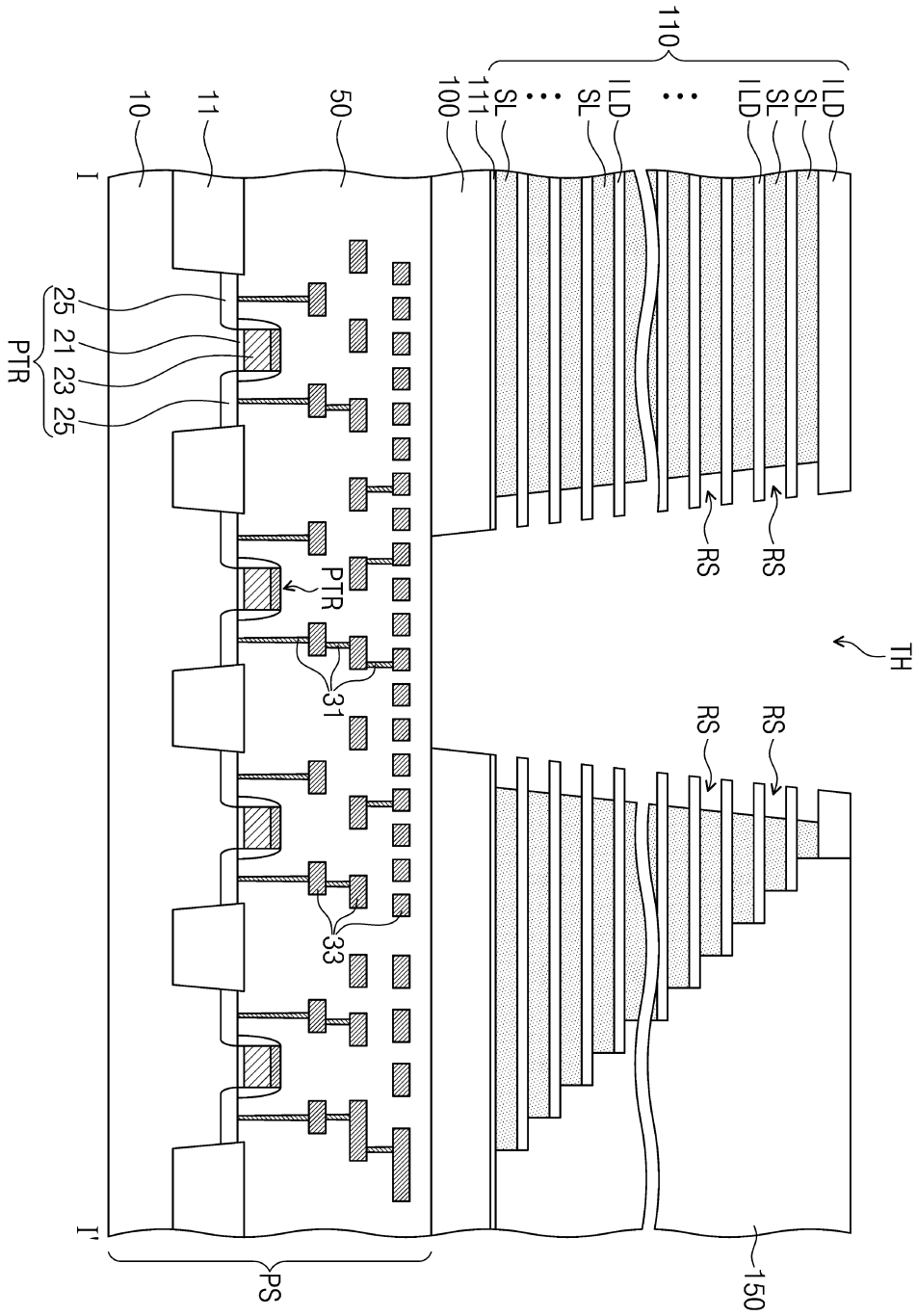
도면16



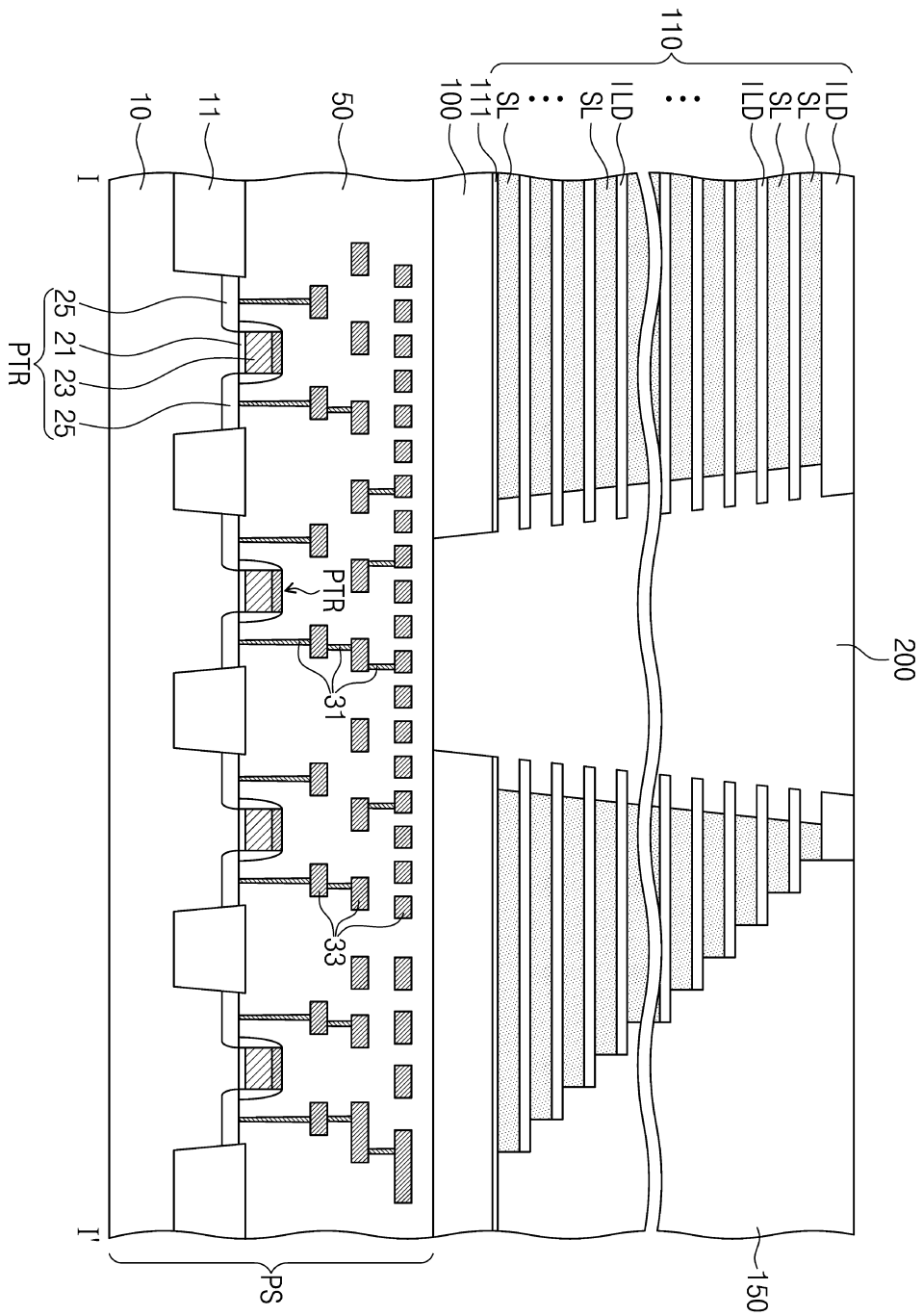
도면17



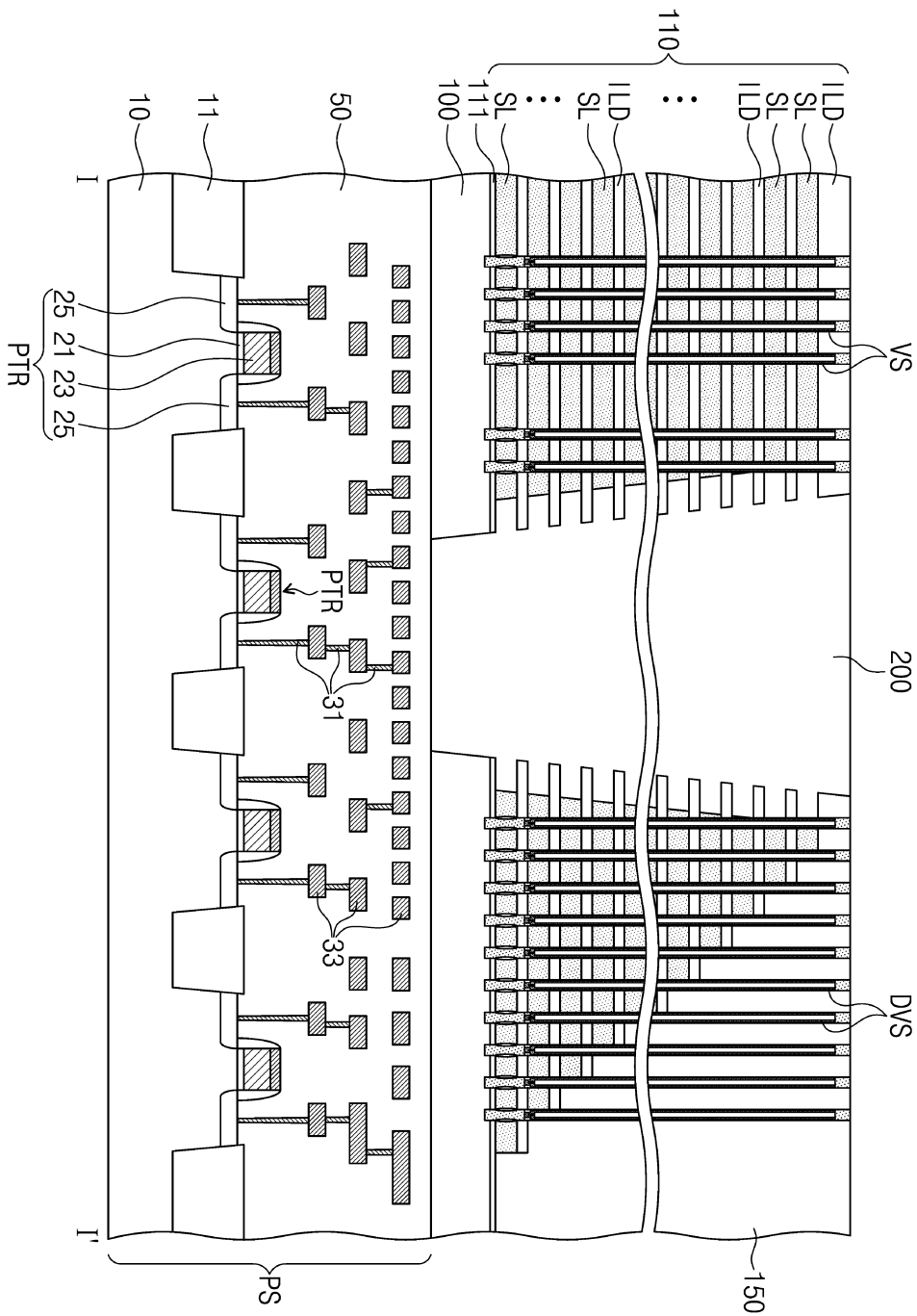
도면18



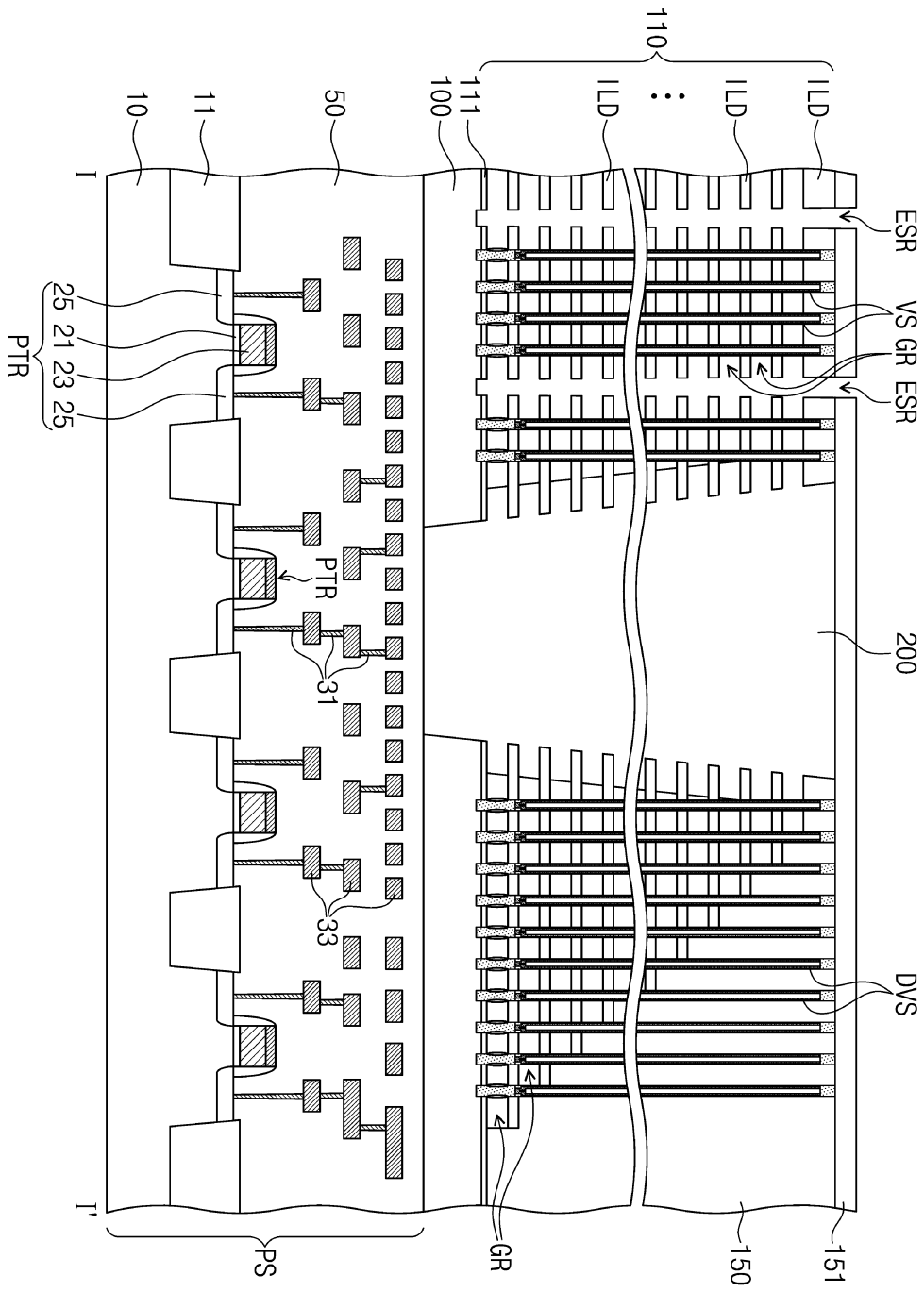
도면19



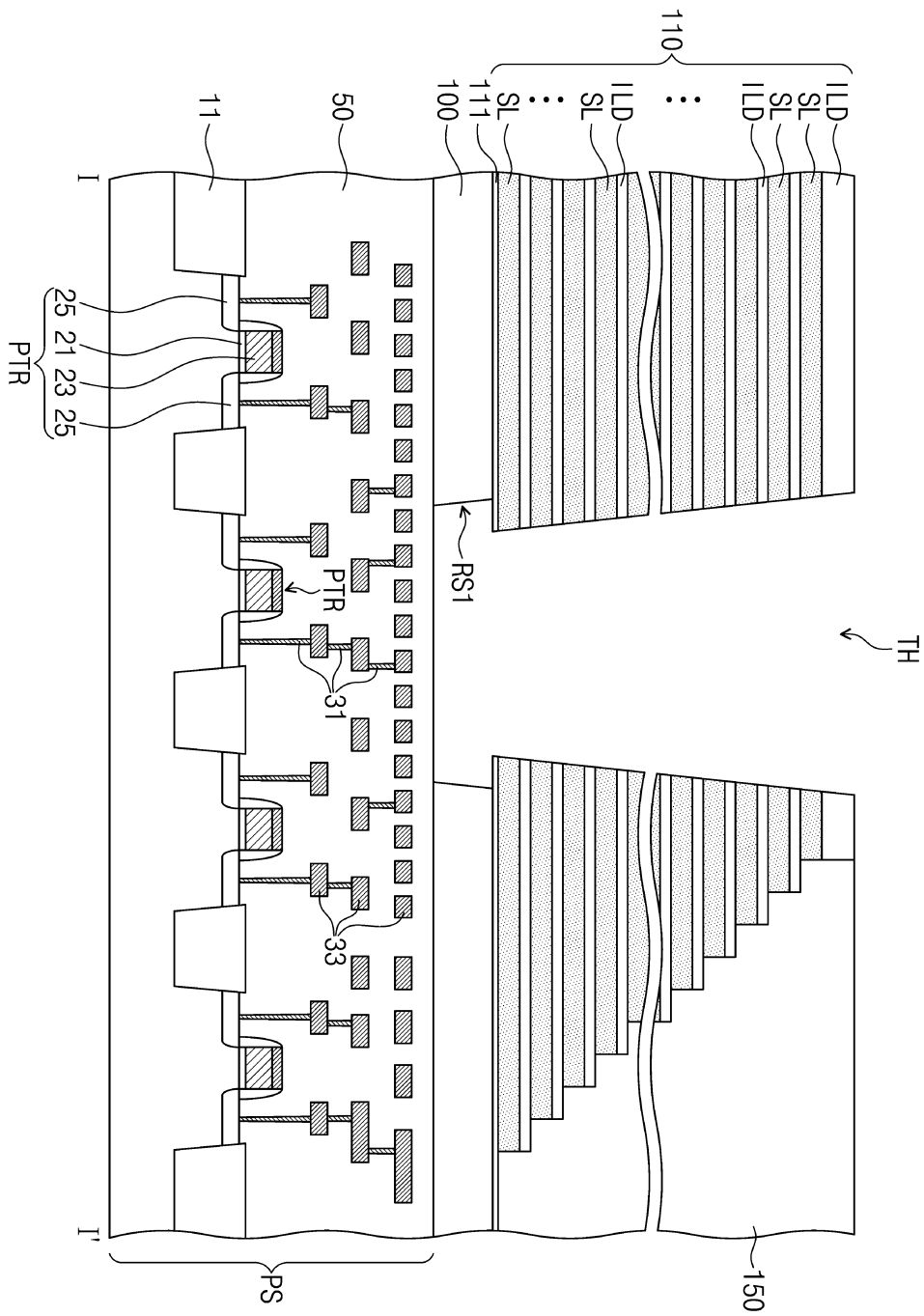
도면20



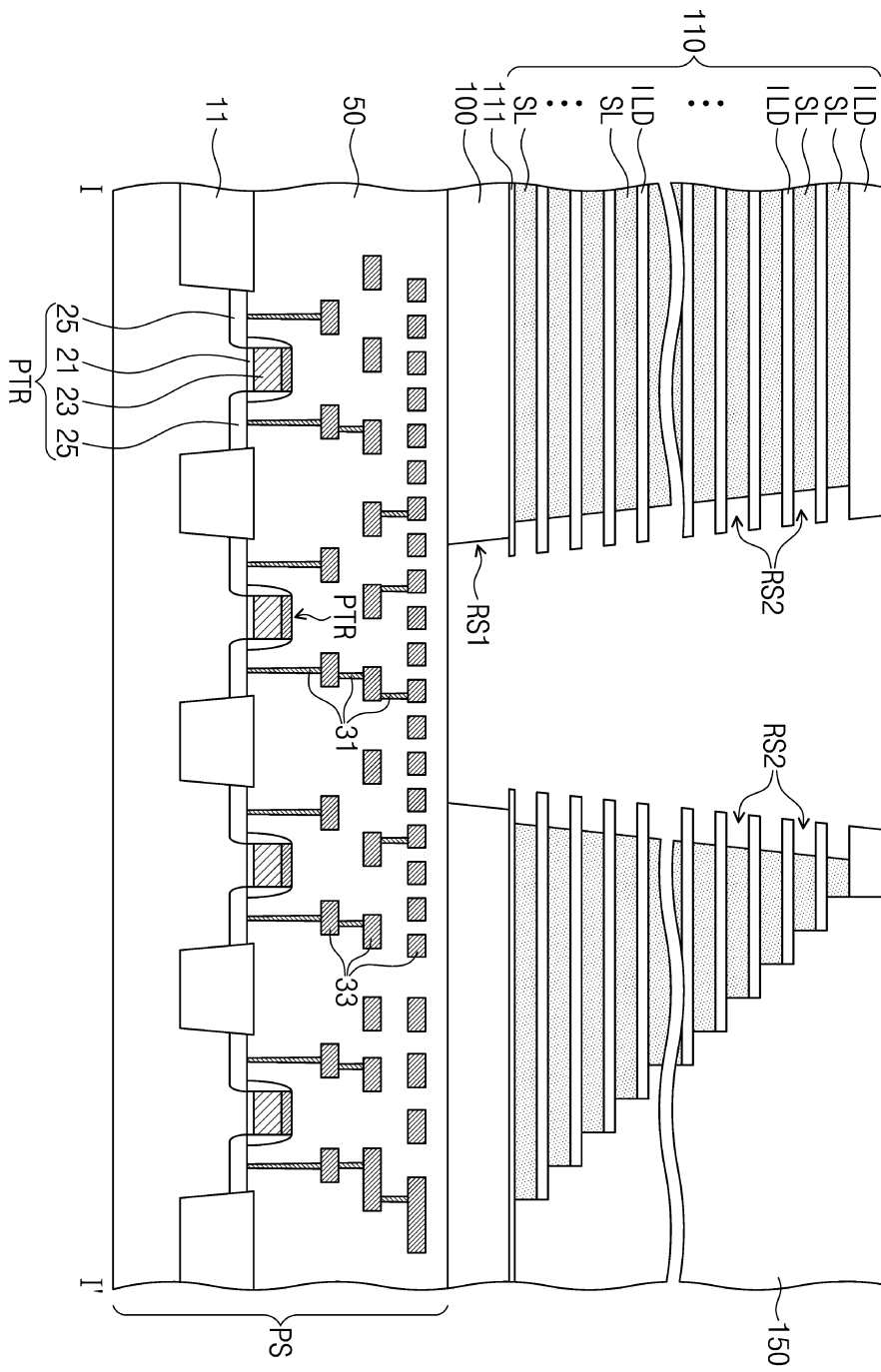
도면21



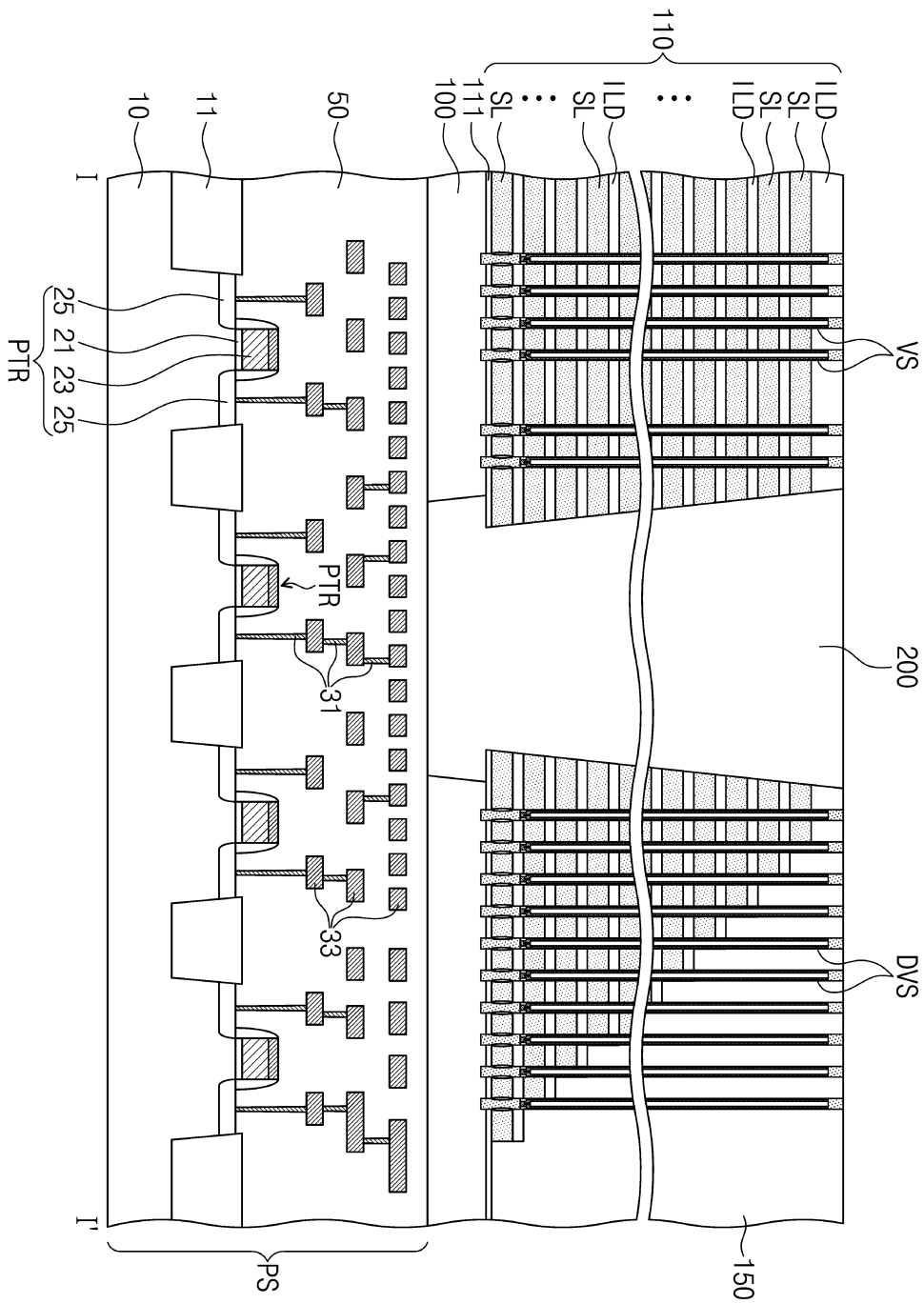
도면24



도면25



도면26



도면28

