



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G06F 12/08 (2006.01)	(45) 공고일자 2007년06월27일
	(11) 등록번호 10-0732194
	(24) 등록일자 2007년06월19일

(21) 출원번호 10-2005-0097355	(65) 공개번호 10-2007-0041826
(22) 출원일자 심사청구일자 2005년10월17일 2005년10월17일	(43) 공개일자 2007년04월20일

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 최주선
 경기 용인시 풍덕천2동 삼성7차아파트 703동 602호

(74) 대리인 박영우

(56) 선행기술조사문헌 WO02073619A 2 JP2004524641 A KR1020010063185 A	JP10040677 A KR1020010046341 A
---	-----------------------------------

심사관 : 이종익

전체 청구항 수 : 총 17 항

(54) 메모리 모듈과 메모리 시스템 및 그 제어방법

(57) 요약

대용량의 고속동작이 가능한 메모리 시스템 및 메모리 모듈이 개시된다. 메모리 모듈은 모듈기판과, 모듈기판 상에 실장되고, 직접 액세스되고, 제1컬럼 액세스 레이턴시를 가지는 프라이머리 메모리 소자와, 모듈기판 상에 실장되고, 종속 액세스되고, 프라이머리 메모리 소자 보다는 짧은 제2컬럼 액세스 레이턴시를 가지는 세컨더리 메모리 소자를 포함한다. 따라서, 메모리 소자들이 계층적으로 결합된 다중 링크 구조에서 중계시간에 무관하게 고속 동작이 가능하다.

대표도

도 3

특허청구의 범위

청구항 1.

메모리 컨트롤러;

상기 메모리 컨트롤러로부터 제1버스를 통해 리드 명령어를 직접 수신하고, 수신된 리드 명령어를 중계하고, 수신된 리드 명령어에 응답하여 제1 레이턴시 이후에 제1리드 데이터를 제2버스를 통해 상기 메모리 컨트롤러에 직접 송신하는 프라이머리 메모리 소자; 및

상기 프라이머리 메모리 소자로부터 중계된 리드 명령어를 제3버스를 통해 직접 수신하고, 상기 중계 리드 명령어에 응답하여 제2 레이턴시 이후에 제2리드 데이터를 제4버스를 통해 상기 메모리 컨트롤러에 직접 송신하는 세컨더리 메모리 소자를 구비한 것을 특징으로 하는 계층적 링크 구조를 가진 메모리시스템.

청구항 2.

제1항에 있어서, 상기 메모리 컨트롤러에 송신되는 제1 및 제2 리드 데이터들의 수신시점이 동일한 것을 특징으로 하는 메모리 시스템.

청구항 3.

제1항에 있어서, 상기 제1레이턴시 값이 제2레이턴시 값보다 큰 것을 특징으로 하는 메모리 시스템.

청구항 4.

제1항에 있어서, 상기 제1 레이턴시와 제2 레이턴시의 차는 상기 프라이머리 메모리 소자로부터 상기 세컨더리 메모리소자로 리드 명령어의 중계 지연 클럭 수와 동일한 것을 특징으로 하는 메모리 시스템.

청구항 5.

제1항에 있어서, 상기 제1 및 제3 버스는 명령어뿐만 아니라 쓰기 데이터의 전달통로를 겸하는 것을 특징으로 하는 메모리 시스템.

청구항 6.

제1항에 있어서, 상기 프라이머리 메모리 소자와 세컨더리 메모리 소자는 동일 동작 주파수로 동작하며, 상기 제1 레이턴시가 상기 제2 레이턴시 보다 상기 프라이머리 메모리 소자로부터 상기 세컨더리 메모리소자로 리드 명령어의 중계 지연 클럭 수만큼 큰 것을 특징으로 하는 메모리 시스템.

청구항 7.

프라이머리 메모리 소자용 제1 리드 명령어와 세컨더리 메모리 소자용 제2 리드 명령어가 통합된 통합 리드 명령어를 프라이머리 메모리 소자에 직접 송신하는 단계;

상기 제1리드 명령어에 응답하여 제1 레이턴시 이후에 상기 프라이머리 메모리 소자로부터 출력되는 제1리드 데이터를 직접 수신하는 단계; 및

상기 프라이머리 메모리 소자로부터 중계된 제2 리드 명령어에 응답하여 제2 레이턴시 이후에 상기 세컨더리 메모리 소자로부터 출력되는 제2리드 데이터를 직접 수신하는 단계를 특징으로 하는 계층적 링크 구조를 가진 메모리 제어방법.

청구항 8.

제7항에 있어서, 상기 프라이머리 메모리 소자와 세컨더리 메모리 소자에서 각각 제공되는 상기 제1 및 제2 리드 데이터들의 각 수신시점이 동일한 것을 특징으로 하는 메모리 제어방법.

청구항 9.

제7항에 있어서, 상기 제1 레이턴시와 제2 레이턴시의 차는 상기 프라이머리 메모리 소자로부터 상기 세컨더리 메모리소자로 리드 명령어의 중계 지연 클럭 수와 동일한 것을 특징으로 하는 메모리 제어방법.

청구항 10.

제7항에 있어서, 상기 프라이머리 메모리 소자와 세컨더리 메모리 소자는 동일 동작 주파수로 동작하며, 상기 제 1 레이턴시가 상기 제2 레이턴시 보다 상기 프라이머리 메모리 소자로부터 상기 세컨더리 메모리소자로 리드 명령어의 중계 지연 클럭 수만큼 큰 것을 특징으로 하는 메모리 제어방법.

청구항 11.

계층적 링크 구조를 가진 메모리 소자들을 제어하기 위한 메모리 컨트롤러에 있어서,

기계적 독출이 가능한 기록매체; 및

상기 기록매체에 저장되고, 기계적 독출이 가능한 프로그램 코드를 구비하고,

상기 프로그램 코드는

프라이머리 메모리 소자의 제1 레이턴시를 설정하는 단계;

상기 프라이머리 메모리 소자로부터 커맨드를 중계받는 세컨더리 메모리 소자의 제2 레이턴시를 설정하는 단계;

상기 프라이머리 메모리 소자용 제1 리드 명령어와 상기 세컨더리 메모리 소자용 제2 리드 명령어가 통합된 통합 리드 명령어를 상기 프라이머리 메모리 소자에 직접 송신하는 단계;

상기 제1리드 명령어에 응답하여 상기 제1 레이턴시 이후에 상기 프라이머리 메모리 소자로부터 출력되는 제1리드 데이터를 직접 수신하는 단계; 및

상기 프라이머리 메모리 소자로부터 중계된 제2 리드 명령어에 응답하여 상기 제2 레이턴시 이후에 상기 세컨더리 메모리 소자로부터 출력되는 제2리드 데이터를 직접 수신하는 단계를 포함하는 것을 특징으로 하는 메모리 컨트롤러.

청구항 12.

외부로부터 제1버스를 통해 리드 명령어를 직접 입력하고, 입력된 리드 명령어를 중계하고, 입력된 리드 명령어에 응답하여 제1 레이턴시 이후에 제1리드 데이터를 제2버스를 통해 외부로 직접 송신하는 프라이머리 메모리 소자; 및

상기 프라이머리 메모리 소자로부터 중계된 리드 명령어를 제3버스를 통해 직접 입력하고, 상기 중계 리드 명령어에 응답하여 제2 레이턴시 이후에 제2리드 데이터를 제4버스를 통해 외부로 출력하는 세컨더리 메모리 소자를 구비한 것을 특징으로 하는 계층적 링크 구조를 가진 메모리 모듈.

청구항 13.

제12항에 있어서, 상기 외부로 출력되는 제1 및 제2 리드 데이터들의 수신시점이 동일한 것을 특징으로 하는 메모리 모듈.

청구항 14.

제12항에 있어서, 상기 제1레이턴시 값이 제2레이턴시 값보다 큰 것을 특징으로 하는 메모리 모듈.

청구항 15.

제12항에 있어서, 상기 제1 레이턴시와 제2 레이턴시의 차는 상기 프라이머리 메모리 소자로부터 상기 세컨더리 메모리 소자로 리드 명령어의 증계 지연 클록 수와 동일한 것을 특징으로 하는 메모리 모듈.

청구항 16.

제12항에 있어서, 상기 제1 및 제3 버스는 명령어뿐만 아니라 쓰기 데이터의 전달통로를 겸하는 것을 특징으로 하는 메모리 모듈.

청구항 17.

제12항에 있어서, 상기 프라이머리 메모리 소자와 세컨더리 메모리 소자는 동일 동작 주파수로 동작하며, 상기 제1 레이턴시가 상기 제2 레이턴시 보다 상기 프라이머리 메모리 소자로부터 상기 세컨더리 메모리 소자로 리드 명령어의 증계 지연 클록 수만큼 큰 것을 특징으로 하는 메모리 모듈.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 메모리 시스템과 그 제어방법에 관한 것으로, 특히 프라이머리(primary) 메모리 소자와 세컨더리(secondary) 메모리 소자가 증계 연결(repeated link) 구조를 가진 메모리 시스템 및 그 제어방법에 관한 것이다.

컴퓨터 시스템의 중앙처리장치의 동작속도가 고속화 및 고성능화되어 감에 따라 메인 메모리로 사용되는 동기식 디램의 동작속도도 고속화 및 고용량화가 요구되고 있다. 그러나 아직까지는 중앙처리장치의 동작속도에 비하여 동기식 디램의 동작속도가 떨어지므로 이를 버퍼링하기 위하여 통상적으로 중앙처리장치와 동기식 디램은 메모리 컨트롤러를 통하여 데이터를 주고받는다.

도 1은 종래의 메모리 시스템의 일예를 나타낸다. 도 1을 참조하면, 메인 메모리의 대용량화 추세에 맞추어 디램 칩들(DRAM11~DRAMmn)이 매트릭스 형상으로 배치된다. 각 로우들의 디램 칩들(DRAM11~DRAM1n), (DRAM21~DRAM2n), ---, (DRAMm1~DRAMmn)은 대응하는 커맨드 및 어드레스 버스들(CABUS1), (CABUS2), ---, (CABUSm)을 공유한다. 각 컬럼들의 디램 칩들(DRAM11~DRAMm1), ((DRAM12~DRAMm2), ---, (DRAM1n~DRAMmn)은 각각 대응하는 데이터 버스들(DBUS1), (DBUS2), ---, (DBUSn)를 공유한다. 컬럼방향으로 디램 칩들의 수가 늘어나면 메모리 컨트롤러(12)의 데이터 입출력핀의 용량성 부하량이 증가하게 된다. 로우방향으로 디램 칩들의 수가 증가하게 되면 메모리 컨트롤러(12)의 커맨드/어드레스 출력핀의 용량성 부하량이 증가하게 된다.

디램 칩들의 동작 주파수에 비하여 각 핀의 용량성 부하가 현저히 큰 경우에는 이와 같은 멀티 드롭 방식의 버스 구조의 신호 전달특성이 크게 문제될 것은 없다. 그러나, 디램 칩의 동작 주파수가 높아짐에 따라 각 핀의 용량성 부하량이 문제가 될 경우에는 용량성 부하량의 제한으로 각 핀에 공통 연결되는 디램 칩의 수가 제한되므로 메모리의 확장이 곤란해지는 문제가 발생하게 된다.

따라서, DDR2, DDR3 이상의 동작속도에서는 멀티 드롭 방식의 버스구조로는 디램 칩 자체의 대용량화 이외에는 더 이상 메모리 사이즈의 증가가 곤란해진다.

그러므로, 최근에는 포인트-투-포인트(P2P ; Point-to-Point) 방식의 버스구조가 연구되고 있다. P2P 버스구조에서 메모리 컨트롤러에 직접 연결될 수 있는 디램 칩의 숫자는 메모리 컨트롤러의 핀 배치 공간의 한계로 제한적이다.

P2P 버스 구조에서 메모리 사이즈를 확장하기 위해서는 도 2에 도시한 계층적 링크 구조가 도입되어야 한다. 도 2를 참조하면, 메모리 컨트롤러(22)와 직접 연결된 프라이머리 디램 칩(24)이 세컨더리 디램 칩(26)에 커맨드 및 어드레스 또는 데이터 등을 중계하는 링크 구조가 요구된다. 프라이머리 디램 칩(24)과 세컨더리 디램 칩(26) 사이도 P2P 버스 구조로 연결된다.

이와 같은 계층적 링크 구조에서는 프라이머리 디램 칩(24)으로부터 세컨더리 디램 칩(26)으로 신호를 전달하기 위한 중계시간만큼 신호지연이 발생된다. 이는 고속 디램의 동작 스피드를 충분히 활용하지 못하는 것이다.

디램 칩의 동작주파수가 제조 메이커들에 의해 경쟁적으로 높아짐에 따라 고속동작, 메모리 확장의 용이성을 동시에 만족할 수 있는 메모리 시스템의 출현이 요구되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 이와 같은 종래 기술의 문제점을 해결하기 위하여 고속 동작을 만족하면서도 확장이 용이한 계층적 링크 구조를 가진 메모리 시스템 및 그 제어방법을 제공하는 데 있다.

본 발명의 다른 목적은 동일 동작 주파수에서 서로 다른 동작특성을 가진 메모리 칩들을 제어할 수 있는 메모리 컨트롤러를 제공하는 데 있다.

본 발명의 또 다른 목적은 동일 동작 주파수에서 서로 다른 동작특성을 가진 메모리 칩들을 구비하는 메모리 모듈을 제공하는 데 있다.

발명의 구성

상기 목적을 달성하기 위한 본 발명의 시스템은 메모리 컨트롤러와, 메모리 컨트롤러로부터 제1버스를 통해 리드 명령어를 직접 수신하고, 수신된 리드 명령어를 중계하고, 수신된 리드 명령어에 응답하여 제1 레이턴시 이후에 제1리드 데이터를 제2버스를 통해 상기 메모리 컨트롤러에 직접 송신하는 프라이머리 메모리 소자와, 프라이머리 메모리 소자로부터 중계된 리드 명령어를 제3버스를 통해 직접 수신하고, 중계 리드 명령어에 응답하여 제2 레이턴시 이후에 제2리드 데이터를 제4버스를 통해 메모리 컨트롤러에 직접 송신하는 세컨더리 메모리 소자를 구비한 것을 특징으로 한다.

본 발명의 메모리 컨트롤러는 기계적 독출이 가능한 기록매체와, 기록매체에 저장되고, 기계적 독출이 가능한 프로그램 코드를 구비한다. 프로그램 코드는 프라이머리 메모리 소자의 제1 레이턴시를 설정하는 단계와, 세컨더리 메모리 소자의 제2 레이턴시를 설정하는 단계와, 프라이머리 메모리 소자용 제1 리드 명령어와 세컨더리 메모리 소자용 제2 리드 명령어가 통합된 통합 리드 명령어를 프라이머리 메모리 소자에 직접 송신하는 단계와, 상기 제1리드 명령어에 응답하여 제1 레이턴시 이후에 상기 프라이머리 메모리 소자로부터 출력되는 제1리드 데이터를 직접 수신하는 단계와, 프라이머리 메모리 소자로부터 중계된 제2 리드 명령어에 응답하여 제2 레이턴시 이후에 세컨더리 메모리 소자로부터 출력되는 제2리드 데이터를 직접 수신하는 단계를 포함한다. 여기서 레이턴시는 컬럼 레이턴시와 단위 클록 주기의 승산 값으로 주어진다.

본 발명에서 메모리 컨트롤러에 송신되는 제1 및 제2 리드 데이터들의 각 출력시점이 동일한 것이 바람직하다. 즉, 제1 레이턴시와 제2 레이턴시의 차는 프라이머리 메모리 소자로부터 상기 세컨더리 메모리소자로 리드 명령어의 중계 지연 클록 수와 동일하게 설계된다.

프라이머리 메모리 소자와 세컨더리 메모리 소자는 동일 동작 주파수를 가지며, 프라이머리는 메모리 소자의 레이턴시가 세컨더리 메모리 소자의 레이턴시 보다 프라이머리 메모리 소자로부터 세컨더리 메모리 소자로 리드 명령어의 중계 지연 클록 수만큼 큰 소자로 설계되는 것이 바람직하다.

즉 본 발명에서는 동일 주파수에서 동작되는 메모리 소자들 중 동작 스피드가 빠른 소자를 세컨더리 소자로 배치하고, 동작 스피드가 느린 소자를 프라이머리 소자로 배치하여 두 소자의 동작 스피드 차를 중계 지연 클록 수와 매칭시킴으로써 각 소자들을 주어진 최대 동작 스피드로 동작시켜서 전체적인 고속 동작을 활용할 수 있다.

본 발명에서 프라이머리 메모리 소자와 세컨더리 메모리 소자는 하나의 기관에 실장된 메모리 모듈로 구성될 수도 있다.

본 발명의 제어방법은 프라이머리 메모리 소자용 제1 리드 명령어와 세컨더리 메모리 소자용 제2 리드 명령어가 통합된 통합 리드 명령어를 프라이머리 메모리 소자에 직접 송신한다. 이어서, 제1리드 명령어에 응답하여 제1 레이턴시 이후에 프라이머리 메모리 소자로부터 출력되는 제1리드 데이터를 직접 수신함과 동시에 프라이머리 메모리 소자로부터 중계된 제2 리드 명령어에 응답하여 제2 레이턴시 이후에 세컨더리 메모리 소자로부터 출력되는 제2리드 데이터를 직접 수신한다.

이하, 첨부된 도면들을 참조하여 본 발명의 다양한 관점들에 따른 메모리 시스템의 실시예에 대하여 상세하게 설명하지만, 본 발명이 하기의 실시예에 제한되는 것은 아니며, 해당 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 본 발명을 다양한 다른 형태로 구현할 수 있을 것이다.

도 3은 본 발명에 의한 바람직한 일실시예의 메모리 시스템의 구성을 나타낸다.

도면을 참조하면, 메모리 시스템은 메모리 컨트롤러(100)와 메모리 모듈(200)을 포함한다. 메모리 컨트롤러(100)는 4 채널(CH0~CH3)을 통해 메모리 모듈(200)과 연결된다. 각 채널은 n비트 다운 로딩 버스(DLB)와 2개의 m비트 업 로딩 버스(PULB, SULB)로 구성된다. PULB는 프라이머리 메모리 소자의 업 로딩 버스이고, SULB는 세컨더리 메모리 소자의 업 로딩 버스이다. 메모리 컨트롤러(100)는 복수의 기준클록신호(FCLK)들을 메모리 모듈(200)에 제공한다. 메모리 컨트롤러(100)는 기계적 독출이 가능한 기록매체, 예컨대 ROM, SRAM, Flash 메모리 등과, 기록매체에 저장되고, 기계적 독출이 가능한 프로그램 코드를 구비한다. 메모리 모듈(200)은 채널당 프라이머리 메모리 소자(210)와 세컨더리 메모리 소자(220)의 계층 링크 구조로 구성된다. 프라이머리 메모리 소자(210)는 다운 로딩 버스와 업 로딩 버스를 통하여 메모리 컨트롤러(100)와 직접 연결된다. 세컨더리 메모리 소자(220)는 중계버스(RBUS)를 통해 프라이머리 메모리 소자(210)에 연결된다. 그러므로, 세컨더리 메모리 소자(220)는 프라이머리 메모리 소자를 통하여 다운 로딩 패스가 호스트(100)에 간접 연결되고, 업 로딩 패스는 메모리 컨트롤러(100)에 직접 연결된다.

도 4는 본 발명에 의한 프라이머리 프로토콜 메모리 소자의 바람직한 일실시예의 블록 구성을 나타낸다.

도 4를 참조하면, 프라이머리 메모리 소자(210)는 커맨드 디코더 및 라이트 데이터 버퍼 블록(212), 로우 디코더(214), 컬럼 어드레스 버퍼(216), 데이터 입력 레지스터(218), 모드 레지스터(220), 레이턴시 및 버스트 길이 제어블록(222), 컬럼 디코더(224), 메모리 코어(226), 프리 패치 블록(228), 리드 데이터 버퍼(230), 출력버퍼(234), 중계기(232)를 포함한다.

커맨드 디코더 및 라이트 데이터 버퍼블록(212)은 다운 로딩 버스(DLB)를 통하여 메모리 컨트롤러(100)와 직접 연결된다. 다운로딩 버스(DLB)는 라이트 데이터와 커맨드 및 어드레스 신호의 다운 로딩 패스로 제공된다. 커맨드 디코더 및 라이트 데이터 버퍼블록(212)은 수신된 패킷을 디멀티플렉싱하여 메모리 인터페이스가 가능한 병렬 데이터로 변환한다. 변환된 병렬 데이터 중 라이트 데이터는 데이터 입력 레지스터(218)에 제공된다. 병렬 데이터로 변환된 어드레스는 로우 디코더(214), 컬럼버퍼(216), 모드 레지스터(220) 등에 제공된다. 또한, 커맨드 디코더 및 라이트 데이터 버퍼블록(212)은 수신된 커맨드 및 어드레스 또는 라이트 데이터를 중계기(232)에 제공한다. 모드 레지스터(220)는 제공된 어드레스에 포함된 모드 세트 값들을 레이턴시 및 버스트 길이 제어블록(222)에 제공한다. 레이턴시 및 버스트 길이 제어블록(222)에서는 제공된 모드 세트 값에 응답하여 레이턴시 제어신호 및 버스트 길이 제어신호를 발생하여 컬럼 어드레스 버퍼(216), 출력버퍼(234)를 제어한다. 따라서, 프라이머리 메모리 소자(210)의 컬럼 레이턴시는 주어진 동작 스피드에 의해 수용 가능한 값으로 세팅된다.

메모리 코아(226)는 메모리 셀 어레이 및 센스 증폭기를 포함한다. 라이트 동작 시에는 로우 디코더(214)와 컬럼 디코더(224)에 의해 메모리 코아(226)의 지정된 셀에 데이터 입력 레지스터(218)로부터 제공된 라이트 데이터가 기입된다. 리드 동작 시에는 로우 디코더(214)와 컬럼 디코더(224)에 의해 메모리 코아(226)의 지정된 셀로부터 데이터가 독출되어 프리패치 블록(228), 리드 데이터 버퍼(230)를 통하여 출력버퍼(234)로 전달된다.

출력버퍼(234)에서는 리드 데이터 버퍼로부터 전송된 병렬 데이터를 멀티플렉싱하여 리드 데이터 패킷으로 변환하여 모드 레지스터(220)에 의해 설정된 컬럼 레이턴시 후에 출력한다. 독출된 리드 데이터 패킷은 업 로딩 버스(PULB)를 거쳐서 메모리 컨트롤러(100)로 제공된다.

중계기(232)는 제공된 라이트 데이터 또는 커맨드 및 어드레스 패킷을 재구성하여 중계버스(RBUS)를 통해 세컨더리 메모리 소자(220)에 제공한다. 이와 같은 중계 패스의 구성에 의해 세컨더리 메모리 소자(220)에 중계된 커맨드 및 어드레스는 프라이머리 메모리 소자(210)에 수신된 커맨드 및 어드레스에 비하여 소정 클럭 수만큼 지연된다. 그러므로, 세컨더리 메모리 소자(220)는 소정 지연 클럭 수만큼 동작 스피드가 빠른 소자로 구성될 수 있으며, 세컨더리 메모리 소자의 컬럼 레이턴시는 주어진 동작 스피드에 의해 프라이머리 메모리 소자의 컬럼 레이턴시 값과는 다른 값으로 세팅될 수 있다.

도 5는 다운 로딩 버스의 데이터 라인 폭이 6인 경우에 커맨드 및 어드레스 패킷의 포맷을 나타내고, 도 6은 도 5의 OP 필드 진리표의 일예를 나타낸다.

도 5를 참조하면, 커맨드 및 어드레스 패킷은 메모리 클럭(MCLK)의 1클럭 주기에 6라인 10 버스트의 60비트 사이즈를 가진다. 참조번호 412로 표시된 필드영역은 프라이머리 메모리 소자에 대응하는 커맨드 및 어드레스 필드영역이고, 참조번호 414로 표시된 필드영역은 세컨더리 메모리 소자에 대응하는 커맨드 및 어드레스 필드영역이다.

412 필드영역의 4비트의 OP0~OP3 필드는 도 6에 도시한 바와 같이 16가지의 동작 명령 코드들 중 하나가 할당된다. 3비트의 CS0~CS2 필드는 랭크 선택 코드를 할당하기 위한 것이다. 4비트 BA0~BA3 필드는 16개의 뱅크들 중 하나를 선택하기 위한 뱅크 어드레스를 할당하기 위한 것이다. 11비트 A0~A10 필드는 로우 또는 컬럼 어드레스를 할당하기 위한 것이다.

세컨더리 메모리 소자의 커맨드 및 어드레스에 대응하는 414 필드영역의 3비트 RS0~RS2 필드는 412 필드영역의 CS0~CS2 필드와 같이 랭크 선택 코드를 할당하기 위한 것이다.

도 7은 다운 로딩 버스의 데이터 라인 폭이 6인 경우에 라이트 데이터 패킷의 포맷을 나타내고, 도 98는 업 로딩 버스의 데이터 라인 폭이 4인 경우에 리드 데이터 패킷의 포맷을 나타낸다.

도 7을 참조하면, 라이트 데이터 패킷은 6 라인폭 10 버스트 길이를 가진 총 60비트 라이트 데이터로 구성된다. 도 8를 참조하면, 리드 데이터 패킷은 4라인폭 10버스트 길이를 가진 총 40비트 리드 데이터로 구성된다.

도 9는 본 발명에 의한 리드 동작을 설명하기 위한 동작 타이밍을 나타낸다. 도 10 내지 도 13은 각 동작에 따른 커맨드 및 어드레스 패킷의 구성을 나타낸다.

메모리 컨트롤러(100)는 MRS 커맨드를 통하여 프라이머리 메모리 소자(210)를 주어진 동작 스피드에 맞추어 컬럼 레이턴시(CL1) 5클럭으로 설정하고, 세컨더리 메모리 소자(220)를 주어진 동작 스피드에 맞추어 컬럼 레이턴시(CL2) 3클럭으로 설정한다. CL1과 CL2의 차인 2클럭은 프라이머리 메모리 소자(210)를 통해서 세컨더리 메모리 소자(220)에 중계되는 데 소요되는 시간과 매칭된다. 이와 같이 계층적 메모리 소자들의 주어진 동작 스피드에 따라 각각 컬럼 레이턴시를 다르게 설정한 다음에 메모리 컨트롤러(100)는 커맨드 및 어드레스 패킷을 다운로드 버스(DLB)를 통하여 메모리 모듈(200)에 하달한다.

프로토콜 메모리 소자(210)는 DLB를 통해 메모리 컨트롤러(100)로부터 도 10의 커맨드 및 어드레스 패킷(502)을 도 10의 T1의 선단에서 접수한다. CS0~CS2 필드 값이 000이므로 OP0~OP3 필드의 0000 커맨드인 ACT 커맨드를 수행한다. 즉, 프라이머리 메모리(210)의 해당 뱅크의 로우 어드레스를 활성화시켜서 액티브된 로우에 관련된 복수의 메모리 셀들로부터 셀 데이터를 가져다가 센스증폭기로 옮겨 놓는다. 이와 함께, 프라이머리 메모리(210)는 도 9의 T3의 선단에서 RBUS를 통해 세컨더리 메모리 소자(220)에 도 11의 랭크1의 커맨드 및 어드레스 패킷(504)을 중계한다. 세컨더리 메모리

리 소자(220)는 중계된 패킷(504)을 해석한다. RS0~RS2 필드 값이 001이므로 OP0~OP3 필드의 0000 커맨드인 ACT 커맨드를 수행한다. 세컨더리 메모리(220)의 해당 बैं크의 로우 어드레스를 활성화시켜서 액티브된 로우에 관련된 복수의 메모리 셀들로부터 셀 데이터를 가져다가 센스증폭기로 옮겨 놓는다

도 9의 T6의 선단에서 프라이머리 메모리 소자(210)는 도 12의 커맨드 및 어드레스 패킷(506)을 접수한다. CS0~CS2 필드 값이 000이므로 OP0~OP3 필드의 1000 커맨드인 READ 커맨드를 수행한다. 즉, 프라이머리 메모리 소자(210)의 해당 बैं크의 센스증폭기에 센싱된 셀 데이터들 중 해당 어드레스의 데이터를 데이터 버퍼(230)를 통해 출력버퍼(234)로 전송한다. 출력버퍼(234)는 모드레지스터에 설정된 제 1컬럼 레이턴시 이후에 리드 데이터 패킷(510)을 외부로 출력한다. 따라서, 설정된 5클록 CAS 레이턴시 이후인 T12의 선단에서 PULB를 통해 프라이머리 메모리 소자(210)로부터 리드 데이터 패킷(510)이 메모리 컨트롤러(100)로 전달된다.

도 19의 T8의 선단에서 세컨더리 메모리 소자(220)는 도 13의 커맨드 및 어드레스 패킷(508)을 접수한다. 패킷(509)의 RS0~RS2 필드 값이 001이므로 OP0~OP3 필드의 0001 커맨드인 READ 커맨드를 수행한다. 즉, 세컨더리 메모리 소자(220)의 해당 बैं크의 센스증폭기에 센싱된 셀 데이터들 중 해당 어드레스의 데이터를 데이터 버퍼를 통해 출력버퍼로 전송한다. 출력버퍼는 모드레지스터에 설정된 제 2컬럼 레이턴시 이후에 리드 데이터 패킷(512)을 외부로 출력한다. 따라서, 설정된 3클록 CAS 레이턴시 이후인 T12의 선단에서 SULB를 통해 세컨더리 메모리 소자(220)로부터 리드 데이터 패킷(512)이 메모리 컨트롤러(100)로 전달된다.

그러므로 T12의 선단에서 프라이머리 메모리의 리드 데이터 패킷(510)과 세컨더리 메모리의 리드데이터 패킷(512)이 메모리 컨트롤러(100)로 동일 타이밍에 전달된다.

상기에서는 본 발명의 바람직한 실시예를 패킷 형태의 어드레스, 커맨드 및 데이터를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

상술한 바와 같이 본 발명에서는 계층적 링크 구조로 구성된 메모리 소자들의 컬럼 레이턴시를 각각 다르게 설정하여 계층적 링크 구조의 중계 지연시간에 무관하게 고속 동작이 가능한 메모리 시스템을 구현할 수 있다.

도면의 간단한 설명

도 1은 종래의 메모리 시스템을 나타낸 도면이다.

도 2는 일반적인 중계연결 구조의 메모리 시스템을 나타낸 도면이다.

도 3은 본 발명에 의한 메모리 시스템의 바람직한 일 실시예의 블록도이다.

도 4는 본 발명에 의한 프라이머리 프로토콜 메모리 소자의 바람직한 일 실시예의 블록도 이다.

도 5는 다운 로딩 버스의 데이터 라인 폭이 6인 경우에 커맨드 및 어드레스 패킷의 포맷을 나타낸 도면이다.

도 6은 도 5의 OP 필드 진리표 이다.

도 7은 다운 로딩 버스의 데이터 라인 폭이 6인 경우에 라이트 데이터 패킷의 포맷을 나타낸 도면이다.

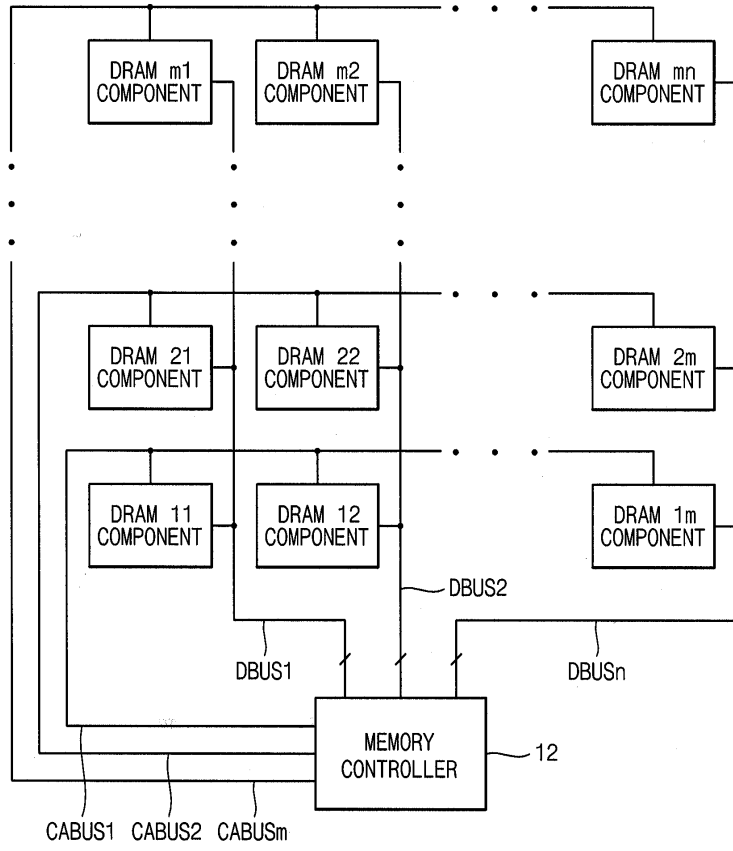
도 8은 업 로딩 버스의 데이터 라인 폭이 4인 경우에 리드 데이터 패킷의 포맷을 나타낸 도면이다.

도 9는 본 발명에 의한 리드 동작을 설명하기 위한 동작 타이밍도이다.

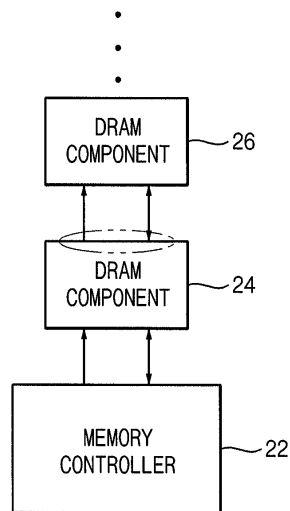
도 10 내지 도 13는 도 9의 리드 동작에 따른 커맨드 및 어드레스 패킷의 구성을 나타낸 도면들이다.

도면

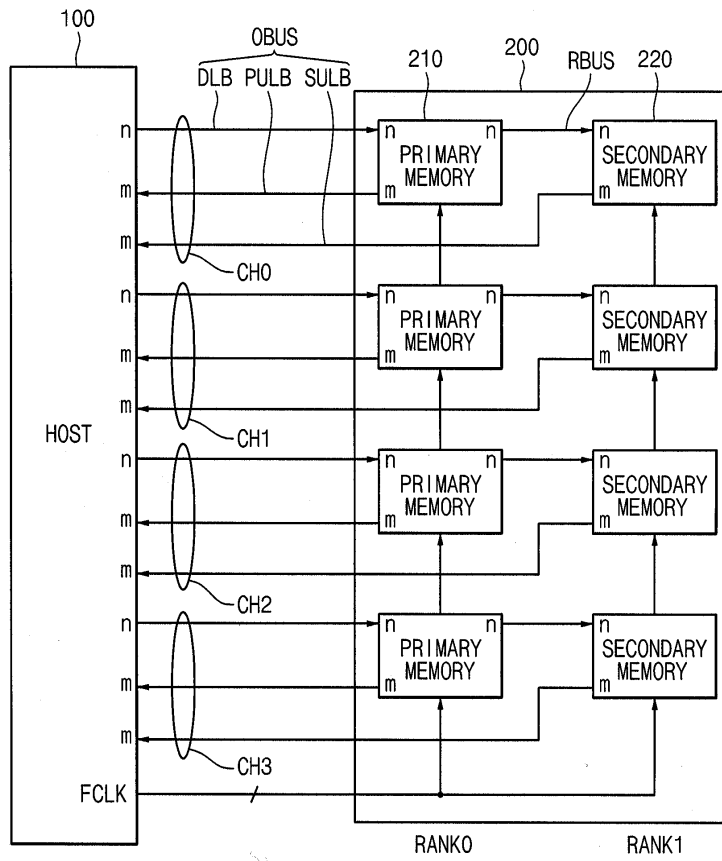
도면1



도면2

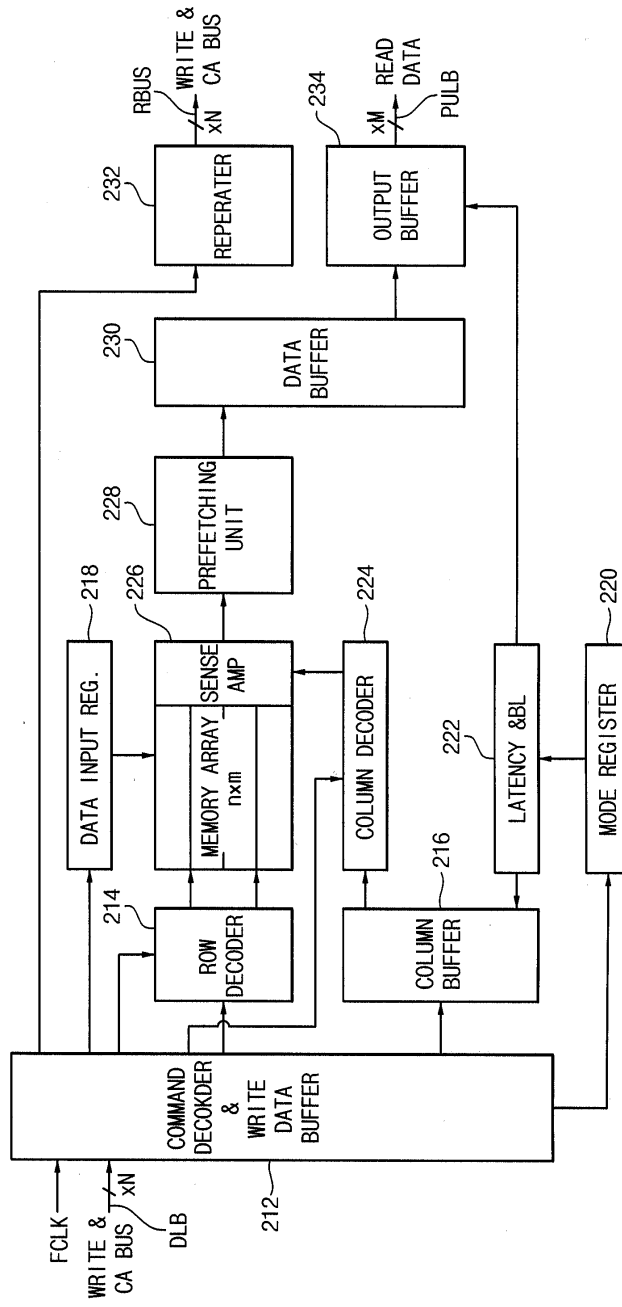


도면3

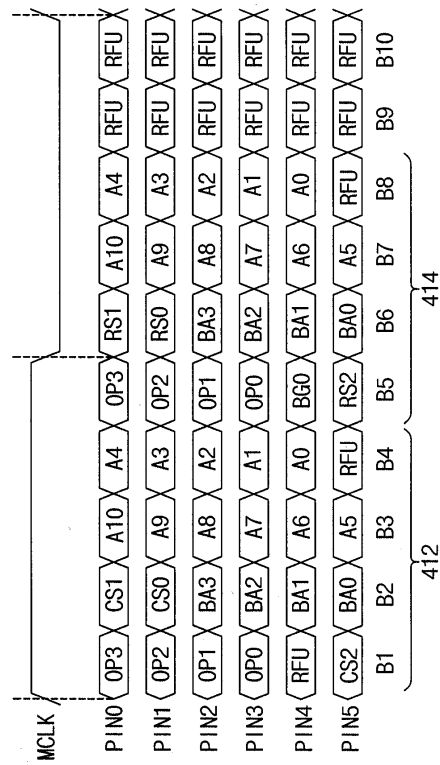


도면4

210



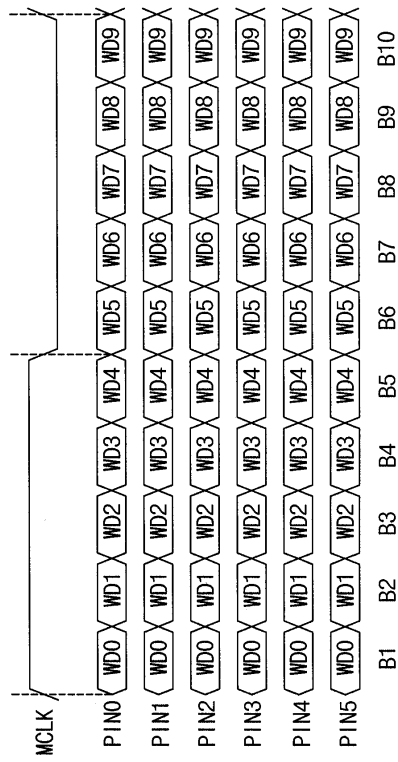
도면5



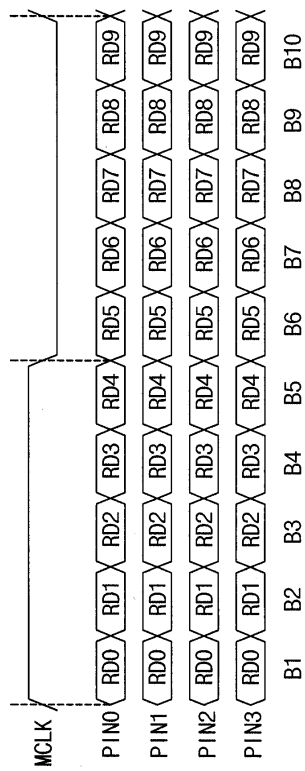
도면6

OP3	OP2	OP1	OP0	COMMAND
0	0	0	0	ACTVATION
0	0	0	1	READ
0	0	1	0	WRITE
0	0	1	1	READ & APC
0	1	0	0	WRITE & APC
0	1	0	1	ARF
0	1	1	0	SRF
0	1	1	1	PDM
1	0	0	0	MRS
1	0	0	1	NOP
1	1	1	1	RFU
1	1	1	1	RFU
1	1	1	1	RFU
1	1	1	1	RFU
1	1	1	1	RFU
1	1	1	1	RFU

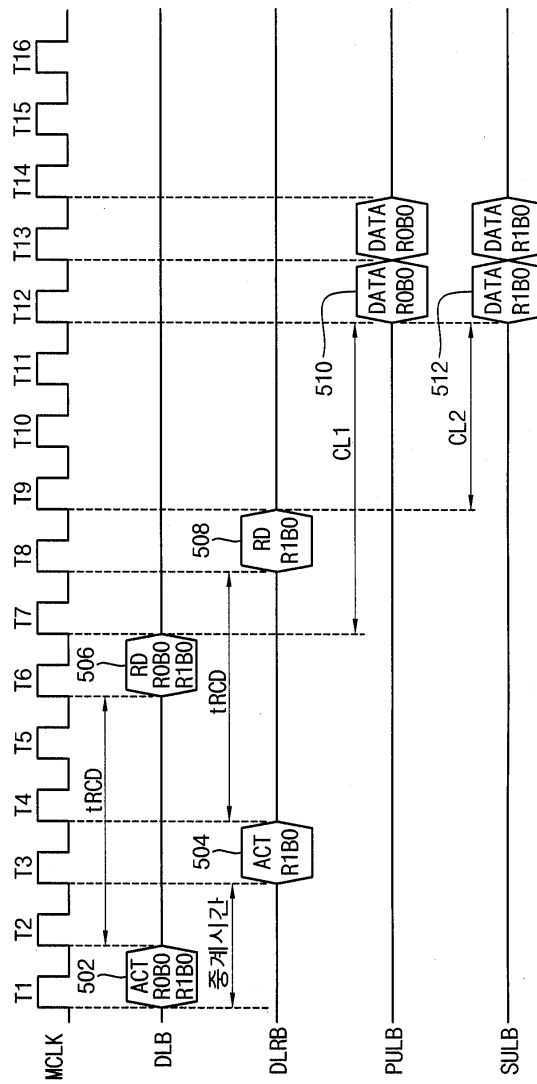
도면7



도면8



도면9



도면10

502

PIN0	0	0	A10	A4	0	0	A10	A4	X	X
PIN1	0	0	A9	A3	0	1	A9	A3	X	X
PIN2	0	B3	A8	A2	0	B3	A8	A2	X	X
PIN3	0	B2	A7	A1	0	B2	A7	A1	X	X
PIN4	X	B1	A6	A0	X	B1	A6	A0	X	X
PIN5	0	B0	A5	X	0	B0	A5	X	X	X

BURST

1	2	3	4	5	6	7	8	9	10
---	---	---	---	---	---	---	---	---	----

도면11

504

PIN0	0	0	A10	A4	X	X	X	X	X	X
PIN1	0	1	A9	A3	X	X	X	X	X	X
PIN2	0	B3	A8	A2	X	X	X	X	X	X
PIN3	0	B2	A7	A1	X	X	X	X	X	X
PIN4	X	B1	A6	A0	X	X	X	X	X	X
PIN5	0	B0	A5	X	X	X	X	X	X	X

BURST
1 2 3 4 5 6 7 8 9 10

도면12

506

PIN0	0	0	A10	A4	0	0	A10	A4	X	X
PIN1	0	0	A9	A3	0	1	A9	A3	X	X
PIN2	0	B3	A8	A2	0	B3	A8	A2	X	X
PIN3	1	B2	A7	A1	1	B2	A7	A1	X	X
PIN4	X	B1	A6	A0	X	B1	A6	A0	X	X
PIN5	0	B0	A5	X	0	B0	A5	X	X	X

BURST
1 2 3 4 5 6 7 8 9 10

도면13

508

PIN0	0	0	A10	A4	X	X	X	X	X	X
PIN1	0	1	A9	A3	X	X	X	X	X	X
PIN2	0	B3	A8	A2	X	X	X	X	X	X
PIN3	1	B2	A7	A1	X	X	X	X	X	X
PIN4	X	B1	A6	A0	X	X	X	X	X	X
PIN5	0	B0	A5	X	X	X	X	X	X	X

BURST
1 2 3 4 5 6 7 8 9 10