

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

| | | |
|--|-------------------------------------|--|
| (51) Int. Cl. H01L 21/335 (2006.01) | (45) 공고일자 (11) 등록번호 (24) 등록일자 | 2006년06월13일 10-0589498 2006년06월07일 |
|--|-------------------------------------|--|

| | | | |
|-----------|-----------------|-----------|-----------------|
| (21) 출원번호 | 10-2003-0041481 | (65) 공개번호 | 10-2005-0000891 |
| (22) 출원일자 | 2003년06월25일 | (43) 공개일자 | 2005년01월06일 |

| | |
|-----------|------------------------------------|
| (73) 특허권자 | 동부일렉트로닉스 주식회사 서울 강남구 대치동 891-10 |
| (72) 발명자 | 김형석 인천광역시서구가좌동진주아파트301동1106호 |
| (74) 대리인 | 서천석 |

심사관 : 정회환

(54) 반도체 소자 및 그의 제조방법

요약

본 발명은 층간절연막의 캡핑 능력을 향상시키기 위하여 측벽 삼중 구조를 이용하여 소오스/드레인 이온주입시 하부 기판의 Si 데미지를 방지하기 위해 진행되는 캡핑 절연막과 콘택 에치시 마진을 확보하기 위하여 형성된 질화막을 측벽에 남아 있는 질화막으로 대체하는 반도체 소자의 제조방법에 관한 것이다.

본 발명의 상기 목적은 소정의 구조물이 형성된 기판에 폴리를 증착하고 패터닝하여 게이트 전극을 형성하는 단계, 상기 게이트 전극을 포함한 상기 기판 상부 전면에 질화막을 증착하는 단계, 상기 질화막 상부에 산화막을 증착하는 단계, 상기 산화막을 상기 게이트 전극 측벽에만 남도록 에치하여 사이드월을 형성하는 단계, 상기 게이트 전극과 사이드월을 마스크로 상기 기판에 이온을 주입하여 소오스/드레인 영역을 형성하는 단계 및 상기 사이드월을 제거한 후 상기 질화막 상부에 층간 절연막을 형성하는 단계를 포함하는 반도체 소자의 제조방법에 의해 달성된다.

본 발명의 상기 목적은 기판 상부에 형성된 게이트 전극, 상기 게이트 전극을 포함한 기판 전면에 형성된 질화막, 상기 질화막 상부에 형성된 층간 절연막 및 상기 게이트 전극에서 일정 간격 이격된 기판에 형성된 소오스/드레인 영역을 포함하는 반도체 소자에 의해서도 달성된다.

따라서, 본 발명의 반도체 소자의 제조방법은 소스/드레인 영역 형성하고 제거함으로써 게이트 전극 사이의 폭을 넓게하여 층간 절연막의 형성시 공정 마진을 확보할 수 있으며, 사이드월 형성 공정에서의 질화막을 이온 주입에 따른 기판 손상을 방지하기 위한 캡핑막 및 콘택 식각시 식각 방지막으로 사용할 수 있어 층간 절연막의 식각 방지막 형성 공정을 생략할 수 있어 공정을 간소화할 수 있을 뿐만 아니라 그에 따라 반도체 소자의 제작단가를 낮출수 있는 효과가 있다.

대표도

도 2d

색인어

PMD Liner nitride, 3 Stack Side Wall, Cap oxide, PMD Gap Fill

명세서

도면의 간단한 설명

도 1은 종래기술에 의한 반도체 제조 방법.

도 2는 본 발명에 의한 반도체 제조 방법.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 층간 절연막의 갭필 능력을 향상시키기 위하여 측벽 삼중 구조를 이용하여 소오스/드레인 이온주입시 하부 기판의 Si 데미지를 방지하기 위해 진행되는 캡핑 절연막과 콘택 에치시 마진을 확보하기 위하여 형성된 질화막을 측벽에 남아 있는 질화막으로 대체하는 반도체 소자의 제조방법에 관한 것이다.

최근, DRAM 장치의 직접도가 증가되면서 칩 사이즈 및 디자인 룰(Design Rule)이 작아짐으로 인하여 워드라인 사이에 형성되는 절연막에 보이드(Void)가 발생된다. 메모리 콘택을 형성하기 위한 이후 공정에서 도전성 물질의 증착시에 상기 보이드에도 도전성 물질이 형성됨에 따라 메모리 콘택간에 숏트(Short) 현상이 발생되어 반도체 소자의 생산 수율(yield)을 저하시키는 원인이 되고 있다.

이하, 첨부된 도면을 참조하여 종래 반도체 소자의 제조방법을 설명하면 다음과 같다.

도 1a 내지 도 1d는 종래 반도체 소자의 제조공정 단면도이다.

우선, 도 1a에 도시된 바와 같이 소자 분리막(1)이 형성된 반도체 기판의 표면에 게이트 산화막(도시하지 않았음)을 형성하고 상기 게이트 산화막상에 폴리실리콘막을 형성한 후에 포토 및 식각 공정으로 상기 폴리실리콘막을 선택적으로 제거하여 반도체 기판상에 일방향으로 정렬되는 복수개의 게이트 전극(2)을 형성한다. 후에 캡핑 절연막(3)을 열 산화공정으로 형성후 질화막(4)을 증착한다.

이어, 도 1b에 도시된 바와 같이 상기 질화막을 에치백(Etch-back)하여 측벽(5)을 형성한다. 후에 이온주입 공정으로 소오스/드레인(Source/Drain; 이하 S/D) 불순물 영역(6)을 형성한다.

이어, 도 1c에 도시된 바와 같이 S/D영역이 형성된 기판에 질화막을 형성한다. 상기 질화막은 소자분리막의 스파이킹 방지를 위해 형성한다.

그리고, 도 1d에 도시된 바와 같이 상기 게이트 전극 사이의 공간이 채워지도록 상기 기판의 전면에 BPSG(Boron Phosphorus Silicate Glass)막을 증착하여 갭필(gap fill)막(8)을 형성하고, CMP(Chemical Mechanical Polishing) 공정으로 상기 갭필막의 표면을 평탄화한다.

상기 갭필막을 형성할 때에 상기 게이트 전극 사이의 공간이 매우 좁기 때문에 상기 게이트 전극 사이에 형성되는 상기 갭필막에 보이드(9)가 발생하는 문제점이 있다. 상기 보이드는 상기 게이트 전극 사이의 상기 갭필막 내에 상기 게이트 전극과 나란한 방향으로 발생된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 캡핑 절연막 및 라이너 질화막 공정을 따로 진행하지 않고 기 진행된 측벽 질화막을 사이드월 에치시 제어하여 질화막을 소정부분 남겨둠으로써 상기 질화막으로 위의 두가지 공정을 대체하는 반도체 소자의 제조방법을 제공함에 본 발명의 목적이 있다.

발명의 구성 및 작용

본 발명의 상기 목적은 소정의 구조물이 형성된 기판에 폴리를 증착하고 패터닝하여 게이트 전극을 형성하는 단계, 상기 게이트 전극을 포함한 상기 기판 상부 전면에 질화막을 증착하는 단계, 상기 질화막 상부에 산화막을 증착하는 단계, 상기 산화막을 상기 게이트 전극 측벽에만 남도록 에치하여 사이드월을 형성하는 단계, 상기 게이트 전극과 사이드월을 마스크로 상기 기판에 이온을 주입하여 소오스/드레인 영역을 형성하는 단계 및 상기 사이드월을 제거한 후 상기 질화막 상부에 층간 절연막을 형성하는 단계를 포함하는 반도체 소자의 제조방법에 의해 달성된다.

본 발명의 상기 목적은 기판 상부에 형성된 게이트 전극, 상기 게이트 전극을 포함한 기판 전면에 형성된 질화막, 상기 질화막 상부에 형성된 층간 절연막 및 상기 게이트 전극에서 일정 간격 이격된 기판에 형성된 소오스/드레인 영역을 포함하는 반도체 소자에 의해서도 달성된다.

본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다.

본 발명에 따른 반도체 소자의 제조방법은 소정의 구조물이 형성된 기판에 폴리를 증착하고 패터닝하여 게이트 전극을 형성하는 단계, 상기 게이트 전극을 열산화하여 상기 게이트 전극 표면에 폴리 산화막을 형성하는 단계, 상기 반도체 기판에 저농도의 이온을 주입하여 LDD 영역을 형성하는 단계, 상기 게이트 전극을 포함한 상기 기판 상부 전면에 질화막을 증착하는 단계, 상기 질화막 상부에 산화막을 증착하는 단계, 상기 산화막을 상기 게이트 전극 측벽에만 남도록 에치하여 사이드월을 형성하는 단계, 상기 게이트 전극과 사이드월을 마스크로 상기 기판에 이온을 주입하여 소오스/드레인 영역을 형성하는 단계 및 상기 사이드월을 제거한 후 상기 질화막 상부에 층간 절연막을 형성하는 단계로 구성되어 있다.

도 2a 내지 도 2d는 본 발명에 따른 반도체 소자의 제조공정 단면도이다.

우선, 도 2a에 도시된 바와 같이 소자 분리막(11)이 형성된 반도체 기판의 표면에 게이트 산화막을 형성하고 상기 게이트 산화막상에 폴리실리콘막을 형성한 후에 포토 및 에치 공정으로 상기 폴리실리콘막을 선택적으로 제거하여 반도체 기판상에 일방향으로 정렬되는 복수개의 게이트 전극(12)을 형성한다. 이때, 상기 게이트 전극(12)을 열산화하여 게이트 전극 표면에 폴리 산화막을 형성하고, 폴리 산화막이 형성된 게이트 전극을 마스크로 기판에 저농도의 이온을 주입하여 LDD 영역을 형성할 수도 있다.

후에 질화막(13)과 산화막(14)을 순차적으로 형성한다.

상기 질화막은 300~500Å의 두께로 형성하는 것이 바람직하다.

상기 산화막은 700~900Å의 두께로 형성하는 것이 바람직하다.

2b에 도시된 바와 같이 상기 산화막에 에치공정을 진행하여 게이트 전극(12)의 측벽에 사이드월(15)을 형성한다. 후에 게이트 전극(12)과 사이드월(15)을 마스크로 기판에이온주입 공정으로 S/D 영역(16)을 형성한다.

상기 사이드월을 형성하기 위하여 에치공정을 진행 시 상기 질화막을 엔드포인트(End point)를 이용해 에치공정을 진행하고 오버 에치시 질화막을 약 100Å 정도 에치하여 최종적으로 남아있는 질화막의 두께가 200~400Å인 상태에서 S/D 이온 주입공정을 진행한다.

200~400Å의 두께로 남아있는 상기 질화막이 이온 주입시 발생하는 하부 기판의 실리콘 데미지를 방지하는 캡핑 절연막 역할을 하는 동시에 콘택의 가장자리 에치시 발생할 수 있는 STI 스파이킹 방지를 위한 역할도 하게 된다.

이어, 도 2c에 도시된 바와 같이 상기 사이드월을 에치 공정을 이용하여 제거한다.

상기와 같이 제거된 사이드월에 의해 후속공정에서 층간절연막을 증착시 게이트 전극(12) 간의 간극이 넓어져서 보이드 현상이 발생하지 않는다.

그리고, 도 2d에 도시된 바와 같이 게이트 전극(12) 사이의 공간이 채워지도록 상기 기판의 전면에 BPSG막 또는 PSG막을 증착하여 절연막(17)을 형성하고, CMP 공정으로 상기 절연막의 표면을 평탄화한다.

상기 절연막을 증착시 사이드월 역할을 하는 상기 산화막이 전 공정에서 이미 제거되어 있기 때문에 게이트 전극 간의 사이가 넓어져서 보이드가 발생하는 현상은 나타나지 않는다.

상기의 공정으로 제조된 반도체 소자는 기판 상부에 형성된 게이트 전극, 상기 게이트 전극을 포함한 기판 전면에 형성된 질화막, 상기 질화막 상부에 형성된 층간 절연막 및 상기 게이트 전극에서 일정 간격 이격된 기판에 형성된 소오스/드레인 영역으로 구성되어 있고, 상기 게이트 전극 표면에는 폴리 산화막이, 상기 소오스/드레인 영역과 게이트 전극 사이의 기판에는 LDD 영역이 포함되어 구성되어 있다.

상세히 설명된 본 발명에 의하여 본 발명의 특징부를 포함하는 변화들 및 변형들이 당해 기술 분야에서 숙련된 보통의 사람들에게 명백히 쉬워질 것이 자명하다. 본 발명의 그러한 변형들의 범위는 본 발명의 특징부를 포함하는 당해 기술 분야에 숙련된 통상의 지식을 가진 자들의 범위 내에 있으며, 그러한 변형들은 본 발명의 청구항의 범위 내에 있는 것으로 간주된다.

발명의 효과

따라서, 본 발명의 반도체 소자의 제조방법은 소스/드레인 영역을 형성하고 사이드월을 제거함으로써 게이트 전극 사이의 폭을 넓게하여 층간 절연막의 형성시 공정 마진을 확보할 수 있으며, 사이드월 형성 공정에서의 질화막을 이온 주입에 따른 기판 손상을 방지하기 위한 캡핑막 및 콘택 식각시 식각 방지막으로 사용할 수 있어 층간 절연막의 식각 방지막 형성 공정을 생략할 수 있어 공정을 간소화할 수 있을 뿐만 아니라 그에 따라 반도체 소자의 제작단가를 낮출수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

소정의 구조물이 형성된 기판에 폴리를 증착하고 패터닝하여 게이트 전극을 형성하는 단계;

상기 게이트 전극을 포함한 상기 기판 상부 전면에 질화막을 증착하는 단계;

상기 질화막 상부에 산화막을 증착하는 단계;

상기 산화막을 상기 게이트 전극 측벽에만 남도록 에치하여 사이드월을 형성하는 단계;

상기 게이트 전극과 사이드월을 마스크로 상기 기판에 이온을 주입하여 소오스/드레인 영역을 형성하는 단계; 및

상기 사이드월을 제거한 후 상기 질화막 상부에 층간 절연막을 형성하는 단계

를 포함하는 반도체 소자의 제조방법.

청구항 2.

제 1항에 있어서,

상기 게이트 전극 형성 이후, 상기 게이트 전극을 열산화하여 상기 게이트 전극 표면에 폴리 산화막을 형성하는 단계를 더 포함하는 반도체 소자의 제조방법.

청구항 3.

제 1항에 있어서,

상기 질화막을 증착하는 단계 이전, 상기 반도체 기판에 저농도의 이온을 주입하여 LDD 영역을 형성하는 단계를 더 포함하는 반도체 소자의 제조방법.

청구항 4.

제 1항 내지 제 3항 중 어느 한 항에 있어서,

상기 사이드월을 형성하는 단계에서, 상기 산화막의 에치시 오버 에치에 의해 드러난 상기 질화막을 일정 두께 제거하는 반도체 소자의 제조방법.

청구항 5.

제 4항에 있어서,

상기 오버 에치에 의해 잔류하는 상기 질화막의 두께가 200~400Å이 되도록 하는 반도체 소자의 제조방법.

청구항 6.

제 5항에 있어서,

상기 질화막은 300~500Å의 두께로 형성하며, 상기 산화막은 700~900Å의 두께로 형성하는 반도체 소자의 제조방법.

청구항 7.

기판 상부에 형성된 게이트 전극;

상기 게이트 전극을 포함한 기판 전면에 형성된 질화막;

상기 질화막 상부에 형성된 층간 절연막; 및

상기 기판상에 상기 게이트 전극에서 스페이서가 위치하던 자리 만큼 일정 간격 이격된 위치에 형성된 소오스/드레인 영역을 포함하는 반도체 소자.

청구항 8.

제 7항에 있어서,

상기 게이트 전극 표면에 형성된 폴리 산화막을 더 포함하는 반도체 소자.

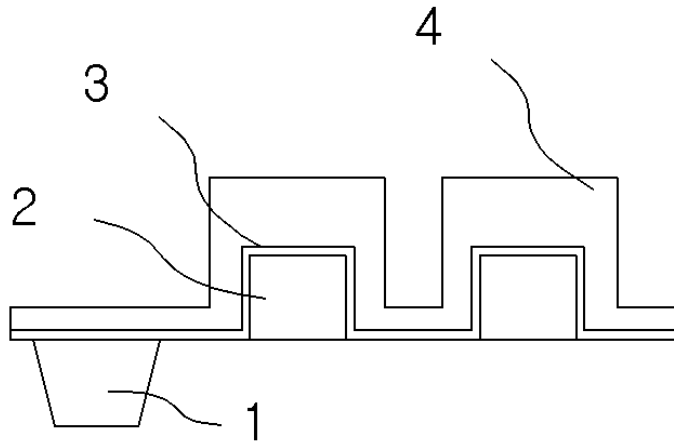
청구항 9.

제 7항 또는 제 8항에 있어서,

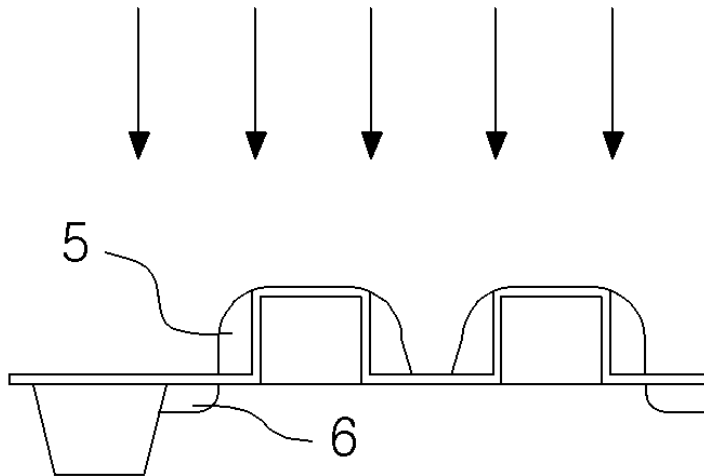
상기 소오스/드레인 영역과 게이트 전극 사이의 기판에 형성된 LDD 영역을 더 포함하는 반도체 소자.

도면

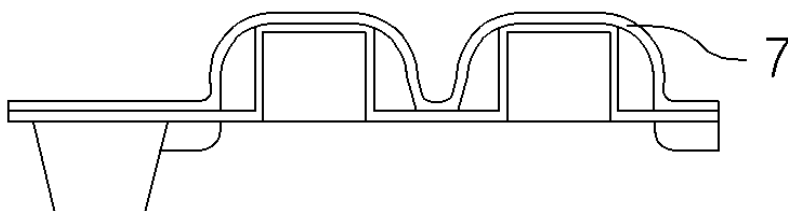
도면1a



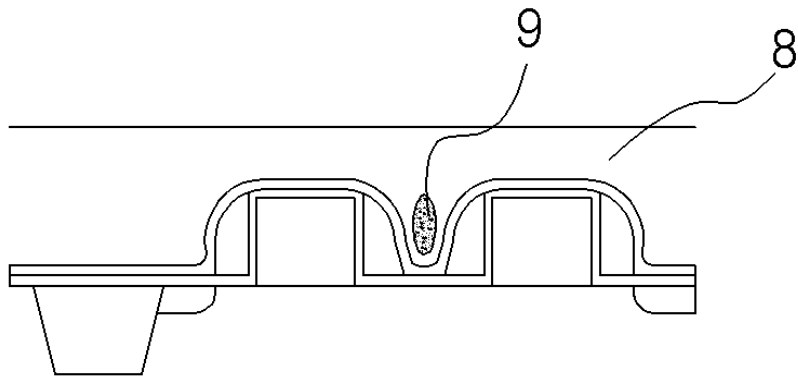
도면1b



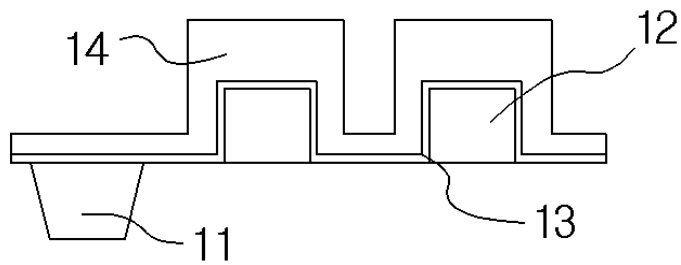
도면1c



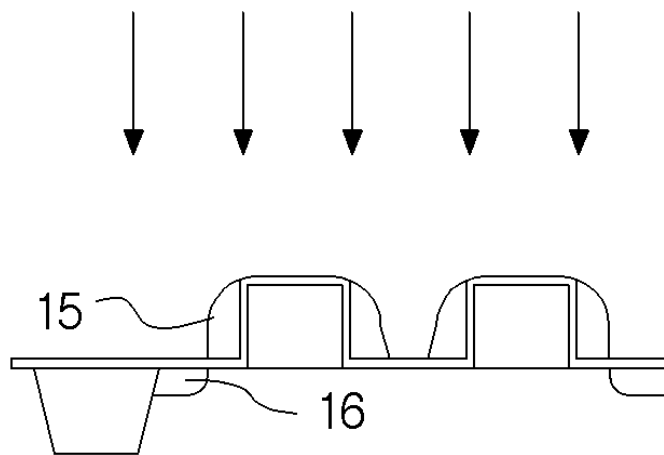
도면1d



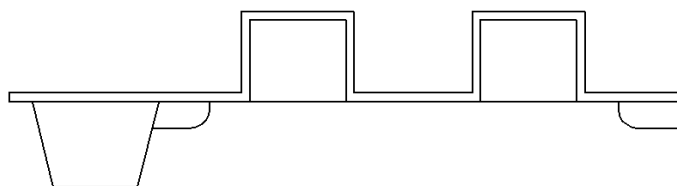
도면2a



도면2b



도면2c



도면2d

