

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5207164号
(P5207164)

(45) 発行日 平成25年6月12日(2013.6.12)

(24) 登録日 平成25年3月1日(2013.3.1)

(51) Int.Cl. F I
HO2M 3/07 (2006.01) HO2M 3/07

請求項の数 19 (全 48 頁)

<p>(21) 出願番号 特願2007-214112 (P2007-214112) (22) 出願日 平成19年8月20日 (2007.8.20) (65) 公開番号 特開2008-79493 (P2008-79493A) (43) 公開日 平成20年4月3日 (2008.4.3) 審査請求日 平成22年7月13日 (2010.7.13) (31) 優先権主張番号 特願2006-225902 (P2006-225902) (32) 優先日 平成18年8月22日 (2006.8.22) (33) 優先権主張国 日本国(JP)</p>	<p>(73) 特許権者 303018827 N L Tテクノロジー株式会社 神奈川県川崎市中原区下沼部 1 7 5 3 番地 (74) 代理人 100099830 弁理士 西村 征生 (72) 発明者 野中 義弘 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C 液晶テクノロジー株式会社内 審査官 武市 匡紘</p>
---	--

最終頁に続く

(54) 【発明の名称】 電源回路及び該電源回路を備えた電子機器

(57) 【特許請求の範囲】

【請求項 1】

M O S トランジスタ及びキャパシタを有し、クロックが第 1 のレベルでかつ前記 M O S トランジスタがオン状態のとき、所定の直流入力電圧を該 M O S トランジスタを介して前記キャパシタに充電した電圧を充電電圧とし、前記クロックが第 2 のレベルでかつ前記 M O S トランジスタがオフ状態のとき、前記充電電圧に前記クロックの振幅分変化させたレベルの生成電圧を生成するチャージポンプ回路と、

前記 M O S トランジスタのゲート電極に、前記キャパシタの電圧が前記生成電圧又は前記充電電圧への変化に同期して、該 M O S トランジスタをオフ状態又はオン状態とするための制御電圧を印加するゲート制御回路とを備えてなることを特徴とする電源回路。

10

【請求項 2】

第 1 の M O S トランジスタ及び第 1 のキャパシタを有し、第 1 のクロックが第 1 のレベルでかつ前記第 1 の M O S トランジスタがオン状態のとき、所定の直流入力電圧を該第 1 の M O S トランジスタを介して前記第 1 のキャパシタに充電した電圧を第 1 の充電電圧とし、前記第 1 のクロックが第 2 のレベルでかつ前記第 1 の M O S トランジスタがオフ状態のとき、前記第 1 の充電電圧に前記第 1 のクロックの振幅分変化させたレベルの第 1 の生成電圧を生成して出力する第 1 のチャージポンプ回路と、

第 2 の M O S トランジスタ及び第 2 のキャパシタを有し、前記第 1 のクロックと逆位相の第 2 のクロックが前記第 1 のレベルでかつ前記第 2 の M O S トランジスタがオン状態のとき、前記直流入力電圧を該第 2 の M O S トランジスタを介して前記第 2 のキャパシタに

20

充電した電圧を第2の充電電圧とし、前記第2のクロックが前記第2のレベルでかつ前記第2のMOSトランジスタがオフ状態のとき、前記第2の充電電圧を前記第2のクロックの振幅分変化させたレベルの第2の生成電圧を生成して出力する第2のチャージポンプ回路と、

前記第2のクロックが前記第1のレベルのとき、前記第1の生成電圧を直流出力電圧として出力する一方、前記第1のクロックが前記第1のレベルのとき、前記第2の生成電圧を前記直流出力電圧として出力する出力回路とを有する電源回路であって、

前記第1のMOSトランジスタの第1のゲート電極に、前記第1の生成電圧から前記第1の充電電圧への変化に同期して前記第1のレベルと同一レベルの第1の制御電圧を印加することにより該第1のMOSトランジスタをオン状態とする一方、前記第2の生成電圧から前記第2の充電電圧への変化に同期して前記第1の生成電圧と同一レベルの前記第1の制御電圧を印加することにより該第1のMOSトランジスタをオフ状態とする第1のゲート制御回路と、

前記第2のMOSトランジスタの第2のゲート電極に、前記第2の生成電圧から前記第2の充電電圧への変化に同期して前記第1のレベルと同一レベルの第2の制御電圧を印加することにより該第2のMOSトランジスタをオン状態とする一方、前記第1の生成電圧から前記第1の充電電圧への変化に同期して前記第2の生成電圧と同一レベルの前記第2の制御電圧を印加することにより該第2のMOSトランジスタをオフ状態とする第2のゲート制御回路とが設けられていることを特徴とする電源回路。

【請求項3】

前記第1のMOSトランジスタは、

前記直流入力電圧が印加される第1のノードに接続された第1の電極、第2のノードに接続された第2の電極、及び第3のノードに接続された第1のゲート電極を備え、

前記第1のキャパシタは、

第1のクロックが入力される第3の電極及び前記第2のノードに接続された第4の電極を備え、

前記第2のMOSトランジスタは、

前記第1のノードに接続された第5の電極、第4のノードに接続された第6の電極、及び第5のノードに接続された第2のゲート電極を備え、

前記第2のキャパシタは、

前記第1のクロックと逆位相の第2のクロックが入力される第7の電極及び前記第4のノードに接続された第8の電極を備え、

前記出力回路は、

前記第2のノードに接続された第9の電極、前記直流出力電圧を出力するための第6のノードに接続された第10の電極、及び前記第4のノードに接続された第3のゲート電極を備える第3のMOSトランジスタと、

前記第4のノードに接続された第11の電極、前記第6のノードに接続された第12の電極、及び前記第2のノードに接続された第4のゲート電極を備える第4のMOSトランジスタとから構成され、

前記第2のゲート制御回路は、

前記第4のノードに接続された第13の電極、第7のノードに接続された第14の電極、及び前記直流入力電圧又は前記第1のクロックが入力される第5のゲート電極を備える第5のMOSトランジスタと、

前記第5のノードに接続された第15の電極、前記第1のレベル又は前記第2のクロックが入力される第16の電極、及び前記第7のノードに接続された第6のゲート電極を備える第6のMOSトランジスタと、

前記第4又は第6のノードに接続された第17の電極、前記第5のノードに接続された第18の電極、及び前記第2のノードに接続された第7のゲート電極を備える第7のMOSトランジスタとから構成され、

前記第1のゲート制御回路は、

10

20

30

40

50

前記第2のノードに接続された第19の電極、第8のノードに接続された第20の電極、及び前記直流入力電圧又は前記第2のクロックが入力される第8のゲート電極を備える第8のMOSトランジスタと、

前記第3のノードに接続された第21の電極、前記第1のレベル又は前記第1のクロックが入力される第22の電極、及び前記第8のノードに接続された第9のゲート電極を備える第9のMOSトランジスタと、

前記第2又は第6のノードに接続された第23の電極、前記第3のノードに接続された第24の電極、及び前記第4のノードに接続された第10のゲート電極を備える第10のMOSトランジスタとから構成されていることを特徴とする請求項2記載の電源回路。

【請求項4】

前記第1のMOSトランジスタは、

前記直流入力電圧が印加される第1のノードに接続された第1の電極、第2のノードに接続された第2の電極、及び第3のノードに接続された第1のゲート電極を備え、

前記第1のキャパシタは、

第1のクロックが入力される第3の電極及び前記第2のノードに接続された第4の電極を備え、

前記第2のMOSトランジスタは、

前記第1のノードに接続された第5の電極、第4のノードに接続された第6の電極、及び第5のノードに接続された第2のゲート電極を備え、

前記第2のキャパシタは、

前記第1のクロックと逆位相の第2のクロックが入力される第7の電極及び前記第4のノードに接続された第8の電極を備え、

前記出力回路は、

前記第2のノードに接続された第9の電極、前記直流出力電圧を出力するための第6のノードに接続された第10の電極、及び前記第4のノードに接続された第3のゲート電極を備える第3のMOSトランジスタと、

前記第4のノードに接続された第11の電極、前記第6のノードに接続された第12の電極、及び前記第2のノードに接続された第4のゲート電極を備える第4のMOSトランジスタとから構成され、

前記第2のゲート制御回路は、

前記第4のノードに接続された第13の電極、第7のノードに接続された第14の電極、及び前記第4のノードに接続された第5のゲート電極を備える第5のMOSトランジスタと、

前記第5のノードに接続された第15の電極、前記第1のレベル又は前記第2のクロックが入力される第16の電極、及び前記第7のノードに接続された第6のゲート電極を備える第6のMOSトランジスタと、

前記第4又は第6のノードに接続された第17の電極、前記第5のノードに接続された第18の電極、及び前記第2のノードに接続された第7のゲート電極を備える第7のMOSトランジスタと、

前記第4又は第6のノードに接続された第25の電極、前記第7のノードに接続された第26の電極、及び前記第2のノードに接続された第11のゲート電極を備える第11のMOSトランジスタとから構成され、

前記第1のゲート制御回路は、

前記第2のノードに接続された第19の電極、第8のノードに接続された第20の電極、及び前記第2のノードに接続された第8のゲート電極を備える第8のMOSトランジスタと、

前記第3のノードに接続された第21の電極、前記第1のレベル又は前記第1のクロックが入力される第22の電極、及び前記第8のノードに接続された第9のゲート電極を備える第9のMOSトランジスタと、

前記第2又は第6のノードに接続された第23の電極、前記第3のノードに接続された

10

20

30

40

50

第 24 の電極、及び前記第 4 のノードに接続された第 10 のゲート電極を備える第 10 の MOS トランジスタと、

前記第 2 又は第 6 のノードに接続された第 27 の電極、前記第 8 のノードに接続された第 28 の電極、及び前記第 4 のノードに接続された第 12 のゲート電極を備える第 12 の MOS トランジスタとから構成されていることを特徴とする請求項 2 記載の電源回路。

【請求項 5】

前記第 1 の MOS トランジスタは、

前記直流入力電圧が印加される第 1 のノードに接続された第 1 の電極、第 2 のノードに接続された第 2 の電極、及び第 3 のノードに接続された第 1 のゲート電極を備え、

前記第 1 のキャパシタは、

第 1 のクロックが入力される第 3 の電極及び前記第 2 のノードに接続された第 4 の電極を備え、

前記第 2 の MOS トランジスタは、

前記第 1 のノードに接続された第 5 の電極、第 4 のノードに接続された第 6 の電極、及び第 5 のノードに接続された第 2 のゲート電極を備え、

前記第 2 のキャパシタは、

前記第 1 のクロックと逆位相の第 2 のクロックが入力される第 7 の電極及び前記第 4 のノードに接続された第 8 の電極を備え、

前記出力回路は、

前記第 2 のノードに接続された第 9 の電極、前記直流出力電圧を出力するための第 6 のノードに接続された第 10 の電極、及び前記第 4 のノードに接続された第 3 のゲート電極を備える第 3 の MOS トランジスタと、

前記第 4 のノードに接続された第 11 の電極、前記第 6 のノードに接続された第 12 の電極、及び前記第 2 のノードに接続された第 4 のゲート電極を備える第 4 の MOS トランジスタとから構成され、

前記第 2 のゲート制御回路は、

前記第 4 のノードに接続された第 13 の電極、第 7 のノードに接続された第 14 の電極、及び前記第 4 のノードに接続された第 5 のゲート電極を備える第 5 の MOS トランジスタと、

前記第 5 のノードに接続された第 15 の電極、前記第 1 のレベル又は前記第 2 のクロックが入力される第 16 の電極、及び前記第 7 のノードに接続された第 6 のゲート電極を備える第 6 の MOS トランジスタと、

前記第 4 又は第 6 のノードに接続された第 17 の電極、前記第 5 のノードに接続された第 18 の電極、及び前記第 2 のノードに接続された第 7 のゲート電極を備える第 7 の MOS トランジスタと、

前記第 4 又は第 6 のノードに接続された第 25 の電極、第 9 のノードに接続された第 26 の電極、及び前記第 2 のノードに接続された第 11 のゲート電極を備える第 11 の MOS トランジスタと、

前記第 9 のノードに接続された第 29 の電極、前記第 7 のノードに接続された第 30 の電極、及び前記第 7 のノードに接続された第 13 のゲート電極を備える第 13 の MOS トランジスタとから構成され、

前記第 1 のゲート制御回路は、

前記第 2 のノードに接続された第 19 の電極、第 8 のノードに接続された第 20 の電極、及び前記第 2 のノードに接続された第 8 のゲート電極を備える第 8 の MOS トランジスタと、

前記第 3 のノードに接続された第 21 の電極、前記第 1 のレベル又は前記第 1 のクロックが入力される第 22 の電極、及び前記第 8 のノードに接続された第 9 のゲート電極を備える第 9 の MOS トランジスタと、

前記第 2 又は第 6 のノードに接続された第 23 の電極、前記第 3 のノードに接続された第 24 の電極、及び前記第 4 のノードに接続された第 10 のゲート電極を備える第 10 の

10

20

30

40

50

M O S トランジスタと、

前記第 2 又は第 6 のノードに接続された第 2 7 の電極、第 1 0 のノードに接続された第 2 8 の電極、及び前記第 4 のノードに接続された第 1 2 のゲート電極を備える第 1 2 の M O S トランジスタと

前記第 1 0 のノードに接続された第 3 1 の電極、前記第 8 のノードに接続された第 3 2 の電極、及び前記第 8 のノードに接続された第 1 4 のゲート電極を備える第 1 4 の M O S トランジスタとから構成されていることを特徴とする請求項 2 記載の電源回路。

【請求項 6】

第 1 の M O S トランジスタ及び第 1 のキャパシタを有し、第 1 のクロックが第 1 のレベルでかつ前記第 1 の M O S トランジスタがオン状態のとき、第 1 の直流入力電圧を該第 1 の M O S トランジスタを介して前記第 1 のキャパシタに印加し、前記第 1 のクロックが第 2 のレベルでかつ前記第 1 の M O S トランジスタがオフ状態のとき、前記第 1 のキャパシタの充電電圧に前記第 1 のクロックの振幅が重畳されたレベルの第 1 の昇圧電圧を生成して出力する複数の第 1 のチャージポンプ回路と、

第 2 の M O S トランジスタ及び第 2 のキャパシタを有し、前記第 1 のクロックと逆位相の第 2 のクロックが第 1 のレベルでかつ前記第 2 の M O S トランジスタがオン状態のとき、第 2 の直流入力電圧を該第 2 の M O S トランジスタを介して前記第 2 のキャパシタに印加し、前記第 2 のクロックが第 2 のレベルでかつ前記第 2 の M O S トランジスタがオフ状態のとき、前記第 2 のキャパシタの充電電圧に前記第 2 のクロックの振幅が重畳されたレベルの第 2 の昇圧電圧を生成して出力する複数の第 2 のチャージポンプ回路とを備え、

前記第 1 のチャージポンプ回路を初段として所定数の前記各第 1 のチャージポンプ回路と前記各第 2 のチャージポンプ回路とが交互に縦続接続されると共に、前記第 2 のチャージポンプ回路を初段として前記所定数の前記各第 2 のチャージポンプ回路と前記各第 1 のチャージポンプ回路とが交互に縦続接続されている電源回路であって、

最終段の前記第 1 の昇圧電圧又は最終段の前記第 2 の昇圧電圧を直流出力電圧として出力する出力回路と、

前記各第 1 の M O S トランジスタの第 1 のゲート電極に、最終段の前記第 1 の昇圧電圧の立下がりに同期して前記第 1 のレベルと同一レベルの第 1 の制御電圧を印加することにより前記各第 1 の M O S トランジスタをオン状態とする一方、最終段の前記第 2 の昇圧電圧の立下がりに同期して前記直流出力電圧と同一レベルの前記第 1 の制御電圧を印加することにより前記各第 1 の M O S トランジスタをオフ状態とする第 1 のゲート制御回路と、

前記各第 2 の M O S トランジスタの第 2 のゲート電極に、最終段の前記第 2 の昇圧電圧の立下がりに同期して前記第 1 のレベルと同一レベルの第 2 の制御電圧を印加することにより前記各第 2 の M O S トランジスタをオン状態とする一方、最終段の前記第 1 の昇圧電圧の立下がりに同期して前記直流出力電圧と同一レベルの前記第 2 の制御電圧を印加することにより前記各第 2 の M O S トランジスタをオフ状態とする第 2 のゲート制御回路とが設けられていることを特徴とする電源回路。

【請求項 7】

前記第 1 のゲート制御回路は、

最終段の前記第 1 の昇圧電圧が入力される第 1 の電極、第 1 のノードに接続された第 2 の電極、及び初段の前記第 2 の昇圧電圧が入力される第 3 のゲート電極を備える第 3 の M O S トランジスタと、

前記各第 1 の M O S トランジスタの第 1 のゲート電極に接続された第 3 の電極、前記第 1 のレベル又は前記第 1 のクロックが入力される第 4 の電極、及び前記第 1 のノードに接続された第 4 のゲート電極を備える第 4 の M O S トランジスタと、

前記直流出力電圧又は最終段の前記第 1 の昇圧電圧が入力される第 5 の電極、前記各第 1 の M O S トランジスタの第 1 のゲート電極に接続された第 6 の電極、及び最終段の前記第 2 の昇圧電圧が入力される第 5 のゲート電極を備える第 5 の M O S トランジスタとから構成され、

前記第 2 のゲート制御回路は、

最終段の前記第2の昇圧電圧が入力される第7の電極、第2のノードに接続された第8の電極、及び初段の前記第1の昇圧電圧が入力される第6のゲート電極を備える第6のMOSトランジスタと、

前記各第2のMOSトランジスタの第2のゲート電極に接続された第9の電極、前記第1のレベル又は前記第2のクロックが入力される第10の電極、及び前記第2のノードに接続された第7のゲート電極を備える第7のMOSトランジスタと、

前記直流出力電圧又は最終段の前記第2の昇圧電圧が入力される第11の電極、前記各第2のMOSトランジスタの第2のゲート電極に接続された第12の電極、及び最終段の前記第1の昇圧電圧が入力される第8のゲート電極を備える第8のMOSトランジスタとから構成されていることを特徴とする請求項6記載の電源回路。

10

【請求項8】

第1のMOSトランジスタ及び第1のキャパシタを有し、第1のクロックが第1のレベルでかつ前記第1のMOSトランジスタがオン状態のとき、所定の直流入力電圧を該第1のMOSトランジスタを介して前記第1のキャパシタに充電した電圧を第1の充電電圧とし、前記第1のクロックが第2のレベルでかつ前記第1のMOSトランジスタがオフ状態のとき、前記第1の充電電圧に前記第1のクロックの振幅分変化させたレベルの第1の生成電圧を生成して出力する第1のチャージポンプ回路と、

第2のMOSトランジスタ及び第2のキャパシタを有し、前記第1のクロックと逆位相の第2のクロックが前記第1のレベルでかつ前記第2のMOSトランジスタがオン状態のとき、前記直流入力電圧を該第2のMOSトランジスタを介して前記第2のキャパシタに充電した電圧を第2の充電電圧とし、前記第2のクロックが前記第2のレベルでかつ前記第2のMOSトランジスタがオフ状態のとき、前記第2の充電電圧を前記第2のクロックの振幅分変化させたレベルの第2の生成電圧を生成して出力する第2のチャージポンプ回路と、

20

前記第2のクロックが前記第1のレベルのとき、前記第1の生成電圧を直流出力電圧として出力する一方、前記第1のクロックが前記第1のレベルのとき、前記第2の生成電圧を前記直流出力電圧として出力する出力回路とを有する電源回路であって、

前記直流入力電圧を前記第1のクロックの振幅分だけ前記第1のチャージポンプ回路と逆方向に変化させたレベルの第3の生成電圧を生成する第3のチャージポンプ回路と、

前記直流入力電圧を前記第2のクロックの振幅分だけ前記第2のチャージポンプ回路と逆方向に変化させたレベルの第4の生成電圧を生成する第4のチャージポンプ回路と、

30

前記第1のMOSトランジスタの第1のゲート電極に、前記第1の生成電圧から前記第1の充電電圧への変化に同期して前記第3の生成電圧と同一レベルの第1の制御電圧を印加することにより該第1のMOSトランジスタをオン状態とする一方、前記第2の生成電圧から前記第2の充電電圧への変化に同期して前記第1の生成電圧と同一レベルの前記第1の制御電圧を印加することにより該第1のMOSトランジスタをオフ状態とする第1のゲート制御回路と、

前記第2のMOSトランジスタの第2のゲート電極に、前記第2の生成電圧から前記第2の充電電圧への変化に同期して前記第4の生成電圧と同一レベルの第2の制御電圧を印加することにより該第2のMOSトランジスタをオン状態とする一方、前記第1の生成電圧から前記第1の充電電圧への変化に同期して前記第2の生成電圧と同一レベルの前記第2の制御電圧を印加することにより該第2のMOSトランジスタをオフ状態とする第2のゲート制御回路とが設けられていることを特徴とする電源回路。

40

【請求項9】

前記第1のチャージポンプ回路は、

前記第1のMOSトランジスタが、前記直流入力電圧が印加される第1のノードに接続された第1の電極、第2のノードに接続された第2の電極、及び第3のノードに接続された第1のゲート電極を備え、かつ、前記第1のキャパシタが、第1のクロックが入力される第3の電極及び前記第2のノードに接続された第4の電極を備え、

前記第2のチャージポンプ回路は、

50

前記第2のMOSトランジスタが、前記第1のノードに接続された第5の電極、第4のノードに接続された第6の電極、及び第5のノードに接続された第2のゲート電極を備え、かつ、前記第2のキャパシタが、前記第1のクロックと逆位相の第2のクロックが入力される第7の電極及び前記第4のノードに接続された第8の電極を備え、

前記第3のチャージポンプ回路は、

前記第1のノードに接続された第13の電極、第7のノードに接続された第14の電極、及び第8のノードに接続された第5のゲート電極を備える第5のMOSトランジスタと、

前記第1のクロックが入力される第15の電極及び前記第7のノードに接続されている第16の電極を備える第3のキャパシタとから構成され、

10

前記第4のチャージポンプ回路は、

前記第1のノードに接続された第17の電極、前記第8のノードに接続された第18の電極、及び前記第7のノードに接続された第6のゲート電極を備える第6のMOSトランジスタと、

前記第2のクロックが入力される第19の電極及び前記第8のノードに接続されている第20の電極を備える第4のキャパシタとから構成され、

前記第1のゲート制御回路は、

前記第4のノードに接続された第21の電極、第9のノードに接続された第22の電極、及び前記直流入力電圧が入力される第7のゲート電極を備える第7のMOSトランジスタと、

20

前記第5のノードに接続された第23の電極、前記第8のノードに接続された第24の電極、及び前記第9のノードに接続された第8のゲート電極を備える第8のMOSトランジスタと、

前記第4又は第6のノードに接続された第25の電極、前記第5のノードに接続された第26の電極、及び前記第2のノードに接続された第9のゲート電極を備える第9のMOSトランジスタとから構成され、

前記第2のゲート制御回路は、

前記第2のノードに接続された第27の電極、第10のノードに接続された第28の電極、及び前記直流入力電圧が入力される第10のゲート電極を備える第10のMOSトランジスタと、

30

前記第3のノードに接続された第29の電極、前記第7のノードに接続された第30の電極、及び前記第10のノードに接続された第11のゲート電極を備える第11のMOSトランジスタと、

前記第2又は第6のノードに接続された第31の電極、前記第3のノードに接続された第32の電極、及び前記第4のノードに接続された第12のゲート電極を備える第12のMOSトランジスタとから構成されていることを特徴とする請求項8記載の電源回路。

【請求項10】

前記第1のチャージポンプ回路は、

前記第1のMOSトランジスタが、前記直流入力電圧が印加される第1のノードに接続された第1の電極、第2のノードに接続された第2の電極、及び第3のノードに接続された第1のゲート電極を備え、かつ、前記第1のキャパシタが、第1のクロックが入力される第3の電極及び前記第2のノードに接続された第4の電極を備え、

40

前記第2のチャージポンプ回路は、

前記第2のMOSトランジスタが、前記第1のノードに接続された第5の電極、第4のノードに接続された第6の電極、及び第5のノードに接続された第2のゲート電極を備え、かつ、前記第2のキャパシタが、前記第1のクロックと逆位相の第2のクロックが入力される第7の電極及び前記第4のノードに接続された第8の電極を備え、

前記第3のチャージポンプ回路は、

前記第1のノードに接続された第13の電極、第7のノードに接続された第14の電極、及び第8のノードに接続された第5のゲート電極を備える第5のMOSトランジスタと

50

、
前記第 1 のクロックが入力される第 15 の電極及び前記第 7 のノードに接続されている第 16 の電極を備える第 3 のキャパシタとから構成され、

前記第 4 のチャージポンプ回路は、

前記第 1 のノードに接続された第 17 の電極、前記第 8 のノードに接続された第 18 の電極、及び前記第 7 のノードに接続された第 6 のゲート電極を備える第 6 の MOS トランジスタと、

前記第 2 のクロックが入力される第 19 の電極及び前記第 8 のノードに接続されている第 20 の電極を備える第 4 のキャパシタとから構成され、

前記第 1 のゲート制御回路は、

前記第 4 のノードに接続された第 21 の電極、第 9 のノードに接続された第 22 の電極、及び前記第 4 のノードに接続された第 7 のゲート電極を備える第 7 の MOS トランジスタと、

前記第 5 のノードに接続された第 23 の電極、前記第 8 のノードに接続された第 24 の電極、及び前記第 9 のノードに接続された第 8 のゲート電極を備える第 8 の MOS トランジスタと、

前記第 4 又は第 6 のノードに接続された第 25 の電極、前記第 5 のノードに接続された第 26 の電極、及び前記第 2 のノードに接続された第 9 のゲート電極を備える第 9 の MOS トランジスタと、

前記第 4 又は第 6 のノードに接続された第 33 の電極、前記第 9 のノードに接続された第 34 の電極、及び前記第 2 のノードに接続された第 13 のゲート電極を備える第 13 の MOS トランジスタとから構成され、

前記第 2 のゲート制御回路は、

前記第 2 のノードに接続された第 27 の電極、第 10 のノードに接続された第 28 の電極、及び前記第 2 のノードに接続された第 10 のゲート電極を備える第 10 の MOS トランジスタと、

前記第 3 のノードに接続された第 29 の電極、前記第 7 のノードに接続された第 30 の電極、及び前記第 10 のノードに接続された第 11 のゲート電極を備える第 11 の MOS トランジスタと、

前記第 2 又は第 6 のノードに接続された第 31 の電極、前記第 3 のノードに接続された第 32 の電極、及び前記第 4 のノードに接続された第 12 のゲート電極を備える第 12 の MOS トランジスタと、

前記第 2 又は第 6 のノードに接続された第 35 の電極、前記第 10 のノードに接続された第 36 の電極、及び前記第 4 のノードに接続された第 14 のゲート電極を備える第 14 の MOS トランジスタとから構成されていることを特徴とする請求項 8 記載の電源回路。

【請求項 11】

前記第 1 のチャージポンプ回路は、

前記第 1 の MOS トランジスタが、前記直流入力電圧が印加される第 1 のノードに接続された第 1 の電極、第 2 のノードに接続された第 2 の電極、及び第 3 のノードに接続された第 1 のゲート電極を備え、かつ、前記第 1 のキャパシタが、第 1 のクロックが入力される第 3 の電極及び前記第 2 のノードに接続された第 4 の電極を備え、

前記第 2 のチャージポンプ回路は、

前記第 2 の MOS トランジスタが、前記第 1 のノードに接続された第 5 の電極、第 4 のノードに接続された第 6 の電極、及び第 5 のノードに接続された第 2 のゲート電極を備え、かつ、前記第 2 のキャパシタが、前記第 1 のクロックと逆位相の第 2 のクロックが入力される第 7 の電極及び前記第 4 のノードに接続された第 8 の電極を備え、

前記第 3 のチャージポンプ回路は、

前記第 1 のノードに接続された第 13 の電極、第 7 のノードに接続された第 14 の電極、及び第 8 のノードに接続された第 5 のゲート電極を備える第 5 の MOS トランジスタと

、

10

20

30

40

50

前記第 1 のクロックが入力される第 15 の電極及び前記第 7 のノードに接続されている第 16 の電極を備える第 3 のキャパシタとから構成され、

前記第 4 のチャージポンプ回路は、

前記第 1 のノードに接続された第 17 の電極、前記第 8 のノードに接続された第 18 の電極、及び前記第 7 のノードに接続された第 6 のゲート電極を備える第 6 の MOS トランジスタと、

前記第 2 のクロックが入力される第 19 の電極及び前記第 8 のノードに接続されている第 20 の電極を備える第 4 のキャパシタとから構成され、

前記第 1 のゲート制御回路は、

前記第 4 のノードに接続された第 21 の電極、第 9 のノードに接続された第 22 の電極、及び前記第 4 のノードに接続された第 7 のゲート電極を備える第 7 の MOS トランジスタと、

前記第 5 のノードに接続された第 23 の電極、前記第 8 のノードに接続された第 24 の電極、及び前記第 9 のノードに接続された第 8 のゲート電極を備える第 8 の MOS トランジスタと、

前記第 4 又は第 6 のノードに接続された第 25 の電極、前記第 5 のノードに接続された第 26 の電極、及び前記第 2 のノードに接続された第 9 のゲート電極を備える第 9 の MOS トランジスタと、

前記第 4 又は第 6 のノードに接続された第 33 の電極、第 11 のノードに接続された第 34 の電極、及び前記第 2 のノードに接続された第 13 のゲート電極を備える第 13 の MOS トランジスタと、

前記第 11 のノードに接続された第 37 の電極、前記第 9 のノードに接続された第 38 の電極、及び前記第 9 のノードに接続された第 15 のゲート電極を備える第 15 の MOS トランジスタとから構成され、

前記第 2 のゲート制御回路は、

前記第 2 のノードに接続された第 27 の電極、第 10 のノードに接続された第 28 の電極、及び前記第 2 のノードに接続された第 10 のゲート電極を備える第 10 の MOS トランジスタと、

前記第 3 のノードに接続された第 29 の電極、前記第 7 のノードに接続された第 30 の電極、及び前記第 10 のノードに接続された第 11 のゲート電極を備える第 11 の MOS トランジスタと、

前記第 2 又は第 6 のノードに接続された第 31 の電極、前記第 3 のノードに接続された第 32 の電極、及び前記第 4 のノードに接続された第 12 のゲート電極を備える第 12 の MOS トランジスタと、

前記第 2 又は第 6 のノードに接続された第 35 の電極、第 12 のノードに接続された第 36 の電極、及び前記第 4 のノードに接続された第 14 のゲート電極を備える第 14 の MOS トランジスタと、

前記第 12 のノードに接続された第 39 の電極、前記第 10 のノードに接続された第 40 の電極、及び前記第 10 のノードに接続された第 16 のゲート電極を備える第 16 の MOS トランジスタとから構成されていることを特徴とする請求項 8 記載の電源回路。

【請求項 12】

前記直流入力電圧は、

前記第 1 又は第 2 の MOS トランジスタのゲート閾値電圧よりも小さく設定され、かつ、前記第 1 乃至第 12 の MOS トランジスタは、p チャネル型 MOS トランジスタで構成されていることを特徴とする請求項 8 乃至 11 記載の電源回路。

【請求項 13】

前記第 1 のクロック及び第 2 のクロックの振幅と前記直流入力電圧との差が、前記第 1 又は第 2 の MOS トランジスタのゲート閾値電圧よりも小さく設定され、かつ、前記第 1 乃至第 12 の MOS トランジスタは、n チャネル型 MOS トランジスタで構成されていることを特徴とする請求項 8 乃至 11 記載の電源回路。

10

20

30

40

50

【請求項 14】

第1のMOSトランジスタ及び第1のキャパシタを有し、第1のクロックが第1のレベルでかつ前記第1のMOSトランジスタがオン状態のとき、所定の直流入力電圧を該第1のMOSトランジスタを介して前記第1のキャパシタに充電した電圧を第1の充電電圧とし、前記第1のクロックが第2のレベルでかつ前記第1のMOSトランジスタがオフ状態のとき、前記第1の充電電圧に前記第1のクロックの振幅分変化させたレベルの第1の生成電圧を生成して出力する第1のチャージポンプ回路と、

第2のMOSトランジスタ及び第2のキャパシタを有し、前記第1のクロックと逆位相の第2のクロックが前記第1のレベルでかつ前記第2のMOSトランジスタがオン状態のとき、前記直流入力電圧を該第2のMOSトランジスタを介して前記第2のキャパシタに充電した電圧を第2の充電電圧とし、前記第2のクロックが前記第2のレベルでかつ前記第2のMOSトランジスタがオフ状態のとき、前記第2の充電電圧を前記第2のクロックの振幅分変化させたレベルの第2の生成電圧を生成して出力する第2のチャージポンプ回路と、

オン状態のとき、前記第1の生成電圧を直流出力電圧として出力する第1のMOSトランジスタと、

オン状態のとき、前記第2の生成電圧を前記直流出力電圧として出力する第2のMOSトランジスタとを有する電源回路であって、

前記直流出力電圧を前記第1のクロックの振幅分だけ変化させたレベルの第3の生成電圧を生成する第1の電圧生成回路と、

前記直流出力電圧を前記第2のクロックの振幅分だけ変化させたレベルの第4の生成電圧を生成する第2の電圧生成回路と、

前記第1のMOSトランジスタの第1のゲート電極に、前記第1の充電電圧から前記第1の生成電圧への変化に同期して前記第3の生成電圧と同一レベルの第1の制御電圧を印加することにより該第1のMOSトランジスタをオン状態とする一方、前記第2の充電電圧から前記第2の生成電圧への変化に同期して前記第1の充電電圧と同一レベルの前記第1の制御電圧を印加することにより該第1のMOSトランジスタをオフ状態とする第1のゲート制御回路と、

前記第2のMOSトランジスタの第2のゲート電極に、前記第2の充電電圧から前記第2の生成電圧への変化に同期して前記第4の生成電圧と同一レベルの第2の制御電圧を印加することにより該第2のMOSトランジスタをオン状態とする一方、前記第1の充電電圧から前記第1の生成電圧への変化に同期して前記第2の充電電圧と同一レベルの前記第2の制御電圧を印加することにより該第2のMOSトランジスタをオフ状態とする第2のゲート制御回路とが設けられていることを特徴とする電源回路。

【請求項 15】

前記第1のチャージポンプ回路は、

前記直流入力電圧が印加される第1のノードに接続された第1の電極、第2のノードに接続された第2の電極、及び第3のノードに接続された第3のゲート電極を備える第3のMOSトランジスタと、

前記第1のクロックが入力される第3の電極及び前記第2のノードに接続されている第4の電極を備える第1のキャパシタとから構成され、

前記第2のチャージポンプ回路は、

前記第1のノードに接続された第5の電極、前記第3のノードに接続された第6の電極、及び前記第2のノードに接続された第4のゲート電極を備える第4のMOSトランジスタと、

前記第2のクロックが入力される第7の電極及び前記第3のノードに接続された第8の電極を備える第2のキャパシタとから構成され、

前記第1のMOSトランジスタは、

前記第2のノードに接続された第9の電極、第4のノードに接続された第10の電極、及び第5のノードに接続された前記第1のゲート電極を備え、

10

20

30

40

50

前記第 2 の MOS トランジスタは、
前記第 3 のノードに接続された第 11 の電極、前記第 4 のノードに接続された第 12 の電極、及び第 6 のノードに接続された前記第 2 のゲート電極を備え、

前記第 1 の電圧生成回路は、
前記第 4 のノードに接続された第 13 の電極、第 7 のノードに接続された第 14 の電極、及び第 8 のノードに接続された第 5 のゲート電極を備える第 5 の MOS トランジスタと

、
前記第 1 のクロックが入力される第 15 の電極及び前記第 7 のノードに接続されている第 16 の電極を備える第 3 のキャパシタとから構成され、

前記第 2 の電圧生成回路は、
前記第 4 のノードに接続された第 17 の電極、前記第 8 のノードに接続された第 18 の電極、及び前記第 7 のノードに接続された第 6 のゲート電極を備える第 6 の MOS トランジスタと、

前記第 2 のクロックが入力される第 19 の電極及び前記第 8 のノードに接続されている第 20 の電極を備える第 4 のキャパシタとから構成され、

前記第 1 のゲート制御回路は、
前記第 3 のノードに接続された第 21 の電極、第 9 のノードに接続された第 22 の電極、及び前記第 4 のノードに接続された第 7 のゲート電極を備える第 7 の MOS トランジスタと、

前記第 6 のノードに接続された第 23 の電極、前記第 8 のノードに接続された第 24 の電極、及び前記第 9 のノードに接続された第 8 のゲート電極を備える第 8 の MOS トランジスタと、

前記第 1 又は第 3 のノードに接続された第 25 の電極、前記第 6 のノードに接続された第 26 の電極、及び前記第 2 のノードに接続された第 9 のゲート電極を備える第 9 の MOS トランジスタと、

前記第 3 のノードに接続された第 27 の電極、前記第 9 のノードに接続された第 28 の電極、及び前記第 3 のノードに接続された第 10 のゲート電極を備える第 10 の MOS トランジスタとから構成され、

前記第 2 のゲート制御回路は、
前記第 2 のノードに接続された第 29 の電極、第 10 のノードに接続された第 30 の電極、及び前記第 4 のノードに接続された第 11 のゲート電極を備える第 11 の MOS トランジスタと、

前記第 5 のノードに接続された第 31 の電極、前記第 7 のノードに接続された第 32 の電極、及び前記第 10 のノードに接続された第 12 のゲート電極を備える第 12 の MOS トランジスタと、

前記第 1 又は第 2 のノードに接続された第 33 の電極、前記第 5 のノードに接続された第 34 の電極、及び前記第 3 のノードに接続された第 13 のゲート電極を備える第 13 の MOS トランジスタと、

前記第 2 のノードに接続された第 35 の電極、前記第 10 のノードに接続された第 36 の電極、及び前記第 2 のノードに接続された第 14 のゲート電極を備える第 14 の MOS トランジスタとから構成されていることを特徴とする請求項 14 記載の電源回路。

【請求項 16】

前記第 1 のチャージポンプ回路は、
前記直流入力電圧が印加される第 1 のノードに接続された第 1 の電極、第 2 のノードに接続された第 2 の電極、及び第 3 のノードに接続された第 3 のゲート電極を備える第 3 の MOS トランジスタと、

前記第 1 のクロックが入力される第 3 の電極及び前記第 2 のノードに接続されている第 4 の電極を備える第 1 のキャパシタとから構成され、

前記第 2 のチャージポンプ回路は、
前記第 1 のノードに接続された第 5 の電極、前記第 3 のノードに接続された第 6 の電極

10

20

30

40

50

、及び前記第2のノードに接続された第4のゲート電極を備える第4のMOSトランジスタと、

前記第2のクロックが入力される第7の電極及び前記第3のノードに接続された第8の電極を備える第2のキャパシタとから構成され、

前記第1のMOSトランジスタは、

前記第2のノードに接続された第9の電極、第4のノードに接続された第10の電極、及び第5のノードに接続された前記第1のゲート電極を備え、

前記第2のMOSトランジスタは、

前記第3のノードに接続された第11の電極、前記第4のノードに接続された第12の電極、及び第6のノードに接続された前記第2のゲート電極を備え、

10

前記第1の電圧生成回路は、

前記第4のノードに接続された第13の電極、第7のノードに接続された第14の電極、及び第8のノードに接続された第5のゲート電極を備える第5のMOSトランジスタと、

前記第1のクロックが入力される第15の電極及び前記第7のノードに接続されている第16の電極を備える第3のキャパシタとから構成され、

前記第2の電圧生成回路は、

前記第4のノードに接続された第17の電極、前記第8のノードに接続された第18の電極、及び前記第7のノードに接続された第6のゲート電極を備える第6のMOSトランジスタと、

20

前記第2のクロックが入力される第19の電極及び前記第8のノードに接続されている第20の電極を備える第4のキャパシタとから構成され、

前記第1のゲート制御回路は、

前記第3のノードに接続された第27の電極、第9のノードに接続された第28の電極、及び前記第3のノードに接続された第10のゲート電極を備える第10のMOSトランジスタと、

前記第6のノードに接続された第23の電極、前記第8のノードに接続された第24の電極、及び前記第9のノードに接続された第8のゲート電極を備える第8のMOSトランジスタと、

前記第1又は第3のノードに接続された第25の電極、前記第6のノードに接続された第26の電極、及び前記第2のノードに接続された第9のゲート電極を備える第9のMOSトランジスタと、

30

前記第1又は第3のノードに接続された第21の電極、前記第9のノードに接続された第22の電極、及び前記第2のノードに接続された第7のゲート電極を備える第7のMOSトランジスタとから構成され、

前記第2のゲート制御回路は、

前記第2のノードに接続された第35の電極、第10のノードに接続された第36の電極、及び前記第2のノードに接続された第14のゲート電極を備える第14のMOSトランジスタと、

前記第5のノードに接続された第31の電極、前記第7のノードに接続された第32の電極、及び前記第10のノードに接続された第12のゲート電極を備える第12のMOSトランジスタと、

40

前記第1又は第2のノードに接続された第33の電極、前記第5のノードに接続された第34の電極、及び前記第3のノードに接続された第13のゲート電極を備える第13のMOSトランジスタと、

前記第1又は第2のノードに接続された第29の電極、前記第10のノードに接続された第30の電極、及び前記第3のノードに接続された第11のゲート電極を備える第11のMOSトランジスタとから構成されていることを特徴とする請求項14記載の電源回路。

【請求項17】

50

前記第 1 のチャージポンプ回路は、

前記直流入力電圧が印加される第 1 のノードに接続された第 1 の電極、第 2 のノードに接続された第 2 の電極、及び第 3 のノードに接続された第 3 のゲート電極を備える第 3 の MOS トランジスタと、

前記第 1 のクロックが入力される第 3 の電極及び前記第 2 のノードに接続されている第 4 の電極を備える第 1 のキャパシタとから構成され、

前記第 2 のチャージポンプ回路は、

前記第 1 のノードに接続された第 5 の電極、前記第 3 のノードに接続された第 6 の電極、及び前記第 2 のノードに接続された第 4 のゲート電極を備える第 4 の MOS トランジスタと、

10

前記第 2 のクロックが入力される第 7 の電極及び前記第 3 のノードに接続された第 8 の電極を備える第 2 のキャパシタとから構成され、

前記第 1 の MOS トランジスタは、

前記第 2 のノードに接続された第 9 の電極、第 4 のノードに接続された第 10 の電極、及び第 5 のノードに接続された前記第 1 のゲート電極を備え、

前記第 2 の MOS トランジスタは、

前記第 3 のノードに接続された第 11 の電極、前記第 4 のノードに接続された第 12 の電極、及び第 6 のノードに接続された前記第 2 のゲート電極を備え、

前記第 1 の電圧生成回路は、

前記第 4 のノードに接続された第 13 の電極、第 7 のノードに接続された第 14 の電極、及び第 8 のノードに接続された第 5 のゲート電極を備える第 5 の MOS トランジスタと

20

、
前記第 1 のクロックが入力される第 15 の電極及び前記第 7 のノードに接続されている第 16 の電極を備える第 3 のキャパシタとから構成され、

前記第 2 の電圧生成回路は、

前記第 4 のノードに接続された第 17 の電極、前記第 8 のノードに接続された第 18 の電極、及び前記第 7 のノードに接続された第 6 のゲート電極を備える第 6 の MOS トランジスタと、

前記第 2 のクロックが入力される第 19 の電極及び前記第 8 のノードに接続されている第 20 の電極を備える第 4 のキャパシタとから構成され、

30

前記第 1 のゲート制御回路は、

前記第 3 のノードに接続された第 27 の電極、第 9 のノードに接続された第 28 の電極、及び前記第 3 のノードに接続された第 10 のゲート電極を備える第 10 の MOS トランジスタと、

前記第 6 のノードに接続された第 23 の電極、前記第 8 のノードに接続された第 24 の電極、及び前記第 9 のノードに接続された第 8 のゲート電極を備える第 8 の MOS トランジスタと、

前記第 1 又は第 3 のノードに接続された第 25 の電極、前記第 6 のノードに接続された第 26 の電極、及び前記第 2 のノードに接続された第 9 のゲート電極を備える第 9 の MOS トランジスタと、

40

前記第 1 又は第 3 のノードに接続された第 21 の電極、第 11 のノードに接続された第 22 の電極、及び前記第 2 のノードに接続された第 7 のゲート電極を備える第 7 の MOS トランジスタと、

前記第 11 のノードに接続された第 37 の電極、前記第 9 のノードに接続された第 38 の電極、及び前記第 9 のノードに接続された第 15 のゲート電極を備える第 15 の MOS トランジスタとから構成され、

前記第 2 のゲート制御回路は、

前記第 2 のノードに接続された第 35 の電極、第 10 のノードに接続された第 36 の電極、及び前記第 2 のノードに接続された第 14 のゲート電極を備える第 14 の MOS トランジスタと、

50

前記第5のノードに接続された第31の電極、前記第7のノードに接続された第32の電極、及び前記第10のノードに接続された第12のゲート電極を備える第12のMOSトランジスタと、

前記第1又は第2のノードに接続された第33の電極、前記第5のノードに接続された第34の電極、及び前記第3のノードに接続された第13のゲート電極を備える第13のMOSトランジスタと、

前記第1又は第2のノードに接続された第29の電極、第12のノードに接続された第30の電極、及び前記第3のノードに接続された第11のゲート電極を備える第11のMOSトランジスタと、

前記第12のノードに接続された第39の電極、前記第10のノードに接続された第40の電極、及び前記第10のノードに接続された第16のゲート電極を備える第16のMOSトランジスタとから構成されていることを特徴とする請求項14記載の電源回路。

【請求項18】

MOSトランジスタ及びキャパシタを有し、クロックが第1のレベルでかつ前記MOSトランジスタがオン状態のとき、所定の直流入力電圧を該MOSトランジスタを介して前記キャパシタに充電した電圧を充電電圧とし、前記クロックが第2のレベルでかつ前記MOSトランジスタがオフ状態のとき、前記充電電圧に前記クロックの振幅分変化させたレベルの生成電圧を生成するチャージポンプ回路と、

前記MOSトランジスタのゲート電極に、該MOSトランジスタをオフ状態又はオン状態とするための制御電圧を印加するゲート制御回路とを備え、

該ゲート制御回路は、前記生成電圧から前記充電電圧に変化する前記キャパシタの電位を入力とし、前記クロックよりも拡大した振幅を出力するレベルシフト回路であることを特徴とする電源回路。

【請求項19】

請求項1乃至18のいずれか一に記載の電源回路を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、電源回路及び該電源回路を備えた電子機器に係り、特に、単一の導電型（n型又はp型）のMOSトランジスタで構成され、供給された直流入力電圧を任意のレベルの直流出力電圧に変換するDC/DCコンバータとして用いて好適な電源回路及び該電源回路を備えた電子機器に関する。

【背景技術】

【0002】

半導体素子で構成される電源回路には、トランジスタなどで構成された電子スイッチと、コンデンサとからなるチャージポンプ回路がある。このチャージポンプ回路は、電子スイッチを半導体トランジスタや薄膜トランジスタなどで集積化することで、小型軽量化できるため、携帯電話機やノートパソコンなどの携帯用電子機器に広く用いられる。半導体装置を構成する回路としては、一般に、n型MOSトランジスタ（以下、「nMOS」ともいう）及びp型MOSトランジスタ（以下、「pMOS」ともいう）を有するCMOS回路が低消費電力であるため、同CMOS回路が用いられることが多い。しかしながら、CMOS回路を用いた半導体装置を製造するためには、成膜、マスク露光、エッチングなどの工程に加えて、pMOS及びnMOSを作るための複数回の不純物注入工程があり、製造工程が複雑になるという問題がある。

【0003】

一方、pMOS又はnMOSの単一導電性のMOSトランジスタのみで構成される半導体装置は、その製造工程において不純物注入などの工程数を減らすことが可能なため、製造工程が比較的簡単になる。ところが、単一導電性のMOSトランジスタのみで構成する場合、CMOSに比べて消費電力が大きいことや、雑音余裕度が低く、出力マージンが低下するという問題点がある。このため、これらの問題点を改善した半導体装置が提案され

10

20

30

40

50

ている。

【0004】

従来、この種の技術としては、たとえば、特許文献1に記載されたものがある。

特許文献1に記載された電源回路(同文献では、「電圧昇圧回路」)は、図18に示すように、nMOSトランジスタMT5A, MT1A, MT2A, MT3A, MT4A, MT6A, MT7A, MT5B, MT1B, MT2B, MT3B, MT4B, MT6B, MT7B、と、キャパシタC0A, C1A, C2A, C3A, C4A, C5A, C0B, C1B, C2B, C3B, C4B, C5Bとから構成されている。この電源回路は、直流入力電圧[VDD]及び互いに逆位相のクロックCLKA, CLKBから、同直流入力電圧[VDD]よりも高電位の直流出力電圧[VOUT]を生成する回路である。

10

【0005】

この電圧昇圧回路では、クロックCLKA及びクロックCLKBの低電位[VSS (= 0V)]から高電位[VDD]への遷移、または高電位[VDD]から低電位[VSS]への遷移に同期して、各nMOSトランジスタがオン状態又はオフ状態となる。すなわち、クロックCLKAが低電位[VSS]、かつ、クロックCLKBが高電位[VDD]のとき、理想的には、nMOSトランジスタMT5A, MT1B, MT2A, MT3B, MT4A, MT6B, MT7Aがオン状態、及びnMOSトランジスタMT5B, MT1A, MT2B, MT3A, MT4B, MT6A, MT7Bがオフ状態となる。このとき、ノードN0Aの電位は、直流入力電圧[VDD]からnMOSトランジスタMT5Aのゲート閾値電圧[Vth]分だけ低い電位[VDD - Vth]に充電される。また、ノードN0Bの電位は、クロックCLKBが高電位[VDD]に遷移することで、電位[2×VDD - Vth]に昇圧される。ノードN1Bの電位は、nMOSトランジスタMT1Bがオン状態であるため、ノードN0Bと同電位となる。

20

【0006】

次に、クロックCLKAの電位が高電位[VDD]になったとき、既にキャパシタC0Aが電圧[VDD - Vth]に充電されているので、ノードN0Aが電位[VDD - Vth + VDD = 2×VDD - Vth]に昇圧され、nMOSトランジスタMT1Aがオン状態であれば、ノードN1Aも電位[2×VDD - Vth]に昇圧される。同様に、ノードN1Bは電位[2×VDD - Vth]から電位[3×VDD - Vth]に昇圧される。以降、各ノードは、順次昇圧が進み、直流出力電圧[VOUT]は、理想的には、電位[6

30

【特許文献1】特許第3040885号公報(第3頁、図6)

【特許文献2】特開2005-037842号公報(要約書、図1)

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、上記従来電源回路では、次のような問題点があった。

すなわち、nMOSトランジスタがオフ状態となるべき期間にも、オン状態が継続するため、昇圧電圧が低下するという問題点がある。上記図18に示す電源回路では、たとえば、クロックCLKAが低電位[VSS]、及びクロックCLKBが高電位[VDD]のとき、ノードN0Bは電位[2×VDD - Vth]、及び、ノードN1Aが電位[3×VDD - Vth]に、それぞれ昇圧される。このとき、nMOSトランジスタMT1Bがオン状態となる条件は、ゲート電極に接続されているノードN1Aと、ソース電極に接続されているノードN0Bとの電位差(ゲート・ソース電極間電圧Vgs)が[VDD]となることである。一方、クロックCLKAが高電位[VDD]、及びクロックCLKBが低電位[VSS]のとき、ノードN0Bの電位は、nMOSトランジスタMT5Bがオン状態となる電位[VDD - Vth]まで低下する。

40

【0008】

このとき、ノードN1Aの電位は電位[2×VDD - Vth]に低下するが、nMOSトランジスタMT1Bは、ゲート・ソース電極間電圧Vgsが[VDD = (2×VDD -

50

$V_{th}) - (V_{DD} - V_{th})]$ である場合には、オン状態が継続してしまう。このため、ノードN1BからノードN0Bに電流が流れることで、同ノードN1Bの昇圧電圧に低下が生じる。そして、ノードN0Bの電位が上昇するか又はノードN1Aの電位が低下し、同ノードN0Bと同ノードN1Aとの間の電圧がnMOSトランジスタMT1Bのゲート閾値電圧以下になったときに同nMOSトランジスタMT1Bがオフ状態となる。これにより、この電源回路(チャージポンプ回路)では、実際の直流出力電圧[V_{OUT}]が[$6 \times V_{DD} - V_{th}$]よりも低下し、電源効率が低下するという問題点がある。

【0009】

この原因は、チャージポンプを構成する各nMOSトランジスタのゲート信号が、同各nMOSトランジスタを完全にオフ状態とするために十分なレベルではないことによる。一般に、MOSトランジスタのオン条件は、ゲート・ソース間電圧 $V_{gs} = V_{DD} > V_{th}$ 、及び、オフ条件が、 $V_{gs} = 0V$ であり、図18中のnMOSトランジスタMT1Bがオン状態となるゲート信号のレベルは、電位[$3 \times V_{DD} - V_{th}$]、オフ状態となるゲート信号のレベルが、電位[$V_{DD} - V_{th}$]となる。このゲート信号は、振幅[V_{DD}]のクロックCLKA及びクロックCLKBに対して、振幅[$2 \times V_{DD}$]に拡大した信号である。

【0010】

クロックの振幅を拡大する回路としては、レベルシフト回路がある。特許文献2に記載された表示装置には、このようなレベルシフト回路が含まれている。このレベルシフト回路は、図19に示すように、nMOSトランジスタMT1L, MT2L, MT3Lで構成されている。このレベルシフト回路では、電位[V_{DD}]又は電位[V_{SS}]のレベルを有する互いに逆位相のクロックINA, INBが入力され、高電位側のレベルを電位[V_{DD}]から電位[V_{DH}]に変換した拡大信号OUTAが生成される。

【0011】

また、pMOSトランジスタを用いて上記レベルシフト回路と同様の機能を有するレベルシフト回路を構成する場合、直流電源については、電源電位[V_{DH}]と電源電位[V_{SS}]とを互いに入れ替えることにより、構成される。一方、入力信号については、高電位[V_{DD}]、及び低電位[V_{SS}]のクロックに対し、高電位側を電位[V_{DH}]、及び低電位側を電位[$V_{DH} - V_{DD}$]に変更する必要がある。これらのクロックは、振幅は図19の場合と同様であるが、電位レベルが[$V_{DH} - V_{DD}$]分だけ上昇する。このため、このレベルシフト回路の入力信号を生成するための別の信号生成回路が必要となるという問題点がある。

【0012】

この発明は、上述の事情に鑑みてなされたもので、チャージポンプ回路と、同チャージポンプ回路を構成するMOSトランジスタのゲート信号を出力するゲート制御回路であるレベルシフト回路とを組み合わせることで、これらを単一導電型のMOSトランジスタで構成した場合でも、出力電圧が低下しない電源回路及び同電源回路を備えた電子機器を提供することを目的としている。

【課題を解決するための手段】

【0013】

上記課題を解決するために、この発明は、電源回路に係り、MOSトランジスタ及びキャパシタを有し、クロックが第1のレベルでかつ前記MOSトランジスタがオン状態のとき、所定の直流入力電圧を該MOSトランジスタを介して前記キャパシタに充電した電圧を充電電圧とし、前記クロックが第2のレベルでかつ前記MOSトランジスタがオフ状態のとき、前記充電電圧に前記クロックの振幅分変化させたレベルの生成電圧を生成するチャージポンプ回路と、前記MOSトランジスタのゲート電極に、前記キャパシタの電圧が前記生成電圧又は前記充電電圧への変化に同期して、該MOSトランジスタをオフ状態又はオン状態とするための制御電圧を印加するゲート制御回路とを備えてなることを特徴としている。

【0014】

10

20

30

40

50

また、この発明の電源回路は、前記ゲート制御回路が前記生成電圧から前記充電電圧に変化する前記キャパシタの電位を入力とするレベルシフト回路であることを特徴としている。

【発明の効果】

【0015】

この発明の構成によれば、ゲート制御回路により、MOSトランジスタのゲート電極に、キャパシタの電圧が生成電圧又は充電電圧への変化に同期して、同MOSトランジスタをオフ状態又はオン状態とするための制御電圧が印加されるので、同MOSトランジスタを確実にオン/オフ制御できる。

【0016】

また、この発明の構成によれば、第1のゲート制御回路により、第1のMOSトランジスタの第1のゲート電極に、第1の生成電圧から第1の充電電圧への変化に同期して第1のレベルと同一レベルの第1の制御電圧が印加される一方、第2の生成電圧から第2の充電電圧への変化に同期して上記第1の生成電圧と同一レベルの上記第1の制御電圧が印加されるので、第1のMOSトランジスタを確実にオン/オフ制御できる。同様に、第2のゲート制御回路により、第2のMOSトランジスタの第2のゲート電極に、第2の生成電圧から第2の充電電圧への変化に同期して第1のレベルと同一レベルの第2の制御電圧が印加される一方、第1の生成電圧から第1の充電電圧への変化に同期して上記第2の生成電圧と同一レベルの上記第2の制御電圧が印加されるので、第2のMOSトランジスタを確実にオン/オフ制御できる。これにより、電流リークを回避でき、直流出力電圧の低下を防止できる。

【0017】

また、この発明の構成によれば、第4のノードが第5のMOSトランジスタを介して第6のMOSトランジスタの第6のゲート電極に接続されているので、第5のノードの電位が直流出力電圧と同一レベルの場合においても、同第6のMOSトランジスタをオフ状態に保つことができる。同様に、第2のノードが第8のMOSトランジスタを介して第9のMOSトランジスタの第9のゲート電極に接続されているので、第3のノードの電位が直流出力電圧と同一レベルの場合においても、同第9のMOSトランジスタをオフ状態に保つことができる。よって、当該電源回路が単一の導電型のMOSトランジスタで構成されていても、比較的簡単な回路構成で、第6又は第9のMOSトランジスタに貫通電流が流れることが回避され、消費電力を低減できる。

【0018】

また、この発明の構成によれば、第2のノードが第8のMOSトランジスタを介して第6のMOSトランジスタの第6のゲート電極に接続されているので、第5のノードの電位が直流出力電圧と同一レベルの場合においても、同第6のMOSトランジスタをオフ状態に保つことができる。同様に、第4のノードが第12のMOSトランジスタを介して第10のMOSトランジスタの第10のゲート電極に接続されているので、第3のノードの電位が直流出力電圧と同一レベルの場合においても、同第9のMOSトランジスタをオフ状態に保つことができる。よって、当該電源回路が単一の導電型のMOSトランジスタで構成されていても、比較的簡単な回路構成で、第6又は第10のMOSトランジスタに貫通電流が流れることが回避され、消費電力を低減できる。

【0019】

また、この発明の構成によれば、直流出力電圧が第8のMOSトランジスタとダイオード接続された第9のMOSトランジスタを介して第6のMOSトランジスタの第6のゲート電極に接続されており、第5のノードの電位が直流出力電圧と同一レベルの場合においても、第6のゲート電極の電位は直流出力電圧より第9のMOSトランジスタの閾値電圧分、変化した電位であるため、同第6のMOSトランジスタの貫通電流を抑えることができる。また第6のMOSトランジスタをブートストラップ効果により導通状態として第5のノードの電位を第1のレベルと同一レベルにする際にも、第6のゲート電極の電位を直流出力電圧から閾値電圧分、第1のレベルに近づけているため、よりブートストラップ効

10

20

30

40

50

果が起こりやすい。同様に、直流出力電圧が第13のMOSトランジスタとダイオード接続された第14のMOSトランジスタを介して第11のMOSトランジスタの第11のゲート電極に接続されており、第3のノードの電位が直流出力電圧と同一レベルの場合においても、第11のゲート電極の電位は直流出力電圧より第14のMOSトランジスタの閾値電圧分、変化した電位であるため、同第9のMOSトランジスタの貫通電流を抑えることができる。また第11のMOSトランジスタをブートストラップ効果により導通状態として第3のノードの電位を第1のレベルと同一レベルにする際にも、第11のゲート電極の電位を直流出力電圧から閾値電圧分、第1のレベルに近づけているため、よりブートストラップ効果が起こりやすい。よって、当該電源回路が単一の導電型のMOSトランジスタで構成されていても、比較的簡単な回路構成で、第6又は第11のMOSトランジスタに貫通電流が流れることが抑制し、消費電力を低減できるとともに、ブートストラップ効果を起こしやすくすることで、回路動作の安定性が高まる。

10

【0020】

また、この発明の構成によれば、第1のゲート制御回路により、各第1のMOSトランジスタの第1のゲート電極に、最終段の第1の昇圧電圧の立下がりに同期して第1のレベルと同一レベルの第1の制御電圧が印加される一方、最終段の第2の昇圧電圧の立下がりに同期して直流出力電圧と同一レベルの上記第1の制御電圧が印加されるので、小規模のハード構成で上記各第1のMOSトランジスタを確実にオン/オフ制御できる。同様に、第2のゲート制御回路により、各第2のMOSトランジスタの第2のゲート電極に、最終段の第2の昇圧電圧の立下がりに同期して第1のレベルと同一レベルの第2の制御電圧が印加される一方、最終段の第1の昇圧電圧の立下がりに同期して直流出力電圧と同一レベルの上記第2の制御電圧が印加されるので、比較的小規模のハード構成で上記各第2のMOSトランジスタを確実にオン/オフ制御できる。

20

【0021】

また、この発明の構成によれば、最終段の第1の昇圧電圧が第3のMOSトランジスタを介して第4のMOSトランジスタの第4のゲート電極に印加されるので、第3の電極の電位が直流出力電圧と同一レベルの場合においても、同第4のMOSトランジスタをオフ状態に保つことができる。同様に、最終段の第2の昇圧電圧が第6のMOSトランジスタを介して第7のMOSトランジスタの第7のゲート電極に印加されるので、第9の電極の電位が直流出力電圧と同一レベルの場合においても、同第7のMOSトランジスタをオフ状態に保つことができる。よって、当該電源回路が単一の導電型のMOSトランジスタで構成されていても、比較的簡単な回路構成で、第4又は第7のMOSトランジスタに貫通電流が流れることが回避され、消費電力を低減できる。

30

【0022】

また、この発明の構成によれば、第3のチャージポンプ回路により第3の生成電圧が生成され、第4のチャージポンプ回路により第4の生成電圧が生成される。そして、第1のゲート制御回路により、第1のMOSトランジスタの第1のゲート電極に、第1の生成電圧から第1の充電電圧への変化に同期して上記第3の生成電圧と同一レベルの第1の制御電圧が印加される一方、第2の生成電圧から第2の充電電圧への変化に同期して第1の生成電圧と同一レベルの上記第1の制御電圧が印加され、また、第2のゲート制御回路により、第2のMOSトランジスタの第2のゲート電極に、第2の生成電圧から第2の充電電圧への変化に同期して上記第4の生成電圧と同一レベルの第2の制御電圧が印加される一方、第1の生成電圧から第1の充電電圧への変化に同期して第2の生成電圧と同一レベルの上記第2の制御電圧が印加される。このため、直流入力電圧が第1又は第2のMOSトランジスタのゲート閾値電圧よりも小さく設定され、かつ、第1乃至第12のMOSトランジスタがpチャネル型MOSトランジスタで構成されている場合でも、第1及び第2のMOSトランジスタを確実にオン/オフ制御できる。また、第1のクロック及び第2のクロックの振幅と直流入力電圧との差が、第1又は第2のMOSトランジスタのゲート閾値電圧よりも小さく設定され、かつ、第1乃至第12のMOSトランジスタがnチャネル型MOSトランジスタで構成されている場合でも、第1及び第2のMOSトランジスタを確

40

50

実にオン/オフ制御できる。

【0023】

また、この発明の構成によれば、第1の電圧生成回路により第3の生成電圧が生成され、第2の電圧生成回路により第4の生成電圧が生成される。そして、第1のゲート制御回路により、第1のMOSトランジスタの第1のゲート電極に、第1の充電電圧から第1の生成電圧への変化に同期して上記第3の生成電圧と同一レベルの第1の制御電圧が印加される一方、第2の充電電圧から第2の生成電圧への変化に同期して第1の充電電圧と同一レベルの第1の制御電圧が印加されるので、第1のMOSトランジスタを確実にオン/オフ制御できる。同様に、第2のゲート制御回路により、第2のMOSトランジスタの第2のゲート電極に、第2の充電電圧から第2の生成電圧への変化に同期して上記第4の生成電圧と同一レベルの第2の制御電圧が印加される一方、第1の充電電圧から第1の生成電圧への変化に同期して第2の充電電圧と同一レベルの上記第2の制御電圧が印加されるので、第2のMOSトランジスタを確実にオン/オフ制御できる。これにより、電流リークを回避でき、直流出力電圧の低下を防止できる。

10

【0024】

また、この発明の構成によれば、第3のノードが第7のMOSトランジスタを介して第8のMOSトランジスタの第8のゲート電極に接続されているので、第6のノードの電位が高レベルの場合においても、同第8のMOSトランジスタをオフ状態に保つことができる。よって、当該電源回路が単一の導電型のMOSトランジスタで構成されていても、比較的簡単な回路構成で、第8のMOSトランジスタに貫通電流が流れることが回避され、消費電力を低減できる。同様に、第2のノードが第11のMOSトランジスタを介して第12のMOSトランジスタの第12のゲート電極に接続されているので、第4のノードの電位が高レベルの場合においても、同第12のMOSトランジスタをオフ状態に保つことができる。よって、当該電源回路が単一の導電型のMOSトランジスタで構成されていても、比較的簡単な回路構成で、第12のMOSトランジスタに貫通電流が流れることが回避され、消費電力を低減できる。さらに、第7のMOSトランジスタに対して、ダイオード接続された第10のMOSトランジスタが並列接続され、また、第11のMOSトランジスタに対して、ダイオード接続された第14のMOSトランジスタが並列接続されているので、この電源回路の起動時に直流出力電圧が不定値であっても、ゲート制御回路及びチャージポンプ回路を正常に起動できる。

20

30

【0025】

また、この発明の構成によれば、第1又は第3のノードが第10のMOSトランジスタを介して第8のMOSトランジスタの第8のゲート電極に接続されているので、第6のノードの電位が高レベルの場合においても、同第8のMOSトランジスタをオフ状態に保つことができる。よって、当該電源回路が単一の導電型のMOSトランジスタで構成されていても、比較的簡単な回路構成で、第8のMOSトランジスタに貫通電流が流れることが回避され、消費電力を低減できる。同様に、第1又は第2のノードが第14のMOSトランジスタを介して第12のMOSトランジスタの第12のゲート電極に接続されているので、第5のノードの電位が高レベルの場合においても、同第12のMOSトランジスタをオフ状態に保つことができる。よって、当該電源回路が単一の導電型のMOSトランジスタで構成されていても、比較的簡単な回路構成で、第12のMOSトランジスタに貫通電流が流れることが回避され、消費電力を低減できる。

40

【0026】

また、この発明の構成によれば、第1又は第3のノードが第10のMOSトランジスタとダイオード接続された第11のMOSトランジスタを介して第8のMOSトランジスタの第8のゲート電極に接続されているので、第6のノードの電位が高レベルの場合においても、第8のゲート電極の電位は高レベルより第11のMOSトランジスタの閾値電圧分だけ低い電位であるため、同第8のMOSトランジスタの貫通電流を抑えることができる。また第8のMOSトランジスタをブートストラップ効果により導通状態として第6のノードの電位を低レベルにする際にも、第8のゲート電極の電位を高レベルから閾値電圧分

50

、低レベルに近づけているため、よりブートストラップ効果が起こりやすい。同様に、第1又は第2のノードが第15のMOSトランジスタとダイオード接続された第16MOSトランジスタを介して第13のMOSトランジスタの第13のゲート電極に接続されているので、第5のノードの電位が高レベルの場合においても、第14のゲート電極の電位は高レベルより第16のMOSトランジスタの閾値電圧分だけ低い電位であるため、同第13のMOSトランジスタの貫通電流を抑えることができる。また第13のMOSトランジスタをブートストラップ効果により導通状態として第5のノードの電位を低レベルにする際にも、第13のゲート電極の電位を高レベルから閾値電圧分、低レベルに近づけているため、よりブートストラップ効果が起こりやすい。よって、当該電源回路が単一の導電型のMOSトランジスタで構成されていても、比較的簡単な回路構成で、第8および第13のMOSトランジスタに流れる貫通電流を抑えることができ、消費電力を低減できるとともに、ブートストラップ効果を起こしやすくすることで、回路動作の安定性が高まる。

10

【0027】

また、この発明の構成によれば、キャパシタの電圧が生成電圧になる際に、レベルシフト回路の出力を同生成電圧とすることで、MOSトランジスタをオフ状態とすることができる。また、キャパシタの電圧を充電電圧に充電する際には、レベルシフト回路の出力の振幅がクロックよりも拡大されているため、MOSトランジスタをオン状態とすることができる。レベルシフト回路の出力の振幅がクロックと同じであると仮定すると、同MOSトランジスタのゲート電極には上記充電電圧が印加されることになり、MOSトランジスタをオン状態とすることはできない。また、レベルシフト回路に対する入力として、上記クロックと上記充電電圧の分電位レベルが異なるキャパシタの電位を用いることで、別の信号生成回路を追加することなく、同レベルシフト回路を動作させることができる。

20

【0028】

また、この発明の構成によれば、電子機器に、請求項1乃至18のいずれか一に記載の電源回路が備えられているので、同電子機器の外部で高圧及び高振幅の信号を扱う必要がなくなるため、同電子機器に接続される別の半導体装置に高い耐圧特性を要求する必要がなく、比較的簡単な構成で安価に同半導体装置を構成することができる。

【発明を実施するための最良の形態】

【0029】

チャージポンプ回路を構成するMOSトランジスタのゲート電極に、同MOSトランジスタが確実にオン状態/オフ状態となるレベルの制御電圧が印加される電源回路及び同電源回路を備えた電子機器を提供する。

30

【実施例1】

【0030】

図1は、この発明の第1の実施例である電源回路の電氣的構成を示す回路図である。

この例の電源回路は、同図(a)に示すチャージポンプ回路11と、同図(b)に示すレベルシフト回路12と、同図(c)に示すレベルシフト回路13とから構成されている。チャージポンプ回路11は、昇圧機能を担うpMOSトランジスタMP2、MP4及びキャパシタC1、C2と、直流電圧を出力する機能を担うpMOSトランジスタMP1、MP3とから構成されている。レベルシフト回路12、13は、チャージポンプ回路11のゲート制御回路として機能する。pMOSトランジスタMP1は、ソース電極が出力端子OUT、ドレイン電極がノードPA、及びゲート電極がノードPBにそれぞれ接続されている。pMOSトランジスタMP2は、ソース電極がノードPA、ドレイン電極が入力端子IN、及びゲート電極がノードQAにそれぞれ接続されている。

40

【0031】

pMOSトランジスタMP3は、ソース電極が出力端子OUT、ドレイン電極がノードPB、及びゲート電極がノードPAにそれぞれ接続されている。pMOSトランジスタMP4は、ソース電極がノードPB、ドレイン電極が入力端子IN、及びゲート電極がノードQBにそれぞれ接続されている。入力端子INには、直流入力電圧[VDD]が入力される。キャパシタC1は、高圧側電極がノードPAに接続され、低圧側電極にはクロック

50

CLKAが入力される。キャパシタC2は、高圧側電極がノードPBに接続され、低圧側電極にはクロックCLKBが入力される。

【0032】

レベルシフト回路12は、pMOSトランジスタMPL1, MPL2, MPL3から構成されている。pMOSトランジスタMPL1は、ソース電極がノードPB、ドレイン電極がノードBSB、及びゲート電極が入力端子INにそれぞれ接続されている。pMOSトランジスタMPL2は、ソース電極がノードQB、及びゲート電極がノードBSBにそれぞれ接続され、ドレイン電極にはクロックCLKBが入力される。pMOSトランジスタMPL3は、ソース電極が出力端子OUT、ドレイン電極がノードQB、及びゲート電極がノードPAにそれぞれ接続されている。このレベルシフト回路12は、pMOSトランジスタMPL4のゲート電極に、出力端子OUTの電位と同一レベルの制御電圧ct12を印加することにより同pMOSトランジスタMPL4をオフ状態とする一方、クロックCLKBの低レベルの電位[VSS]と同一レベルの制御電圧ct12を印加することにより同pMOSトランジスタMPL4をオン状態とする。つまり、制御電圧ct12は、クロックCLKA, CLKBの振幅の2倍の振幅を有している。

10

【0033】

レベルシフト回路13は、pMOSトランジスタMPL4, MPL5, MPL6から構成されている。pMOSトランジスタMPL4は、ソース電極がノードPA、ドレイン電極がノードBSA、及びゲート電極が入力端子INにそれぞれ接続されている。pMOSトランジスタMPL5は、ソース電極がノードQA、及びゲート電極がノードBSAにそれぞれ接続され、ドレイン電極にはクロックCLKAが入力される。pMOSトランジスタMPL6は、ソース電極が出力端子OUT、ドレイン電極がノードQA、及びゲート電極がノードPBにそれぞれ接続されている。このレベルシフト回路13は、pMOSトランジスタMPL2のゲート電極に、出力端子OUTの電位と同一レベルの制御電圧ct13を印加することにより同pMOSトランジスタMPL2をオフ状態とする一方、クロックCLKAの低レベルの電位[VSS]と同一レベルの制御電圧ct13を印加することにより同pMOSトランジスタMPL2をオン状態とする。つまり、制御電圧ct13は、クロックCLKA, CLKBの2倍の振幅を有している。

20

【0034】

図2は、図1の電源回路の動作を説明するタイムチャートであり、縦軸に電圧レベル、及び横軸に時間がとられている。

30

この図を参照して、この例の電源回路の動作について説明する。

期間Aにおいて、クロックCLKAは高レベルの電位[VDD]（第2のレベル、たとえば、5V）、及びクロックCLKBが低レベルの電位[VSS]（第1のレベル、たとえば、0V；グラウンドレベル）である。ノードPA, QA, PB, QBの電位は、クロックCLKA, CLKBに同期して変化し、ノードPA及びノードQAは高レベル、ノードPB及びノードQBが低レベルとなる。チャージポンプ回路11のpMOSトランジスタMPL4は、ノードQBに接続されているゲートが低レベルであるから、オン状態であり、キャパシタC2が電位[VDD]に充電され、ノードPBが電位[VDD]となる。この後、クロックCLKBが電位[VDD]に上昇すると、キャパシタC2で結合されたノードPBの電位は、クロックCLKBの振幅である電圧[VDD]分が重畳されて電位[$2 \times VDD (= VDD + VDD)$]に昇圧される。このとき、クロックCLKAが低レベルの電位[VSS]で、ノードQAも低レベルの電位[VSS]であるから、pMOSトランジスタMPL2がオン状態となり、ノードPAが電位[VDD]に充電される。よって、ノードPBが電位[$2 \times VDD$]、及びノードPAが電位[VDD]であるから、pMOSトランジスタMPL3がオン状態となり、出力端子OUTが電位[$2 \times VDD$]となる。

40

【0035】

レベルシフト回路12では、期間Aにおいて、チャージポンプ回路11のノードPAが電位[$2 \times VDD$]に上がり、pMOSトランジスタMPL3は、ゲート・ソース間電圧

50

V_{gs} が0Vとなるため、オフ状態となる。また、ノードPBが電位[VDD]に低下すると共に、ノードBSBが電位[VDD]よりもpMOSトランジスタMPL1のゲート閾値電圧(たとえば、3V)程度高い電位まで低下する。ノードQBが期間Aの前の状態の高レベルの電位[$2 \times VDD$]を保持していると、pMOSトランジスタMPL2は、ゲート・ソース間電圧がゲート閾値電圧を超えたときに導通が始まる。このとき、クロックCLKBは低レベルの電位[VSS]に低下しているため、ノードQBが電位[VSS]となる。

【0036】

ノードQBを低レベルの電位[VSS]としながらpMOSトランジスタMPL2のオン状態を保つためには、ノードBSBを電位[VSS]よりも低くする必要があるが、この場合、クロックCLKBの電位の低下及びノードQBの電位の低下に伴い、pMOSトランジスタMPL2のゲートに接続されているノードBSBも、ブートストラップ効果により、電位が低下する。そして、ノードBSBの電位がノードPBの電位[VDD]+ゲート閾値電圧よりも低下すると、pMOSトランジスタMPL1がオフ状態となるため、同ノードBSBはフローティング状態となる。よって、ノードBSBの電位は、ノードQBとの電位差関係を保ったまま、電位[VSS]以下まで低下する。

【0037】

次に、期間Bにおいて、ノードPAは電位[VDD]に下がり、ノードPBが電位[$2 \times VDD$]に上昇する。pMOSトランジスタMPL3はオン状態となり、ノードQBがノードOUTの電位[$2 \times VDD$]に充電される。このとき、ノードPBが電位[$2 \times VDD$]なので、pMOSトランジスタMPL1もオン状態であり、pMOSトランジスタMPL2のゲート(ノードBSB)は電位[$2 \times VDD$]に上昇するため、pMOSトランジスタMPL2はオフ状態である。この場合、ノードQBが電位[$2 \times VDD$]に達したときでも、pMOSトランジスタMPL2はオフ状態が保持される。また、レベルシフト回路13では、レベルシフト回路12と逆位相の動作が行われる。

【0038】

なお、レベルシフト回路12, 13を構成するpMOSトランジスタMPL2, MPL5のドレインには、クロックCLKB, CLKAが入力されているが、電源電位[VSS]が接続されていても、上記と同等の動作が行われる。すなわち、ノードPB, PAが低レベルの電位[VDD]のとき、pMOSトランジスタMPL2, MPL5のドレインのレベルが電位[VSS]であれば、ノードQB, QAからは、所望の低レベルである電位[VSS]が出力される。また、pMOSトランジスタMPL1, MPL4のゲートは、直流入力電圧[VDD]に固定されているが、ノードPB, PAが低レベルの電位[VDD]のときに電位[VDD]のレベルであり、かつ、ノードPB, PAが高レベルの電位[$2 \times VDD$]のときにpMOSトランジスタMPL1, MPL4が十分に導通する低いレベルであればよい。すなわち、直流入力電圧[VDD]に代えて、クロックCLKA, CLKBが入力されても、上記と同等の動作が行われる。また、pMOSトランジスタMPL3のソース電極を、出力端子OUTに代えてノードPBに接続し、かつ、pMOSトランジスタMPL6のソース電極を、出力端子OUTに代えてノードPAに接続しても、上記と同等の動作が行われる。

【0039】

以上のように、この第1の実施例では、チャージポンプ回路11のノードQA, QBに、レベルシフト回路12, 13から振幅が電圧[$2 \times VDD$]を有する制御電圧ct12, ct13が入力されるので、ノードPA, PBが電位[$2 \times VDD$]となった場合でも、pMOSトランジスタMP2, MP4がオフ状態に保たれるため、同pMOSトランジスタMP2, MP4の電流リークが回避される。これにより、直流出力電圧[$2 \times VDD$]の低下が防止される。また、レベルシフト回路12, 13の入力として、チャージポンプ回路11のノードPA, PBの電位が用いられているので、同レベルシフト回路12, 13のノードQB, QAの電位が高レベルの場合においても、pMOSトランジスタMPL2, MPL5をオフ状態に保つことができる。よって、pMOSトランジスタMPL2, M

10

20

30

40

50

PL5に貫通電流が流れることが回避され、消費電力が低減される。

【実施例2】

【0040】

図3は、この発明の第2の実施例である電源回路に設けられるレベルシフト回路の電気的構成を示す回路図であり、同図(a)は、図1中のレベルシフト回路12に代えて設けられるレベルシフト回路12Aを示す回路図、及び同図(b)が、図1中のレベルシフト回路13に代えて設けられるレベルシフト回路13Aを示す回路図である。

【0041】

レベルシフト回路12Aは、pMOSトランジスタMPL1, MPL2, MPL3及びMPL7から構成されている。pMOSトランジスタMPL1は、ソース電極がノードPB、ドレイン電極がノードBSB、及びゲート電極がノードPBにそれぞれ接続されている。pMOSトランジスタMPL2は、ソース電極がノードQB、及びゲート電極がノードBSBにそれぞれ接続され、ドレイン電極にはクロックCLKBが入力される。pMOSトランジスタMPL3は、ソース電極が出力端子OUT、ドレイン電極がノードQB、及びゲート電極がノードPAにそれぞれ接続されている。pMOSトランジスタMPL7は、ソース電極が出力端子OUT、ドレイン電極がノードBSB、及びゲート電極がノードPAにそれぞれ接続されている。

【0042】

レベルシフト回路13Aは、pMOSトランジスタMPL4, MPL5, MPL6及びMPL8から構成されている。pMOSトランジスタMPL4は、ソース電極がノードPA、ドレイン電極がノードBSA、及びゲート電極がノードPAにそれぞれ接続されている。pMOSトランジスタMPL5は、ソース電極がノードQA、及びゲート電極がノードBSAにそれぞれ接続され、ドレイン電極にはクロックCLKAが入力される。pMOSトランジスタMPL6は、ソース電極が出力端子OUT、ドレイン電極がノードQA、及びゲート電極がノードPBにそれぞれ接続されている。pMOSトランジスタMPL8は、ソース電極が出力端子OUT、ドレイン電極がノードBSA、及びゲート電極がノードPBにそれぞれ接続されている。

【0043】

この電源回路では、上記第1の実施例の電源回路と同様に、図2のタイムチャートに示す動作が行われるが、レベルシフト回路12A, 13Aの構成が異なるため、一部の動作が異なる。すなわち、レベルシフト回路12Aでは、図2中の期間Bにおいて、ノードPAは電位[VDD]に下がり、ノードPBが電位[2×VDD]に上昇する。pMOSトランジスタMPL3はオン状態となり、ノードQBがノードOUTの電位[2×VDD]に充電される。このとき、高電位のノードPBとダイオード接続されたpMOSトランジスタMPL1では、期間Aで低電位に下がったノードBSBの電位を制御することができない。一方で、pMOSトランジスタMPL7は、pMOSトランジスタMPL3と同様にオン状態となるため、ノードBSBを電位[2×VDD]まで上昇させて、pMOSトランジスタMPL2をオフ状態とすることができる。この場合、ノードQBが電位[2×VDD]に達したときでも、pMOSトランジスタMPL2はオフ状態が保持される。また、レベルシフト回路13Aでは、レベルシフト回路12Aと逆位相の動作が行われる。

【0044】

以上のように、この第2の実施例では、チャージポンプ回路11のノードQA, QBに、レベルシフト回路12A, 13Aから振幅が電圧[2×VDD]を有する制御電圧ct12, ct13が入力されるので、ノードPA, PBが電位[2×VDD]となった場合でも、pMOSトランジスタMP2, MP4がオフ状態に保たれるため、同pMOSトランジスタMP2, MP4の電流リークが回避される。これにより、直流出力電圧[2×VDD]の低下が防止される。また、レベルシフト回路12A, 13Aの入力として、チャージポンプ回路11のノードPA, PBの電位が用いられているので、同レベルシフト回路12A, 13AのノードQB, QAの電位が高レベルの場合においても、pMOSトランジスタMPL2, MPL5をオフ状態に保つことができる。よって、pMOSトランジスタ

10

20

30

40

50

M P L 2 , M P L 5 に貫通電流が流れることが回避され、消費電力が低減される。

【実施例 3】

【0045】

図 4 は、この発明の第 3 の実施例である電源回路に設けられるレベルシフト回路の電気的構成を示す回路図であり、同図 (a) は、図 1 中のレベルシフト回路 1 2 に代えて設けられるレベルシフト回路 1 2 B を示す回路図、及び同図 (b) が、図 1 中のレベルシフト回路 1 3 に代えて設けられるレベルシフト回路 1 3 B を示す回路図である。

【0046】

レベルシフト回路 1 2 B は、p M O S トランジスタ M P L 1 , M P L 2 , M P L 3 , M P L 7 及び M P L 9 から構成されている。p M O S トランジスタ M P L 1 は、ソース電極がノード P B 、ドレイン電極がノード B S B 、及びゲート電極がノード P B にそれぞれ接続されている。p M O S トランジスタ M P L 2 は、ソース電極がノード Q B 、及びゲート電極がノード B S B にそれぞれ接続され、ドレイン電極にはクロック C L K B が入力される。p M O S トランジスタ M P L 3 は、ソース電極が出力端子 O U T 、ドレイン電極がノード Q B 、及びゲート電極がノード P A にそれぞれ接続されている。p M O S トランジスタ M P L 7 は、ソース電極が出力端子 O U T 、ゲート電極がノード P A にそれぞれ接続され、p M O S トランジスタ M P L 9 は、ドレイン電極及びゲート電極がノード B S B に接続され、p M O S トランジスタ M P L 7 のドレイン電極と同 p M O S トランジスタ M P L 9 のソース電極とが互いに接続されている。

【0047】

レベルシフト回路 1 3 B は、p M O S トランジスタ M P L 4 , M P L 5 , M P L 6 , M P L 8 及び M P L 1 0 から構成されている。p M O S トランジスタ M P L 4 は、ソース電極がノード P A 、ドレイン電極がノード B S A 、及びゲート電極がノード P A にそれぞれ接続されている。p M O S トランジスタ M P L 5 は、ソース電極がノード Q A 、及びゲート電極がノード B S A にそれぞれ接続され、ドレイン電極にはクロック C L K A が入力される。p M O S トランジスタ M P L 6 は、ソース電極が出力端子 O U T 、ドレイン電極がノード Q A 、及びゲート電極がノード P B にそれぞれ接続されている。p M O S トランジスタ M P L 8 は、ソース電極が出力端子 O U T 、ゲート電極がノード P B にそれぞれ接続され、p M O S トランジスタ M P L 1 0 は、ドレイン電極及びゲート電極がノード B S A に接続され、p M O S トランジスタ M P L 8 のドレイン電極と同 p M O S トランジスタ M P L 1 0 のソース電極とが互いに接続されている。

【0048】

この電源回路では、上記第 1 の実施例の電源回路と同様に、図 2 のタイムチャートに示す動作が行われるが、レベルシフト回路 1 2 B , 1 3 B の構成が異なるため、一部の動作が異なる。すなわち、レベルシフト回路 1 2 B では、図 2 中の期間 B において、ノード P A は電位 [V D D] に下がり、ノード P B が電位 [2 × V D D] に上昇する。p M O S トランジスタ M P L 3 及び p M O S トランジスタ M P L 7 はオン状態となり、ノード Q B がノード O U T の電位 [2 × V D D] に充電される。このとき、ノード B S B の電位は [2 × V D D] よりも M P L 9 の閾値電圧分だけ低い電位まで上昇する。これが M P L 9 を用いることで第 2 の実施例と異なる点である。ノード Q B が電位 [2 × V D D] に達した場合、M P L 2 のゲート・ソース電極間には M P L 9 の閾値電圧程度の電圧が印加されるため、M P L 2 はオフ状態にはならず、リーク電流が流れる。一方で、次にノード P B の電位が [V D D] に下がる際には、ノード B S B は元々ソース電極の電位 [2 × V D D] よりも低いため、より早く電位が下降し、ブートストラップ効果によるトランジスタ M P L 2 の導通をより早く起こすことができる。また、レベルシフト回路 1 3 B では、レベルシフト回路 1 2 B と逆位相の動作が行われる。

【0049】

以上のように、この第 3 の実施例では、チャージポンプ回路 1 1 のノード Q A , Q B に、レベルシフト回路 1 2 B , 1 3 B から振幅が電圧 [2 × V D D] を有する制御電圧 c t 12 , c t 13 が入力されるので、ノード P A , P B が電位 [2 × V D D] となった場合でも

、pMOSトランジスタMP2, MP4がオフ状態に保たれるため、同pMOSトランジスタMP2, MP4の電流リークが回避される。これにより、直流出力電圧 $[2 \times V_{DD}]$ の低下が防止される。また、レベルシフト回路12B, 13Bの出力ノードQB, QAの電位が高レベルの場合に、pMOSトランジスタMPL2及びMPL5のゲート電位は高レベルから閾値電圧程度低い電位に保たれるため、出力ノードの電位を低レベルに下げる際にもより早くゲート電位を下げる高速動作が可能となる。

【実施例4】

【0050】

図5は、この発明の第4の実施例である電源回路の電氣的構成を示す回路図である。

この例の電源回路は、同図(a)に示すチャージポンプ回路21と、同図(b)に示すレベルシフト回路22と、同図(c)に示すレベルシフト回路23とから構成されている。

チャージポンプ回路21は、pMOSトランジスタMP11, MP12, MP13, MP14, MP15, MP16と、キャパシタC11, C12, C13, C14とから構成されている。pMOSトランジスタMP11は、ソース電極が入力端子IN、ドレイン電極がノードXA、及びゲート電極がノードXBにそれぞれ接続されている。pMOSトランジスタMP12は、ソース電極がノードXA、ドレイン電極が出力端子OUT、及びゲート電極がノードZAにそれぞれ接続されている。出力端子OUTには、第1の生成電圧が出力される。pMOSトランジスタMP13は、ソース電極が出力端子OUT、ドレイン電極がノードYA、及びゲート電極がノードYBにそれぞれ接続されている。これらのノードYA, YBには、第2の生成電圧が出力される。

【0051】

pMOSトランジスタMP14は、ソース電極が入力端子IN、ドレイン電極がノードXB、及びゲート電極がノードXAにそれぞれ接続されている。pMOSトランジスタMP15は、ソース電極がノードXB、ドレイン電極が出力端子OUT、及びゲート電極がノードZBにそれぞれ接続されている。pMOSトランジスタMP16は、ソース電極が出力端子OUT、ドレイン電極がノードYB、及びゲート電極がノードYAにそれぞれ接続されている。キャパシタC11は、低圧側電極がノードXAに接続され、高圧側電極にはクロックCLKAが入力される。キャパシタC12は、低圧側電極がノードYAに接続され、高圧側電極にはクロックCLKAが入力される。キャパシタC13は、低圧側電極がノードXBに接続され、高圧側電極にはクロックCLKBが入力される。キャパシタC14は、低圧側電極がノードYBに接続され、高圧側電極にはクロックCLKBが入力される。上記pMOSトランジスタMP13, 16、及びキャパシタC12, C14により、電圧生成回路が構成されている。

【0052】

レベルシフト回路22は、pMOSトランジスタMPL11, MPL12, MPL13, MPL14から構成されている。pMOSトランジスタMPL11は、ソース電極がノードXB、ドレイン電極がノードBS1B、及びゲート電極が出力端子OUTにそれぞれ接続されている。pMOSトランジスタMPL12は、ソース電極がノードZB、ドレイン電極がノードYB、及びゲート電極がノードBS1Bにそれぞれ接続されている。pMOSトランジスタMPL13は、ソース電極が入力端子IN、ドレイン電極がノードZB、及びゲート電極がノードXAにそれぞれ接続されている。pMOSトランジスタMPL14は、ドレイン電極及びゲート電極がノードXB、及びソース電極がノードBS1Bにそれぞれ接続されている。このレベルシフト回路22は、pMOSトランジスタMP15のゲート電極に、直流入力電圧 $[V_{SS}]$ と同一レベルの制御電圧ct22を印加することにより同pMOSトランジスタMP15をオフ状態とする一方、ノードYBの電位 $[V_{SS} - 2 \times V_{DD}]$ (第2の生成電圧)と同一レベルの制御電圧ct22を印加することにより同pMOSトランジスタMP15をオン状態とする。

【0053】

レベルシフト回路23は、pMOSトランジスタMPL15, MPL16, MPL17

、MPL18から構成されている。pMOSトランジスタMPL15は、ソース電極がノードXA、ドレイン電極がノードBS1A、及びゲート電極が出力端子OUTにそれぞれ接続されている。pMOSトランジスタMPL16は、ソース電極がノードZA、ドレイン電極がノードYA、及びゲート電極がノードBS1Aにそれぞれ接続されている。pMOSトランジスタMPL17は、ソース電極が入力端子IN、ドレイン電極がノードZA、及びゲート電極がノードXBにそれぞれ接続されている。pMOSトランジスタMPL18は、ドレイン電極及びゲート電極がノードXA、及びソース電極がノードBS1Aにそれぞれ接続されている。このレベルシフト回路23は、pMOSトランジスタMP12のゲート電極に、直流入力電圧[VSS]と同一レベルの制御電圧ct23を印加することにより同pMOSトランジスタMP12をオフ状態とする一方、ノードYAの電位[VSS - 2 × VDD] (第2の生成電圧)と同一レベルの制御電圧ct23を印加することにより同pMOSトランジスタMP12をオン状態とする。

10

【0054】

図6は、図5の電源回路の動作を説明するタイムチャートである。

この図を参照して、この例の電源回路の動作について説明する。

期間Aにおいて、クロックCLKAは高レベルの電位VDD、クロックCLKBが低レベルの電位VSSである。ノードXA, YA, ZA, XB, YB, ZBの電位は、クロックCLKA, CLKBに同期して変化し、ノードXA, YA及びノードZAは高レベル、ノードXB, YB及びノードZBが低レベルとなる。そして、チャージポンプ回路21では、pMOSトランジスタMP11, MP15, MP13がオン状態、及びpMOSトランジスタMP14, MP12, MP16がオフ状態となる。pMOSトランジスタMP11がオン状態であるから、ノードXAは電位[VSS]に充電され、pMOSトランジスタMP15, MP13がオン状態であると、ノードXB及びノードYAは生成電圧[VDDM] (電位[-VDD])に充電される。

20

【0055】

次に、期間Bでは、pMOSトランジスタMP11, MP15, MP13がオフ状態、及びpMOSトランジスタMP14, MP12, MP16がオン状態となる。クロックCLKAが低レベルの電位[VSS]に低下するため、キャパシタC11で結合されているノードXAの電位は、クロックCLKAの振幅[VDD]分だけ低下し、負電位[-VDD]となる。同様に、キャパシタC12で結合されているノードYAの電位も低下し、電位[VDDM]よりも電圧[VDD]分だけ低い電位[-2 × VDD]に充電される。pMOSトランジスタMP12, MP16がオン状態であると、出力端子OUT及びノードYBは、ノードXAの電位[-VDD]に充電される。

30

【0056】

レベルシフト回路22では、期間Aにおいて、チャージポンプ回路21のノードXAは電位[VSS]になり、pMOSトランジスタMPL13は、ゲート・ソース間電圧Vgsが0Vであるから、オフ状態となる。また、ノードXBが電位[-VDD]へ低下すると共に、ノードBS1Bは電位[VDDM] (= [-VDD])よりもゲート閾値電圧程度高い電位まで低下する。ノードZBが期間Aの前の状態の高レベル(電位[VSS])を保持していると、pMOSトランジスタMPL12は、ゲート・ソース間電圧がゲート閾値電圧を超えたときに導通が始まる。このとき、ノードYBは低レベルの電位[VDDM - VDD = -2 × VDD]に低下しているため、ノードZBは電位[-2 × VDD]に充電される。pMOSトランジスタMPL12のオン状態を保つためには、ノードBS1Bを電位[-2 × VDD]よりも低くする必要がある。ノードYBの電位の低下及びノードZBの電位の低下に伴い、ノードBS1Bには、ブートストラップ効果により電位を低下させる力が働く。ノードBS1Bの電位がノードXBの電位[-VDD] + ゲート閾値電圧よりも低下すると、pMOSトランジスタMPL11はオフ状態となるため、ノードBS1Bは、フローティング状態となり、ノードZBとの電位差関係を保ったまま電位[-2 × VDD]以下にまで低下する。

40

【0057】

50

次に、期間Bにおいて、チャージポンプ回路21のノードXAは電位 $[-VDD]$ に下がるため、pMOSトランジスタMPL13はオン状態となり、ノードZBは電位 $[VSS]$ に上昇する。このとき、ノードXBは電位 $[VSS]$ まで上昇するから、pMOSトランジスタMPL11もオン状態となり、pMOSトランジスタMPL12のゲートに接続されているノードBS1Bは電位 $[VSS]$ となる。よって、ノードZBが電位 $[VSS]$ に達したときでも、pMOSトランジスタMPL12はオフ状態が保持される。また、レベルシフト回路23では、レベルシフト回路22と逆位相の動作が行われる。

【0058】

レベルシフト回路22を構成するpMOSトランジスタMPL14は、pMOSトランジスタMPL11と同様に、ノードXBの電位をノードBS1Bに伝える機能を有している。しかしながら、その主な機能は、この回路の起動時、すなわち、出力端子OUTが、まだ電位 $[-VDD]$ に充電されていないときに発揮される。まず、pMOSトランジスタMPL14がない場合について考察する。一般に、充電されていないノードは、起動時に0Vからスタートする。期間Bで0VからスタートしたノードXBは、期間Aにおいて、キャパシタC13との結合により電位 $[-VDD]$ に低下する。しかしながら、出力端子OUTの電位が0Vであると、pMOSトランジスタMPL11がオフ状態であるため、ノードBS1Bの電位を低下させることができない。よって、pMOSトランジスタMPL12は導通しないため、レベルシフト回路22のノードZBが低レベルにならないので、チャージポンプ回路21の動作が正しく進まない。

【0059】

一方、pMOSトランジスタMPL14がある場合、出力端子OUTの電位が0Vからスタートした場合でも、ノードXBの電位 $[-VDD]$ への低下に伴い、ノードBS1Bの電位は、電位 $[-VDD]$ +ゲート閾値電圧程度までは引き下げられる。よって、ノードZBが前の状態である高レベルの電位 $[VSS]$ を保持していれば、pMOSトランジスタMPL12がオン状態となり、ノードZBが低レベルの電位 $[-2 \times VDD]$ となる。

【0060】

また、pMOSトランジスタMPL14があり、pMOSトランジスタMPL11がない場合の問題点を考察する。pMOSトランジスタMPL14の問題点は、ノードBS1Bの電位がノードXBの取り得る低レベルの電位 $[-VDD]$ よりも低くなった場合、ノードBS1Bの電位を制御できなくなる点である。すなわち、pMOSトランジスタMPL12のブートストラップ効果により、ノードBS1Bの電位がノードZBの低レベルの電位 $[-2 \times VDD]$ よりも低くなった後は、ノードXBを電位 $[VSS]$ に上げることによってノードBS1Bの電位を上昇させることができず、pMOSトランジスタMPL12をオフ状態とすることができない。このとき、pMOSトランジスタMPL11がpMOSトランジスタMPL14に並列接続されていれば、ノードXBの電位 $[VSS]$ への上昇に伴い、pMOSトランジスタMPL11がオン状態となるため、ノードBS1Bが電位 $[VSS]$ に上昇し、pMOSトランジスタMPL12がオフ状態となる。レベルシフト回路23を構成するpMOSトランジスタMPL18についても、pMOSトランジスタMPL14と同様である。

【0061】

なお、レベルシフト回路22を構成するpMOSトランジスタMPL11のゲートには、直流出力電圧（電位 $[-VDD]$ ）が入力されているが、ノードXBが低レベルの電位 $[-VDD]$ のときに電位 $[-VDD]$ のレベルが入力され、ノードXBが高レベルの電位 $[VSS]$ のときにpMOSトランジスタMPL11が十分導通する低いレベルが入力されていればよい。すなわち、直流出力電圧 $[VDDM]$ に代えて、ノードYAの電位 $[-2 \times VDD]$ を入力しても、上記と同等の動作が行われる。レベルシフト回路23を構成するpMOSトランジスタMPL15についても、pMOSトランジスタMPL11と同様である。また、pMOSトランジスタMPL13のソース電極を、入力端子INに代えてノードXBに接続し、かつ、pMOSトランジスタMPL17のソース電極を、入力

10

20

30

40

50

端子INに代えてノードXAに接続しても、上記と同等の動作が行われる。

【0062】

以上のように、この第4の実施例では、チャージポンプ回路21のpMOSトランジスタMP12、MP15のゲートに、レベルシフト回路22、23から振幅が電圧 $[2 \times VDD]$ に拡大された制御信号が入力されるので、ノードXA、XBが電位 $[VSS]$ となった場合でも、pMOSトランジスタMP12、MP15をオフ状態に保つことができる。よって、pMOSトランジスタMP12、MP15の電流リークが回避される。これにより、直流出力電圧 $[VDDM]$ (電位 $[-VDD]$)の低下(高レベルへのずれ)が防止される。また、レベルシフト回路22、23の入力として、チャージポンプ回路21のノードXB、XAが用いられているので、同レベルシフト回路22、23のノードZB、ZAの電位が高レベルの場合においても、pMOSトランジスタMPL12、MPL16をオフ状態に保つことができる。よって、pMOSトランジスタMPL12、MPL16に貫通電流が流れることが回避され、消費電力が低減される。さらに、レベルシフト回路22、23のpMOSトランジスタMPL11、MPL15に対して、ダイオード接続されたpMOSトランジスタMPL14、MPL18が並列接続されているので、この電源回路の起動時に直流出力電圧 $[VDDM]$ が不定値であっても、レベルシフト回路22、23及びチャージポンプ回路21が正常に起動する。

【実施例5】

【0063】

図7は、この発明の第5の実施例である電源回路に設けられるレベルシフト回路の電気的構成を示す回路図であり、同図(a)は、図5中のレベルシフト回路22に代えて設けられるレベルシフト回路22Aを示す回路図、及び同図(b)が、図5中のレベルシフト回路23に代えて設けられるレベルシフト回路23Aを示す回路図である。

【0064】

レベルシフト回路22Aは、pMOSトランジスタMPL14、MPL12、MPL13及びMPL11から構成されている。pMOSトランジスタMPL14は、ソース電極がノードPB、ドレイン電極がノードBS1B、及びゲート電極がノードPBにそれぞれ接続されている。pMOSトランジスタMPL12は、ソース電極がノードZB、ゲート電極がノードBS1B、及びドレイン電極がノードYBにそれぞれ接続されている。pMOSトランジスタMPL13は、ソース電極が入力端子IN、ドレイン電極がノードZB、及びゲート電極がノードXAにそれぞれ接続されている。pMOSトランジスタMPL11は、ソース電極が入力端子IN、ドレイン電極がノードBS1B、及びゲート電極がノードXAにそれぞれ接続されている。レベルシフト回路23Aは、pMOSトランジスタMPL18、MPL16、MPL17及びMPL15から構成されている。pMOSトランジスタMPL18は、ソース電極がノードXA、ドレイン電極がノードBS1A、及びゲート電極がノードXAにそれぞれ接続されている。pMOSトランジスタMPL16は、ソース電極がノードZA、及びゲート電極がノードBS1A、ドレイン電極がノードYABにそれぞれ接続されている。pMOSトランジスタMPL17は、ソース電極が入力端子IN、ドレイン電極がノードZA、及びゲート電極がノードXBにそれぞれ接続されている。pMOSトランジスタMPL15は、ソース電極が入力端子IN、ドレイン電極がノードBS1A、及びゲート電極がノードXBにそれぞれ接続されている。

【0065】

この電源回路では、上記第4の実施例の電源回路と同様に、図6のタイムチャートに示す動作が行われるが、レベルシフト回路22A、23Aの構成が異なるため、一部の動作が異なる。すなわち、レベルシフト回路22Aでは、図6中の期間Bにおいて、チャージポンプ回路21のノードXAが電位 $[-VDD]$ に下がるため、pMOSトランジスタMPL13はオン状態となり、ノードZBは電位 $[VSS]$ に上昇する。このとき、ノードXBは電位 $[VSS]$ まで上昇するが、ノードBS1Bの電位が低いままであると、ダイオード接続されたpMOSトランジスタMPL14ではノードBS1Bの電位を上昇させることはできない。一方で、pMOSトランジスタMPL11はMPL13と同様にオン

10

20

30

40

50

状態となるため、ノードBS1Bを電位[VSS]まで上昇させてpMOSトランジスタMPL12をオフ状態とすることができる。よって、ノードZBが電位[VSS]に達したときでも、pMOSトランジスタMPL12はオフ状態が保持される。また、レベルシフト回路23Aでは、レベルシフト回路22Aと逆位相の動作が行われる。

【0066】

以上のように、この第5の実施例では、チャージポンプ回路21のpMOSトランジスタMP12、MP15のゲートに、レベルシフト回路22A、23Aから振幅が電圧[$2 \times VDD$]に拡大された制御信号が入力されるので、ノードXA、XBが電位[VSS]となった場合でも、pMOSトランジスタMP12、MP15をオフ状態に保つことができる。よって、pMOSトランジスタMP12、MP15の電流リークが回避される。これにより、直流出力電圧[VDDM]（電位[-VDD]）の低下（高レベルへのずれ）が防止される。また、レベルシフト回路22A、23Aの入力として、チャージポンプ回路21のノードXB、XAが用いられているので、同レベルシフト回路22A、23AのノードZB、ZAの電位が高レベルの場合においても、pMOSトランジスタMPL12、MPL16をオフ状態に保つことができる。よって、pMOSトランジスタMPL12、MPL16に貫通電流が流れることが回避され、消費電力が低減される。

【実施例6】

【0067】

図8は、この発明の第6の実施例である電源回路に設けられるレベルシフト回路の電気的構成を示す回路図であり、同図(a)は、図5中のレベルシフト回路22に代えて設けられるレベルシフト回路22Bを示す回路図、及び同図(b)が、図5中のレベルシフト回路23に代えて設けられるレベルシフト回路23Bを示す回路図である。

【0068】

レベルシフト回路22Bは、pMOSトランジスタMPL14、MPL12、MPL13、MPL11及びMPL19から構成されている。pMOSトランジスタMPL14は、ソース電極がノードXB、ドレイン電極がノードBS1B、及びゲート電極がノードXBにそれぞれ接続されている。pMOSトランジスタMPL12は、ソース電極がノードZB、ゲート電極がノードBS1B、及びドレイン電極がノードYBにそれぞれ接続されている。pMOSトランジスタMPL13は、ソース電極が入力端子IN、ドレイン電極がノードZB、及びゲート電極がノードXAにそれぞれ接続されている。pMOSトランジスタMPL11は、ソース電極が入力端子IN、ゲート電極がノードXAにそれぞれ接続され、pMOSトランジスタMPL19は、ドレイン電極及びゲート電極がノードBS1Bに接続され、pMOSトランジスタMPL11のドレイン電極と同pMOSトランジスタMPL19のソース電極とが互いに接続されている。レベルシフト回路23Bは、pMOSトランジスタMPL18、MPL16、MPL17、MPL15及びMPL20から構成されている。pMOSトランジスタMPL18は、ソース電極がノードXA、ドレイン電極がノードBS1A、及びゲート電極がノードXAにそれぞれ接続されている。pMOSトランジスタMPL16は、ソース電極がノードZA、ゲート電極がノードBS1A、及びドレイン電極がノードYAにそれぞれ接続されている。pMOSトランジスタMPL17は、ソース電極が入力端子IN、ドレイン電極がノードZA、及びゲート電極がノードXBにそれぞれ接続されている。pMOSトランジスタMPL15は、ソース電極が入力端子IN、ゲート電極がノードXBにそれぞれ接続され、pMOSトランジスタMPL20は、ドレイン電極及びゲート電極がノードBS1Aに接続され、pMOSトランジスタMPL15のドレイン電極と同pMOSトランジスタMPL20のソース電極とが互いに接続されている。

【0069】

この電源回路では、上記第4の実施例の電源回路と同様に、図6のタイムチャートに示す動作が行われるが、レベルシフト回路22B、23Bの構成が異なるため、一部の動作が異なる。

【0070】

10

20

30

40

50

すなわち、レベルシフト回路22Bでは、図6中の期間Bにおいて、チャージポンプ回路21のノードXAは電位 $[-VDD]$ に下がるため、pMOSトランジスタMPL13はオン状態となり、ノードZBは電位 $[VSS]$ に上昇する。このとき、ノードBS1Bの電位は $[VSS]$ よりもMPL19の閾値電圧分だけ低い電位まで上昇する。これがMPL19を用いることで第5の実施例と異なる点である。ノードZBが電位 $[VSS]$ に達した場合、MPL12のゲート・ソース電極間にはMPL19の閾値電圧程度の電圧が印加されるため、MPL12はオフにはならず、リーク電流が流れる。一方で、次にノードXBの電位が $[-VDD]$ に下がる際には、ノードBS1Bは元々ソース電極の電位 $[VSS]$ よりも低いいため、より早く電位が下降し、ブートストラップ効果によるトランジスタMPL12の導通をより早く起こすことができる。また、レベルシフト回路23Bでは、レベルシフト回路22Bと逆位相の動作が行われる。

10

【0071】

以上のように、この第6の実施例では、チャージポンプ回路21のpMOSトランジスタMP12、MP15のゲートに、レベルシフト回路22B、23Bから振幅が電圧 $[2 \times VDD]$ に拡大された制御信号が入力されるので、ノードXA、XBが電位 $[VSS]$ となった場合でも、pMOSトランジスタMP12、MP15をオフ状態に保つことができる。よって、pMOSトランジスタMP12、MP15の電流リークが回避される。これにより、直流出力電圧 $[VDDM]$ (電位 $[-VDD]$)の低下(高レベルへのずれ)が防止される。また、レベルシフト回路22B、23Bの出力ノードZB、ZAの電位が高レベルの場合に、pMOSトランジスタMPL12及びMPL16のゲート電位は高レベルから閾値電圧程度低い電位に保たれるため、出力ノードの電位を低レベルに下げる際にも、より早くゲート電位を下げる高速動作が可能となる。

20

【実施例7】

【0072】

図9は、この発明の第7の実施例である電源回路の電氣的構成を示す回路図である。

この例の電源回路は、同図(a)に示すチャージポンプ回路31と、同図(b)に示すレベルシフト回路32と、同図(c)に示すレベルシフト回路33と、同図(d)に示すレベルシフト回路34と、同図(e)に示すレベルシフト回路35とから構成されている。チャージポンプ回路31は、チャージポンプ回路が複数設けられ、前段のチャージポンプ回路で生成された昇圧電圧が後段のチャージポンプ回路の直流入力電圧として入力されるように縦続接続されると共に、後段のチャージポンプ回路のキャパシタに入力されるクロックが、前段のチャージポンプ回路のキャパシタに入力されるクロックに対して逆位相で入力される構成となっている。すなわち、チャージポンプ回路31は、pMOSトランジスタMP21、MP22、MP23、MP24、MP25、MP26と、キャパシタC21、C22、C23、C24とから構成されている。pMOSトランジスタMP21は、ソース電極が出力端子OUT、ドレイン電極がノードSB、及びゲート電極がノードSAにそれぞれ接続されている。pMOSトランジスタMP22は、ソース電極がノードSB、ドレイン電極がノードPA、及びゲート電極がノードRBにそれぞれ接続されている。pMOSトランジスタMP23は、ソース電極がノードPA、ドレイン電極が入力端子IN、及びゲート電極がノードQAにそれぞれ接続されている。

30

40

【0073】

pMOSトランジスタMP24は、ソース電極が出力端子OUT、ドレイン電極がノードSA、及びゲート電極がノードSBにそれぞれ接続されている。pMOSトランジスタMP25は、ソース電極がノードSA、ドレイン電極がノードPB、及びゲート電極がノードRAにそれぞれ接続されている。pMOSトランジスタMP26は、ソース電極がノードPB、ドレイン電極が入力端子IN、及びゲート電極がノードQBにそれぞれ接続されている。キャパシタC21は、高圧側電極がノードSBに接続され、低圧側電極にはクロックCLKBが入力される。キャパシタC22は、高圧側電極がノードPAに接続され、低圧側電極にはクロックCLKAが入力される。キャパシタC23は、高圧側電極がノードSAに接続され、低圧側電極にはクロックCLKAが入力される。キャパシタC24

50

は、高圧側電極がノードPBに接続され、低圧側電極にはクロックCLKBが入力される。

【0074】

レベルシフト回路32は、pMOSトランジスタMPL27, MPL28, MPL29から構成されている。pMOSトランジスタMPL27は、ソース電極がノードSB、ドレイン電極がノードBS2B、及びゲート電極がノードPAにそれぞれ接続されている。pMOSトランジスタMPL28は、ソース電極がノードRB、ドレイン電極がノードPB、及びゲート電極がノードBS2Bにそれぞれ接続されている。pMOSトランジスタMPL29は、ソース電極が出力端子OUT、ドレイン電極がノードRB、及びゲート電極がノードSAにそれぞれ接続されている。このレベルシフト回路32は、pMOSトランジスタMP22のゲート電極に、出力端子OUTの電位 $[3 \times VDD]$ と同一レベルの制御電圧ct32を印加することにより同pMOSトランジスタMP22をオフ状態とする一方、出力端子OUTの電位からクロックCLKBの高レベルの電圧の2倍の電圧 $[2 \times VDD]$ を減じた電位 $[VDD]$ の制御電圧ct32を印加することにより同pMOSトランジスタMP22をオン状態とする。

10

【0075】

レベルシフト回路33は、pMOSトランジスタMPL30, MPL31, MPL32から構成されている。pMOSトランジスタMPL30は、ソース電極がノードSA、ドレイン電極がノードBS2A、及びゲート電極がノードPBにそれぞれ接続されている。pMOSトランジスタMPL31は、ソース電極がノードRA、ドレイン電極がノードPA、及びゲート電極がノードBS2Aにそれぞれ接続されている。pMOSトランジスタMPL32は、ソース電極が出力端子OUT、ドレイン電極がノードRA、及びゲート電極がノードSBにそれぞれ接続されている。このレベルシフト回路33は、pMOSトランジスタMP25のゲート電極に、出力端子OUTの電位 $[3 \times VDD]$ と同一レベルの制御電圧ct33を印加することにより同pMOSトランジスタMP25をオフ状態とする一方、出力端子OUTの電位からクロックCLKBの高レベルの電圧の2倍の電圧 $[2 \times VDD]$ を減じた電位 $[VDD]$ の制御電圧ct33を印加することにより同pMOSトランジスタMP25をオン状態とする。

20

【0076】

レベルシフト回路34は、pMOSトランジスタMPL21, MPL22, MPL23から構成されている。pMOSトランジスタMPL21は、ソース電極がノードPB、ドレイン電極がノードBSB、及びゲート電極が入力端子INにそれぞれ接続されている。pMOSトランジスタMPL22は、ソース電極がノードQB、及びゲート電極がノードBSBにそれぞれ接続され、ドレイン電極にはクロックCLKBが入力される。pMOSトランジスタMPL23は、ソース電極がノードPB、ドレイン電極がノードQB、及びゲート電極がノードPAにそれぞれ接続されている。このレベルシフト回路34は、pMOSトランジスタMP26のゲート電極に、ノードPBの高レベルの電位 $[2 \times VDD]$ と同一レベルの制御電圧ct34を印加することにより同pMOSトランジスタMP26をオフ状態とする一方、同ノードPBの高レベルの電位 $[2 \times VDD]$ からクロックCLKBの高レベルの電圧の2倍の電圧 $[2 \times VDD]$ を減じた電位 $[VSS]$ の制御電圧ct34を印加することにより同pMOSトランジスタMP26をオン状態とする。

30

40

【0077】

レベルシフト回路35は、pMOSトランジスタMPL24, MPL25, MPL26から構成されている。pMOSトランジスタMPL24は、ソース電極がノードPA、ドレイン電極がノードBSA、及びゲート電極が入力端子INにそれぞれ接続されている。pMOSトランジスタMPL25は、ソース電極がノードQA、及びゲート電極がノードBSAにそれぞれ接続され、ドレイン電極にはクロックCLKAが入力される。pMOSトランジスタMPL26は、ソース電極が出力端子OUT、ドレイン電極がノードQA、及びゲート電極がノードPBにそれぞれ接続されている。このレベルシフト回路35は、pMOSトランジスタMP23のゲート電極に、ノードPAの高レベルの電位 $[2 \times VDD]$

50

D]と同一レベルの制御電圧 $c t 35$ を印加することにより同 pMOS トランジスタ MP 2 3 をオフ状態とする一方、同ノード PA の高レベルの電位 $[2 \times VDD]$ からクロック CLK A の高レベルの電圧の 2 倍の電圧 $[2 \times VDD]$ を減じた電位 $[VSS]$ の制御電圧 $c t 35$ を印加することにより同 pMOS トランジスタ MP 2 3 をオン状態とする。

【0078】

図 10 は、図 9 の電源回路の動作を説明するタイムチャートである。

この図を参照して、この電源回路の動作について説明する。

期間 A において、クロック CLK A は高レベルの電位 $[VDD]$ 、及びクロック CLK B が低レベルの電位 $[VSS]$ である。ノード PA, QA, RA, SA, PB, QB, RB, SB の電位はクロック CLK A, CLK B に同期して変化し、ノード PA, QA, RA, SA は高レベル、ノード PB, QB, RB, SB が低レベルとなる。チャージポンプ回路 31 の pMOS トランジスタ MP 2 4, MP 2 2, MP 2 6 はオン状態、及び pMOS トランジスタ MP 2 1, MP 2 5, MP 2 3 がオフ状態となる。pMOS トランジスタ MP 2 6 がオン状態であるから、ノード PB は電位 $[VDD]$ に充電される。

10

【0079】

次に、期間 B において、pMOS トランジスタ MP 2 4, MP 2 2, MP 2 6 がオフ状態、及び pMOS トランジスタ MP 2 1, MP 2 5, MP 2 3 がオン状態となる。クロック CLK B が高レベルの電位 $[VDD]$ に上昇するため、キャパシタ C 2 4 で結合されたノード PB は、電位 $[VDD - VSS]$ 分だけ上昇し、電位 $[2 \times VDD]$ に昇圧される。pMOS トランジスタ MP 2 5 がオン状態であるから、ノード SA も電位 $[2 \times VDD]$ に充電される。

20

【0080】

さらに、次の期間 A において、クロック CLK A が再び高レベルの電位 $[VDD]$ に上昇すると、キャパシタ C 2 3 で結合されたノード SA が電位 $[2 \times VDD]$ から電位 $[3 \times VDD]$ まで昇圧される。そして、pMOS トランジスタ MP 2 4 が導通することで、出力端子 OUT は電位 $[3 \times VDD]$ に充電され、直流出力電圧 $[3 \times VDD]$ が生成される。

【0081】

レベルシフト回路 34 では、期間 A において、チャージポンプ回路 31 のノード PA は電位 $[2 \times VDD]$ に上がり、ノード PB が電位 $[VDD]$ に下がるため、pMOS トランジスタ MP L 2 3 は、ゲート・ソース間電圧 V_{gs} が 0 V となるため、オフ状態となる。ノード PB の電位の低下と共にノード BSB は電位 $[VDD]$ よりもゲート閾値電圧程度高い電位まで低下する。ノード QB が期間 A の前の状態の高レベル (電位 $[2 \times VDD]$) を保持していると、pMOS トランジスタ MP L 2 2 のゲート・ソース間電圧がゲート閾値電圧を超えたときに導通が始まる。このとき、クロック CLK B は低レベルの電位 $[VSS]$ に低下しているため、ノード QB が電位 $[VSS]$ となる。pMOS トランジスタ MP L 2 2 のブートストラップ効果については、上記第 1 の実施の形態の pMOS トランジスタ MP L 2 と同様である。

30

【0082】

次に、期間 B において、チャージポンプ回路 31 のノード PA は電位 $[VDD]$ に下がり、ノード PB が電位 $[2 \times VDD]$ に上昇するため、pMOS トランジスタ MP L 2 3 がオン状態となり、ノード QB が電位 $[2 \times VDD]$ に充電される。このとき、pMOS トランジスタ MP L 2 1 もオン状態であり、pMOS トランジスタ MP L 2 2 のゲートに接続されているノード BSB が電位 $[2 \times VDD]$ となるため、pMOS トランジスタ MP L 2 2 はオフ状態である。この場合、ノード QB が電位 $[2 \times VDD]$ に達したときでも、pMOS トランジスタ MP L 2 2 はオフ状態が保持される。また、レベルシフト回路 35 では、レベルシフト回路 34 と逆位相の動作が行われる。

40

【0083】

レベルシフト回路 32 では、期間 A において、チャージポンプ回路 31 のノード SA は電位 $[3 \times VDD]$ に上がり、ノード SB が電位 $[2 \times VDD]$ に下がる。pMOS トラ

50

ンジスタMPL29は、ゲート・ソース間電圧 V_{gs} が0Vとなるため、オフ状態となる。pMOSトランジスタMPL27に着目すると、ノードPAが電位 $[2 \times V_{DD}]$ に上昇、ノードSBの電位 $[2 \times V_{DD}]$ への低下と共に、ノードBS2Bは電位 $[2 \times V_{DD}]$ よりもゲート閾値電圧程度高い電位まで低下する。ノードRBが期間Aの前の状態の高レベル(電位 $[3 \times V_{DD}]$)を保持していると、pMOSトランジスタMPL28のゲート・ソース間電圧がゲート閾値電圧を超えたときに導通が始まる。このとき、ノードPBは低レベルの電位 $[V_{DD}]$ に低下しているため、ノードRBは電位 $[V_{DD}]$ に充電される。pMOSトランジスタMPL28のオン状態を保つためには、ノードBS2Bを電位 $[V_{DD}]$ よりも低くする必要がある。

【0084】

この場合、ノードPBの電位の低下とノードRBの電位の低下に伴い、ノードBS2Bもブートストラップ効果により電位が低下する。ノードBS2Bの電位がノードSBの電位 $[2 \times V_{DD}] +$ ゲート閾値電圧よりも低下すると、pMOSトランジスタMPL27はオフ状態となるため、ノードBS2Bは、フローティング状態となり、ノードRBとの電位差関係を保ったまま電位 $[V_{DD}]$ 以下にまで低下する。

【0085】

次に、期間Bにおいて、チャージポンプ回路31のノードSAは電位 $[2 \times V_{DD}]$ に下がり、ノードSBが電位 $[3 \times V_{DD}]$ に上昇する。このとき、pMOSトランジスタMPL29はオン状態となり、ノードRBが電位 $[3 \times V_{DD}]$ に充電される。このとき、pMOSトランジスタMPL27に着目すると、ノードPAが電位 $[V_{DD}]$ 、及びノードSBが電位 $[3 \times V_{DD}]$ であるため、オン状態であり、pMOSトランジスタMPL28のゲートに接続されているノードBS2Bは電位 $[3 \times V_{DD}]$ となるため、pMOSトランジスタMPL28はオフ状態である。この場合、ノードRBが電位 $[3 \times V_{DD}]$ に達したときでも、pMOSトランジスタMPL28はオフ状態が保持される。レベルシフト回路33では、レベルシフト回路32と逆位相の動作が行われる。また、pMOSトランジスタMPL29のソース電極を、出力端子OUTに代えてノードSBに接続し、かつ、pMOSトランジスタMPL32のソース電極を、出力端子OUTに代えてノードSAに接続しても、上記と同等の動作が行われる。

【0086】

以上のように、この第7の実施例では、チャージポンプ回路31のpMOSトランジスタMP22, MP25, MP23及びMP26の各ゲート電極に、レベルシフト回路32, 33, 34, 35から振幅が電圧 $[2 \times V_{DD}]$ に拡大された制御電圧 c_{t32} , c_{t33} , c_{t34} , c_{t35} がそれぞれ入力されるので、ノードPA又はノードPBが電位 $[2 \times V_{DD}]$ となった場合、及び、ノードSA又はノードSBが電位 $[3 \times V_{DD}]$ となった場合においても、pMOSトランジスタMP23, MP26, MP25, MP22をオフ状態に保つことができる。よって、これらのpMOSトランジスタMP23, MP26, MP25, MP22の電流リークが回避される。これにより、直流出力電圧OUT($[3 \times V_{DD}]$)の低下が防止される。また、レベルシフト回路35, 34, 33, 32の入力として、チャージポンプ回路31のノードPB, PA, SB, SAが用いられているので、同レベルシフト回路35, 34, 33, 32のノードQA, QB, RA, RBの電位が高レベルの場合においても、pMOSトランジスタMPL25, MPL22, MPL31, MPL28をオフ状態に保つことができる。よって、これらのpMOSトランジスタMPL25, MPL22, MPL31, MPL28に貫通電流が流れることが回避され、消費電力が低減される。

【0087】

なお、この実施例では、図9中のレベルシフト回路32, 33, 34, 35を用いた電源回路を示したが、図3又は図4に示した各レベルシフト回路と同等のハード構成のレベルシフト回路を用いても良い。

【実施例8】

【0088】

10

20

30

40

50

図 1 1 は、この発明の第 8 の実施例である電源回路の電氣的構成を示す回路図である。

この例の電源回路は、同図 (a) に示すチャージポンプ回路 4 1 と、同図 (b) に示すレベルシフト回路 4 2 とから構成されている。

チャージポンプ回路 4 1 は、チャージポンプ昇圧機能を担う p M O S トランジスタ M P 1 A , M P 2 A , M P 3 A , M P 4 A , M P 5 A , M P 1 B , M P 2 B , M P 3 B , M P 4 B , M P 5 B 及びキャパシタ C 1 A , C 2 A , C 3 A , C 4 A , C 5 A , C 1 B , C 2 B , C 3 B , C 4 B , C 5 B と、直流電圧を出力する p M O S トランジスタ M P 6 A , M P 6 B とから構成されている。

【 0 0 8 9 】

p M O S トランジスタ M P 1 A は、ソース電極がノード 1 A、ドレイン電極が入力端子 I N、及びゲート電極がノード 1 1 A にそれぞれ接続されている。p M O S トランジスタ M P 1 B は、ソース電極がノード 1 B、ドレイン電極が入力端子 I N、及びゲート電極がノード 1 1 B にそれぞれ接続されている。p M O S トランジスタ M P 2 B は、ソース電極がノード 2 B、ドレイン電極がノード 1 A、及びゲート電極がノード 1 2 B にそれぞれ接続されている。p M O S トランジスタ M P 2 A は、ソース電極がノード 2 A、ドレイン電極がノード 1 B、及びゲート電極がノード 1 2 A にそれぞれ接続されている。p M O S トランジスタ M P 3 A は、ソース電極がノード 3 A、ドレイン電極がノード 2 B、及びゲート電極がノード 1 3 A にそれぞれ接続されている。p M O S トランジスタ M P 3 B は、ソース電極がノード 3 B、ドレイン電極がノード 2 A、及びゲート電極がノード 1 3 B にそれぞれ接続されている。

【 0 0 9 0 】

p M O S トランジスタ M P 4 B は、ソース電極がノード 4 B、ドレイン電極がノード 3 A、及びゲート電極がノード 1 4 B にそれぞれ接続されている。p M O S トランジスタ M P 4 A は、ソース電極がノード 4 A、ドレイン電極がノード 3 B、及びゲート電極がノード 1 4 A にそれぞれ接続されている。p M O S トランジスタ M P 5 A は、ソース電極がノード 5 A、ドレイン電極がノード 4 B、及びゲート電極がノード 1 5 A にそれぞれ接続されている。p M O S トランジスタ M P 5 B は、ソース電極がノード 5 B、ドレイン電極がノード 4 A、及びゲート電極がノード 1 5 B にそれぞれ接続されている。p M O S トランジスタ M P 6 B は、ソース電極が出力端子 O U T、ドレイン電極がノード 5 A、及びゲート電極がノード 5 B にそれぞれ接続されている。p M O S トランジスタ M P 6 A は、ソース電極が出力端子 O U T、ドレイン電極がノード 5 B、及びゲート電極がノード 5 A にそれぞれ接続されている。

【 0 0 9 1 】

キャパシタ C 1 A は、高圧側電極がノード 1 A に接続され、低圧側電極にはクロック C L K A が入力される。キャパシタ C 1 B は、高圧側電極がノード 1 B に接続され、低圧側電極にはクロック C L K B が入力される。キャパシタ C 2 B は、高圧側電極がノード 2 B に接続され、低圧側電極にはクロック C L K B が入力される。キャパシタ C 2 A は、高圧側電極がノード 2 A に接続され、低圧側電極にはクロック C L K A が入力される。キャパシタ C 3 A は、高圧側電極がノード 3 A に接続され、低圧側電極にはクロック C L K A が入力される。キャパシタ C 3 B は、高圧側電極がノード 3 B に接続され、低圧側電極にはクロック C L K B が入力される。キャパシタ C 4 B は、高圧側電極がノード 4 B に接続され、低圧側電極にはクロック C L K B が入力される。キャパシタ C 4 A は、高圧側電極がノード 4 A に接続され、低圧側電極にはクロック C L K A が入力される。キャパシタ C 5 A は、高圧側電極がノード 5 A に接続され、低圧側電極にはクロック C L K A が入力される。キャパシタ C 5 B は、高圧側電極がノード 5 B に接続され、低圧側電極にはクロック C L K B が入力される。

【 0 0 9 2 】

レベルシフト回路 4 2 は、p M O S トランジスタ M P L 1 1 A , M P L 1 2 A , M P L 1 3 A と、p M O S トランジスタ M P L 1 1 B , M P L 1 2 B , M P L 1 3 B と、p M O S トランジスタ M P L 2 1 A , M P L 2 2 A , M P L 2 3 A と、p M O S トランジスタ M

10

20

30

40

50

PL21B, MPL22B, MPL23Bと、pMOSトランジスタMPL31A, MPL32A, MPL33Aと、pMOSトランジスタMPL31B, MPL32B, MPL33Bと、pMOSトランジスタMPL41A, MPL42A, MPL43Aと、pMOSトランジスタMPL41B, MPL42B, MPL43Bと、pMOSトランジスタMPL51A, MPL52A, MPL53Aと、pMOSトランジスタMPL51B, MPL52B, MPL53Bとから構成されている。

【0093】

pMOSトランジスタMPL12Aは、ソース電極がノード11A、及びゲート電極がノードBS1Aにそれぞれ接続され、ドレイン電極にはクロックCLKAが入力される。pMOSトランジスタMPL13Aは、ソース電極がノード1A、ドレイン電極がノードBS1A、及びゲート電極が入力端子INにそれぞれ接続されている。pMOSトランジスタMPL12Bは、ソース電極がノード11B、及びゲート電極がノードBS1Bにそれぞれ接続され、ドレイン電極にはクロックCLKBが入力される。pMOSトランジスタMPL13Bは、ソース電極がノード1B、ドレイン電極がノードBS1B、及びゲート電極が入力端子INにそれぞれ接続されている。pMOSトランジスタMPL11Aは、ソース電極がノード1A、ドレイン電極がノード11A、及びゲート電極がノード1Bにそれぞれ接続されている。pMOSトランジスタMPL11Bは、ソース電極がノード1B、ドレイン電極がノード11B、及びゲート電極がノード1Aにそれぞれ接続されている。

【0094】

pMOSトランジスタMPL22Aは、ソース電極がノード12A、ドレイン電極がノード1A、及びゲート電極がノードBS2Aにそれぞれ接続されている。pMOSトランジスタMPL23Aは、ソース電極がノード2A、ドレイン電極がノードBS2A、及びゲート電極がノード1Bにそれぞれ接続されている。pMOSトランジスタMPL22Bは、ソース電極がノード12B、ドレイン電極がノード1B、及びゲート電極がノードBS2Bにそれぞれ接続されている。pMOSトランジスタMPL23Bは、ソース電極がノード2B、ドレイン電極がノードBS2B、及びゲート電極がノード1Aにそれぞれ接続されている。pMOSトランジスタMPL21Aは、ソース電極がノード2A、ドレイン電極がノード12A、及びゲート電極がノード2Bにそれぞれ接続されている。pMOSトランジスタMPL21Bは、ソース電極がノード2B、ドレイン電極がノード12B、及びゲート電極がノード2Aにそれぞれ接続されている。

【0095】

pMOSトランジスタMPL32Aは、ソース電極がノード13A、ドレイン電極がノード2A、及びゲート電極がノードBS3Aにそれぞれ接続されている。pMOSトランジスタMPL33Aは、ソース電極がノード3A、ドレイン電極がノードBS3A、及びゲート電極がノード2Bにそれぞれ接続されている。pMOSトランジスタMPL32Bは、ソース電極がノード13B、ドレイン電極がノード2B、及びゲート電極がノードBS3Bにそれぞれ接続されている。pMOSトランジスタMPL33Bは、ソース電極がノード3B、ドレイン電極がノードBS3B、及びゲート電極がノード2Aにそれぞれ接続されている。pMOSトランジスタMPL31Aは、ソース電極がノード3A、ドレイン電極がノード13A、及びゲート電極がノード3Bにそれぞれ接続されている。pMOSトランジスタMPL31Bは、ソース電極がノード3B、ドレイン電極がノード13B、及びゲート電極がノード3Aにそれぞれ接続されている。

【0096】

pMOSトランジスタMPL42Aは、ソース電極がノード14A、ドレイン電極がノード3A、及びゲート電極がノードBS4Aにそれぞれ接続されている。pMOSトランジスタMPL43Aは、ソース電極がノード4A、ドレイン電極がノードBS4A、及びゲート電極がノード3Bにそれぞれ接続されている。pMOSトランジスタMPL42Bは、ソース電極がノード14B、ドレイン電極がノード3B、及びゲート電極がノードBS4Bにそれぞれ接続されている。pMOSトランジスタMPL43Bは、ソース電極が

ノード4B、ドレイン電極がノードBS4B、及びゲート電極がノード3Aにそれぞれ接続されている。pMOSトランジスタMPL41Aは、ソース電極がノード4A、ドレイン電極がノード14A、及びゲート電極がノード4Bにそれぞれ接続されている。pMOSトランジスタMPL41Bは、ソース電極がノード4B、ドレイン電極がノード14B、及びゲート電極がノード4Aにそれぞれ接続されている。

【0097】

pMOSトランジスタMPL52Aは、ソース電極がノード15A、ドレイン電極がノード4A、及びゲート電極がノードBS5Aにそれぞれ接続されている。pMOSトランジスタMPL53Aは、ソース電極がノード5A、ドレイン電極がノードBS5A、及びゲート電極がノード4Bにそれぞれ接続されている。pMOSトランジスタMPL52Bは、ソース電極がノード15B、ドレイン電極がノード4B、及びゲート電極がノードBS5Bにそれぞれ接続されている。pMOSトランジスタMPL53Bは、ソース電極がノード5B、ドレイン電極がノードBS5B、及びゲート電極がノード4Aにそれぞれ接続されている。pMOSトランジスタMPL51Aは、ソース電極が出力端子OUT、ドレイン電極がノード15A、及びゲート電極がノード5Bにそれぞれ接続されている。pMOSトランジスタMPL51Bは、ソース電極が出力端子OUT、ドレイン電極がノード15B、及びゲート電極がノード5Aにそれぞれ接続されている。

【0098】

図12は、図11の電源回路の動作を説明するタイムチャートである。

この図を参照して、この電源回路の動作について説明する。

期間Aのとき、クロックCLKAは高レベルの電位[V_{DD}]に上昇することで、ノード2Aは電位[$3 \times V_{DD}$]に上昇し、また、クロックCLKBが低レベルの電位[V_{SS}]に低下することで、ノード2Bが電位[$2 \times V_{DD}$]に低下する。これにより、レベルシフト回路42のノード12Aは、ノード2Aと同じ高レベルの電位[$3 \times V_{DD}$]に上昇し、チャージポンプ回路41のpMOSトランジスタMP2Aがオフ状態となり、ノード2Aとノード1Bとの間がオフ状態となる。また、ノード1Aがノード2Bと同じ電位[$2 \times V_{DD}$]となるため、レベルシフト回路42のpMOSトランジスタMPL22Bにブートストラップ効果が働き、ノード12Bの電位はノード1Bと同じ低レベルの電位[V_{DD}]となる。よって、チャージポンプ回路41のpMOSトランジスタMP2Bがオン状態となってノード2Bとノード1Aとの間が導通し、共に電位[$2 \times V_{DD}$]で安定する。期間Bでは、上記期間Aと逆位相の動作が行われる。

【0099】

以下、同様にして、出力端子OUTには、直流出力電圧[$6 \times V_{DD}$]が生成される。また、レベルシフト回路42のノード11A, 11B, ..., 15A, 15Bの各電位は、それぞれ振幅が[$2 \times V_{DD}$]に拡大された信号となり、チャージポンプ回路41の各pMOSトランジスタをオン状態/オフ状態とするために十分な電位である。これにより、直流出力電圧[$6 \times V_{DD}$]の低下、及び消費電力の増大が回避される。また、pMOSトランジスタMPL51Bのソース電極を、出力端子OUTに代えてノード5Bに接続し、かつ、pMOSトランジスタMPL51Aのソース電極を、出力端子OUTに代えてノード5Aに接続しても、上記と同等の動作が行われる。

【0100】

なお、この実施例では、図11中のレベルシフト回路42を用いた電源回路を示したが、図3又は図4に示した各レベルシフト回路と同等のハード構成のレベルシフト回路を用いても良い。

【実施例9】

【0101】

図13は、この発明の第9の実施例である電源回路の電氣的構成を示す回路図であり、第7の実施例を示す図9中の要素と共通の要素には共通の符号が付されている。

この例の電源回路は、同図(a)に示すチャージポンプ回路51と、同図(b)に示すレベルシフト回路52と、同図(c)に示すレベルシフト回路53とから構成されている

10

20

30

40

50

。チャージポンプ回路51では、pMOSトランジスタMP22のゲート電極が、図9(a)中のノードRBに代えて、ノードRB2に接続されている。また、pMOSトランジスタMP23のゲート電極は、図9(a)中のノードQAに代えて、ノードRA2に接続されている。pMOSトランジスタMP25のゲート電極は、図9(a)中のノードRAに代えて、ノードRA2に接続されている。pMOSトランジスタMP26のゲート電極は、図9(a)中のノードQBに代えて、ノードRB2に接続されている。他は、図9(a)のチャージポンプ回路31と同様の構成である。

【0102】

レベルシフト回路52では、pMOSトランジスタMPL29のソース電極が、図9(b)中のノードRBに代えて、ノードRB2に接続されている。また、pMOSトランジスタMPL28のドレイン電極には、クロックCLKBが入力される。他は、図9(b)のレベルシフト回路32と同様の構成である。このレベルシフト回路52は、pMOSトランジスタMP22, MP26の各ゲート電極に、出力端子OUTの電位[3×VDD]と同一レベルの制御電圧ct52を印加することにより同pMOSトランジスタMP22, MP26をオフ状態とする一方、クロックCLKBの低レベルの電位[VSS]と同一レベルの制御電圧ct52を印加することにより同pMOSトランジスタMP22, MP26をオン状態とする。

【0103】

レベルシフト回路53では、pMOSトランジスタMPL32のソース電極が、図9(c)中のノードRAに代えて、ノードRA2に接続されている。また、pMOSトランジスタMPL31のドレイン電極には、クロックCLKAが入力される。他は、図9(c)のレベルシフト回路33と同様の構成である。このレベルシフト回路53は、pMOSトランジスタMP25, MP23の各ゲート電極に、出力端子OUTの電位[3×VDD]と同一レベルの制御電圧ct53を印加することにより同pMOSトランジスタMP25, MP23をオフ状態とする一方、クロックCLKAの低レベルの電位[VSS]と同一レベルの制御電圧ct53を印加することにより同pMOSトランジスタMP25, MP23をオン状態とする。

【0104】

図14は、図13の電源回路の動作を説明するタイムチャートである。

この図を参照して、この例の電源回路の動作について説明する。

レベルシフト回路52の動作では、図9(b)のレベルシフト回路32の動作と次の点が異なっている。すなわち、期間Aにおいて、クロックCLKBは低レベルの電位[VSS]であるため、ノードRB2も低レベルの電位[VSS]となる。よって、このレベルシフト回路52から、振幅[3×VDD]を有する制御電圧ct52がノードRB2を経てpMOSトランジスタMP22, MP26のゲート電極へ入力される。

【0105】

また、レベルシフト回路53の動作では、図9(c)のレベルシフト回路33の動作と次の点が異なっている。すなわち、期間Bにおいて、クロックCLKAは低レベルの電位[VSS]であるため、ノードRA2も低レベルの電位[VSS]となる。よって、このレベルシフト回路53から、振幅[3×VDD]を有する制御電圧ct53がノードRA2を経てpMOSトランジスタMP23, MP25のゲート電極へ入力される。なお、レベルシフト回路52, 53を構成するpMOSトランジスタMPL28, MPL31のドレインには、クロックCLKB, CLKAが入力されているが、電位[VSS]が入力されていても、上記と同等の動作が行われる。また、pMOSトランジスタMPL29のソース電極を、出力端子OUTに代えてノードSBに接続し、かつ、pMOSトランジスタMPL32のソース電極を、出力端子OUTに代えてノードSAに接続しても、上記と同等の動作が行われる。

【0106】

以上のように、この第9の実施例では、レベルシフト回路52から、振幅[3×VDD]を有する制御電圧ct52がノードRB2に出力され、かつ、レベルシフト回路53から

10

20

30

40

50

、振幅 $[3 \times VDD]$ を有する制御電圧 $c t 53$ がノード $RA2$ に出力されるので、第3の実施例と同様の機能を有する電源回路が、比較的小規模な回路構成で実現される。なお、この実施例と同様の構成を、上記第4の実施例に適用しても良い。すなわち、チャージポンプ回路41を構成する各 $pMOS$ トランジスタのゲート電極に振幅 $[6 \times VDD]$ を有する制御電圧を印加することにより、この実施例と同様の利点が得られる。

【0107】

なお、この実施例では、図13中のレベルシフト回路52、53を用いた電源回路を示したが、図3又は図4に示した各レベルシフト回路と同等のハード構成のレベルシフト回路を用いても良い。

【実施例10】

【0108】

図15は、この発明の第10の実施例である電源回路の電氣的構成を示す回路図である。

この例の電源回路は、同図(a)に示すチャージポンプ回路61と、同図(b)に示すレベルシフト回路62と、同図(c)に示すレベルシフト回路63とから構成されている。チャージポンプ回路61は、 $pMOS$ トランジスタ $MP41$ 、 $MP42$ 、 $MP43$ 、 $MP44$ 、 $MP45$ 、 $MP46$ と、キャパシタ $C41$ 、 $C42$ 、 $C43$ 、 $C44$ とから構成されている。 $pMOS$ トランジスタ $MP41$ は、ソース電極が出力端子 OUT 、ドレイン電極がノード JA 、及びゲート電極がノード JB にそれぞれ接続されている。 $pMOS$ トランジスタ $MP42$ は、ソース電極がノード JA 、ドレイン電極が入力端子 IN 、及びゲート電極がノード LA にそれぞれ接続されている。 $pMOS$ トランジスタ $MP43$ は、ソース電極が入力端子 IN 、ドレイン電極がノード KA 、及びゲート電極がノード KB にそれぞれ接続されている。入力端子 IN には、直流入力電圧 $[V_{OFF}]$ が入力される。

【0109】

$pMOS$ トランジスタ $MP44$ は、ソース電極が出力端子 OUT 、ドレイン電極がノード JB 、及びゲート電極がノード JA にそれぞれ接続されている。 $pMOS$ トランジスタ $MP45$ は、ソース電極がノード JB 、ドレイン電極が入力端子 IN 、及びゲート電極がノード LB にそれぞれ接続されている。 $pMOS$ トランジスタ $MP46$ は、ソース電極が入力端子 IN 、ドレイン電極がノード KB 、及びゲート電極がノード KA にそれぞれ接続されている。

【0110】

キャパシタ $C41$ は、高圧側電極がノード JA に接続され、低圧側電極にはクロック $CLKA$ が入力される。キャパシタ $C42$ は、低圧側電極がノード KA に接続され、高圧側電極にはクロック $CLKA$ が入力される。キャパシタ $C43$ は、高圧側電極がノード JB に接続され、低圧側電極にはクロック $CLKB$ が入力される。キャパシタ $C44$ は、低圧側電極がノード KB に接続され、高圧側電極にはクロック $CLKB$ が入力される。上記 $pMOS$ トランジスタ $MP43$ 、 46 、及びキャパシタ $C42$ 、 $C44$ により、チャージポンプ回路が構成されている。

【0111】

レベルシフト回路62は、 $pMOS$ トランジスタ $MPL41$ 、 $MPL42$ 、 $MPL43$ から構成されている。 $pMOS$ トランジスタ $MPL41$ は、ソース電極がノード JB 、ドレイン電極がノード BSB 、及びゲート電極が入力端子 IN にそれぞれ接続されている。 $pMOS$ トランジスタ $MPL42$ は、ソース電極がノード LB 、ドレイン電極がノード KB 、及びゲート電極がノード BSB にそれぞれ接続されている。 $pMOS$ トランジスタ $MPL43$ は、ソース電極が出力端子 OUT 、ドレイン電極がノード LB 、及びゲート電極がノード JA にそれぞれ接続されている。このレベルシフト回路62は、 $pMOS$ トランジスタ $MP45$ のゲート電極に、出力端子 OUT の電位と同一レベルの制御電圧 $c t 62$ を印加することにより同 $pMOS$ トランジスタ $MP45$ をオフ状態とする一方、出力端子 OUT の電位からクロック $CLKB$ の高レベルの電圧の2倍の電圧 $[2 \times VDD]$ を減じたレベルの制御電圧 $c t 62$ を印加することにより同 $pMOS$ トランジスタ $MP45$ をオン状

10

20

30

40

50

態とする。

【0112】

レベルシフト回路63は、pMOSトランジスタMPL44、MPL45、MPL46から構成されている。pMOSトランジスタMPL44は、ソース電極がノードJA、ドレイン電極がノードBSA、及びゲート電極が入力端子INにそれぞれ接続されている。pMOSトランジスタMPL45は、ソース電極がノードLA、ドレイン電極がノードKA、及びゲート電極がノードBSAにそれぞれ接続されている。pMOSトランジスタMPL46は、ソース電極が出力端子OUT、ドレイン電極がノードLA、及びゲート電極がノードJBにそれぞれ接続されている。このレベルシフト回路63は、pMOSトランジスタMP42のゲート電極に、出力端子OUTの電位と同一レベルの制御電圧ct63を印加することにより同pMOSトランジスタMP42をオフ状態とする一方、出力端子OUTの電位からクロックCLKAの高レベルの電圧の2倍の電圧[$2 \times VDD$]を減じたレベルの制御電圧ct63を印加することにより同pMOSトランジスタMP42をオン状態とする。なお、たとえば、電圧[VDD]は5V、直流入力電圧[VDFS]は2V、各pMOSトランジスタのゲート閾値電圧[Vth]が3Vに設定され、同直流入力電圧[VDFS]は、同ゲート閾値電圧[Vth]よりも小さい。

10

【0113】

図16は、図15の電源回路の動作を説明するタイムチャートである。

この図を参照して、この例の電源回路の動作について説明する。

チャージポンプ回路61では、期間Aにおいて、ノードKBが低レベルの電位[VDFS - VDD]であるから、pMOSトランジスタMP43がオン状態となり、ノードKAが高レベルの電位[VDFS]となる。また、ノードKBは、低レベルの電位[VDFS - VDD]となる。次に、期間Bにおいて、クロックCLKAが低レベルの電位[VSS]に低下すると、キャパシタC42の結合により、ノードKAは低レベルの電位[VDFS - VDD]に低下する。また、ノードKBは、高レベルの電位[VDFS]となる。

20

【0114】

レベルシフト回路62では、期間Aでは、pMOSトランジスタMPL43がオフ状態、pMOSトランジスタMPL42がブートストラップ効果によりオン状態となる。このとき、ノードKBは低レベルの電位[VDFS - VDD]であり、ノードLBも低レベルの電位[VDFS - VDD]となる。このとき、pMOSトランジスタMP45がオン状態となり、ノードJBが低レベルの電位[VDFS]に充電される。期間Bでは、pMOSトランジスタMPL43がオン状態となり、ノードLBは出力端子OUTの電位[VDD + VDFS]となる。レベルシフト回路63では、期間Aでは、ノードLAは、高レベルの電位[VDD + VDFS]であり、チャージポンプ回路61のノードJAと同電位であり、pMOSトランジスタMP42がオフ状態となる。また、pMOSトランジスタMPL43のソース電極を、出力端子OUTに代えてノードJBに接続し、かつ、pMOSトランジスタMPL46のソース電極を、出力端子OUTに代えてノードJAに接続しても、上記と同等の動作が行われる。

30

【0115】

以上のように、この第10の実施例では、チャージポンプ回路61のpMOSトランジスタMP42及びpMOSトランジスタMP45のゲートに、レベルシフト回路63、62のノードLA、LBが接続され、同レベルシフト回路63、62によって振幅が拡大され、かつ低レベルが電位[VDFS - VDD]まで低い信号が入力されるので、pMOSトランジスタMP42、MP45が導通し、ノードJA、JBが低レベルの電位[VDFS]に充電される場合においても、ゲート・ソース間電圧が[$-VDD$]となり、十分にオン状態が保たれる。

40

【0116】

一方、上記第1の実施例の図1に示す回路で、この実施例と同様の機能を実現しようとする場合、入力直流電圧を[VDD]に代えて[VDFS]に置き換えただけでは、直流入力電圧[VDFS]が電圧[VDD]よりも低いため、問題が生じる。すなわち、図1

50

中の pMOS トランジスタ MP2, MP4 が導通してノード PA, PB が電位 [V_{OFF}] のレベルに充電される場合、ゲート・ソース間電圧は [V_{SS} - V_{OFF} = -V_{OFF}] しか得られない。このため、pMOS トランジスタ MP2, MP4 は、十分にオン状態にならず、動作領域が能動領域になる。従って、ノード PA, PB の充電レベルが低下し、出力端子 OUT の電位は、電位 [V_{DD} + V_{OFF}] よりも低下する。

【0117】

また、この第10の実施例では、電源回路のトランジスタが全て pMOS トランジスタで構成されているが、全て nMOS トランジスタで構成しても、同様の作用、利点が得られる。この場合、クロックの振幅 [V_{DD}] と入力電圧 [V_{OFF}] との差が nMOS トランジスタのゲート閾値電圧 [V_{th}] よりも小さい場合でも、チャージポンプ回路を構成する nMOS トランジスタに十分なゲート・ソース間電圧が印加される。

10

【0118】

なお、この実施例では、図15中のレベルシフト回路62, 63を用いた電源回路を示したが、図3又は図4に示した各レベルシフト回路と同等のハード構成のレベルシフト回路を用いても良い。

【実施例11】

【0119】

図17は、この発明の第11の実施例である電子機器の要部の電氣的構成を示すブロック図である。

この例の電子機器は、同図17に示すように、液晶表示装置であり、液晶パネル71と、信号線駆動回路72と、走査線駆動回路73と、電源回路74とから構成されている。

20

液晶パネル71は、信号線 X_i ($i = 1, 2, \dots, m$ 、たとえば、 $m = 640 \times 3$) と、走査線 Y_j ($j = 1, 2, \dots, n$ 、たとえば、 $n = 480$) と、画素トランジスタ $81_{i,j}$ と、画素容量 $82_{i,j}$ と、画素素子 $83_{i,j}$ と、共通端子 COM とを備えている。信号線 X_i は、x 方向に所定間隔で設けられ、該当する表示信号 D_i が印加される。走査線 Y_j は、x 方向と直交する y 方向に所定間隔で設けられ、表示信号 D_i を書き込むための走査信号 OUT_j が線順次に印加される。画素トランジスタ $81_{i,j}$ は、TFT (Thin Film Transistor、薄膜トランジスタ) で構成され、走査信号 OUT_j に基づいてオン/オフ制御され、オン状態になったときに画素素子 $83_{i,j}$ に表示信号 D_i を印加する。

【0120】

30

信号線駆動回路72は、与えられた信号線駆動信号群 dd に基づいて、信号線 X_i に表示信号 D_i を印加する。走査線駆動回路73は、与えられた走査線駆動信号群 sd に基づいて、走査線 Y_j に走査信号 OUT_j を線順次に印加する。また、走査線駆動回路73は、レベルシフト回路73aを有している。電源回路74は、上記各実施例に示した電源回路で構成され、たとえば、第1の実施例の図1に示す、入力電圧を2倍に昇圧する電源回路と、第4の実施例の図5に示す、入力電圧を-1倍にする電源回路とを組み合わせで構成されている。

【0121】

この液晶表示装置では、画素素子 $83_{i,j}$ の両端に印加される電圧の範囲が、たとえば [V_{DD}] から [V_{SS}] である場合、信号線 X_i に掛かる電圧も [V_{DD}] から [V_{SS}] である。このため、信号線駆動回路72の動作には、少なくとも電源電圧 [V_{DD}] が必要である。一方、走査線 Y_j に印加される電圧は、高レベルの電位 (高圧出力電圧) V_H として、少なくとも電位 [2 × V_{DD}]、及び低レベルの電位 (低圧出力電圧) V_L として、電位 [-V_{DD}] の2つである。なぜならば、信号線 X_i の電位 (0V) を画素素子 $83_{i,j}$ に書き込む場合、少なくとも走査線 Y_j の電位を電位 [-V_{DD}] として画素トランジスタ $81_{i,j}$ をオン状態とする必要があるからである。また、画素素子 $83_{i,j}$ が液晶である場合、通常、画素の共通端子 COM の電位を定期的に電位 [V_{DD}] 程度又は電位 [V_{SS}] 程度に変化させて、液晶に印加させる電圧の極性を反転させるコモン反転駆動が行われる。このため、画素素子 $83_{i,j}$ に電位 [V_{DD}] が書き込まれた状態で画素トランジスタ $81_{i,j}$ をオフ状態としておいたとき、共通端子 COM を低レベルの

40

50

電位 [V S S] から高レベルの電位 [V D D] に反転させた場合、オフ状態を維持するためには、少なくとも走査線 Y_j の電位を電位 [$2 \times V D D$] とする必要がある。

【 0 1 2 2 】

走査線駆動回路 7 3 に含まれるレベルシフト回路 7 3 a は、同走査線駆動回路 7 3 に入力される走査線駆動信号群 $s d$ の各信号の振幅が低振幅（たとえば [V D D] 程度）である場合、電源回路 7 4 から供給される高圧電源 $V H$ 及び低圧電源 $V L$ を用いて、走査線 Y_j に印加できる振幅 [$V H - V L$] の信号に変換する。また、電源回路 7 4 は、入力電圧を [V D D] とすると、高圧出力電圧 $V H$ として [$2 \times V D D$]、及び低圧出力電圧 $V L$ として [$- V D D$] を生成する。

【 0 1 2 3 】

以上のように、この第 1 1 の実施例では、電源回路 7 4 から、走査線 Y_j の駆動に必要な高圧出力電圧 $V H$ 及び低圧出力電圧 $V L$ が供給されるので、液晶表示装置の外部で高圧及び高振幅の信号を扱う必要がなくなるため、同液晶表示装置に接続される別の半導体装置に高い耐圧特性を要求する必要がなく、比較的簡単な構成で安価に同半導体装置を構成することができる。

【 0 1 2 4 】

以上、この発明の実施例を図面により詳述してきたが、具体的な構成は同実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更などであっても、この発明に含まれる。

たとえば、上記各実施例では、各電源回路が p M O S トランジスタで構成されているが、同様の回路を n M O S トランジスタで構成しても、上記各実施例と同様の作用、効果が得られる。ただし、この場合、各部の信号や電圧の極性は、n M O S トランジスタに対応したものとなる。

【 産業上の利用可能性 】

【 0 1 2 5 】

この発明は、液晶表示装置の他、たとえば、光学系 2 次元センサを組み込んだ指紋読み取り装置や、携帯電話機、携帯端末など、1つの電源電圧から異なる電源電圧を生成する電源回路を必要とする電子機器全般に適用できる。

【 図面の簡単な説明 】

【 0 1 2 6 】

【 図 1 】 この発明の第 1 の実施例である電源回路の電氣的構成を示す回路図である。

【 図 2 】 図 1 の電源回路の動作を説明するタイムチャートである。

【 図 3 】 この発明の第 2 の実施例である電源回路のうち、レベルシフト回路の電氣的構成を示す回路図である。

【 図 4 】 この発明の第 3 の実施例である電源回路のうち、レベルシフト回路の電氣的構成を示す回路図である。

【 図 5 】 この発明の第 4 の実施例である電源回路の電氣的構成を示す回路図である。

【 図 6 】 図 5 の電源回路の動作を説明するタイムチャートである。

【 図 7 】 この発明の第 5 の実施例である電源回路のうち、レベルシフト回路の電氣的構成を示す回路図である。

【 図 8 】 この発明の第 6 の実施例である電源回路のうち、レベルシフト回路の電氣的構成を示す回路図である。

【 図 9 】 この発明の第 7 の実施例である電源回路の電氣的構成を示す回路図である。

【 図 1 0 】 図 9 の電源回路の動作を説明するタイムチャートである。

【 図 1 1 】 この発明の第 8 の実施例である電源回路の電氣的構成を示す回路図である。

【 図 1 2 】 図 1 1 の電源回路の動作を説明するタイムチャートである。

【 図 1 3 】 この発明の第 9 の実施例である電源回路の電氣的構成を示す回路図である。

【 図 1 4 】 図 1 3 の電源回路の動作を説明するタイムチャートである。

【 図 1 5 】 この発明の第 1 0 の実施例である電源回路の電氣的構成を示す回路図である。

【 図 1 6 】 図 1 5 の電源回路の動作を説明するタイムチャートである。

10

20

30

40

50

【図 17】この発明の第 11 の実施例である電子機器の要部の電氣的構成を示すブロック図である。

【図 18】特許文献 1 に記載された電源回路の回路図である。

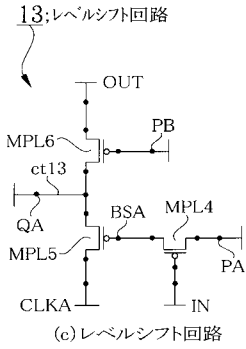
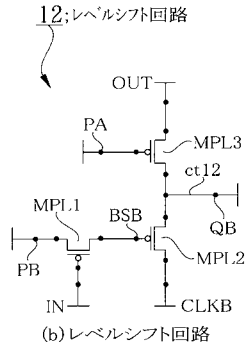
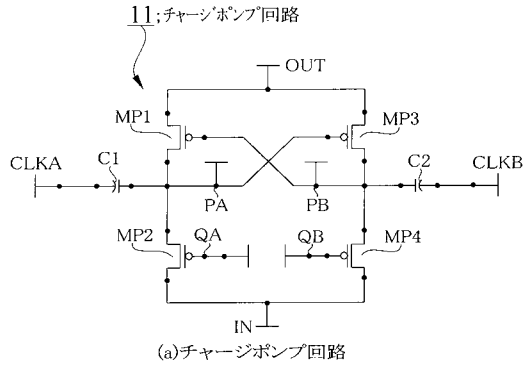
【図 19】特許文献 2 に記載されたレベルシフト回路の回路図である。

【符号の説明】

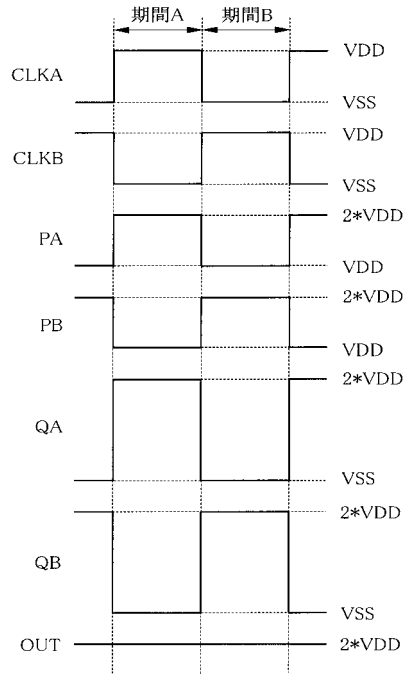
【0127】

11	チャージポンプ回路	
12, 12A, 12B, 13, 13A, 13B	レベルシフト回路 (ゲート制御回路)	
21	チャージポンプ回路	10
22, 22A, 22B, 23, 23A, 23B	レベルシフト回路 (ゲート制御回路)	
31	チャージポンプ回路	
32, 33	レベルシフト回路 (ゲート制御回路)	
41	チャージポンプ回路	
42	レベルシフト回路 (ゲート制御回路)	
51	チャージポンプ回路	
52, 53	レベルシフト回路 (ゲート制御回路)	
61	チャージポンプ回路	
62, 63	レベルシフト回路 (ゲート制御回路)	20
71	液晶パネル (電子機器の一部)	
72	信号線駆動回路 (電子機器の一部)	
73	走査線駆動回路 (電子機器の一部)	
74	電源回路 (電子機器の一部)	
MP12, MP15	pMOSトランジスタ (MOSトランジスタ)	
MP13, MP16	pMOSトランジスタ (電圧生成回路の一部)	
C12, C14	キャパシタ (電圧生成回路の一部)	
MP43, MP46	pMOSトランジスタ (チャージポンプ回路の一部)	
C42, C44	キャパシタ (チャージポンプ回路の一部)	

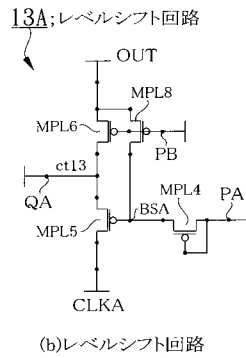
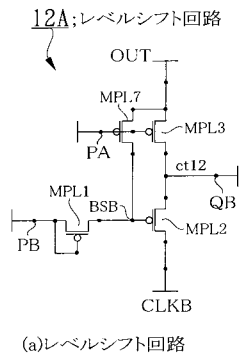
【図1】



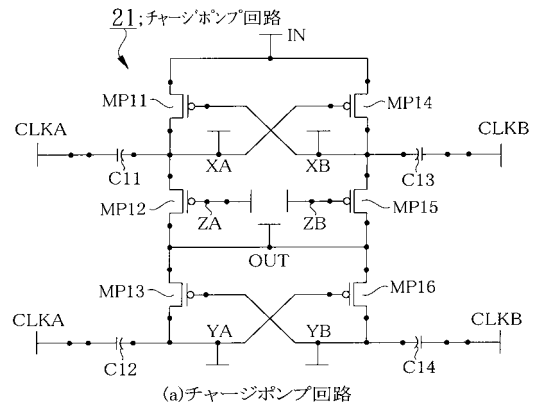
【図2】



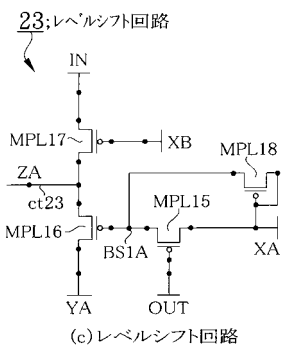
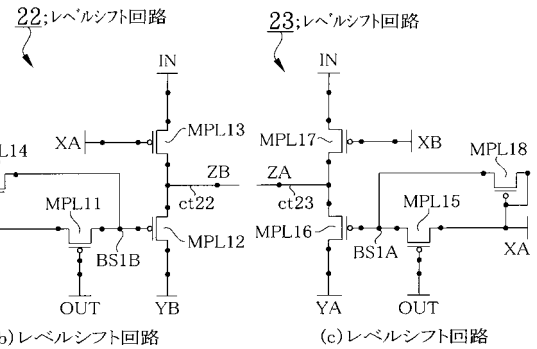
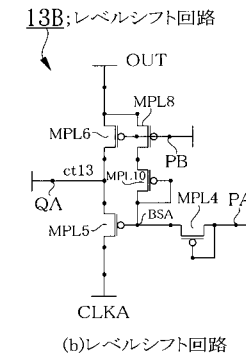
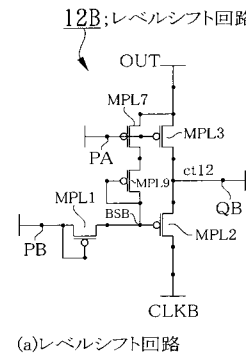
【図3】



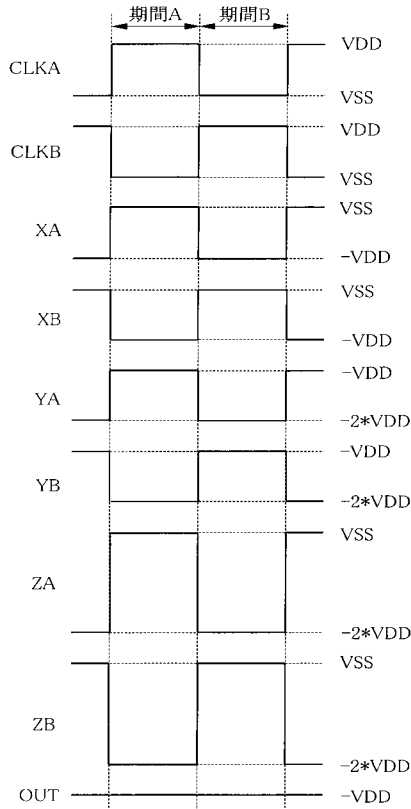
【図5】



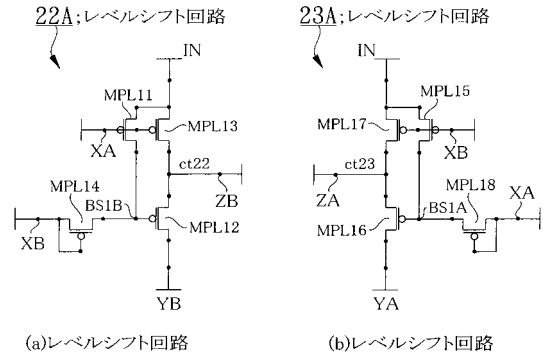
【図4】



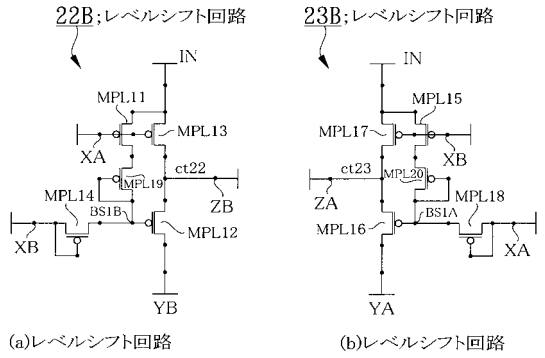
【図6】



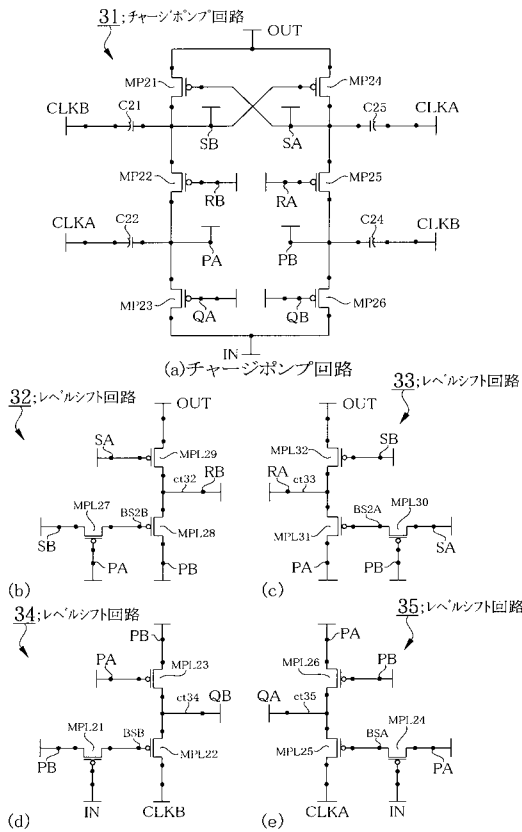
【図7】



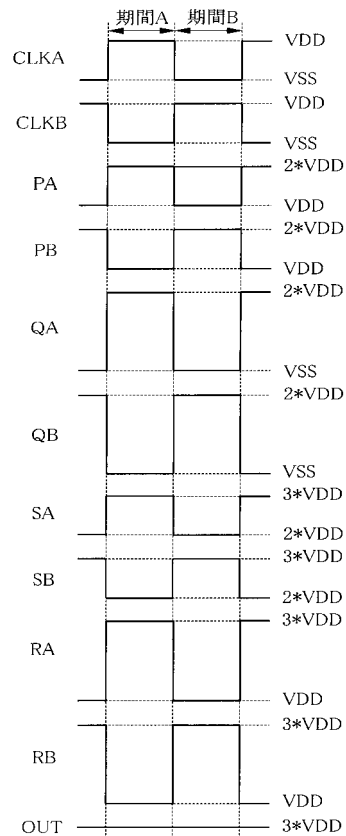
【図8】



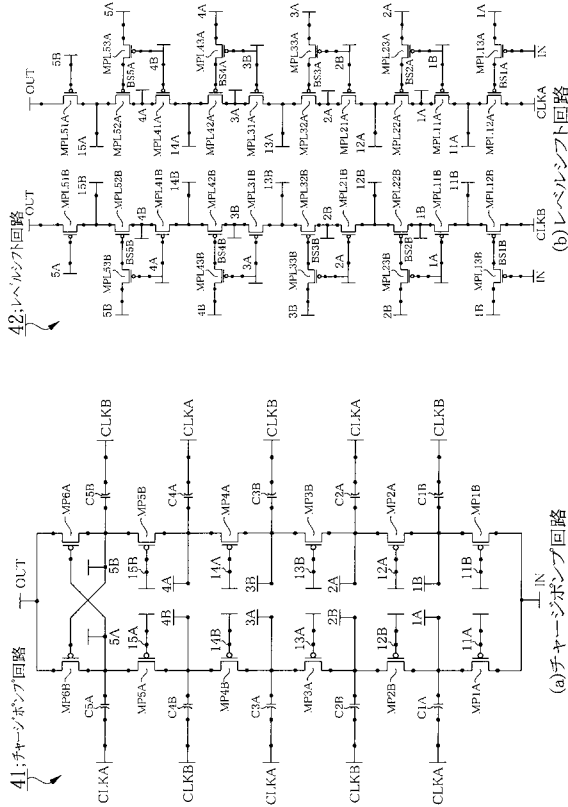
【図9】



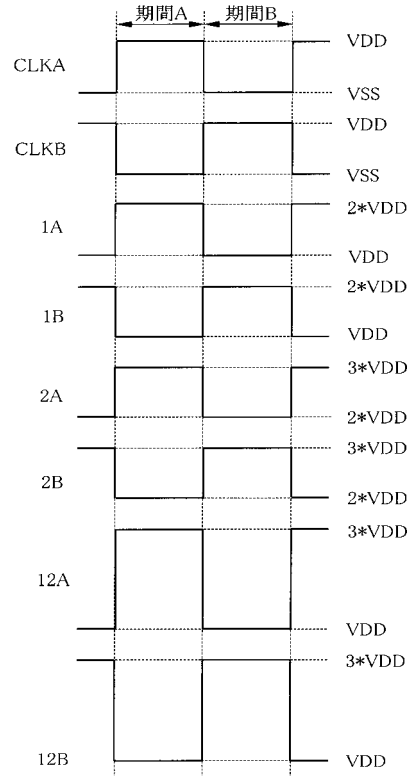
【図10】



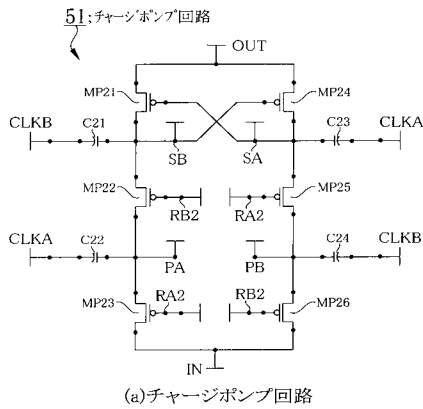
【図11】



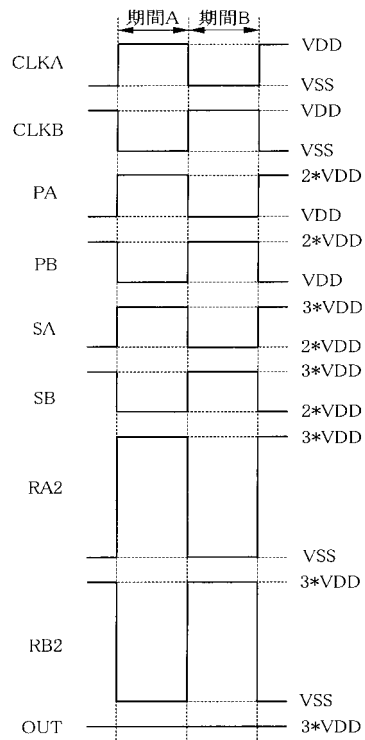
【図12】



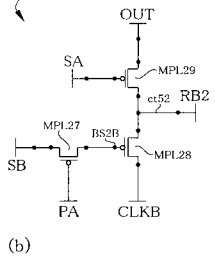
【図13】



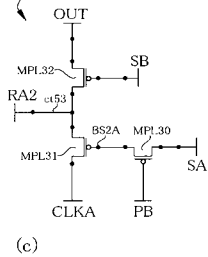
【図14】



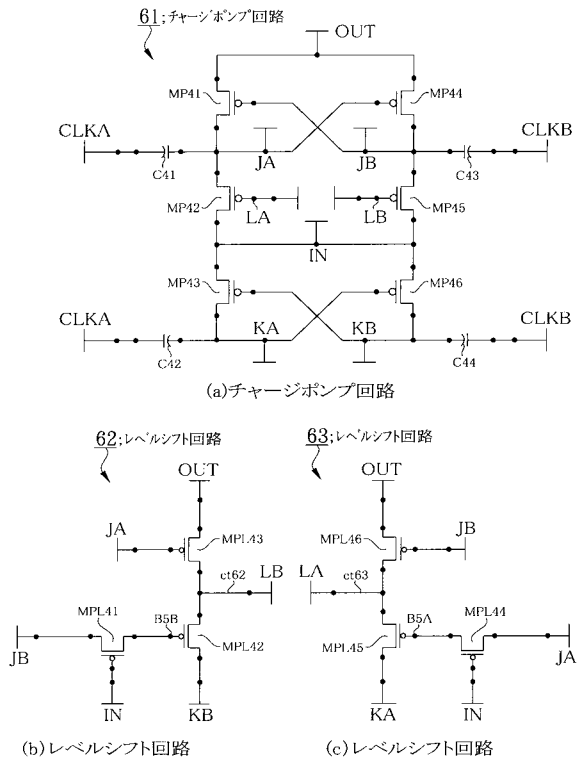
52:レベルシフト回路



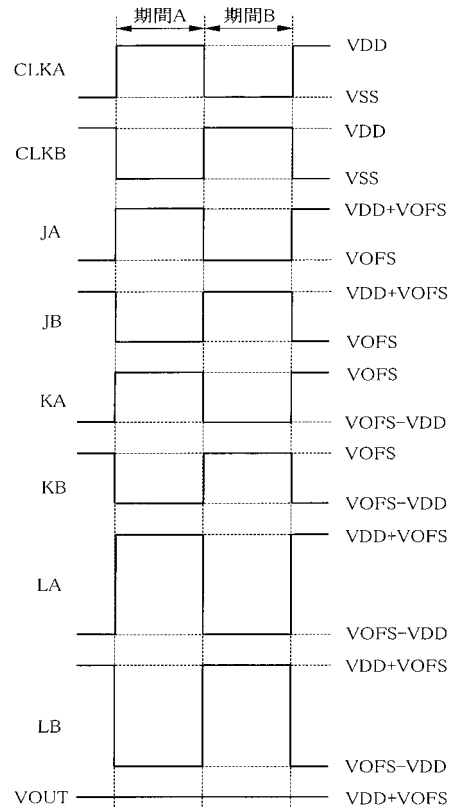
53:レベルシフト回路



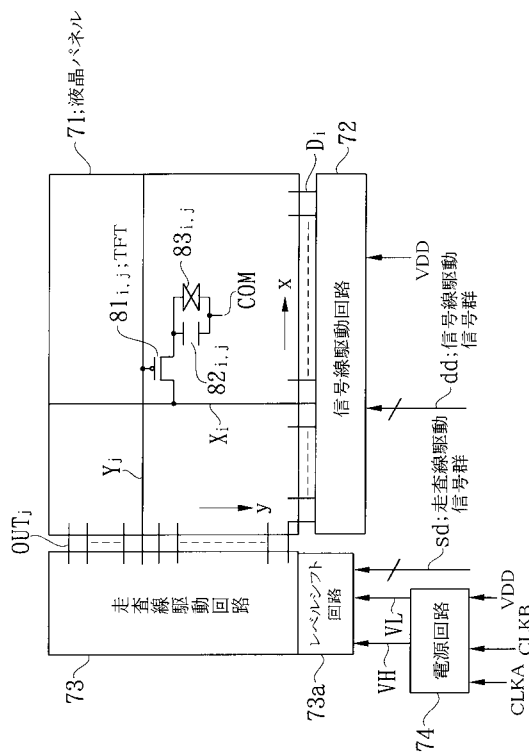
【図15】



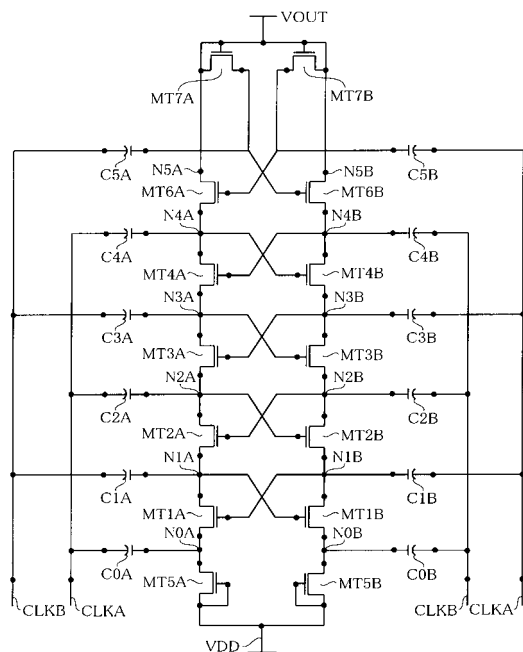
【図16】



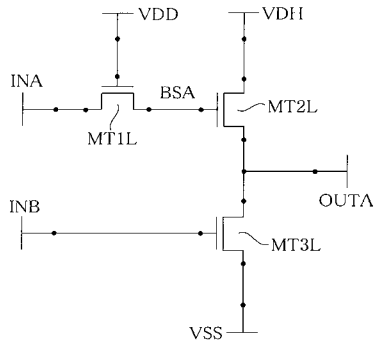
【図17】



【図18】



【 図 19 】



フロントページの続き

(56)参考文献 特開平10-285911(JP,A)
特開2001-035156(JP,A)
特開2005-037842(JP,A)
特許第3040885(JP,B2)

(58)調査した分野(Int.Cl., DB名)
H02M 3/00-3/44