

【特許請求の範囲】

【請求項 1】

データを処理するデータ処理部と、
前記データ処理部が処理したデータを一時的に蓄積するバッファと、
前記バッファに蓄積されたデータをバースト転送でデータ格納部へ転送するバッファ制御部と
を有し、

前記バッファ制御部は、1回のバースト転送で転送されるデータ量が前記バッファに蓄積される前にバースト転送を開始させることを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置であって、
前記バッファ制御部は、1回のバースト転送で転送されるデータ量が前記データ処理部から前記バッファに転送される前に、前記バッファから全てのデータが前記データ格納部へ転送されない様に調整することを特徴とする半導体装置。

【請求項 3】

請求項 1 に記載の半導体装置であって、
前記バッファ制御部は、前記バッファに蓄積されたデータ量が所定値と一致したか判定し、その判定結果に基づき前記バッファにバースト転送を開始させることを特徴とする半導体装置。

【請求項 4】

請求項 3 に記載の半導体装置であって、
前記所定値 N は

$$N > (1 - r_0 / r_1) * M$$

を満たすように決定され、M は 1 回のバースト転送で転送されるデータ量、 r_0 は前記データ処理部から前記バッファへの書き込み転送レート、 r_1 は前記バッファから前記データ格納部へのバースト転送の転送レートであることを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至 4 いずれか一項に記載の半導体装置であって、
前記バッファは少なくとも第 1 のサブバッファと第 2 のサブバッファとを含み、
前記データ処理部が処理したデータは、1回のバースト転送で転送されるデータ量ごとに、前記第 1 のサブバッファと前記第 2 のサブバッファに交互に一時的に蓄積され、
前記バッファ制御部は、1回のバースト転送で転送されるデータ量が前記第 1 のサブバッファまたは前記第 2 のサブバッファに蓄積される前に、前記データ処理部から前記バッファにまだ蓄積されていないデータが空読みされないように、一方のサブバッファからバースト転送がされていない時に、他方のバッファにバースト転送を開始させることを特徴とする半導体装置。

【請求項 6】

データ処理部が処理したデータを一時的に蓄積するバッファと、
前記バッファに蓄積されたデータ量をカウントするカウンタと、
1 回のバースト転送で転送されるデータ量が前記バッファに蓄積される前に、前記データ処理部から前記バッファにまだ蓄積されていないデータが空読みされないように決定された所定値を設定するレジスタと、
前記カウンタの値が前記レジスタの値と一致したか判断し、前記バッファにバースト転送を開始させる一致判定回路と
を有することを特徴とするバッファ制御回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に処理したデータを一時的に蓄積してバースト転送で出力するバッファを有する半導体装置、及びその制御回路に関する。

10

20

30

40

50

【背景技術】

【0002】

さまざまなデータ処理がLSIにより実現されている。例えば、ビデオカメラやデジタルカメラなどには、画像センサーから取り込んだ画像データにさまざまな処理を施すためのLSIが搭載されている。また、携帯電話や携帯音楽端末にも音声データにさまざまな処理を施すためのLSIが搭載されている。画像データや音声データ等の大容量のデータに複雑な処理を施すこれらのLSIには、高いスループットが要求され、さまざまな技術が開発されてきている。

【0003】

例えば、特許文献1には、メモリへの画像情報書き込みと読み出しの追い越しを発生しにくくするための、デュアルポートメモリ、有効領域判定部、追い越し判定部、フレームメモリ制御部を備える入力信号処理部が開示されている。デュアルポートメモリにより、入力映像データが、入力された同期信号（ICLK）とは非同期の同期信号（SCLK）に同期して読み出される。追い越し判定部は、ICLKとSCLK及びスケーリング率情報と入力判定閾値情報に従い、スケーリング率を考慮して、入力フレームメモリから読み出された映像データにおいて追い越しが発生するか否かを判定する。フレームメモリ制御部は、SCLKと追い越し判定結果等に基づいて入力フレームメモリの制御を行う。

10

【0004】

また、特許文献2には、非同期クロック間でのデータ転送においてもクロック乗せ換え回路を必要としない追い越し判定回路、及びこの追い越し判定回路を備えるデータ転送システムが開示されている。このデータ転送システムは、デュアルポートメモリに接続されている書き込み側回路が書き込んだデータに対する読み出し側回路による読み出しが、書き込み側回路による書き込みを追い越していないことを判定する追い越し判定回路に、書き込み側回路が次にデータを書き込む、デュアルポートメモリ内のアドレスを算出する予測カウンタと、予測カウンタにより算出されたアドレスに書き込み側回路によりデータが書き込まれる時期を予測する周期換算部と、予測カウンタにより算出された書き込みアドレスと、読み出し側回路が読み出すアドレスとを比較して、読み出しアドレスが書き込みアドレスを追い越していないことを判定する比較部と、を備える。

20

【0005】

さらに、特許文献3には、1フレーム分の容量をもつフレームバッファを有する表示装置において、画像処理回路で処理を行ったデータをフレームバッファに書き込み、書き込まれたデータをフレームバッファから読み出して表示パネルの駆動回路に出力する方法であって、画像データの読み出しが書き込みを追い越さない制御方法が記載されている。

30

【0006】

この制御方法によれば、書き込み開始のタイミングを読み出し開始のタイミングに先行させることにより追い越しを防止し、読み出しバースト転送が終了するとバッファRAMへの書き込みを開始する。

【0007】

この制御方法を用いることにより、バッファRAMから読み出す1バースト分のデータが書き込まれる前に読み出しを開始することができ、転送効率が向上する。しかし、本方法は、読み出しバースト転送が終了したことをきっかけにしてバッファRAMへの書き込みを開始するため、バッファRAMからデータ読み出しを開始するタイミングが周期的である場合にのみ使用できる。

40

【特許文献1】特開2006-267661号公報

【特許文献2】特開2006-65704号公報

【特許文献3】特開2002-215081号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

図1は、デジタルカメラやカメラ付き携帯電話端末などに搭載されている画像処理向け

50

L S Iの一部である、画像処理を行う画像処理マクロのブロック図である。

【0009】

画像処理マクロ300は、CPUインタフェース301、レジスタ302、画像処理回路303、入力インタフェース304、出力インタフェース305、バッファRAM306を有する。CPUインタフェース301は、画像処理マクロ300の外部にあり画像処理マクロを制御するCPU310とのインタフェース回路である。レジスタ302は、CPU310から受け取った画像処理のパラメータ等を設定するレジスタである。入力インタフェース304は、データバス307とのインタフェース回路であり、画像処理マクロ300が処理する画像データをデータバス307から入力するインタフェースである。出力インタフェース305は、画像処理マクロ300が処理した画像データをデータバス307に出力するインタフェースである。

10

【0010】

画像処理回路303は、処理すべき画像データを、入力インタフェース304を介してデータバス307から受け取り、CPU310により指示された処理を施して、その結果得られる処理後の画像データをバッファRAM306に出力する。バッファRAM306は、画像処理回路303から受け取った処理後の画像データを一時的に蓄積して、出力インタフェース305を介してデータバス307に出力する。

【0011】

調停回路308は、画像処理ブロック300と他の画像処理ブロック(図示せず)との間で、データバス307の使用を調停し、同時に複数の画像処理ブロックがデータバス307を使用しないようにするための回路である。この調停回路308と画像処理マクロ300の入力インタフェース304との間で入力リクエスト信号と入力アクノレッジ信号がやりとりされ、調停回路308と出力インタフェース305との間で出力リクエスト信号と出力アクノレッジ信号がやりとりされる。入力インタフェース304は、画像処理回路303のデータ処理が可能となると、調停回路308に入力リクエスト信号を送る。調停回路308は、この入力リクエスト信号に回答して、他の構成要素(例えばSDRAMカード309)に、画像処理回路303が処理すべき画像データをデータバス307に出力させ、入力インタフェース304に入力アクノレッジ信号を送る。入力インタフェース304は、入力アクノレッジ信号に回答してデータバス307から画像データを受け取る。同様に、出力インタフェース304は、バッファRAM306のデータ出力が可能となると、調停回路308に出力リクエスト信号を送る。調停回路308は、この出力リクエスト信号に回答して、画像処理回路303が処理した画像データを他の構成要素(例えばSDRAM309)が受け取れるようになると、出力インタフェース305に出力アクノレッジ信号を送る。出力インタフェース305は、出力アクノレッジ信号に回答してデータバス307にバッファRAM306が一時的に蓄積していた画像データを出力する。

20

30

【0012】

画像処理マクロ300が、ある処理単位で画像データを処理する場合、その処理単位の容量を有するバッファRAM306が用意されることが多い。以下、処理単位は画像データ1行分とする。

【0013】

画像処理回路からデータがバッファに書き込まれる転送レートおよび、バッファRAMから出力インタフェースにデータが読み出される転送レートは、各々のバス幅とバスクロックの積で計算される。バッファ書き込み側のバスクロックは、画像処理回路303の動作クロックであり、バッファ読み出し側のバスクロックは、画像データ転送部(調停回路308及び出力される画像データの出力先(例えばSDRAMカード309)から構成される)のバスクロックである。バッファの読み出し側と書き込み側は通常は非同期で動作するため、バッファRAM306としてはデュアルポートのRAMが使用される。

40

【0014】

ここで、1回のデータ転送要求で連続して転送されるデータサイズは画像データ1行分に相当するものとする。以下の説明では、1回のデータ転送要求による連続データ転送を

50

バースト転送と呼び、1回のバースト転送により転送されるデータサイズを1バーストと呼ぶ。

【0015】

画像処理マクロ300は、1バースト分以上のデータがバッファRAM306に溜まると、画像データ転送部に対してデータ転送要求を出して画像データの出力を行う。

【0016】

図2は、図1で示される構成の画像処理マクロ300内のバッファRAM306の制御信号を示すタイミングチャートである。図2のうち、(e)~(h)は、(a)~(d)の楕円Aで囲んだ部分の時間軸を拡大して示したものである。

【0017】

バッファRAM306に画像データ1行分のデータ書き込みが終了して、書き込み信号(図2(d)と(g))がネゲートする(この場合、ローレベルになる)と、データを画像データ転送部に転送するために出力リクエスト(図2(a)と(e))をアサートする(この場合、ハイレベルにする)。出力リクエストが画像データ転送部に受け付けられ、出力アクノレッジ(図2(b)と(f))を受け取ると、バッファRAM306の読み出し信号をアサートして読み出しを開始する。

【0018】

図1に示される画像処理マクロ300の場合には、出力インタフェース305から出力される出力リクエストが調停回路308に受け付けられ、出力アクノレッジが入力されたときにバッファRAM306からの読み出しを開始するため、読み出しを開始するタイミングは必ずしも周期的にはならず、特許文献3に開示された方法を用いることはできない。

【課題を解決するための手段】

【0019】

本発明の1つの目的は、上記の課題等を解決することであり、特に蓄積データをバースト出力するバッファRAMにおいて、データ入力のタイミングではなく、データ出力のタイミングを制御することにより、効率的にデータ転送を実現することである。本発明のさらに具体的な目的は、かかるバッファRAMを有するデータ処理マクロ、及びかかるデータ処理マクロを有する半導体装置を提供することであり、さらにそのバッファRAMの制御方法を提供することである。

【0020】

本発明の一態様によると、データを処理するデータ処理部と、前記データ処理部が処理したデータを一時的に蓄積するバッファと、前記バッファに蓄積されたデータをバースト転送でデータ格納部へ転送するバッファ制御部とを有する半導体装置が提供される。前記バッファ制御部は、1回のバースト転送で転送されるデータ量が前記バッファに蓄積される前にバースト転送を開始させる。

【0021】

上記の半導体装置において、前記バッファ制御部は、1回のバースト転送で転送されるデータ量が前記データ処理部から前記バッファに転送される前に、前記バッファから全てのデータが前記データ格納部へ転送されない様に調整してもよい。

【0022】

上記の半導体装置において、前記バッファ制御部は、前記バッファに蓄積されたデータ量が所定値と一致したか判定し、その判定結果に基づき前記バッファにバースト転送を開始させてもよい。

【0023】

さらに、前記所定値Nは

$$N > (1 - r_0 / r_1) * M$$

を満たすように決定され、Mは1回のバースト転送で転送されるデータ量、 r_0 は前記データ処理部から前記バッファへの書き込み転送レート、 r_1 は前記バッファから前記データ格納部へのバースト転送の転送レートとしてもよい。

10

20

30

40

50

【発明の効果】

【0024】

本発明により、複数のデータ処理マクロがバスに接続されており、データ転送が調停されるようなシステムにおいて、あるデータ処理マクロのバッファRAMからデータのバースト読み出しを開始するのに、1バースト分のデータがバッファに溜まる前に、データ転送部に対して転送要求を出すことが可能となり、LSIにおけるデータ処理のスループットが向上する。

【発明を実施するための最良の形態】

【0025】

図3は、本発明の一態様である半導体装置を示す図であり、具体的には半導体装置の一実施形態である画像処理LSI1000の構成を示すブロック図である。画像処理LSI1000は、デジタルカメラやカメラ付き携帯電話端末などに搭載され、さまざまな画像処理を行うものである。言うまでもなく、本発明は、画像処理LSIに限定されず、データ処理をする半導体装置であれば、いかなる半導体装置にも適用することができる。

10

【0026】

画像処理LSI1000は、画像処理マクロ1001 1003、画像データ転送回路1004、SDRAMコントローラ1005、CPU1006、周辺回路1007、表示装置コントローラ1008を含んでいる。画像処理マクロ1001 1003は、画像処理LSI1000の外部にあるセンサー1010を用いて取り込んだ画像データにさまざまな画像処理を行う。画像データ転送回路1004は、画像処理マクロ1001 - 1003とSDRAM1009との間で、SDRAM1009を制御するSDRAMコントローラ1005を介してデータ転送を行う。CPU1006は、画像処理LSI1000の動作を制御する。周辺回路1007は、タイマーやカードコントローラなどの周辺回路を含んでいる。表示装置コントローラ1008は、画像処理LSI1000の外部にあるLCDなどの表示装置を制御する。

20

【0027】

センサー1010から取り込まれたデータは、第一の画像処理回路1001で処理された後、SDRAM1009に格納される。画像処理マクロ1001による処理の後、SDRAM1009に格納されたデータは、第二の画像処理回路1002に読み出され、別の画像処理が行われた後、再びSDRAM1009に書き込まれる。さらに、画像処理マクロ1002による処理の後、SDRAM1009に格納されたデータは、第三の画像処理回路1003に読み出され、画像処理が行われた後、再びSDRAM1009に書き込まれる。

30

【0028】

図4は、図3に示した画像処理LSI1000に含まれる、本発明の一実施形態による画像処理マクロの構成を示すブロック図である。図4に示した画像処理マクロ100は、例えば、図3の画像処理マクロ1001 - 1003に相当するものであり、CPUインタフェース101、レジスタ102、入力インタフェース103、出力インタフェース104、画像処理回路105、バッファRAM106を含んでいる。なお、画像処理マクロ100は、図3に示したセンサー1010から画像データの入力を受けるインタフェース回路を有してもよい。

40

【0029】

CPUインタフェース101は、CPU120と画像処理マクロ100との間のインタフェース回路である。レジスタ102は、CPUインタフェース101を介してCPU120から受け取った画像処理に関するパラメータを設定するためのレジスタである。入力インタフェース103と出力インタフェース104は、データバス108を介して画像データ転送部と通信するためのインタフェース回路である。バッファRAM106は、画像処理回路105で処理されたデータをバッファするためRAMであり、例えば、処理フレームの1行分の画像データの容量をもち、バス幅32ビットの1R1Wタイプの2ポートRAMである。画像処理回路105は、画像データに、例えばコントラスト変換、フィル

50

タリング、エッジ強調等の処理を施す回路である。

【0030】

画像処理マクロ100の動作中、画像処理回路105が1行分の画像データの処理を終わり、次の行の画像データを処理できるようになると、入力インタフェース103は、画像データ転送部に対して入力リクエスト115を出力し、画像データ転送部から入力アクノレッジ116を受け取ると入力データ転送を開始する。ここで、画像データ転送部は、例えば、図3の画像データ転送回路1004であり、図4においてはデータバス108と調停回路109から構成されている。

【0031】

レジスタ102には、画像処理に関するパラメータを設定するためのビットのほかに、バッファRAM106に1行分の画像データが蓄積される前に出力リクエストを出す機能の有効/無効を設定するビット111、およびバッファRAM106にどれだけ画像データが蓄積されたら出力リクエストを出すかを設定するビット112が設けられている。

10

【0032】

一方、画像処理回路105には、バッファRAM106に書き込んだデータ量をカウントするライトデータカウンタ113と一致回路119が設けられている。この一致回路119は、バッファRAMに1行分の画像データが溜まる前に出力リクエストを出す機能が有効である場合に、バッファRAMにどれだけ画像データが溜まったらリクエストを出すかを設定するビット112に設定された値と、ライトデータカウンタ113の値が一致したかを検出する。両方の値が一致した時、一致回路119は、出力インタフェース104に対して、出力リクエスト許可信号114を送る。

20

【0033】

出力インタフェース104は、一致回路119から出力リクエスト許可信号114を受け取ると、(データバス108と調停回路109から構成される)画像データ転送部に対して出力リクエスト117を出力する。画像データ転送部から出力アクノレッジ118を受け取ると、出力インタフェース104は、バッファRAMに対して読み出し信号をアサートし、出力データ転送を開始する。ここで、1バーストは画像1行分のデータサイズに相当するものとする。

【0034】

バッファRAMから1行分のデータを転送し終わると、次の1行分の画像データを画像処理回路に読み込むために、入力インタフェース103は画像データ転送部に入力リクエスト115を出力する。画像データ転送部から入力アクノレッジ116を受け取ると、入力インタフェース103を介して画像処理回路に画像データが読み込まれる。

30

【0035】

本発明の一実施形態として、画像処理マクロの例を説明したが、図4において画像処理回路105は、画像処理に限らずいかなるデータ処理を行う回路であってもよいことは言うまでもない。

【0036】

図5も参照して、本発明の画像処理マクロのバッファRAM制御に係わる動作を説明する。図5は、本発明の一実施形態による画像処理マクロ100とのデータ転送に係わる波形を示す波形図である。図5には、比較のために、図1に示した従来の画像処理マクロのデータ転送に係わる波形(a)~(d)を波形(a)~(d)として示した。波形(e)~(h)は、本発明による画像処理マクロのバッファRAM制御信号を示している。

40

【0037】

RAM書き込み信号(図5(h))がアサートされている(この場合、信号がハイレベルになっている)間、画像処理回路105からバッファRAM106に対して画像データが書き込まれる。この間、ライトデータカウンタ113は、画像処理回路105からバッファRAM106に書き込まれた画素数をカウントする。本実施形態では、1クロックサイクルあたり1画素の画像データが、画像処理回路105からバッファRAM106に書き込まれるものとする。

50

【0038】

ここで、レジスタ102のビット111に設定された、バッファRAM106に1行分の画像データが溜まる前に出力リクエストを出す（より正確に言うと、出力インタフェース104に出力リクエスト許可114を出す）機能が有効であり、レジスタ102のビット112に設定された、バッファRAM106にどれだけ画像データが溜まったら出力リクエストを出す（より正確に言うと、出力インタフェース104に出力リクエスト許可114を出す）か設定するビットの値がN（1以上かつM以下の整数値）に設定されている場合、ライトデータカウンタ113の値がNになると、一致回路119により出力リクエスト許可信号114が出され、これに応答して出力インタフェース104は、調停回路109に出力リクエスト信号117（図5（e））を出す。

10

【0039】

すなわち、本発明の画像処理マクロでは、図5の縦点線Cで示した従来の画像処理マクロがバッファRAMからデータ転送を開始するタイミングより早い、図5の縦点線Dで示したタイミングで出力データ転送を開始する。

【0040】

図6は、図5の楕円Bで囲んだ、本発明の一実施形態による画像処理マクロ100のデータ転送に係わる波形部分を拡大した図である。

【0041】

本実施形態においては、1行分の画像データはM画素であるとする。また、バッファRAM106の書き込み側のクロックCLK0（図6（a））の周期をT0（nsec）、読み出し側のクロックCLK1（図6（e））の周期をT1（nsec）とする。

20

【0042】

RAM書き込み信号（図6（b））がアサートされている（この場合、信号がハイレベルになっている）間、画像処理回路105からバッファRAM106に対して、クロックCLK0（図6（a））の1周期に1画素の割合で画像データが書き込まれる。この間、ライトデータカウンタ113は、画像処理回路105からバッファRAM106に書き込まれた画素数をカウントする（図6（c））。

【0043】

ライトデータカウンタ113の値がNになると、一致回路119により出力リクエスト許可信号114（図6（d））がアサートされる（この場合、信号がハイレベルになる）。出力リクエスト許可信号（図6（d））は画像処理回路内においてCLK0に同期して生成される。この出力リクエスト許可信号に応答して、出力インタフェースにおいてCLK1（図6（e））に同期した出力リクエスト信号（図6（f））が生成される。出力インタフェースは、画像データ転送回路から出力アクノレッジ信号（図6（g））を受け取ると、バッファRAM読み出し信号（図6（h））をアサートする。このバッファRAM読み出し信号のアサートに応答してバッファRAM106からの出力データ転送が開始される。

30

【0044】

ここで、前記Nの値は次式1を満たすように設定できる。

【0045】

$$N > (1 - r_0 / r_1) * M \quad (\text{式1})$$

40

図7は、式1の導出方法を説明するための図である。

【0046】

バッファ700には、画像データが、書き込み側からクロックCLK0（周期T0）で書き込まれ、読み出し側からクロックCLK1（周期T1）で読み出されている。今、バッファRAMにN画素が書き込まれているとする。1画素 = 8ビット換算とし、1クロックサイクル当たり32ビットのデータがバッファRAMに書き込まれるとすると、1行分の画像データM画素のうち残りの（M - N）画素を書き込むのに必要な時間は、次式2で表される。

【0047】

50

$$(M - N) / 4 * T0 (nsec) \quad (式2)$$

1クロックサイクル当たり32ビットのデータがバッファRAMから読み出されると、現在バッファRAMに既に書き込まれているN画素とこれから書き込まれるM-N画素の合計(すなわちM画素)を読み出すのに必要な時間は、次式で表される。

【0048】

$$M / 4 * T1 (nsec) \quad (式3)$$

バッファRAMに書き込まれた1行分の画像データ(M画素)を読み出している間に、1行分の画像データをバッファRAMに書き終わってれば、データを空読みすることはない。データの空読みとは、読み出すべきデータがまだ書き込まれていないRAMの領域を読み出してしまうことである。従って、式2で表された時間が式3で表された時間より短ければよい。すなわち、

10

$$(M - N) / 4 * T0 < M / 4 * T1 \quad (式4)$$

周期と転送レートの関係 $T0 = 1 / r0$ 、 $T1 = 1 / r1$ を用いて式4を変形すると式1が得られる。

【0049】

ここで、図4に示した画像処理マクロ100において、バッファ書き込み側のデータ転送レート $r0$ 、あるいはバッファ読み出し側のデータ転送レート $r1$ を、画像処理回路の動作周波数および画像データ転送部のバスクロックの周波数から自動的に計算し、式1を満たすNの値を割り出すレジスタ設定値計算部(図4には図示せず)を画像処理ブロックに備えておけば、前述したような1バースト分のデータがバッファに溜まる前に転送要求を出す機能の有効/無効を切り替える設定ビット、あるいはバッファにどれだけ画像データが溜まったらリクエストを出すのかを設定するビットを備える必要はない。

20

【0050】

さらに、消費電力を落とす目的等により、画像処理回路の動作周波数、データ転送部の動作周波数、またはその両方が変更された場合であっても、レジスタ設定値計算部は、設定値Nの値を再計算して、転送要求を出すタイミングを変更することが可能である。

【0051】

また、図3において、SDRAM1009を動作周波数が異なるSDRAMに置き換えた場合や、画像データ転送回路1004のバスクロックが変更された場合であっても、レジスタ設定値計算部は、設定値Nの値を再計算して、転送要求を出すタイミングを変更することが可能である、柔軟にシステムを構築することができる。

30

【0052】

図8は、出力リクエスト許可信号の生成回路の実施例を示す図である。図8には、画像処理回路1100(図4の画像処理回路105に相当)、バッファRAM1105(図4のバッファRAM106に相当)、及び出力インタフェース1104(図4の出力インタフェース104に相当)が示されている。

【0053】

画像処理回路1100は、一致回路1102(図4の一致回路119に相当)を含む。一致回路1102によって、ライトデータカウンタ1101(図4のライトデータカウンタ113に相当)に示された、バッファRAM1105に書き込まれたデータのカウンタ数と、(図4のレジスタ102のビット112に設定された)レジスタの設定値とを比較し、一致すればクロックCLK1に同期したワンショットのパルスを出力する。一致回路1102から出力された信号(パルス)から、クロックCLK2に同期した信号を生成し、出力リクエスト許可信号とする。

40

【0054】

出力リクエスト許可信号がアサートされると出力インタフェース1104の出力リクエストがセットされ、調停回路(図示せず)にリクエストが受け付けられたことを示す出力アクノレッジがアサートされると出力リクエストをリセットする。

【0055】

出力アクノレッジがアサートされるとバッファRAM1105からの読み出しを開始す

50

るため、出力インタフェース 1104 は、バッファ RAM 1105 へのリードイネーブル信号をセットする。リードデータカウンタ 1103 により、読み出されたデータをカウントし、1 パースト分をカウントするとリードイネーブル信号をリセットする。ここで CLK 1 は画像処理回路の動作周波数、CLK 2 は画像データ転送部のバスクロックの周波数である。

【0056】

図 9 は、上記実施形態の変形例による画像処理マクロの構成を示すブロック図である。図 9 に示した画像処理マクロ 600 は、図 4 に示した画像処理マクロ 100 と比較して、バッファ RAM が 2 つのサブバッファを有するダブルバッファ構成である点が異なる。すなわち、本変形例による画像処理マクロ 600 は、バッファ RAM として、画像 1 行分の容量を持つバッファ RAM 606、607 がサブバッファとして 2 面用いられている点である。画像 1 行分の容量を持つ RAM を 2 面備えることで、一方のバッファ RAM (例えば、バッファ RAM 606) にデータが書き込まれている間に、もう一方のバッファ RAM (例えば、バッファ RAM 607) からデータを読み出すことができるため、データ転送が効率よく行われる。バッファ RAM 606、607 には、バス幅 32 ビットの 1R1W の 2 ポート RAM がそれぞれ使用される。画像処理マクロ 600 のその他の構成は、図 4 に示した画像処理マクロ 100 の対応する構成と基本的に同じである。

10

【0057】

図 10 は、本変形例によるバッファ RAM 606、607 の制御信号の波形を示すタイミングチャートである。

20

【0058】

本変形例において、バッファ RAM 606、607 に 1 行分の画像データが溜まる前に出力リクエストを出す機能が有効で、バッファ RAM 606、607 にどれだけ画像データが溜まったらリクエストを出すかを設定するレジスタ 602 のビット 612 に N (0 以上 M 以下の整数) が設定されているものとする。

【0059】

図 10 において、期間 A では、2 面あるバッファ RAM 606、607 の読み出し信号もアサートされておらず、いずれのバッファ RAM 606、607 から読み出し (出力データ転送) が行われていない。この期間内にライトデータカウント (図 10 (g)) は、RAM 607 に書き込まれているデータ量を示し、このカウントが N となると出力リクエスト (図 10 (a)) がアサートされる。出力アクノレッジ信号 (図 10 (b)) に応答して、バッファ RAM 606 読み出し信号 (図 10 (c)) がアサートされ、バッファ RAM 606 からの読み出しが開始される。

30

【0060】

期間 B では、バッファ RAM 606 読み出し信号 (図 10 (c)) がアサートされており、バッファ RAM 606 の読み出しが行われている。ライトデータカウント (図 10 (g)) が N となった時点では、RAM 607 を読み出すための出力リクエスト (図 10 (a)) はアサートされず、バッファ RAM 606 の読み出しが終わった時点で、すなわちライトデータカウントが M となった時点で、バッファ RAM 607 を読み出すために出力リクエスト (図 10 (a)) がアサートされ、バッファ RAM 607 からの読み出しが開始される。

40

【0061】

バッファ RAM 606 の読み出しが終わった時点 X から、バッファ RAM 606 の書き込みが開始される時点 Y までの期間は、画像処理回路 605 が期間 C にバッファ RAM 607 から読み出されている画像データの次の行を処理している期間である。

【0062】

期間 C では、バッファ RAM 607 から読み出されている次の行の画像データが準備できた時点 Y で、RAM 606 書き込み信号 (図 10 (d)) がアサートされ、画像処理回路 605 からバッファ RAM 606 への書き込みが開始される。

【0063】

50

期間Dでは、RAM 606書き込み信号(図10(d))がアサートされ、画像処理回路605からバッファRAM 606へ書き込みが行われている。バッファRAM 606に蓄積されたデータ量を示すライトデータカウンタ(図10(g))の値がNになった時点には、バッファRAM 607読み出し信号はネゲートされ、バッファRAM 607からの読み出しは行われていないので、バッファRAM 606を読み出すための出力リクエスト(図10(a))をアサートし、バッファRAM 606の読み出しを開始する。

【0064】

図11は、上記実施形態の別の変形例による画像処理マクロの構成を示すブロック図である。図11に示した画像処理マクロ800は、図9に示した画像処理マクロ600と比較して、1行分の画像データを4回のバースト転送で転送する点で異なる。本変形例による画像処理マクロ800の構成は、図9に示した画像処理マクロの構成と比較して、出力インタフェース804内にFIFO 821が用いられている点、および、一致回路819から出力インタフェース804に供給される信号が読み出しリクエスト信号814である点で異なる。FIFO 821は、例えば、画像1行分のデータ容量を有する、バス幅32ビットの1R1Wの2ポートRAMである。

10

【0065】

出力インタフェース804は、画像処理回路805の一致回路819から読み出しリクエスト814を受け取ると、FIFO 821の空き状況に応じて、バッファRAM 806あるいはバッファRAM 807に読み出し信号を出力する。すなわち、出力インタフェース804は、FIFO 821がフルになると読み出し信号をネゲートし、1バースト分以上の空き容量ができると読み出し信号をアサートする。

20

【0066】

一方、出力インタフェース804は、FIFO 821に1バースト分以上のデータが蓄積されると出力リクエスト817をアサートし、出力アクノレッジ818を受け取ると、FIFO 821からの画像データのバースト転送を開始する。このバースト転送が終了した時にFIFO 821に1バースト分以上のデータが蓄積されていれば、次のバースト転送を行うために、続けて出力リクエスト817をアサートする。

【0067】

なお、図11に示した画像処理マクロ800のその他の構成は、図9に示した画像処理マクロ600の対応する構成と基本的に同じである。

30

【0068】

図12は、本変形例による画像処理マクロにおけるバッファRAM 806、807の制御信号の波形を示すタイミングチャートである。

【0069】

期間Cでは、バッファRAM 807読み出し信号(図12(f))がアサートされ、バッファRAM 807からFIFO 821へ画像データが転送されている。しかし、FIFO 821がフルになると、バッファRAM 807読み出し信号がネゲートされる(図12(f)のPの時点)。FIFO 821からのバースト転送が終了し、FIFO 821に1バースト分の空き容量ができると、再びバッファRAM 807読み出し信号がアサートされ(図12(f)のQの時点)、バッファRAM 807からFIFO 821にデータが転送される。

40

【0070】

本変形例においても、バッファRAMにどれだけ画像データが溜まったらリクエストを出すのかを設定するビットに設定する値Nは、前出の式1で求めることができる。

【0071】

なお、図9と図11に示した画像処理マクロ600、800は、2つのバッファRAMを有しているが、3つ以上のバッファRAMを有していてもよく、その動作は上記の説明と同様である。

【0072】

また、図11の画像処理マクロ800にはバッファRAM 806、807が含まれてい

50

るが、バッファ R A M は 1 つだけでもよい。

【 0 0 7 3 】

なお、本開示にあたり、以下の付記を記す。

(付記 1)

データを処理するデータ処理部と、
前記データ処理部が処理したデータを一時的に蓄積するバッファと、
前記バッファに蓄積されたデータをバースト転送でデータ格納部へ転送するバッファ制御部とを有し、

前記バッファ制御部は、1回のバースト転送で転送されるデータ量が前記バッファに蓄積される前にバースト転送を開始させることを特徴とする半導体装置。

10

(付記 2)

付記 1 に記載の半導体装置であって、

前記バッファ制御部は、1回のバースト転送で転送されるデータ量が前記データ処理部から前記バッファに転送される前に、前記バッファから全てのデータが前記データ格納部へ転送されない様に調整することを特徴とする半導体装置。

(付記 3)

付記 1 に記載の半導体装置であって、

前記バッファ制御部は、前記バッファに蓄積されたデータ量が所定値と一致したか判定し、その判定結果に基づき前記バッファにバースト転送を開始させることを特徴とする半導体装置。

20

(付記 4)

付記 3 に記載の半導体装置であって、

前記所定値 N は

$$N > (1 - r 0 / r 1) * M$$

を満たすように決定され、M は 1 回のバースト転送で転送されるデータ量、r 0 は前記データ処理部から前記バッファへの書き込み転送レート、r 1 は前記バッファから前記データ格納部へのバースト転送の転送レートであることを特徴とする半導体装置。

(付記 5)

付記 3 または 4 に記載の半導体装置であって、

前記バッファに蓄積されたデータ量をカウントするカウンタと、

前記所定値を設定するレジスタと、

前記カウンタの値がレジスタの値と一致したか判断する一致判定回路とをさらに有することを特徴とする半導体装置。

30

(付記 6)

付記 3 ないし 5 いずれか一項に記載の半導体装置であって、

前記所定値を計算する所定値計算部をさらに有することを特徴とする半導体装置。

(付記 7)

付記 5 に記載の半導体装置であって、

データ転送回路への出力インタフェースをさらに有し、

前記出力インタフェースは前記一致判定回路からの出力リクエスト許可に基づき、前記データ転送回路に出力リクエストし、出力アクノレッジに応じて前記バッファにデータを出力させることを特徴とする半導体装置。

40

(付記 8)

付記 1 乃至 7 いずれか一項に記載の半導体装置であって、

前記バッファは少なくとも第 1 のサブバッファと第 2 のサブバッファとを含み、

前記データ処理部が処理したデータは、1回のバースト転送で転送されるデータ量ごとに、前記第 1 のサブバッファと前記第 2 のサブバッファに交互に一時的に蓄積され、

前記バッファ制御部は、1回のバースト転送で転送されるデータ量が前記第 1 のサブバッファまたは前記第 2 のサブバッファに蓄積される前に、前記データ処理部から前記バッファにまだ蓄積されていないデータが空読みされないように、一方のサブバッファからバ

50

ーラスト転送がされていない時に、他方のバッファにバースト転送を開始させることを特徴とする半導体装置。

(付記 9)

付記 5 に記載の半導体装置であって、

データ転送回路への出力インタフェースをさらに有し、

前記出力インタフェースは、前記バッファからデータ転送を受ける F I F O を有し、前記一致判定回路からの読み出しリクエストに基づき、前記バッファから前記 F I F O にデータを出力させることを特徴とする半導体装置。

(付記 10)

付記 1 乃至 3 いずれか一項に記載の半導体装置であって、

前記バッファは 1 R 1 W の 2 ポート R A M であることを特徴とする半導体装置。

(付記 11)

付記 1 乃至 10 いずれか一項に記載の半導体装置であって、

前記データ処理部は画像処理部であることを特徴とする半導体装置。

(付記 12)

付記 5 に記載の半導体装置であって、

データ転送回路から前記データ処理部にデータを取り込む入力インタフェースをさらに有することを特徴とする半導体装置。

(付記 13)

付記 7 に記載の半導体装置であって、

前記データ転送回路はデータバスへのアクセスが競合しないように調停する調停回路を含むことを特徴とする半導体装置。

(付記 14)

付記 5 に記載の半導体装置であって、

1 回のバースト転送で転送されるデータ量がバッファに蓄積される前に、データ処理部からバッファにまだ蓄積されていないデータが空読みされないように、バッファにバースト転送を開始させる機能を有効にするかどうかを設定するレジスタをさらに有することを特徴とする半導体装置。

(付記 15)

データ処理部が処理したデータを一時的に蓄積するバッファと、

前記バッファに蓄積されたデータ量をカウントするカウンタと、

1 回のバースト転送で転送されるデータ量が前記バッファに蓄積される前に、前記データ処理部から前記バッファにまだ蓄積されていないデータが空読みされないように決定された所定値を設定するレジスタと、

前記カウンタの値が前記レジスタの値と一致したか判断し、前記バッファにバースト転送を開始させる一致判定回路とを有することを特徴とするバッファ制御回路。

(付記 16)

入力されたデータを一時的にバッファに蓄積してからバースト転送により出力するバッファの制御方法であって、

1 回のバースト転送により連続して前記バッファから出力されるデータ量より少ない所定データ量のデータが前記バッファに蓄積されたか判断する段階と、

前記所定データ量のデータが前記バッファに蓄積されたか判断したときに、前記バッファにバースト転送による出力を開始させる段階と、を有し、

前記所定データ量は、前記バッファにまだ蓄積されていないデータが空読みされないように決定されることを特徴とするバッファの制御方法。

【図面の簡単な説明】

【0074】

【図 1】従来の画像処理マクロの構成を示すブロック図である。

【図 2】従来の画像処理マクロのバッファ R A M 制御信号を示す波形図である。

【図 3】本発明の一実施形態による画像処理 L S I の構成を示すブロック図である。

10

20

30

40

50

【図 4】本発明の一実施形態による画像処理マクロの構成を示すブロック図である。

【図 5】図 4 に示した画像処理マクロのバッファ R A M 制御信号を示す波形図である。

【図 6】図 5 の一部を拡大して示した波形図である。

【図 7】出力リクエスト許可を出す画像データの蓄積量の条件式の導出方法を説明するための図である。

【図 8】本発明の一実施形態による画像処理マクロの出力リクエスト許可信号生成回路の例を示すブロック図である。

【図 9】本発明の一実施形態による画像処理マクロの変形例の構成を示すブロック図である。

【図 10】図 9 に示した画像処理マクロの変形例のバッファ R A M 制御信号を示す波形図である。

10

【図 11】本発明の一実施形態による画像処理マクロの他の変形例の構成を示すブロック図である。

【図 12】図 11 に示した画像処理マクロの他の変形例のバッファ R A M 制御信号を示す波形図である。

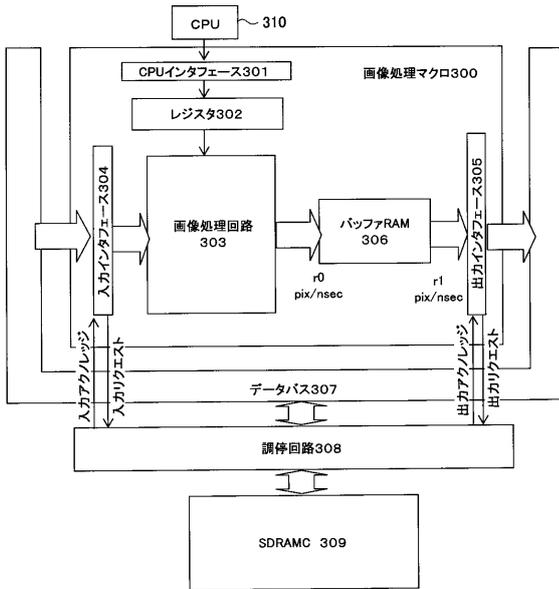
【符号の説明】

【 0 0 7 5 】

| | | |
|-------------------------------|------------------|----|
| 1 0 0、6 0 0、8 0 0 | 画像処理マクロ | |
| 1 0 1、6 0 1、8 0 1 | C P U インタフェース | |
| 1 0 2、6 0 2、8 0 2 | レジスタ | 20 |
| 1 0 3、6 0 3、8 0 3 | 入力インタフェース | |
| 1 0 4、6 0 4、8 0 4 | 出力インタフェース | |
| 1 0 5、6 0 5、8 0 5 | 画像処理回路 | |
| 1 0 6、6 0 6、6 0 7、8 0 6、8 0 7 | バッファ R A M | |
| 1 0 8、6 0 8、8 0 8 | データバス | |
| 1 0 9、6 0 9、8 0 9 | 調停回路 | |
| 1 1 0、6 1 0、8 1 0 | S D R A M | |
| 1 2 0、6 2 0、8 2 0 | C P U | |
| 8 2 1 | F I F O | |
| 1 0 0 0 | 画像処理 L S I | 30 |
| 1 0 0 1、1 0 0 2、1 0 0 3 | 画像処理マクロ | |
| 1 0 0 4 | 画像データ転送回路 | |
| 1 0 0 5 | S D R A M コントローラ | |
| 1 0 0 6 | C P U | |
| 1 0 0 7 | 周辺回路 | |
| 1 0 0 8 | 表示装置コントローラ | |
| 1 0 0 9 | S D R A M | |
| 1 0 1 0 | センサー | |
| 1 0 1 1 | 表示装置 | |

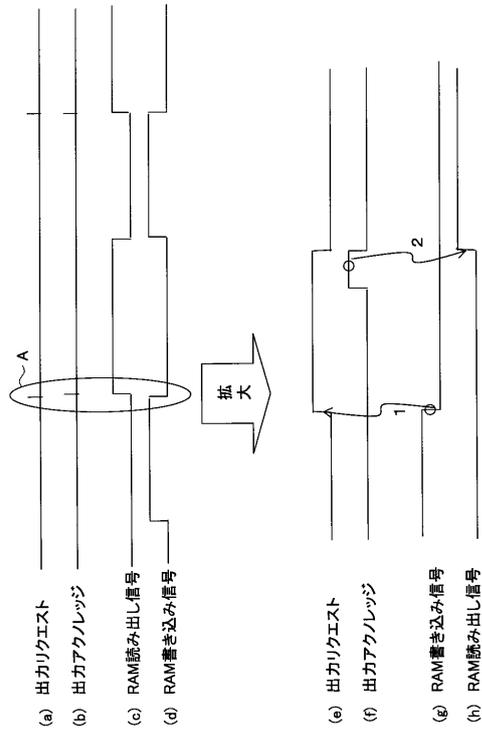
【 図 1 】

従来の画像処理マクロの構成を示すブロック図



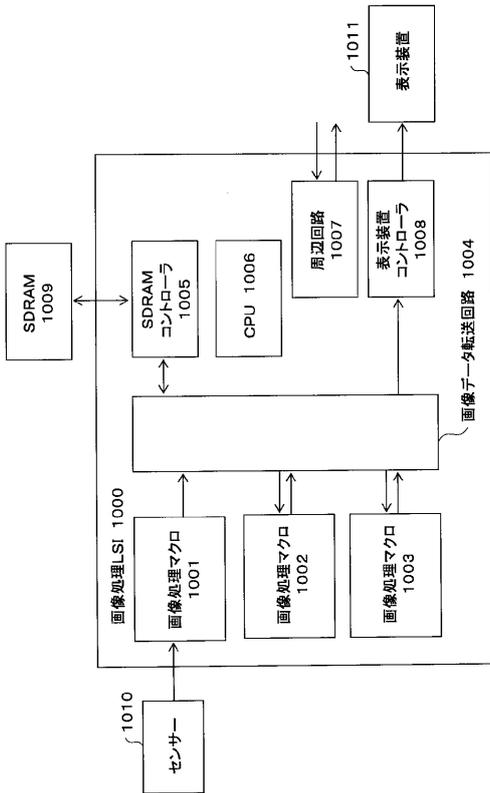
【 図 2 】

従来の画像処理マクロのバッファRAM制御信号を示す波形図



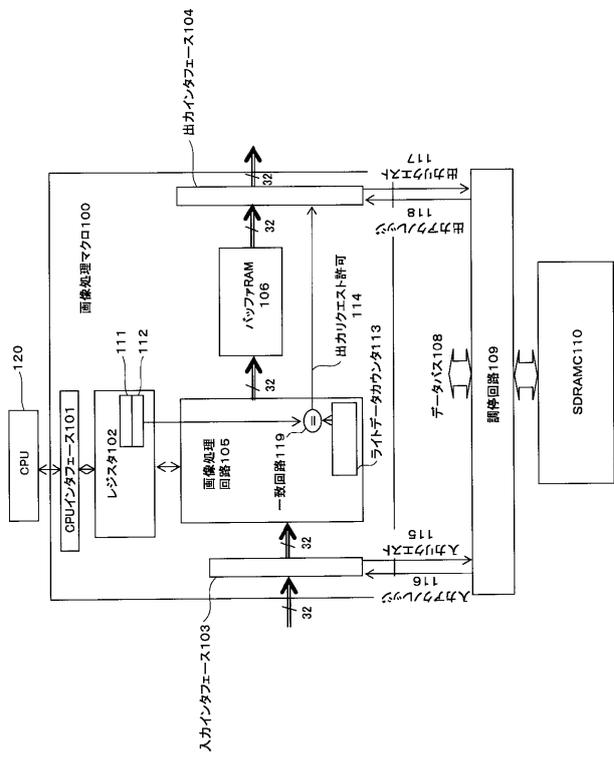
【 図 3 】

本発明の一実施形態による画像処理LSIの構成を示すブロック図



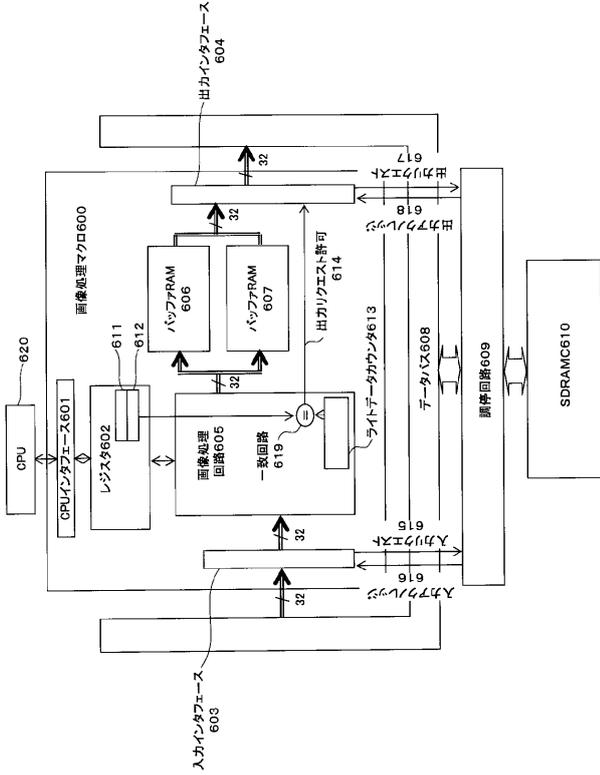
【 図 4 】

本発明の一実施形態による画像処理マクロの構成を示すブロック図



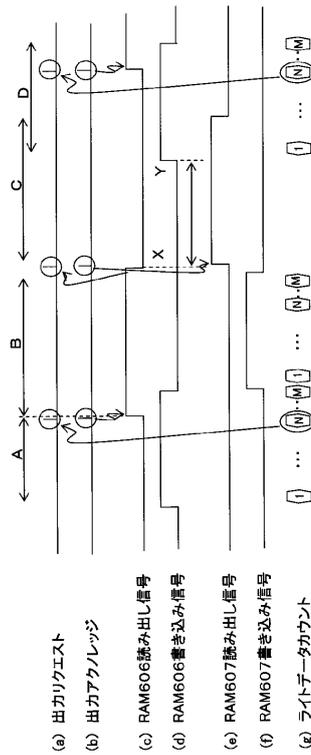
【 図 9 】

本発明の一実施形態による画像処理マクロの変形例の構成を示すブロック図



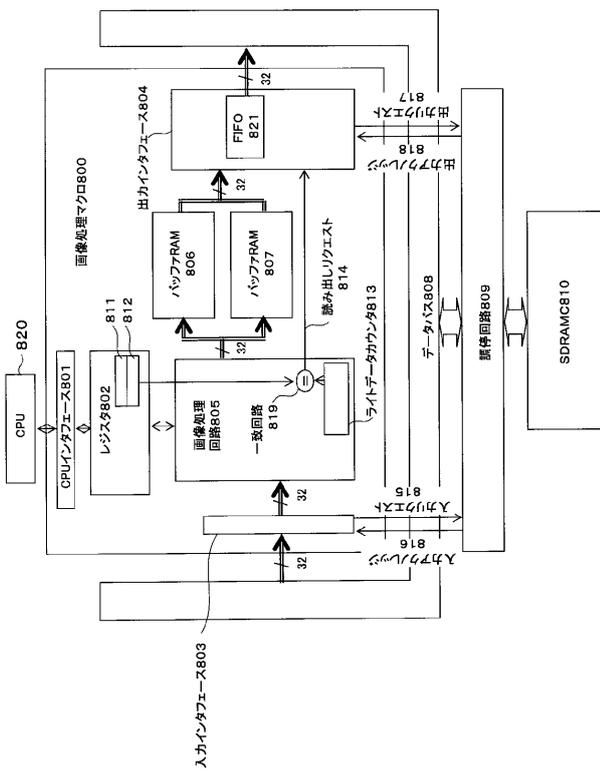
【 図 1 0 】

図9に示した画像処理マクロの変形例のバッファRAM制御信号を示す波形図



【 図 1 1 】

本発明の一実施形態による画像処理マクロの他の変形例の構成を示すブロック図



【 図 1 2 】

図11に示した画像処理マクロの他の変形例のバッファRAM制御信号を示す波形図

