



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I591352 B

(45) 公告日：中華民國 106 (2017) 年 07 月 11 日

(21) 申請案號：102120287

(22) 申請日：中華民國 102 (2013) 年 06 月 07 日

(51) Int. Cl. : G01R31/26 (2014.01)

(71) 申請人：金士頓數位股份有限公司 (美國) KINGSTON DIGITAL, INC. (US)

美國

遠東金士頓科技股份有限公司 (中華民國) KINGSTON TECHNOLOGY FAR EAST CORP. (TW)

新竹市科學工業園區力行一路 1 之 5 號

(72) 發明人：陳弘典 CHEN, DAVID (US) ; 王振威 ONG, CHENGVEE (MY) ; 游啓志 YU, CHICHIH (TW)

(74) 代理人：陳翠華

(56) 參考文獻：

TW 406382

TW M282317

TW 200402854A

TW 200945468A

US 2005/0275418A1

審查人員：李泉河

申請專利範圍項數：10 項 圖式數：8 共 24 頁

(54) 名稱

測試裝置

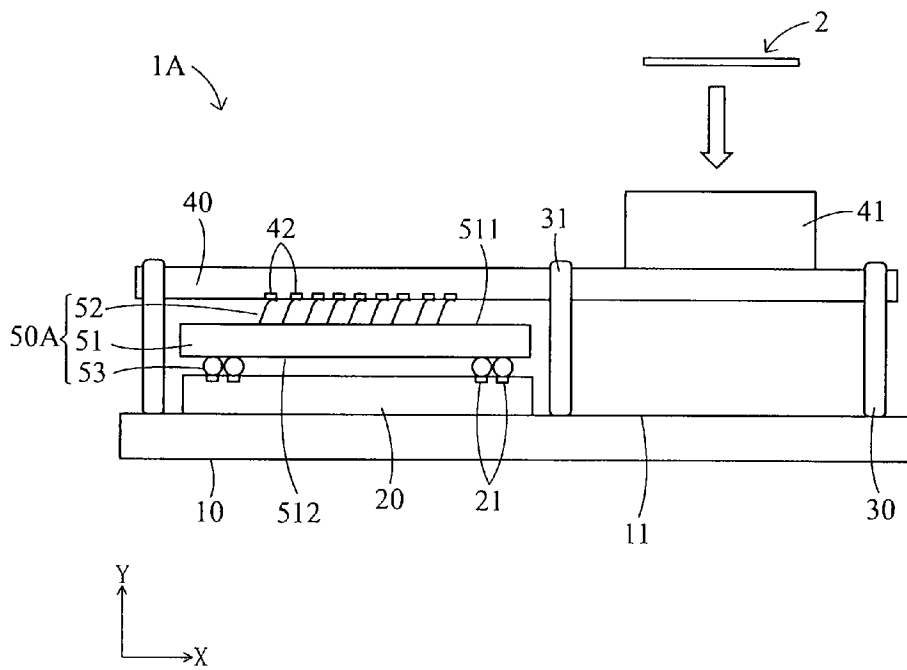
TESTING DEVICE

(57) 摘要

本發明提出一種測試裝置，用於測試一待測晶片元件，該測試裝置包含一系統電路板、一第一晶片元件、一支撐結構、一電路板及一插入件。系統電路板具有一側面，而第一晶片元件設置於系統電路板的側面上，並與系統電路板相電性連接；支撐結構設置於系統電路板的側面上，且至少環繞第一晶片元件；電路板固定於支撐結構上，且與第一晶片元件相分隔；電路板具有一連接器，用以連接待測晶片元件；插入件位於電路板與第一晶片元件之間，使得電路板通過插入件來電性連接第一晶片元件。藉此，第一晶片元件不需與待測晶片元件相插接，故第一晶片元件較不易因為頻繁的測試而損壞。

A testing device is disclosed for testing a chip component to be tested. The testing device includes a system circuit board, a first chip component, a supporting structure, a circuit board and an interposer. The system circuit board has a side surface where the first chip component is disposed, and the first chip component is electrically connected to the system circuit board. The supporting structure is disposed on the side surface and at least surrounds the first chip component; the circuit board is fixed on the supporting structure, and keeps a distance from the first chip component. The circuit board has a connector for electrically connecting to the chip component to be tested. The interposer locates between the circuit board and the first chip component, and the circuit board is electrically connected to the first chip component via the interposer. Via these arrangements, the first chip component is not necessarily connected to the chip component to be tested, so the first chip component will be less liable to be damaged by the frequent testing.

指定代表圖：



第 2 圖

符號簡單說明：

- 1A . . . 測試裝置
- 10 . . . 系統電路板
- 11 . . . 側面
- 20 . . . 第一晶片元  
件
- 21 . . . 接點
- 30 . . . 支撐結構
- 31 . . . 柱體
- 40 . . . 電路板
- 41 . . . 連接器
- 42 . . . 接點
- 50A . . . 插入件
- 511 . . . 第一面
- 512 . . . 第二面
- 52 . . . 第一導電彈  
片
- 53 . . . 凸塊
- 2 . . . 待測晶片元件

## 發明摘要

※ 申請案號：102120287

※ 申請日：102/06/07

※IPC 分類：G01R 31/26 (2014.01)

【發明名稱】測試裝置 / TESTING DEVICE

### 【中文】

本發明提出一種測試裝置，用於測試一待測晶片元件，該測試裝置包含一系統電路板、一第一晶片元件、一支撐結構、一電路板及一插入件。系統電路板具有一側面，而第一晶片元件設置於系統電路板的側面上，並與系統電路板相電性連接；支撐結構設置於系統電路板的側面上，且至少環繞第一晶片元件；電路板固定於支撐結構上，且與第一晶片元件相分隔；電路板具有一連接器，用以連接待測晶片元件；插入件位於電路板與第一晶片元件之間，使得電路板通過插入件來電性連接第一晶片元件。藉此，第一晶片元件不需與待測晶片元件相插接，故第一晶片元件較不易因為頻繁的測試而損壞。

### 【英文】

A testing device is disclosed for testing a chip component to be tested. The testing device includes a system circuit board, a first chip component, a supporting structure, a circuit board and an interposer. The system circuit board has a side surface where the first chip component is disposed, and the first chip component is electrically connected to the system circuit board. The supporting structure is disposed on the side surface and at least surrounds the first chip component; the circuit board is fixed on the supporting structure, and keeps a distance from the first chip component. The circuit board has a connector for electrically connecting to the chip component

to be tested. The interposer locates between the circuit board and the first chip component, and the circuit board is electrically connected to the first chip component via the interposer. Via theses arrangements, the first chip component is not necessarily connected to the chip component to be tested, so the first chip component will be less liable to be damaged by the frequent testing.

**【代表圖】**

**【本案指定代表圖】：**第（2）圖。

**【本代表圖之符號簡單說明】：**

- 1A 測試裝置
- 10 系統電路板
- 11 側面
- 20 第一晶片元件
- 21 接點
- 30 支撐結構
- 31 柱體
- 40 電路板
- 41 連接器
- 42 接點
- 50A 插入件
- 511 第一面
- 512 第二面
- 52 第一導電彈片
- 53 凸塊
- 2 待測晶片元件

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：**

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

**【發明名稱】** 測試裝置/TESTING DEVICE

**【技術領域】**

**【0001】** 本發明有關一種測試裝置，特別關於一種用於測試一待測晶片元件的測試裝置。

**【先前技術】**

**【0002】** 一般而言，可攜式電子產品的電路模組在完成大致設計後，會先依據該設計來作出一體積較大的工程版的電路模組。然後，該工程版的電路模組會被進行一連串之測試，以瞭解該電路模組的設計是否合乎要求。若合乎要求，則業者會將該電路模組製造一體積較小者，以設置於可攜式電子產品的有限容置空間中。

**【0003】** 在測試工程版的電路模組時，有一種測試係爲了解該電路模組的一特定處理器與多個不同記憶體之間的電性特性。而習知的測試方式可爲如下所述：請參閱第 1 圖所示，將多個不同的記憶體 92 依序插接至一工程板的電路模組 90 的處理器 91，然後量測記憶體 92 或處理器 91 的電性特性。

**【0004】** 這種習知的測試方式容易導致處理器 92 的損壞，這是因爲：一、處理器 91 與記憶體 92 經多次插拔後，處理器 91 的接點容易磨損，造成接觸不良等問題；或二、每一次記憶體 92 插接於處理器 91 時，處理器 91 會承受來自於記憶體 92 的壓合力，而多次壓合力會造成處理器 91 或是處理器 91 下方的電路板 93 被壓壞。

**【0005】** 處理器若常損壞時，除了會造成測試時間的延長(因爲需更換新的處理器)，還會造成測試成本的大幅增加(因爲處理器的成本較高)。

【0006】 有鑑於此，提供一種可改善至少一種上述缺失的裝置，乃為此業界亟待解決的問題。

### 【發明內容】

【0007】 本發明之一目的在於提供一種測試裝置，其可測試一待測晶片元件，且其重要元件較不易損壞，以減少使用者的使用成本。

【0008】 為達上述目的，本發明所揭露的測試裝置，用於測試一待測晶片元件，該測試裝置包含：一系統電路板，具有一側面；一第一晶片元件，設置於該系統電路板的該側面上，並與該系統電路板相電性連接；一支撐結構，設置於該系統電路板的該側面上，且至少環繞該第一晶片元件；一電路板，固定於該支撐結構上，且與該第一晶片元件相分隔，該電路板具有一連接器，用以連接該待測晶片元件；以及一插入件，位於該電路板與該第一晶片元件之間，使得該電路板通過該插入件來電性連接該第一晶片元件。

【0009】 為讓上述目的、技術特徵及優點能更明顯易懂，下文係以較佳之實施例配合所附圖式進行詳細說明。

### 【圖式簡單說明】

#### 【0010】

第 1 圖係習知之測試裝置之一示意圖。

第 2 圖係根據本發明之第一實施例之測試裝置之一平面示意圖。

第 3A 圖係第 2 圖所示之測試裝置之插入件之一上視圖。

第 3B 圖係第 2 圖所示之測試裝置之插入件之一側視圖。

第 3C 圖係第 2 圖所示之測試裝置之插入件之一下視圖。

第 4 圖係根據本發明之第二實施例之測試裝置之一平面示意圖。

第 5 圖係根據本發明之第三實施例之測試裝置之一平面示意圖。

第 6 圖係第 5 圖所示之測試裝置之插入件之一局部放大詳圖。

第 7 圖係根據本發明之第四實施例之測試裝置之一平面示意圖。

第 8 圖係根據本發明之第四實施例之測試裝置之另一平面示意圖。

### 【實施方式】

【0011】 請參閱第 2 圖所示，為依據本發明的第一實施例的測試裝置之一平面示意圖。在本發明的第一實施例中，一測試裝置 1A 被提出，其可用於測試一待測晶片元件 2 的電性特性，而該待測晶片元件 2 可為記憶體晶片等。測試裝置 1A 包含：一系統電路板(system circuit board)10、一第一晶片元件 20、一支撐結構 30、一電路板 40 及一插入件(interposer)50A，各元件的技術內容將依序說明如下。

【0012】 系統電路板 10 為一可供各種電子元件(圖未示)設置的結構，且系統電路板 10 具有一特定分佈之線路，以使電能或訊號可在電子元件之間傳遞；系統電路板 10 還可作為一可攜式電子裝置的電路模組的工程版的基板。系統電路板 10 具有一側面(即頂面)11，電子元件即設置於該側面 11 上。

【0013】 第一晶片元件 20(或稱主要晶片元件)係用以執行一特定的程式，以使電子裝置實現一特定之功能。第一晶片元件 20 可為各種類型之處理器或控制器，在本實施例中並無限制。第一晶片元件 20 可設置於系統電路板 10 的側面 11 上，並且與系統電路板 10 相電性連接，以與系統電路板 10 上的電子元件(圖未示)相互傳遞電訊號。另外，第一晶片元件 20 還具有多個接點 21，該些接點 21 可設置於第一晶片元件 20 的一頂面上，以與插入件 50A 相電性連接。

【0014】 支撐結構 30 係用以支撐其他元件(例如電路板 40)，以使得該元件與第一晶片元件 20 相分隔。支撐結構 30 可由多個柱體 31 來構成，

也可由多個牆體(圖未示)來構成。支撐結構 30 可設置於系統電路板 10 的側面 11 上，並至少環繞第一晶片元件 20；也就是說，支撐結構 30 至少會位在第一晶片元件 20 的兩側，並且可選擇地位於側面 11 上的其他處。

【0015】 於本實施例中，支撐結構 30 可固定於系統電路板 10 的側面 11 上，使得支撐結構 30 與系統電路板 10 成爲一體之構件。於其他實施例中，支撐結構 30 可僅放置於系統電路板 10 的側面 11 上，沒有與系統電路板 10 相固定；換言之，支撐結構 30 可在使用完後，從系統電路板 10 上移除，然後用於另外一個系統電路板(圖未示)上。

【0016】 電路板 40 也爲一可供電子元件(圖未示)設置的結構，而其尺寸(長或寬)可小於系統電路板 10 的尺寸。電路板 40 可固定於支撐結構 30 上，且與第一晶片元件 20 相分隔；換言之，電路板 40 可位在第一晶片元件 20 之上方。電路板 40 可具有一連接器 41 及多數個接點 42，兩者可相互電性連接。連接器 41 可設置於電路板 40 的一頂面上，而該些接點 42 可設置於電路板 40 的一底面上。

【0017】 連接器 41 用以連接待測晶片元件 2，故連接器 41 的接點的型式將會配合待測晶片元件 2 的接點的型式。此外，連接器 41 較佳地可爲一插座連接器，例如一封裝堆疊型(package on package, PoP)插座連接器。

【0018】 在本實施例中，在與系統電路板 10 的側面 11 的一法線 Y 相正交的一方向 X 上，電路板 40 的連接器 41 係偏離第一晶片元件 20；換言之，連接器 41 不會位於第一晶片元件 20 的正上方，而是位於第一晶片元件 20 的前、後、左或右側。如此，待測晶片元件 2 插接至連接器 41 的過程所產生的力量不易作用至第一晶片元件 20 上。

【0019】 插入件 50A 用以讓電路板 40 與第一晶片元件 20 達成電性連接，進而使得待測晶片元件 2 與第一晶片元件 20 達成電性連接。插入件



50A 可位於電路板 40 與第一晶片元件 20 之間，並且可與電路板 40 或支撐結構 30 相固定。

【0020】 藉此，測試裝置 1A 在測試待測晶片元件 2 與第一晶片元件 20 之間的電性特性時，待測晶片元件 2 不會直接接觸到第一晶片元件 20，使得第一晶片元件 20 之接點 21 不易磨損，且第一晶片元件 20 不易被壓壞。如此，第一晶片元件 20 的使用壽命即可大幅延長。

【0021】 插入件 50A 具有多種實施態樣，而於第一實施例中，係以下述方式來為之。

【0022】 請參閱第 3A 圖至第 3C 圖，分別為第 2 圖所示的測試裝置的插入件的一上視圖、一側視圖及一下視圖。插入件 50A 具有一基板 51、多數個第一導電彈片 52 及多數個凸塊(bump)53，該基板 51 具有相對的一第一面 511 及一第二面 512(即頂面及底面)，而該些第一導電彈片 52 設置於第一面 511 上，該些凸塊 53 設置於第二面 512 上，該些第一導電彈片 52 分別電性連接該些凸塊 53；凸塊 53 與第一導電彈片 52 可藉由基板 51 內的導電孔或內部連接線(interconnector，圖未示)來達成電性連接。

【0023】 第一導電彈片 52 係為一金屬彈片，而其末端係為懸空、不與基板 51 之第一面 511 接觸；該些第一導電彈片 52 的末端還朝向電路板 40 之方向翹起(即往上翹)，以分別接觸電路板 40 的該些接點 42。位於第二面 512 的該些凸塊 53 則分別接觸第一晶片元件 20 的該些接點 21。

【0024】 藉此，插入件 50A 可實現其功能，且由於電路板 40 的接點 42 接觸第一導電彈片 52 時，接點 42 有給於第一導電彈片 52 的末端一推力，使得接點 42 與第一導電彈片 52 的末端可緊密地接觸。如此，接點 42 與第一導電彈片 52 之間的接觸電阻可減少，從而增加訊號完整性(signal integrity)。

【0025】 請參閱第 4 圖所示，為依據本發明的第二實施例的測試裝置的一平面示意圖。於本發明的第二實施例中，另一測試裝置 1B 被提出，其與前述的測試裝置 1A 的差異至少在於：測試裝置 1B 包含以另一種實施方式的一插入件 50B。

【0026】 詳言之，該插入件 50B 具有一基板 51、多數個第一導電彈片 52 及多數個第二導電彈片 54，該些第二導電彈片 54 設置於第二面 512 上，該些第一導電彈片 52 分別電性連接該些第二導電彈片 54；該些第一導電彈片 52 分別接觸電路板 40 的該些接點 42，而該些第二導電彈片 54 的末端還朝向第一晶片元件 20 之方向翹起(即往下翹)，以分別接觸第一晶片元件 20 的該些接點 21。

【0027】 插入件 50B 也可實現連接電路板 40 及第一晶片元件 20 之功能。此外，由於第一晶片元件 20 的接點 21 接觸第二導電彈片 54 時，接點 21 有給於第二導電彈片 54 的末端一推力，使得接點 21 與第二導電彈片 54 的末端可緊密地接觸。如此，接點 21 與第二導電彈片 54 之間的接觸電阻可減少，從而增加訊號完整性。

【0028】 請參閱第 5 圖及第 6 圖所示，分別為依據本發明的第三實施例的測試裝置的二平面示意圖、及測試裝置的插入件的一局部放大示意圖。於本發明的第三實施例中，又一測試裝置 1C 被提出，其與前述的測試裝置 1A 或 1B 的差異至少在於：測試裝置 1C 包含以另一種實施方式的一插入件 50C。

【0029】 詳言之，如同插入件 50B 般(如第 4 圖所示)，插入件 50C 也具有一基板 51、多數個第一導電彈片 52 及多數個第二導電彈片 54；然而，插入件 50C 更具有多數個凹槽 55，該些凹槽 55 可設置於基板 51 之第一面 511 及/或第二面 512 上。並且，該些第一導電彈片 52 的末端可分別陷於該

些凹槽 55 中，該些第二導電彈片 55 的末端也可分別陷於該些凹槽 55 中。如此，第一導電彈片 52 的末端不會凸出於第一面 511，而第二導電彈片 52 的末端不會凸出於第二面 512。

【0030】 藉此，第一導電彈片 52 的末端在與凸塊型式的電路板 40 的接點 42 接觸時，由於陷於凹槽 55 之緣故，第一導電彈片 52 與接點 42 可更穩定地相接觸；第二導電彈片 54 的末端與第一晶片元件 20 的接點 21 也是如此。

【0031】 請參閱第 7 圖及第 8 圖所示，分別為依據本發明的第四實施例的測試裝置的二平面示意圖。於本發明的第四實施例中，又一測試裝置 1D 被提出，其與前述的測試裝置 1A、1B 或 1C 的差異至少在於：測試裝置 1D 包含以另一種實施方式的一電路板 40'。

【0032】 詳言之，電路板 40' 除了具有連接器 41 及接點 42 外，更具有第一剛性部 43、一可撓部 44 及第二剛性部 45；該第一剛性部 43 及第二剛性部 45 係為結構剛性較好之部分，換言之，較難以大幅彎曲；可撓部 44 則相反，係為可大幅彎曲之部分。可撓部 44 的兩側分別連接第一剛性部 43 及第二剛性部 45，因此當可撓部 44 彎曲時，第一剛性部 43 及第二剛性部 45 兩者的相對位置可輕易變化。

【0033】 另一方面，第一剛性部 43 可固定於支撐結構 30 上，而連接器 41 可設置於第二剛性部 45 上；因此當可撓部 44 彎曲時，連接器 41 可輕易改變其所在處。

【0034】 藉此，如第 8 圖所示，當測試裝置 1D 的系統電路板 10、第一晶片元件 20、支撐結構 30 及電路板 40' 的第一剛性部 43 為了節省佔據面積而垂直設置時，第二剛性部 45 及連接器 41 仍可水平設置，以利於待測晶片元件 2 插接至連接器 41。

【0035】 綜合上述，本發明之各實施例所提出的測試裝置在測試待測晶片元件，皆可使第一晶片元件不易損壞，從而增加第一晶片元件之使用壽命，以實現本發明之其中一目的。

【0036】 上述之實施例僅用來例舉本發明之實施態樣，以及闡釋本發明之技術特徵，並非用來限制本發明之保護範疇。任何熟悉此技術者可輕易完成之改變或均等性之安排均屬於本發明所主張之範圍，本發明之權利保護範圍應以申請專利範圍為準。

### 【符號說明】

#### 【0037】

1A、1B、1C、1D 測試裝置

10 系統電路板

11 側面

20 第一晶片元件

21 接點

30 支撐結構

31 柱體

40、40' 電路板

41 連接器

42 接點

43 第一剛性部

44 可撓部

45 第二剛性部

50A、50B、50C 插入件

511 第一面

- 512 第二面
- 52 第一導電彈片
- 53 凸塊
- 54 第二導電彈片
- 55 凹槽
- 2 待測晶片元件
- 90 電路模組
- 91 第一晶片元件
- 92 記憶體

## 申請專利範圍

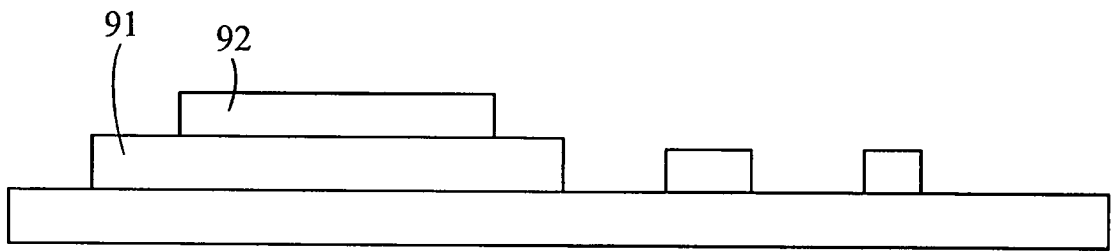
1. 一種測試裝置，用於測試一待測晶片元件，該測試裝置包含：
  - 一系統電路板，具有一側面；
  - 一第一晶片元件，設置於該系統電路板的該側面上，並與該系統電路板相電性連接；
  - 一支撐結構，設置於該系統電路板的該側面上，且至少環繞該第一晶片元件；
  - 一電路板，固定於該支撐結構上，且與該第一晶片元件相分隔，該電路板具有一連接器，用以連接該待測晶片元件；以及
  - 一插入件(interposer)，位於該電路板與該第一晶片元件之間，而該電路板通過該插入件來電性連接該第一晶片元件，其中，該支撐結構具有至少一柱體，該柱體設置於該第一晶片元件與該連接器之間。
2. 如請求項 1 所述的測試裝置，其中，該插入件具有一基板、多數個第一導電彈片及多數個第二導電彈片，該基板具有相對的一第一面及一第二面，該些第一導電彈片設置於該第一面上，而該些第二導電彈片設置於該第二面上，該些第一導電彈片分別電性連接該些第二導電彈片；該些第一導電彈片分別接觸該電路板的多個接點，而該些第二導電彈片分別接觸該第一晶片元件的多個接點。
3. 如請求項 1 所述的測試裝置，其中，該插入件具有一基板、多數個第一導電彈片及多數個凸塊，該基板具有相對的一第一面及一第二面，該些第一導電彈片設置於該第一面上，而該些凸塊設置於該第二面上，該些第一導電彈片分別電性連接該些凸塊；該些第一導電彈片分別接觸該電

路板的多個接點，而該些凸塊分別接觸該第一晶片元件的多個接點。

4. 如請求項 2 或 3 所述的測試裝置，其中，該基板具有多數個凹槽，該些凹槽設置於該第一面上，而該些第一導電彈片的末端分別陷於該些凹槽中。
5. 如請求項 2 所述的測試裝置，其中，該基板具有多數個凹槽，該些凹槽設置於該第二面上，而該些第二導電彈片的末端分別陷於該些凹槽中。
6. 如請求項 1 所述的測試裝置，其中，該電路板更具有第一剛性部、一可撓部及一第二剛性部，該可撓部的兩側分別連接該第一剛性部及該第二剛性部，而該第一剛性部固定於該支撐結構上，該連接器設置於該第二剛性部上。
7. 如請求項 1 或 6 所述的測試裝置，其中，該連接器為一插座連接器。
8. 如請求項 7 所述的測試裝置，其中，該連接器為一封裝堆疊型(package on package, PoP)插座連接器。
9. 如請求項 1 所述的測試裝置，其中，該待測晶片元件為一記憶體晶片。
10. 如請求項 1 所述的測試裝置，其中，在與該系統電路板的該側面的一法線相正交的一方向上，該電路板的該連接器偏離該第一晶片元件。

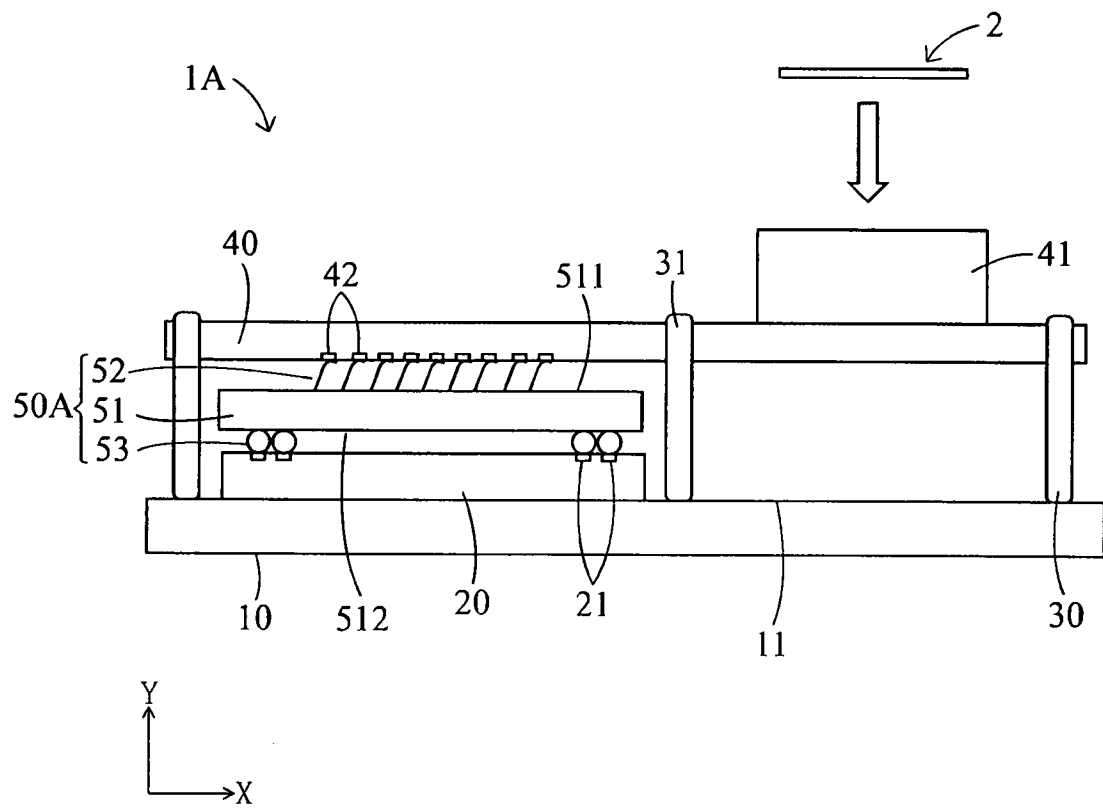
圖式

90



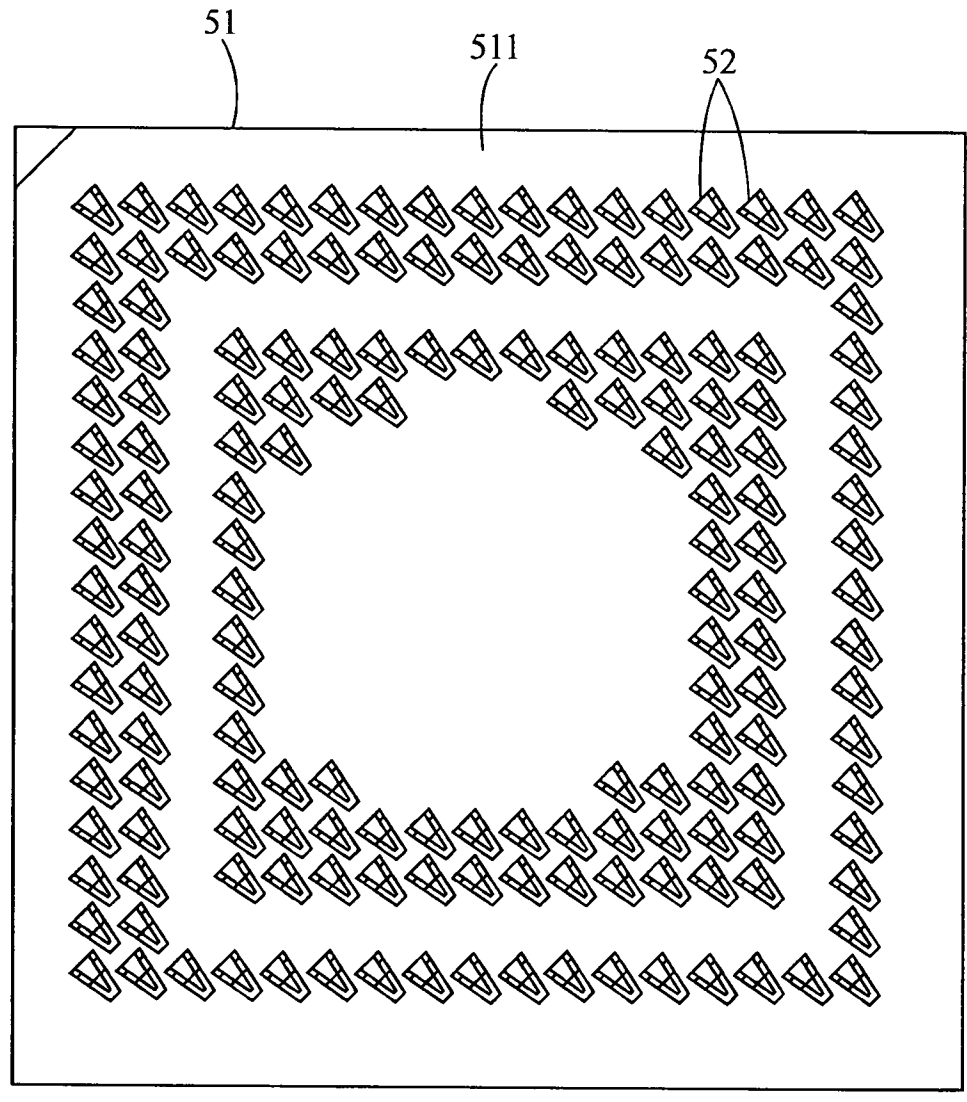
第 1 圖





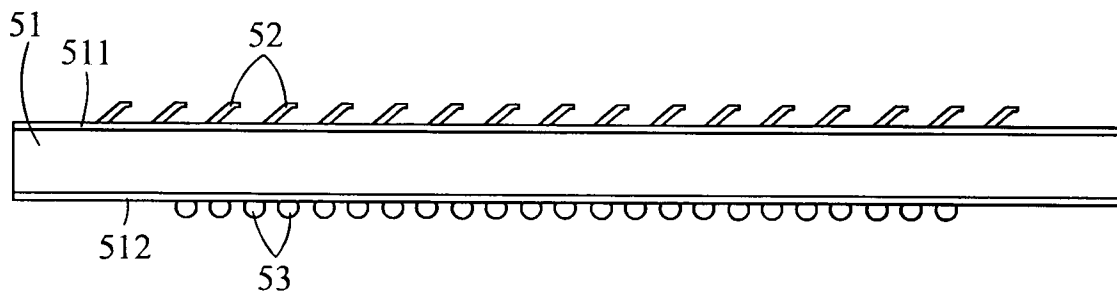
第 2 圖

50A

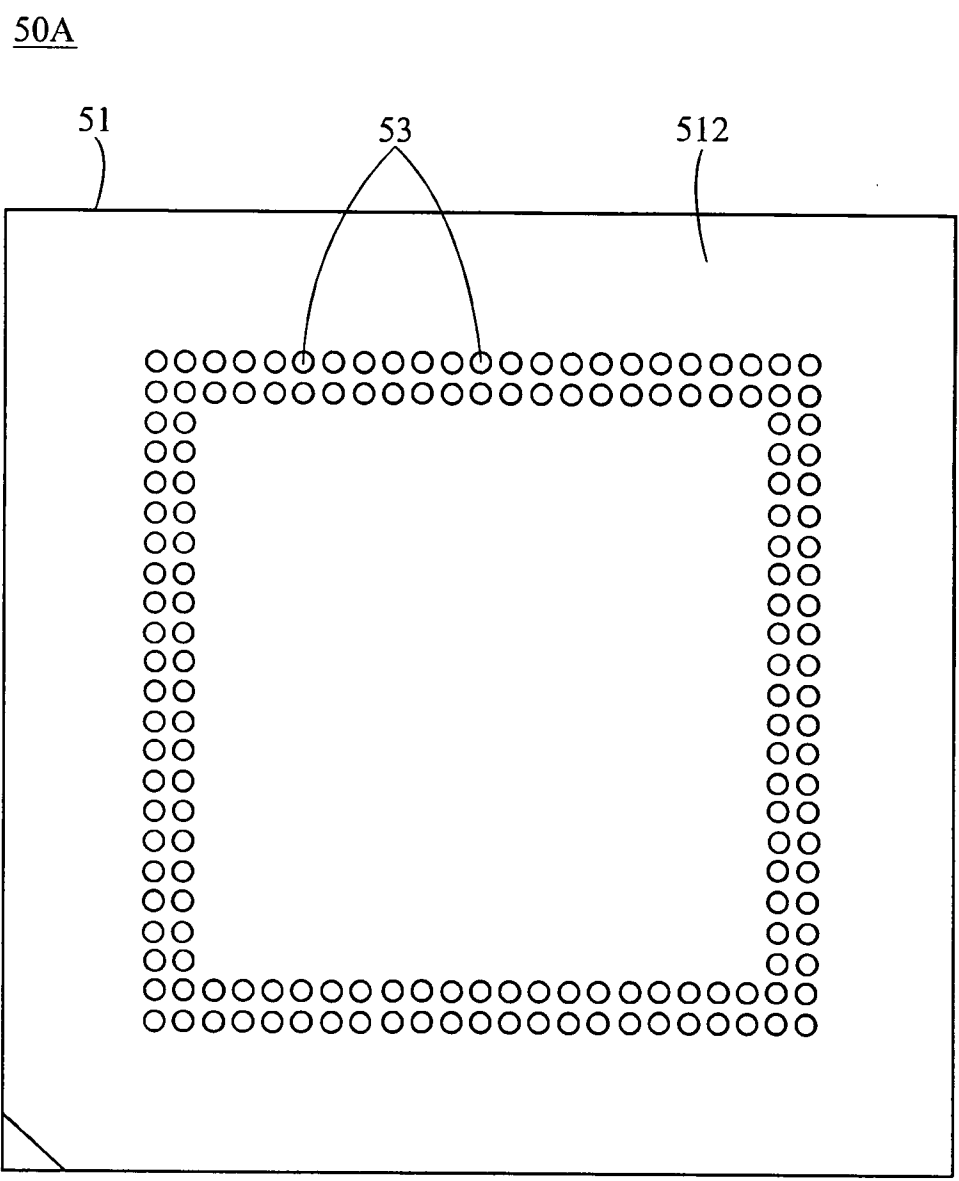


第 3A 圖

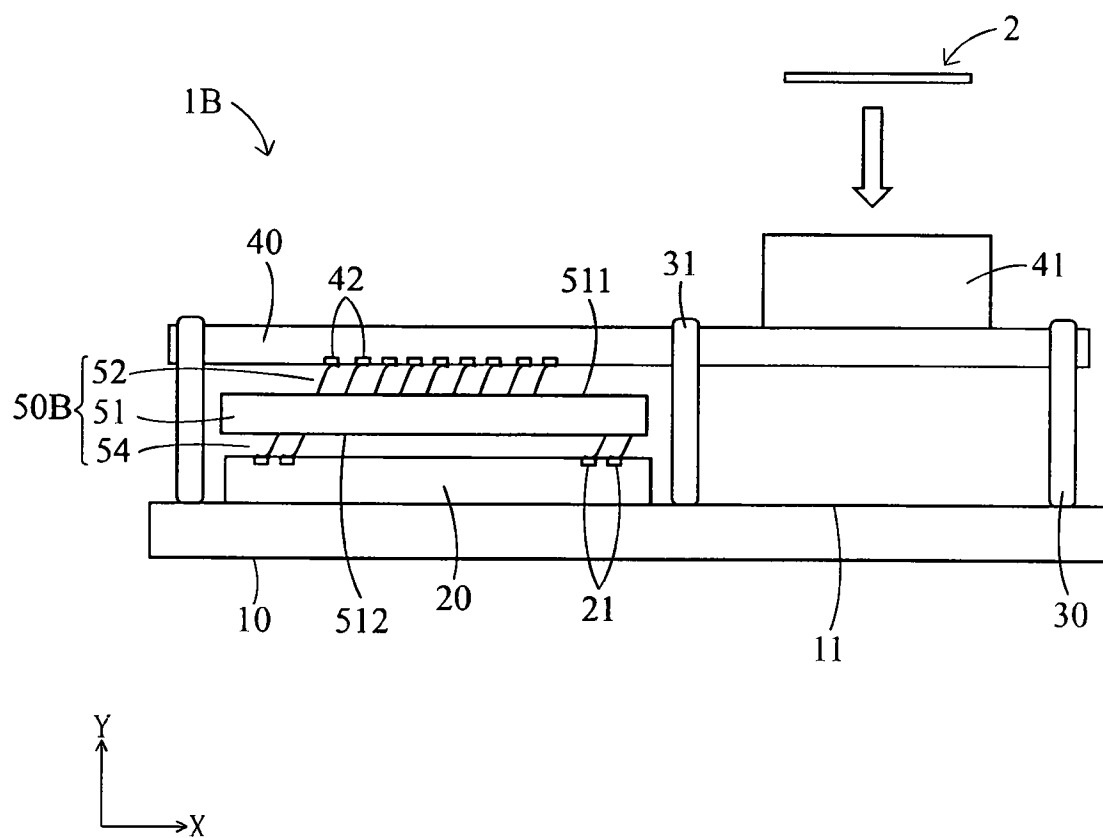
50A



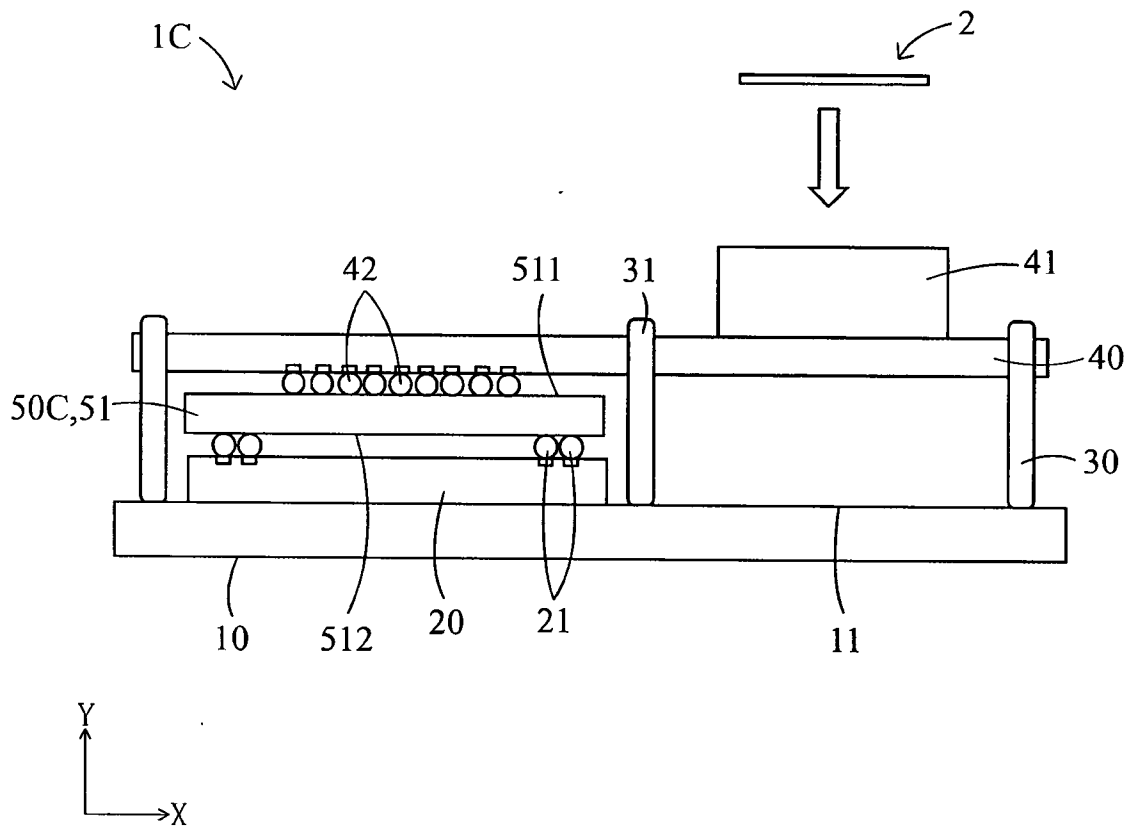
第 3B 圖



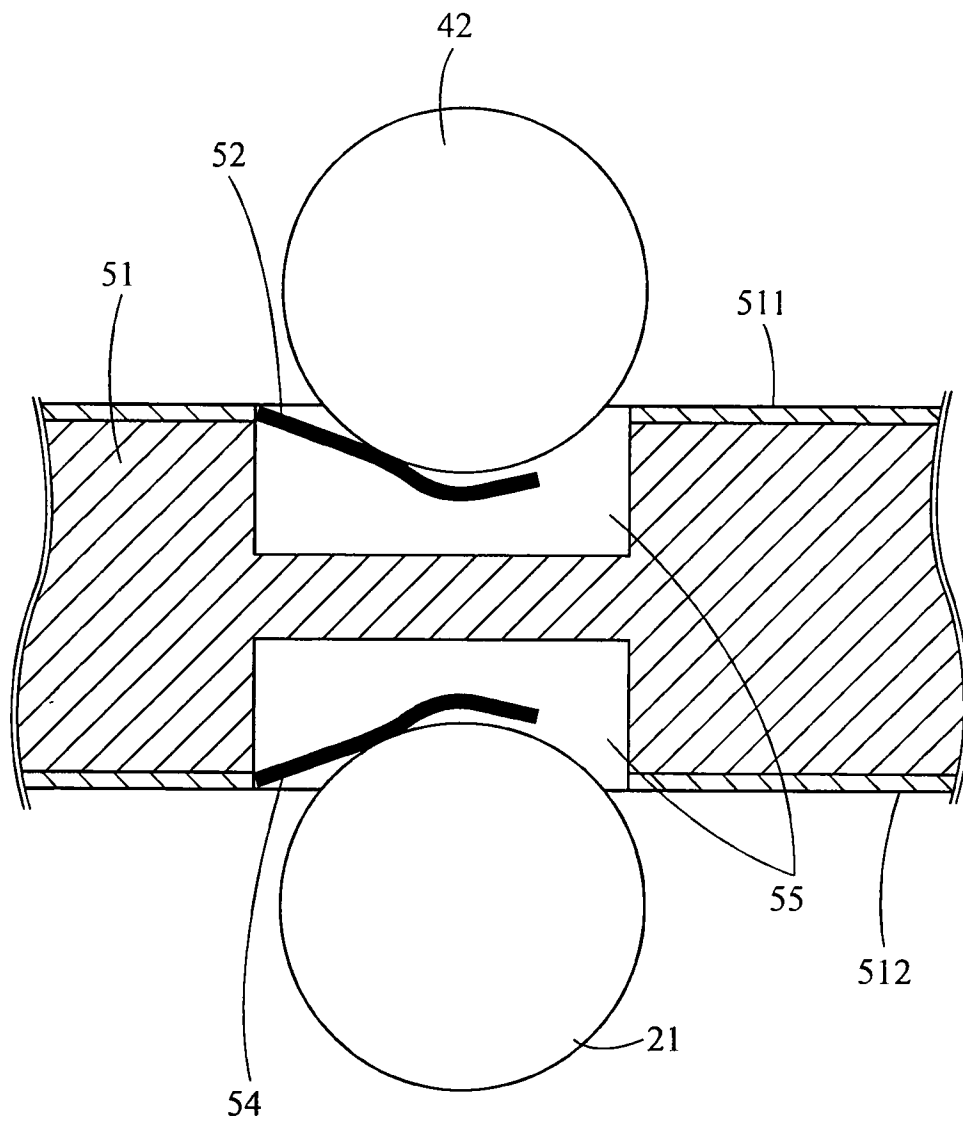
第 3C 圖



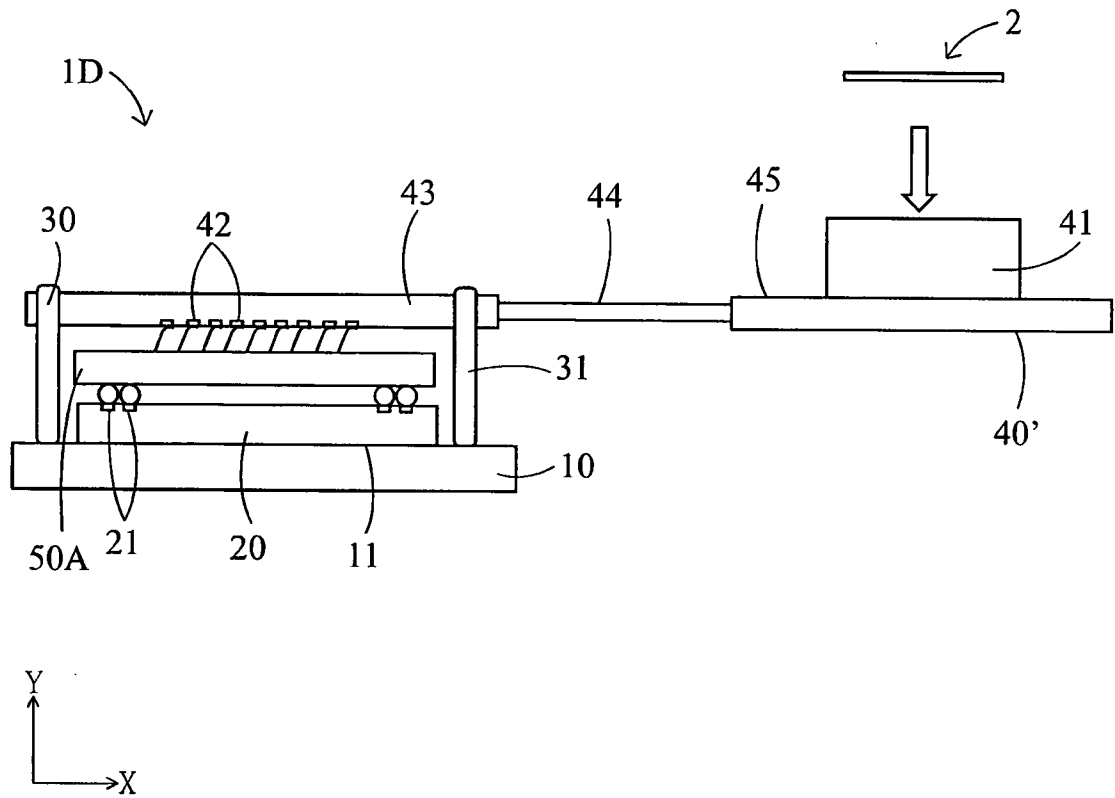
第 4 圖



第 5 圖

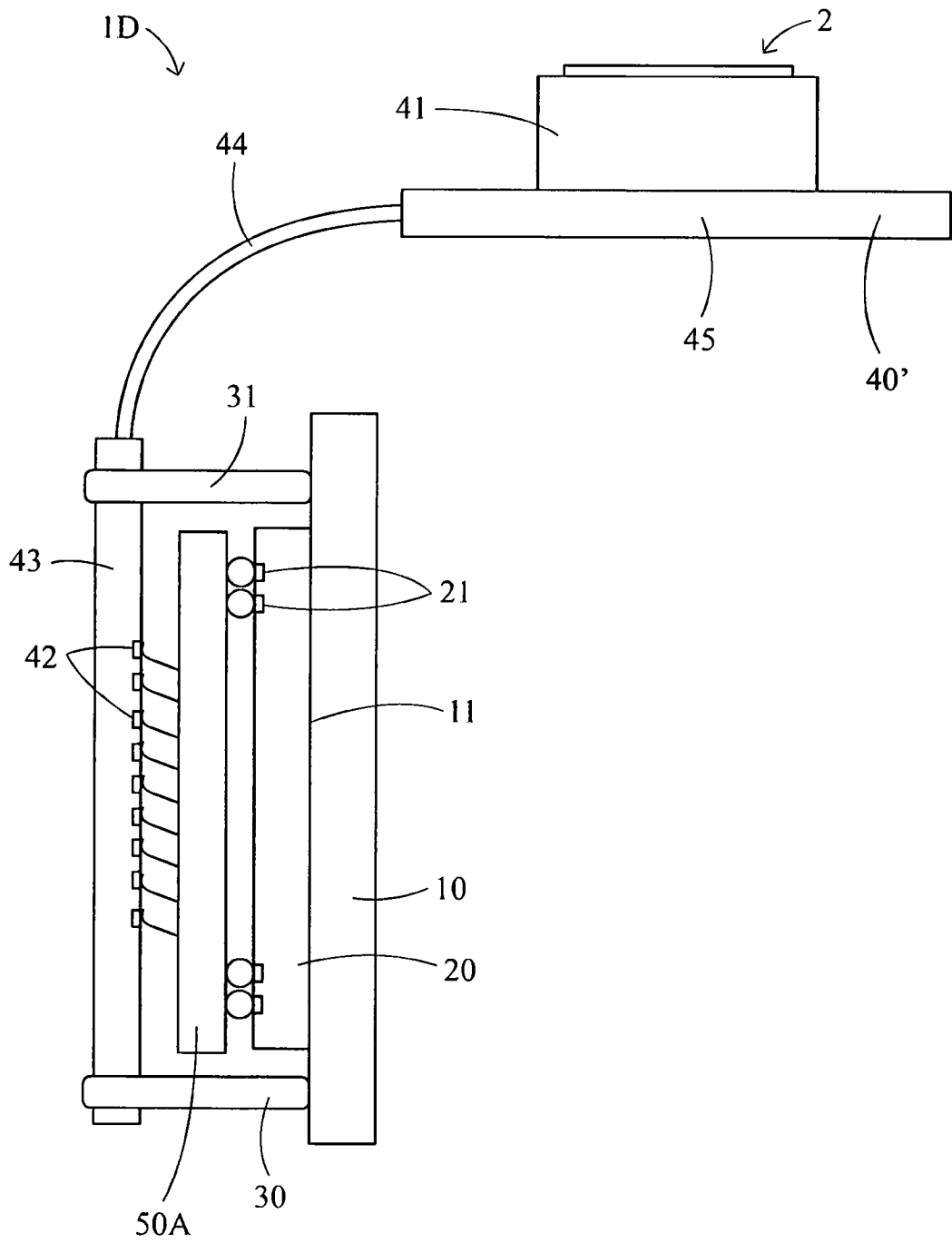


第 6 圖



第 7 圖





第 8 圖