



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년02월07일
(11) 등록번호 10-1221184
(24) 등록일자 2013년01월04일

(51) 국제특허분류(Int. Cl.)
H05B 33/26 (2006.01) H05B 33/10 (2006.01)
(21) 출원번호 10-2005-0134249
(22) 출원일자 2005년12월29일
심사청구일자 2010년12월24일
(65) 공개번호 10-2007-0071080
(43) 공개일자 2007년07월04일
(56) 선행기술조사문헌
KR1020050061322 A
JP2002221917 A
JP2004207126 A
JP2005316467 A

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
안태준
서울특별시 성동구 고산자로2라길 40-26 (행당동)
이홍구
경기도 군포시 산본로 299, 층무1차아파트 206동 1206호 (금정동)
유준석
서울특별시 서초구 명달로15길 24, 로얄카운티빌라 302 (서초동)
(74) 대리인
서교준

전체 청구항 수 : 총 20 항

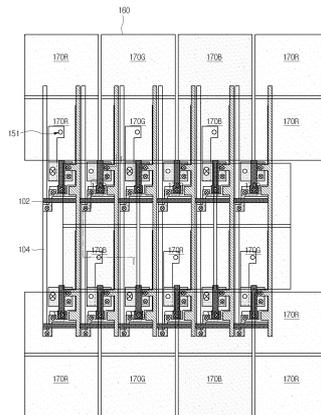
심사관 : 추장희

(54) 발명의 명칭 유기 전계 발광 표시 장치 및 이의 제조 방법

(57) 요약

본 발명은 유기 전계 발광 표시 장치에 관한 것으로, 유기 전계 발광 표시 장치는 웨도우 마스크를 통한 유기발광층의 형성시에, 상기 웨도우 마스크의 브리지를 제거하여 유기 발광층을 적어도 2 개의 발광영역에 동시에 형성하고, 상기 유기 발광층을 델타형으로 배열하도록 형성함에 따라, 개구율을 더욱 향상시킬수 있는 유기 전계 발광 표시 장치 및 이의 제조 방법을 제공한다.

대표도 - 도2a



특허청구의 범위

청구항 1

스트라이프(stripe)형으로 배열된 다수의 서브픽셀을 구비하는 기관;

상기 각 서브픽셀에 형성된 적어도 하나의 박막트랜지스터;

상기 박막트랜지스터를 포함하는 기관상에 형성된 보호막;

상기 보호막 상에 상기 각 박막트랜지스터와 전기적으로 연결되고, 수직으로 이웃한 적어도 2 개가 쌍을 이루어 델타(delta)형으로 배열되는 제 1 전극들;

상기 제 1 전극들 상에 배치된 유기발광층; 및

상기 유기발광층상에 형성된 제 2 전극을 포함하며,

한쌍을 이루는 상기 제 1 전극들에 각각 배치된 유기발광층들은 연장되어 일체로 형성되어, 상기 한쌍의 제 1 전극들과 각각 연결되는 서브픽셀들은 하나의 상기 유기발광층을 공유하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 박막트랜지스터를 포함하는 보호막 상에 형성된 평탄화막을 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 3

제 1 항에 있어서,

상기 제 1 전극의 외곽에 형성되어 발광영역을 한정하는 बैं크를 더 구비하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 4

제 1 항에 있어서,

상기 유기발광층은 델타(delta)형으로 배치된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 5

제 1 항에 있어서,

상기 제 1 전극은 상기 서브픽셀의 면적과 동일한 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 6

제 1 항에 있어서,

상기 제 1 전극과 상기 유기발광층 사이에 정공주입층 및 정공수송층 중 적어도 어느 하나가 더 개재된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 7

제 1 항에 있어서,

상기 유기발광층과 상기 제 2 전극 사이에 정공역제층, 전자수송층, 전자주입층으로 이루어진 군에서 선택된 적어도 어느 하나가 더 개재된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 8

기관;

상기 제 1 기관상에 형성된 제 1 전극;

상기 제 1 전극상에 다수의 발광영역을 구획하는 외곽부에 위치하되, 수직하게 이웃한 적어도 2 개의 발광영역이 한쌍을 이루도록 형성된 버퍼층;

상기 버퍼층 상에 형성된 세퍼레이터(separator);

상기 제 1 전극상에 위치하며, 인접한 적어도 2 개의 발광영역과 상기 2 개의 발광 영역 사이에 배치된 상기 세퍼레이터 상부에 걸쳐 형성된 동일한 유기발광층;

상기 유기발광층상에 위치하며, 상기 세퍼레이터에 의해 각 발광영역으로 분리된 제 2 전극; 및

상기 기관과 이격되어 배치되며, 다수개의 서브픽셀을 구비하고 상기 제 2 전극과 전기적으로 연결되며 상기 각 서브픽셀에 구비된 박막트랜지스터가 형성된 상부기관;을 포함하며,

상기 적어도 2 개의 발광영역에 걸쳐 형성된 동일한 유기발광층은 델타(delta)형으로 배치되며 상기 세퍼레이터에 의해 각 발광영역으로 분리된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 9

제 8 항에 있어서,

상기 한쌍을 이루는 적어도 2 개의 발광영역은 상기 버퍼층에 의해 델타형으로 배열하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 10

제 8 항에 있어서,

상기 제 1 전극과 상기 유기발광층 사이에 정공주입층 및 정공수송층 중 적어도 어느 하나가 더 개재된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 11

제 8 항에 있어서,

상기 유기발광층과 상기 제 2 전극 사이에 정공역제층, 전자수송층, 전자주입층으로 이루어진 군에서 선택된 적어도 어느 하나가 더 개재된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 12

삭제

청구항 13

제 8 항에 있어서,

상기 각 서브픽셀은 스트라이프(stripe)형으로 배열된 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 14

제 8 항에 있어서,

상기 한쌍을 이루는 적어도 2 개의 발광영역은 상기 서브픽셀에 대해 델타형으로 배열되는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 15

제 8 항에 있어서,

상기 제 2 전극은 상기 서브픽셀의 면적과 동일하게 형성하는 것을 특징으로 하는 유기 전계 발광 표시 장치.

청구항 16

스트라이프(stripe)형으로 배열된 다수의 서브픽셀로 정의되며, 상기 각 서브픽셀에 구비된 박막트랜지스터가 형성된 기판을 제공하는 단계;

상기 박막트랜지스터를 포함하는 기판상에 보호막을 형성하는 단계;

상기 보호막 상에 상기 각 박막트랜지스터와 전기적으로 연결되고, 수직으로 이웃한 적어도 2 개가 쌍을 이루어 델타(delta)형으로 배열되는 제 1 전극을 형성하는 단계;

상기 제 1 전극들 상에 연장하여 유기발광층을 형성하는 단계; 및

상기 유기발광층상에 형성된 제 2 전극을 형성하는 단계를 포함하며,

한쌍을 이루는 상기 제 1 전극들에 각각 배치된 상기 유기발광층들은 연장되어 일체로 형성되어, 상기 한쌍의 제 1 전극들과 각각 연결되는 서브픽셀들은 하나의 상기 유기발광층을 공유하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 17

제 16 항에 있어서,

상기 제 1 전극은 상기 서브픽셀의 면적과 동일하게 형성하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 18

제 16 항에 있어서,

상기 한쌍을 이루는 제 1 전극들 상에 연장하여 유기발광층을 형성하는 단계에서,

상기 유기발광층은 상기 2 개의 서브픽셀에 대응된 개구부를 구비하는 웨도우 마스크를 이용하여 형성하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 19

기판을 제공하는 단계;

상기 기판상에 제 1 전극을 형성하는 단계;

상기 제 1 전극상에 위치하되, 다수의 발광영역을 구획하는 외곽부에 버퍼층을 형성하는 단계;

상기 버퍼층상에 세퍼레이터를 형성하는 단계;

상기 제 1 전극상에 위치하며, 인접한 적어도 2 개의 발광영역과 상기 2 개의 발광영역 상부에 걸쳐 유기발광층을 동시에 증착하는 단계;

상기 유기발광층상에 위치하며, 상기 세퍼레이터에 의해 각 발광영역으로 분리된 제 2 전극을 형성하는 단계;

및

상기 기관 상에 다수개의 서브픽셀을 구비하고 상기 각 서브픽셀에 구비된 박막트랜지스터가 형성된 상부기관을 합착하는 단계를 포함하며,

상기 적어도 2 개의 발광영역에 걸쳐 형성된 유기발광층은 델타(delta)형으로 배치되고,

상기 유기발광층은 상기 세퍼레이터에 의해 각 상기 발광영역으로 분리된 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 20

제 19 항에 있어서,

상기 제 1 전극상에 위치하며, 인접한 적어도 2 개의 발광영역에 걸쳐 유기발광층을 동시에 증착하는 단계에서

상기 유기발광층은 상기 적어도 2 개의 발광영역에 대응된 개구부를 구비하는 웨도우 마스크를 이용하여 형성하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

청구항 21

제 20 항에 있어서,

상기 버퍼층에 의해 서로 이웃한 적어도 2 개의 발광영역은 쌍을 이루며, 상기 한쌍을 이루는 적어도 2 개의 발광영역은 델타형으로 배열하도록 형성하는 것을 특징으로 하는 유기 전계 발광 표시 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0014] 본 발명은 유기 전계 발광 표시 장치에 관한 것으로서, 더욱 구체적으로 개구율을 증가시킬 수 있는 유기 전계 발광 표시 장치 및 이의 제조 방법에 관한 것이다.
- [0015] 평판 표시 장치 중 유기 전계 발광 표시 장치는 고속의 응답속도를 가지며, 소비 전력이 낮고, 자체 발광이므로 시야각에 문제가 없어서, 장치의 크기에 상관없이 동화상 표시 매체로서 장점이 있다. 또한, 저온 제작이 가능하고, 기존의 반도체 공정 기술을 바탕으로 제조 공정이 간단하므로 향후 차세대 평판 표시 장치로 주목받고 있다.
- [0016] 상기 유기 전계 발광 표시 장치는 서로 대향되며 위치하는 양극과 음극, 두 전극 사이에 게재된 유기발광층을 포함한다. 이때, 상기 두전극에 전류를 인가하면, 상기 양극과 음극에서 각각 정공과 전자가 주입되고, 주입된 정공과 전자는 상기 유기발광층으로 이동하여 엑시톤(exciton)을 형성한다. 상기 엑시톤이 여기상태에서 기저상태로 떨어질 때 발광하게 됨으로써, 화상을 구현한다.
- [0017] 이와 같은 유기 전계 발광 표시 장치의 제조 공정은 패턴 형성 공정, 박막 증착 공정, 봉지 공정을 포함하여 형성할 수 있는데, 상기 박막 증착 공정에 있어서, 상기 유기발광층의 재료에 따라 진공 증착 방식과 잉크젯 프린팅 방식으로 분리될 수 있다. 여기서, 상기 잉크젯 프린팅 방식은 상기 유기 발광층이 고분자 재료로 형성될 경우에 이용되며, 상기 진공 증착 방식은 상기 유기 발광층이 저분자 재료로 형성될 경우에 이용된다.
- [0018] 여기서, 저분자 재료를 이용하여 풀칼라 유기 전계 발광 표시 장치를 제조하기 위해, 고정세 증착 패턴을 형성할 수 있는 웨도우(shadow) 마스크를 이용할 수 있다. 즉, 상기 풀칼라 유기 전계 발광 표시 장치를 형성하기 위해서는 웨도우(shadow) 마스크를 이용하여 각 서브픽셀 단위로 서로 다른 색상을 가지는 유기발광층을 형성함에 따라 구현할 수 있다.
- [0019] 도 1a 내지 도 1c는 종래의 웨도우 마스크를 이용한 풀칼라 유기 전계 발광 표시 장치의 제조 공정을 도시한 공정도들이다.

- [0020] 도 1a를 참조하면, 먼저, 다수의 게이트 배선(11)과 데이터 배선(21)에 의해 정의된 서브픽셀(P)를 다수개 구비하는 어레이 기관(10)을 제공한다.
- [0021] 도 1b를 참조하면, 상기 어레이 기관(10)상으로 웨도우 마스크(20)가 제공된다. 여기서, 상기 웨도우 마스크(20)는 주로 몸체(20a)와, 다수개의 스트립 형태의 개구부(20h)와, 상기 개구부(20h)과 개구부(20h)를 연결하는 브리지(20b)로 이루어진다. 이때, 상기 어레이 기관(10)의 서브픽셀(P) 영역에 상기 웨도우 마스크(20)의 개구부(20h)과 대응되도록, 얼라인한 후, 도 1c와 같이, 제 1 유기발광층(30)을 증착한다.
- [0022] 이후, 상기 웨도우 마스크(20)를 쉬프트하여, 제 2, 제 3 유기발광층을 순차적으로 형성할 수 있다.
- [0023] 그러나, 상기 웨도우 마스크(20)를 이용할 경우, 상기 웨도우 마스크(20)의 웨도우 현상, 미스 얼라인 마진 및 상기 브리지(20b)에 의해, 상기 유기 발광층의 형성 영역, 즉 유기 전계 발광 표시 장치의 개구율은 상기 개구부(20h)에 대해 30%의 개구율만을 확보할 수 있다.
- [0024] 이와 같은 개구율이 저하됨에 유기 전계 발광 표시 장치의 시인성이 저하될 뿐만 아니라, 수명이 단축될 수 있다.
- [0025] 이때, 상기 브리지(20b)를 제거하여 개구율을 증가시킬 수 있으나, 이런 경우 외부 인장력에 대한 웨도우 마스크(20)의 변형 및 처짐 현상이 발생하여, 오히려 유기 발광층 증착시 웨도우 효과가 크게 발생하여, 원하는 서브픽셀 영역(P)에만 증착되지 않고 색 번짐이 심하게 발생할 수 있다.

발명이 이루고자 하는 기술적 과제

- [0026] 본 발명은 웨도우 마스크를 이용하여 유기 발광층을 형성하는 경우, 상기 웨도우 마스크에 의하여 개구율이 감소되는 것을 개선하여, 시인성이 향상되며, 수명을 장기화할 수 있는 유기 전계 발광 표시 장치 및 이의 제조 방법을 제공하는 데, 그 목적이 있다.

발명의 구성 및 작용

- [0027] 상기 기술적 과제를 이루기 위하여 본 발명의 일 측면은 유기 전계 발광 표시 장치를 제공한다. 상기 유기 전계 발광 표시 장치는 스트라이프(stripe)형으로 배열된 다수의 서브픽셀을 구비하는 기관; 상기 각 서브픽셀에 형성된 적어도 하나의 박막트랜지스터; 상기 박막트랜지스터를 포함하는 기관상에 형성된 보호막; 상기 보호막 상에 상기 각 박막트랜지스터와 전기적으로 연결되고, 수직으로 이웃한 적어도 2 개가 쌍을 이루어 델타(delta)형으로 배열되는 제 1 전극; 상기 한쌍을 이루는 제 1 전극들 상에 연장되어 형성된 유기발광층; 및 상기 유기발광층상에 형성된 제 2 전극을 포함한다.
- [0028] 상기 기술적 과제를 이루기 위하여 본 발명의 다른 일 측면은 유기 전계 발광 표시 장치를 제공한다. 상기 유기 전계 발광 표시 장치는 기관; 상기 제 1 기관상에 형성된 제 1 전극; 상기 제 1 전극상에 다수의 발광영역을 구획하는 외곽부에 위치하되, 이웃한 적어도 2 개의 발광영역이 한쌍을 이루도록 형성된 버퍼층; 상기 버퍼층 상에 형성된 세퍼레이터(separator); 상기 제 1 전극상에 위치하며, 인접한 적어도 2 개의 발광영역에 걸쳐 형성된 동일한 유기발광층; 상기 유기발광층상에 위치하며, 상기 세퍼레이터에 의해 각 발광영역으로 분리된 제 2 전극을 포함하며,
- [0029] 상기 적어도 2 개의 발광영역에 걸쳐 형성된 동일한 유기발광층은 델타(delta)형으로 배치될 수 있다.
- [0030] 상기 기술적 과제를 이루기 위하여 본 발명의 다른 일 측면은 유기 전계 발광 표시 장치의 제조 방법을 제공한다. 상기 제조 방법은 스트라이프(stripe)형으로 배열된 다수의 서브픽셀로 정의되며, 상기 각 서브픽셀에 구비된 박막트랜지스터가 형성된 기관을 제공하는 단계; 상기 박막트랜지스터를 포함하는 기관상에 보호막을 형성하는 단계; 상기 보호막 상에 상기 각 박막트랜지스터와 전기적으로 연결되고, 수직으로 이웃한 적어도 2 개가 쌍을 이루어 델타(delta)형으로 배열되는 제 1 전극을 형성하는 단계; 상기 한쌍을 이루는 제 1 전극들 상에 연장하여 유기발광층을 형성하는 단계; 및 상기 유기발광층상에 형성된 제 2 전극을 형성하는 단계를 포함한다.
- [0031] 상기 기술적 과제를 이루기 위하여 본 발명의 다른 일 측면은 유기 전계 발광 표시 장치의 제조 방법을 제공한다. 상기 제조 방법은 기관을 제공하는 단계; 상기 기관상에 제 1 전극을 형성하는 단계; 상기 제 1 전극상에 위치하되, 다수의 발광영역을 구획하는 외곽부에 버퍼층을 형성하는 단계; 상기 버퍼층상에 세퍼레이터를 형성

하는 단계; 상기 제 1 전극상에 위치하며, 인접한 적어도 2 개의 발광영역에 걸쳐 유기발광층을 동시에 증착하는 단계; 상기 유기발광층상에 위치하며, 상기 세퍼레이터에 의해 각 발광영역으로 분리된 제 2 전극을 형성하는 단계를 포함하며,

- [0032] 상기 적어도 2 개의 발광영역에 걸쳐 형성된 유기발광층은 델타(delta)형으로 배치될 수 있다.
- [0033] 이하, 본 발명에 의한 유기 전계 발광 표시 장치의 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서, 본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [0034] 도 2a 내지 도 2c는 본 발명의 제 1 실시예에 따른 유기 전계 발광 표시 장치의 제조 방법을 설명하기 위해 도시한 도면들이다. 여기서, 도 2a는 상기 유기 전계 발광 표시 장치의 평면도이고, 도 2b는 상기 도 2a에 구비되는 하나의 단위화소를 한정하여 도시한 평면도이고, 도 2c는 도 2a를 I-I'로 취한 단면도이다.
- [0035] 도 2a 및 도 2b를 참조하면, 상기 유기 전계 발광 표시 장치는 서로 교차되어 형성된 다수의 게이트 배선(102)과 데이터 배선(104), 상기 데이터 배선(104)과 소정간격 이격되어 평행하게 배치된 공통전압 배선(106)이 위치한다. 이때, 상기 다수의 게이트 배선(102)과 상기 데이터 배선(104)에 의해 다수의 서브픽셀이 정의되며, 상기 각 서브픽셀은 스트라이프(Stripe)형으로 배열된다. 여기서, 상기 각 서브픽셀에는 적어도 스위칭 박막트랜지스터(S-Tr), 구동 박막트랜지스터(D-Tr), 캐패시터(Cp)가 구비될 수 있다.
- [0036] 또, 각 서브픽셀에 구비된 구동 박막트랜지스터(D-Tr)와 전기적으로 연결되는 제 1 전극이 구비된다. 여기서, 수직방향으로 인접한 적어도 2 개의 서브픽셀에 각각 연결되는 상기 제 1 전극들이 한 쌍이 되고, 이와 같이 한 쌍을 이루는 제 1 전극들이 상기 서브픽셀에 대하여 델타형으로 배열된다. 이때, 상기 제 1 전극은 하나의 서브픽셀 영역에 대하여 벗어나도록 형성하게 된다. 즉, 상기 제 1 전극은 적어도 2 이상의 서브픽셀을 가로질러 형성될 수 있다. 여기서, 상기 제 1 전극은 상기 서브픽셀에 대응되는 것으로, 상기 제 1 전극은 상기 게이트 배선(102)과 상기 데이터 배선(104)에 의해 정의되는 서브픽셀과 동일한 면적을 가지는 것이 바람직하다.
- [0037] 상기 한쌍을 이루는 제 1 전극들상에 연장되어 형성된 유기 발광층(170)이 위치한다. 상기 한쌍의 제 1 전극들 각각의 상부에 배치된 유기 발광층(170)들은 일체로 형성된다. 여기서, 상기 유기 발광층(170)은 서로 다른 색상을 방출하는 제 1, 제 2, 제 3 유기 발광층(170R, 170G, 170B)을 포함할 수 있다. 즉, 상기 유기 발광층(170)은 수직방향으로 인접한 2 개의 서브픽셀에 각각 연결된 제 1 전극들상에 연장되어 형성되고, 상기 유기 발광층(170)은 상기 서브픽셀에 대해 델타형으로 형성된다. 이로써, 상기 수직방향으로 인접한 2개의 서브픽셀은 서로 다른 신호에 의해 각각 구동하지만, 동일한 색상을 방출한다.
- [0038] 이와 같이, 적어도 2 개의 서브픽셀에 유기발광층(170)을 공유하도록 형성함으로써, 개구율을 더 증가시킬 수 있다.
- [0039] 도 2c를 참조하면, 상기 기관(100)상에 패터닝된 반도체층(105)과, 상기 반도체층(105)과 이격되어 위치하는 캐패시터 하부전극(107)이 형성된다. 여기서, 상기 반도체층(105)은 비정질 실리콘 또는 폴리실리콘으로 형성되며, 불순물이 도핑된 소스/드레인 영역과, 상기 소스/드레인 영역 사이에 위치하는 채널영역으로 구분된다. 또, 상기 캐패시터 하부전극(107)은 불순물이 도핑된 비정질 실리콘 또는 폴리실리콘으로 형성할 수 있다.
- [0040] 상기 반도체층(105)을 포함하는 기관전면에 걸쳐 게이트 절연막(110)이 위치한다. 상기 게이트 절연막(110)은 산화 실리콘막, 질화 실리콘막 또는 이들의 적층막으로 이루어질 수 있다.
- [0041] 상기 반도체층(105)의 소정부분에 대응된 상기 게이트 절연막(110)상에 게이트 전극(115)이 위치한다. 상기 게이트 전극(115)을 포함하는 기관 전면에 제 1 층간 절연막(120)과 제 2 층간절연막(130)이 위치한다.
- [0042] 여기서, 상기 제 1 층간 절연막(120)과 상기 제 2 층간 절연막(130) 사이에 개재하되, 상기 캐패시터 하부전극(107)과 일부가 중첩되며, 구동 박막트랜지스터(D-Tr)의 소스 전극(135a)과 연결되는 캐패시터 상부전극(127)이 형성된다. 상기 캐패시터 상부전극(127)이 연장되어 공통전압 공급배선이 형성된다.
- [0043] 또, 상기 제 1 층간 절연막(120)과 상기 제 2 층간 절연막(130)에 상기 반도체층(105)의 소스/드레인 영역을 각각 노출하는 콘택홀이 형성된다. 상기 제 2 층간 절연막(130)상에 상기 콘택홀을 통하여, 상기 소스/드레인 영

역과 각각 연결되는 소스/드레인 전극(135a, 135b)이 형성된다.

- [0044] 이로써, 상기 기판(100)상에 반도체층(105), 게이트 전극(115), 소스/드레인 전극(135a, 135b)을 구비하는 적어도 하나의 박막트랜지스터, 즉, 스위칭 박막트랜지스터(S-Tr), 구동 박막트랜지스터(D-Tr), 그리고 상기 캐패시터 하부전극(107)과 상기 캐패시터 상부전극(127)을 구비하는 캐패시터(Cp)가 형성된다.
- [0045] 상기 박막트랜지스터를 포함하는 기판 전면에 걸쳐 보호막(140)이 위치한다. 여기서, 상기 보호막(140)은 산화실리콘막, 질화실리콘막 또는 이들의 적층막으로 형성될 수 있다.
- [0046] 상기 보호막(140)상에 하부의 박막트랜지스터와 같은 소자 및 배선에 의해 형성되는 단차를 극복하기 위한 평탄화막(150)이 위치한다. 여기서, 상기 평탄화막(150)은 폴리이미드 수지, 폴리이미드 수지, 아크릴 수지 및 실리콘계 수지로 이루어진 군에서 선택된 하나의 물질을 포함하여 형성될 수 있다.
- [0047] 상기 보호막(140) 및 상기 평탄화막(150)을 관통하여, 상기 드레인 전극(135b)을 노출하는 비아홀(151)이 형성된다.
- [0048] 상기 평탄화막(150)상에 상기 비아홀(151)을 통하여, 상기 드레인 전극(135b)과 전기적으로 연결되는 제 1 전극(160)을 형성한다. 여기서, 상기 제 1 전극(160)은 반사전극으로 형성한다.
- [0049] 상기 제 1 전극(160)의 외곽부 상에 위치하는 बैं크(165)를 형성한다. 상기 बैं크(165)는 아크릴계 수지, 벤조사이클로부텐(BCB) 및 폴리이미드(PI)로 이루어진 군에서 선택되는 하나의 물질을 포함하여 형성할 수 있다. 여기서, 상기 बैं크(165)에 의해서 발광영역(P1, P2)이 정의된다.
- [0050] 상기 बैं크(165)를 포함하는 상기 제 1 전극(160)상에 유기 발광층(170)이 형성된다. 이때, 상기 유기 발광층(170)은 적어도 2 개의 발광영역(P1, P2)에 대해서 연장되어 형성한다. 이로써, 상기 유기 발광층(170)을 각 발광영역 단위로 형성할 경우보다, 적어도 2 개의 발광영역에 대해서 상기 유기 발광층(170)을 공유하여 형성함에 따라, 개구율을 더욱 향상시킬 수 있다.
- [0051] 여기서, 도면에는 도시하지 않았으나, 상기 유기 발광층(170)의 발광 효율을 향상시키기 위해, 상기 제 1 전극(160)과 상기 유기발광층(170) 사이에 정공주입층 및 정공수송층 중 적어도 어느 하나가 더 개재될 수 있다. 또, 상기 유기발광층(170)과 상기 제 2 전극(180) 사이에 정공억제층, 전자수송층, 전자주입층으로 이루어진 군에서 선택된 적어도 어느 하나가 더 개재될 수 있다.
- [0052] 상기 유기발광층(170)상에 투명전극으로 제 2 전극(180)이 형성함으로써, 유기 전계 발광 표시 장치가 완성될 수 있다.
- [0053] 이로써, 상기 게이트 배선(102)과 상기 데이터 배선(104)에 의해 서브픽셀이 정의되며, 상기 각 서브픽셀은 스트라이프형으로 배열되며, 상기 서브픽셀에 대해 발광영역은 델타형으로 배열된다. 이때, 상기 수직으로 이웃한 적어도 2 개의 발광영역은 공유된 유기 발광층을 구비하나, 상기 각 발광영역은 서로 다른 서브픽셀에 연결되어 개별적으로 구동을 한다.
- [0054] 도 3a 내지 도 3e, 도 4a 내지 도 4c를 참조하여, 본 발명의 제 1 실시예에 따른 유기 전계 발광 표시 장치의 제조 방법을 설명한다.
- [0055] 도 3a 내지 도 3e는 본 발명의 제 1 실시예에 따른 유기 전계 발광 표시 장치의 제조 방법을 설명하기 위해 도시한 평면도들이다.
- [0056] 도 4a 내지 도 4c는 본 발명의 제 1 실시예에 따른 유기 전계 발광 표시 장치의 제조 방법을 설명하기 위해 도시한 단면도들이다.
- [0057] 도 3a 및 도 4a를 참조하면, 먼저 스트라이프(stripe)형으로 배열된 다수의 서브픽셀을 구비하는 기판(100)을 제공한다. 상기 기판(100)상에 다수의 게이트 배선(102)과 데이터 배선(104)이 교차되어 형성되어, 다수의 서브픽셀을 정의한다. 여기서, 상기 각 서브픽셀에는 적어도 하나의 박막트랜지스터와 캐패시터가 형성된다. 상기 박막트랜지스터는 스위칭 박막트랜지스터(S-Tr), 구동 박막트랜지스터일 수 있다.
- [0058] 자세하게, 상기 기판(100)상에 비정질 실리콘 또는 상기 비정질 실리콘을 결정화하여 형성된 폴리 실리콘을 형성한 뒤 패터닝하여 형성된 반도체층(105)과, 캐패시터 하부전극(107)을 형성한다. 여기서, 상기 반도체층(105)을 형성하기 전에 버퍼층을 더 형성할 수 있다. 상기 버퍼층은 화학기상증착법을 이용하여 형성된 산화실리콘막, 질화실리콘막 또는 이들의 적층막일 수 있다.

- [0059] 이후, 상기 반도체층(105)을 포함하는 기판(100)상에 게이트 절연막(110)을 형성한 뒤, 상기 반도체층(105)과 대응되는 소정 부분에 게이트 전극(115)을 형성한다.
- [0060] 이후, 상기 게이트 전극(115)을 마스크로 하여, 상기 반도체층으로 불순물을 도핑하여, 소스/드레인 영역을 구분한다. 이로써, 상기 반도체층(105)은 소스/드레인 영역과, 상기 게이트 전극(115)에 대응된 영역 즉, 상기 소스/드레인 영역의 사이에 위치하는 채널영역을 구비한다. 또한, 상기 캐패시터 하부전극(107)상으로 불순물을 동시에 도핑한다.
- [0061] 이후, 상기 게이트 전극(115)을 포함하는 게이트 절연막(110)상에 제 1 층간 절연막(120)을 형성한 뒤, 상기 캐패시터 하부전극(107)과 대응되는 영역에 캐패시터 상부전극(127)을 형성한다.
- [0062] 상기 캐패시터 상부전극(127)을 포함하는 상기 제 1 층간 절연막(120)상에 제 2 층간 절연막(130)을 형성한다.
- [0063] 여기서, 상기 제 1, 제 2 층간절연막(120, 130)은 화학기상증착법을 이용하여 형성된 산화 실리콘막, 질화실리콘막 또는 이들의 적층막일 수 있다.
- [0064] 상기 제 2 층간절연막(130)에 상기 반도체층(105)에 구비된 소스/드레인 영역의 소정부분을 각각 노출하는 콘택홀을 형성한다. 이와 동시에, 상기 캐패시터 상부전극(127)의 소정부분을 노출하는 콘택홀을 형성하는 것이 바람직하다.
- [0065] 상기 제 2 층간절연막(130)상에 상기 소스/드레인 영역과 각각 연결되는 소스/드레인 전극(135a, 135b)을 형성한다. 이때, 상기 캐패시터 상부전극(127)과 상기 소스 전극(135a)은 연결되어 형성된다.
- [0066] 이로써, 상기 기판(100)상에 박막트랜지스터 및 캐패시터가 형성된다.
- [0067] 상기 박막트랜지스터를 포함하는 제 2 층간절연막(130)상에 보호막(140)과 평탄화막(150)을 순차적으로 형성한다. 여기서, 상기 보호막(140)은 화학기상증착법을 통하여 형성된 산화 실리콘막, 질화 실리콘막 또는 이들의 적층막일 수 있으며, 상기 평탄화막(150)은 폴리이미드 수지, 폴리이미드 수지, 아크릴 수지 및 실리콘계 수지로 이루어진 군에서 선택된 하나의 물질을 습식공정에 의해 도포하여 형성할 수 있다. 이를테면, 상기 습식공정은 딥코팅법, 잉크젯 프린팅법, 스프레이법, 바코팅 또는 스핀 코팅 중에 어느 하나의 방식일 수 있으나, 본 발명의 실시예에서 한정하는 것은 아니다.
- [0068] 도 3b 및 도 4b를 참조하면, 상기 보호막(140)과 상기 평탄화막(150)을 관통하여, 상기 드레인 전극(135b)의 소정 부분을 노출하는 비아홀(151)을 형성한다. 상기 비아홀(151)을 통해, 상기 드레인 전극(135b)과 전기적으로 연결되는 제 1 전극(160)을 형성한다.
- [0069] 이때, 상기 제 1 전극(160)은 각 서브픽셀에 구비되는 각 구동 박막트랜지스터와 연결하되, 수직 방향으로 이웃한 서브픽셀에 각각 연결되는 제 1 전극(160)들은 한쌍을 이루며, 상기 각 한쌍의 제 1 전극(160)들은 상기 서브픽셀에 대해 델타형으로 배치하도록 형성한다.
- [0070] 이후, 상기 각 제 1 전극(160)의 외곽에 बैं크(165)가 형성되어 발광영역을 정의한다.
- [0071] 도 3c를 참조하면, 상기 제 1 전극(160)이 형성된 기판상으로 상기 두 서브픽셀에 대응된 면적을 가지는 개구부(300a)를 구비하는 웨도우 마스크(300)를 제공한다. 즉, 상기 개구부(300a)는 상기 한쌍을 이루는 2 개의 제 1 전극과 일치하는 형태를 가진다. 여기서, 상기 개구부(300a)는 델타형으로 형성된 것이 바람직하다.
- [0072] 이때, 하나의 개구부(300a)를 통하여 2 개의 발광영역에 동시에 유기 발광층을 형성할 수 있어, 개구율을 향상시킬 수 있다. 이는 각 발광영역에 개별적으로 유기 발광층을 형성할 경우, 상기 각 개구부를 이어주는 브리지에 의해 개구율이 저하될 수 있으나, 적어도 2 발광영역에 연장된 유기 발광층을 형성하게 되면 브리지가 제거되기 때문에, 상기 브리지에 의해 개구율이 저하되는 것을 방지할 수 있기 때문이다.
- [0073] 도 3d 및 도 4c를 참조하면, 상기 웨도우 마스크(300)를 이용하여, 상기 한쌍을 이루는 2 개의 제 1 전극(160)상으로 제 1 유기 발광층(170R)을 증착한다. 여기서, 상기 웨도우 마스크(300)의 개구부(300a)에 따라 델타형의 제 1 유기발광층이 형성된다. 그리고, 상기 제 1 유기발광층(170R)은 한 쌍을 이루는 적어도 2개의 제 1 전극(160)상에 연장되어 형성된다. 이때, 상기 제 1 유기 발광층(170R)은 적어도 2 개의 발광영역에 연장되어 있으나, 상기 유기 발광층(170R)에 위치하는 2 개의 제 1 전극(160)은 각각 다른 서브픽셀에 연결되어 있어, 서로 다른 구동에 의해 발광하게 된다.
- [0074] 도 3e 및 도 4c를 참조하면, 상기 기판(100) 또는 상기 웨도우 마스크(300)를 쉬프트하여, 제 2 유기 발광층

(170G), 제 3 유기 발광층(170B)을 형성한다.

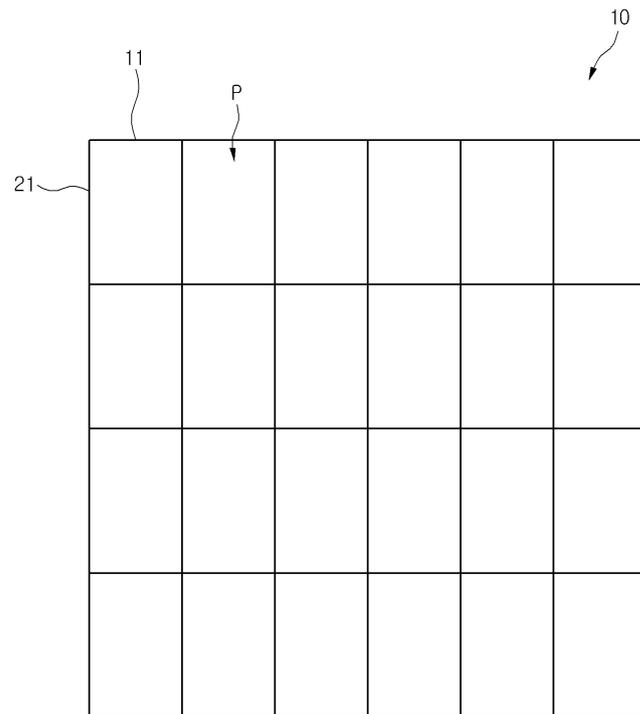
- [0075] 이후, 상기 제 1, 제 2, 제 3 유기발광층(170R, 170G, 170B)상에 제 2 전극을 형성한다.
- [0076] 도면에는 도시되지 않았으나, 외부 환경으로부터 소자를 보호하기 위해, 상기 제 2 전극상으로 봉지기관으로 제 공한 뒤, 봉지공정을 수행하여 유기 전계 발광 표시 장치를 제조한다.
- [0077] 이로써, 적어도 2 개의 서브픽셀에 각각 연결된 제 1 전극들상에 동시에 유기 발광층을 연장하여 형성함으로써, 웨도우 마스크에 의한 브리지와, 적어도 일면의 미스 얼라인 및 웨도우 효과를 제거함에 따라 개구율을 더욱 향상시킬 수 있다. 또, 상기 웨도우 효과는 웨도우 마스크의 개구부가 스트리프 형태에 의해 기인되는 바, 델타 형태를 개구부를 구비하는 웨도우 마스크에 의해, 웨도우 효과를 축소화시킬 수 있어, 개구부 감소 마진도 줄일 수 있다.
- [0078] 도 5는 본 발명의 제 2 실시예에 따른 유기 전계 발광 표시 장치를 설명하기 위해 도시한 도면이다. 여기서, 박막트랜지스터와 유기 전계 발광 다이오드 소자가 서로 다른 기관에 형성되어, 일정 간격으로 이격되어 배치된 것을 제외하고, 상술한 상기 제 1 실시예에 따른 유기 전계 발광 표시 장치와 동일한 구성요소를 포함한다. 이에 따라, 동일한 참조 번호는 동일한 구성요소를 지칭하며, 반복되는 설명 및 반복되는 도면은 생략하여 기술한다.
- [0079] 도 5를 참조하면, 상기 유기 전계 발광 표시 장치는 기관(100)과 상부 기관(200)이 서로 일정간격으로 이격되어 배치되어 있다.
- [0080] 상기 기관(100)에는 다수의 게이트 배선(102)과 데이터 배선(104)에 의해 스프라이트 형으로 배열된 다수개 서브픽셀이 정의되어 있다. 여기서, 상기 각 서브픽셀에는 적어도 2 개의 박막트랜지스터, 즉, 스위칭 박막트랜지스터(S-Tr), 구동박막트랜지스터(D-Tr) 그리고, 캐패시터(Cp)가 구비된다.
- [0081] 상기 박막트랜지스터를 포함하는 기관(100)상에 보호막(140)이 형성된다. 상기 보호막(140)에 상기 구동 박막트랜지스터의 드레인 전극(135b)을 일부분 노출하는 콘택홀(251)이 형성된다.
- [0082] 한편, 상기 상부 기관(200)에는 유기 전계 발광 다이오드 소자(E)가 형성되어 있다.
- [0083] 자세하게, 상기 상부 기관(200) 내측에 공통층으로 제 1 전극(210)이 형성된다. 여기서, 상기 제 1 전극(210)은 투명전극으로 ITO 또는 IZO로 형성될 수 있다.
- [0084] 상기 제 1 전극(210)상에 다수의 발광영역을 구획하는 외곽부에 형성된 버퍼층(215)이 위치한다. 이때, 상기 버퍼층(215)은 다수의 발광영역을 정의하며, 상기 서로 이웃한 적어도 2 개의 발광영역이 한쌍을 이루며, 쌍을 이루는 적어도 2 개의 발광영역은 델타형으로 배열하도록 형성된다.
- [0085] 여기서, 상기 버퍼층(215)은 산화실리콘막, 질화실리콘막 또는 이들의 적층막일 수 있다.
- [0086] 상기 버퍼층(215)상에 세퍼레이터(225)가 형성되어 있을 수 있다. 상기 세퍼레이터는 후술할 제 2 전극(230)을 각 발광영역 단위로 자연적으로 패터닝하는 역할을 수행한다.
- [0087] 또, 상기 버퍼층(215)과 이격되어 배치된 제 1 버퍼층(217)이 더 형성되어 있을 수 있다. 여기서, 상기 제 1 버퍼층(217)은 후술할 스페이서와 상기 제 1 전극간의 접착력이 떨어질 수 있어, 이를 보완하기 위해 형성한다. 상기 제 1 버퍼층(217)상에 스페이서(227)가 형성되어, 상기 기관(100)과 일정한 셀갭을 유지하는 역할을 하며, 이와 동시에, 상기 기관(100)에 형성된 박막트랜지스터와 전기적으로 연결하기 위한 다리역할을 한다.
- [0088] 상기 제 1 전극(210)상에 유기발광층(220)이 위치한다. 이때, 상기 유기발광층(220)은 인접한 적어도 2 개의 발광영역과 상기 2 개의 발광 영역 사이에 배치된 상기 세퍼레이터 상부에 걸쳐 동일한 색상을 발광하는 유기 발광층(220)이 형성되어 있다. 또, 상기 동일한 유기 발광층(220)이 형성된 적어도 2 개의 발광영역은 한 쌍을 이루며, 델타형태로 배열되어 있다.
- [0089] 상기 유기발광층(220)상에 상기 세퍼레이터(225)에 의해 각 발광영역으로 분리된 제 2 전극(230)이 위치한다.
- [0090] 더 나아가, 상기 유기발광층(220)의 발광효율을 향상시키기 위해, 상기 제 1 전극(210)과 상기 유기발광층(220) 사이에 정공주입층 및 정공수송층 중 적어도 어느 하나가 더 개재될 수 있다.
- [0091] 또, 상기 유기발광층(220)과 상기 제 2 전극(230) 사이에 정공억제층, 전자수송층, 전자주입층으로 이루어진 균

에서 선택된 적어도 어느 하나 이상이 더 개재될 수 있다.

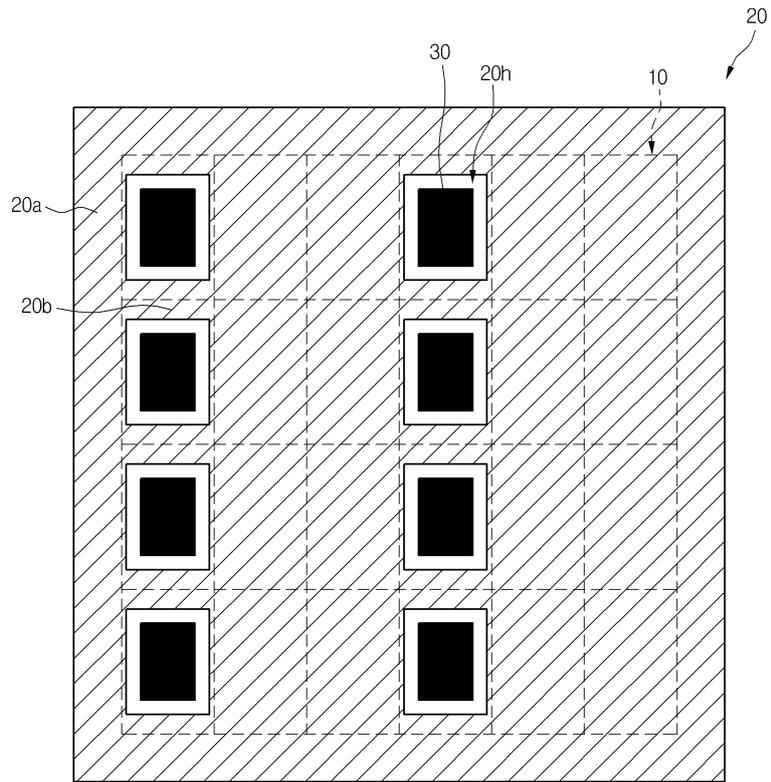
- [0092] 도 6a 내지 도 6e, 도 7a 내지 도 7c를 참조하여, 본 발명의 제 2 실시예에 따른 유기 전계 발광 표시 장치의 제조 방법을 설명한다.
- [0093] 도 6a 내지 도 6e는 본 발명의 제 2 실시예에 따른 유기 전계 발광 표시 장치의 제조 방법을 설명하기 위해 도시한 평면도들이다.
- [0094] 도 7a 내지 도 7c는 본 발명의 제 2 실시예에 따른 유기 전계 발광 표시 장치의 제조 방법을 설명하기 위해 도시한 단면도들이다.
- [0095] 여기서, 박막트랜지스터와 유기 전계 발광 다이오드 소자가 서로 다른 기판에 형성한 후, 두 기판을 합착하는 것을 제외하고, 상술한 상기 제 1 실시예에 따른 유기 전계 발광 표시 장치와 동일한 제조 공정에 의해 형성되는바, 동일한 참조 번호는 동일한 구성요소를 지칭하며, 반복되는 설명 및 반복되는 도면은 생략하여 기술한다.
- [0096] 도 6a 및 7a를 참조하면, 상부기관(200)을 제공한다. 상기 상부기관(200)상에 제 1 전극(210)을 형성한다. 여기서, 상기 제 1 전극(210)을 ITO 또는 IZO를 증착하여 형성할 수 있다.
- [0097] 상기 제 1 전극(210)상에 무기막을 증착한 뒤 패터닝하여, 각 발광영역을 정의하는 버퍼층(215)과, 상기 버퍼층(215)이 이격되어 있는 제 1 버퍼층(217)을 형성한다. 여기서, 상기 무기막은 화학기상증착 공정에 의해 형성된 질화 실리콘막, 산화 실리콘막 또는 이들의 적층막일 수 있다.
- [0098] 이후, 상기 버퍼층(215)상에 각 발광영역 단위로 제 2 전극을 분리하기 위한 세퍼레이터(227)가 형성되고, 상기 제 1 버퍼층(217)상에는 스페이서(227)가 형성된다.
- [0099] 도 6b를 참조하면, 상기 상부기관(200)상으로 델타형의 개구부(300a)를 구비하는 웨도우 마스크(300)를 제공한다.
- [0100] 도 6c 및 도 7b를 참조하면, 상기 웨도우 마스크(300)상으로 제 1 유기 발광층 형성물질을 진공증착하면, 상기 웨도우 마스크(300)에 형태에 따라, 상기 상부기관(200)상에 제 1 유기 발광층(220R)이 형성된다. 즉, 상기 제 1 유기 발광층(220R)은 적어도 2 개의 발광영역에 동시에 형성되며, 델타형으로 형성된다.
- [0101] 이때, 상기 적어도 2 개의 발광영역에 동시에 증착되지만, 상기 세퍼레이터(225)에 의해 각 발광영역으로 분리될 수 있다.
- [0102] 도 6d 및 도 7b를 참조하면, 상기 제 2 기관(200) 또는 상기 웨도우 마스크(300)을 쉬프트하여, 제 2 유기발광층(220G), 제 3 유기발광층(220B)을 형성한다.
- [0103] 이때, 상기 제 2 유기발광층(220G) 및 제 3 유기발광층(220B)도 각각 이웃한 적어도 2 개의 발광영역에 동시에 형성되며, 각각 델타형태로 배열된다.
- [0104] 이후, 상기 제 1, 제 2, 제 3 유기발광층(220R, 220G, 220B)상에 제 2 전극(230)을 형성한다. 상기 제 2 전극(230)은 상기 세퍼레이터(225)에 의해 각 발광영역으로 분리되어 형성된다.
- [0105] 도 6e 및 도 7c를 참조하면, 박막트랜지스터가 형성된 기판(100)을 제공한 뒤, 상기 상부 기관(100)과 합착한다. 이때, 상기 박막트랜지스터의 드레인 전극(135b)과 상기 유기 전계 발광 다이오드 소자(E)는 전기적으로 연결한다.
- [0106] 여기서, 상기 기관(100)은 다수의 게이트 배선과 데이터 배선에 의해 다수개의 서브픽셀로 정의되어 있으며, 상기 각 서브픽셀은 스트라이프 형태로 배열될 수 있다. 이때, 상기 상부기관(200)은 버퍼층에 의해 발광영역이 정의되며, 서로 이웃한 적어도 2 개의 발광영역이 한쌍을 이루어, 상기 서브픽셀에 대하여 델타형으로 배열되도록 합착할 수 있다.
- [0107] 이로써, 적어도 2 개의 발광영역에 동시에 유기 발광층을 형성함으로써, 웨도우 마스크에 의한 브리지와, 적어도 일면의 미스 얼라인 및 웨도우 효과를 제거함에 따라 개구율을 더욱 향상시킬 수 있다. 또, 상기 웨도우 효과는 웨도우 마스크의 개구부가 스트리프 형태에 의해 기인되는 바, 델타 형태를 개구부를 구비하는 웨도우 마스크에 의해, 웨도우 효과를 축소화시킬 수 있어, 개구부 감소 마진도 줄일 수 있다.

도면

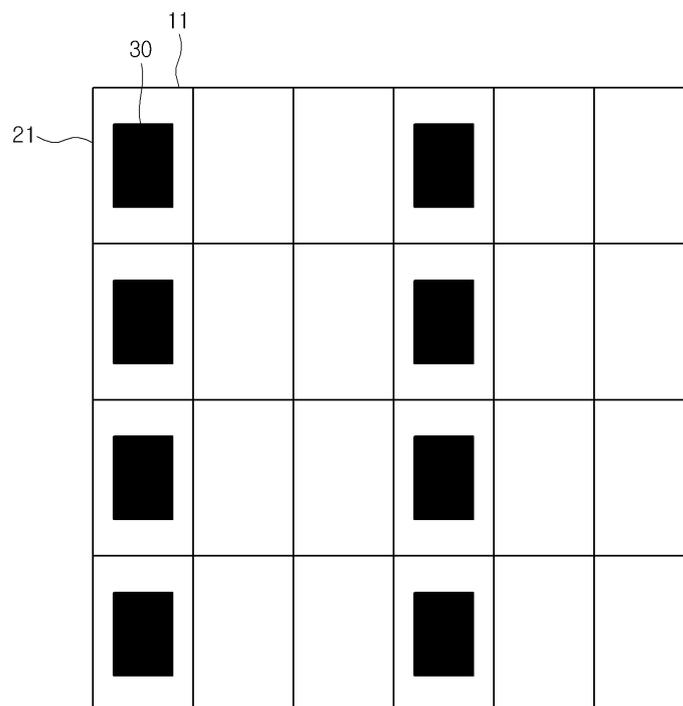
도면1a



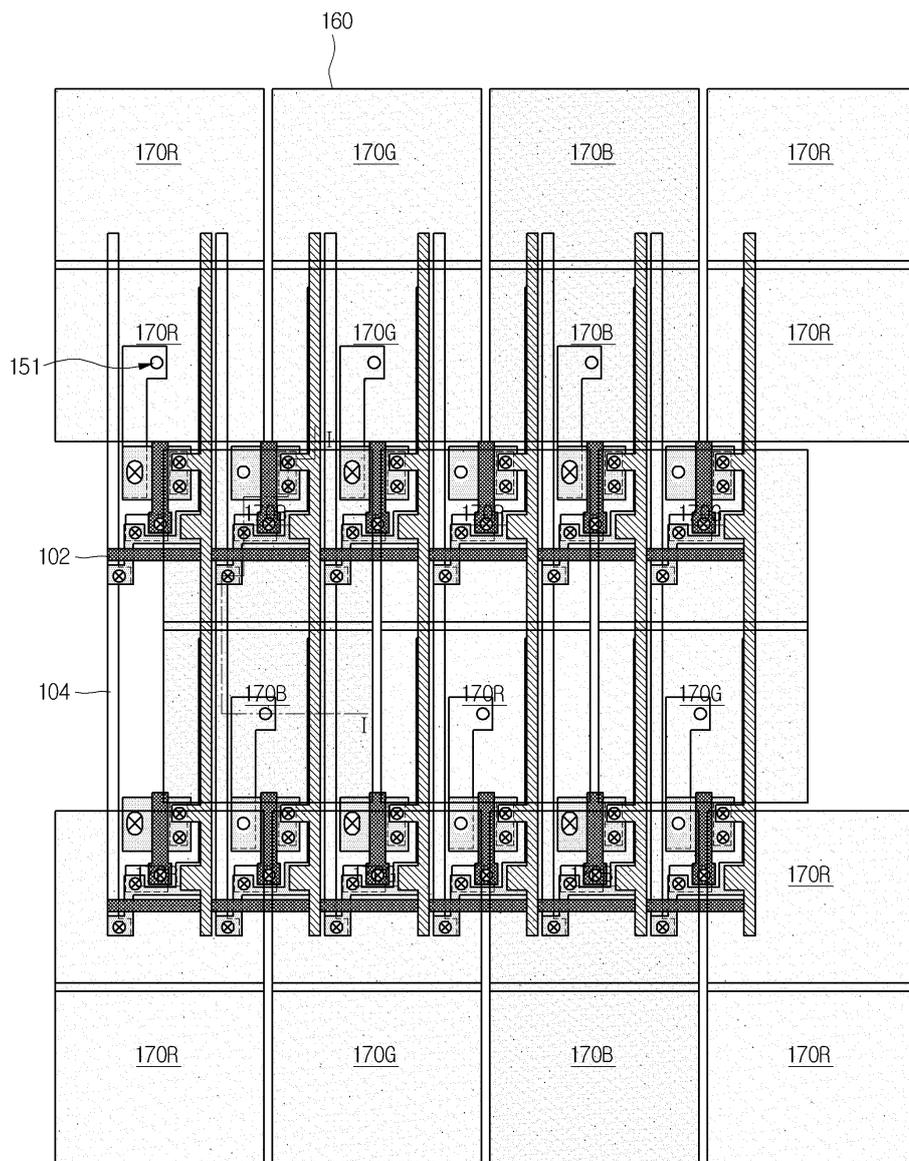
도면1b



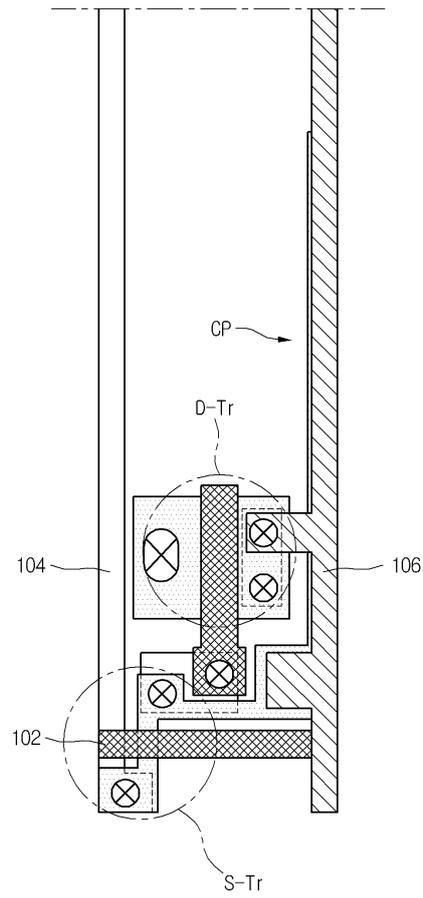
도면1c



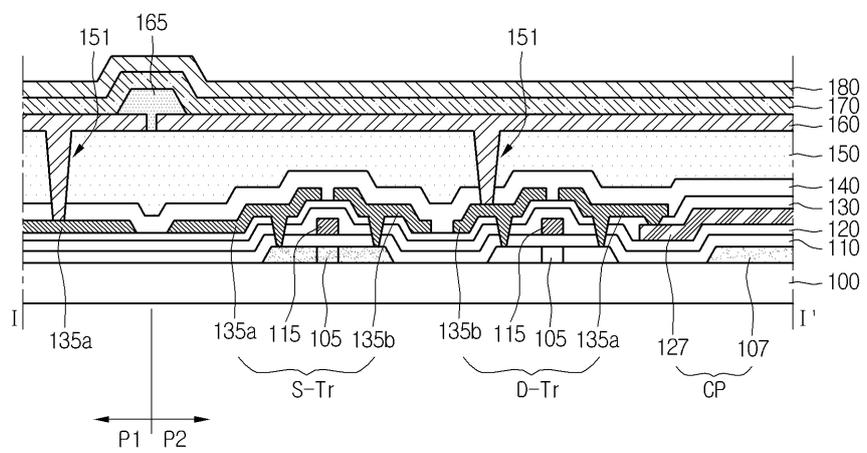
도면2a



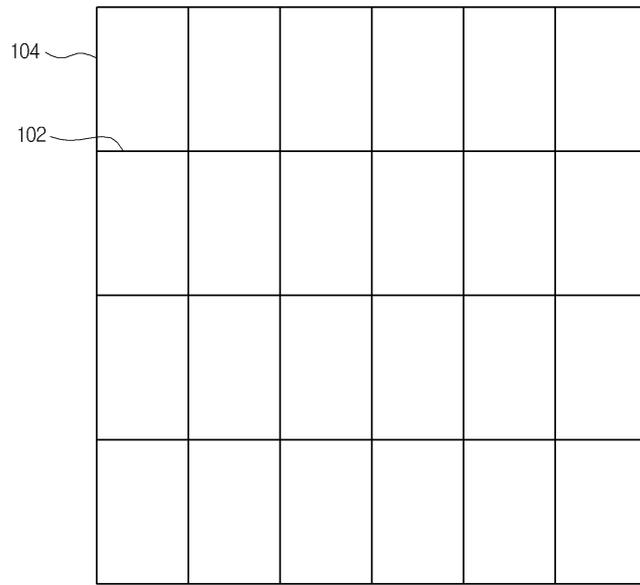
도면2b



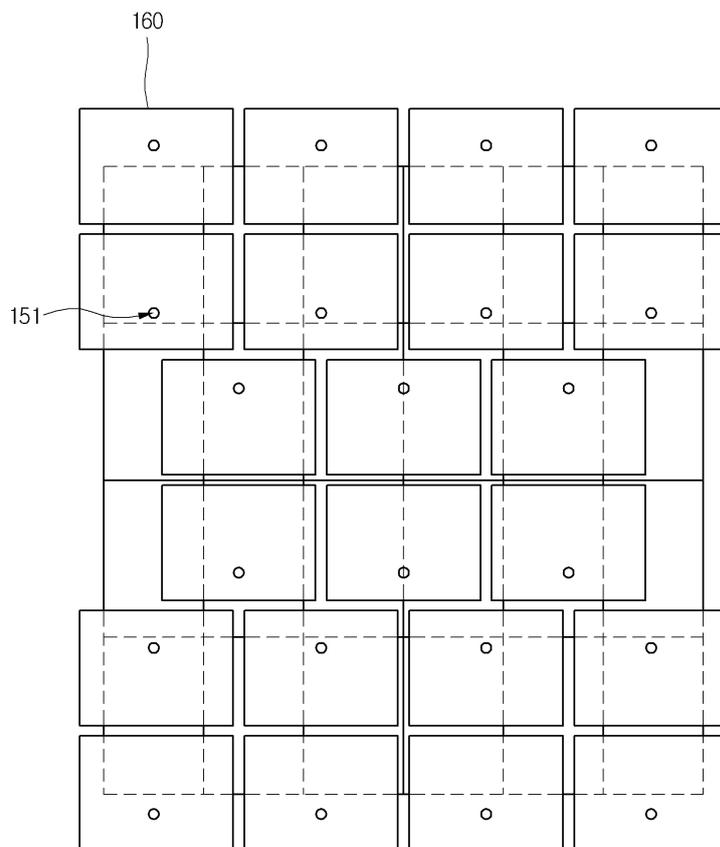
도면2c



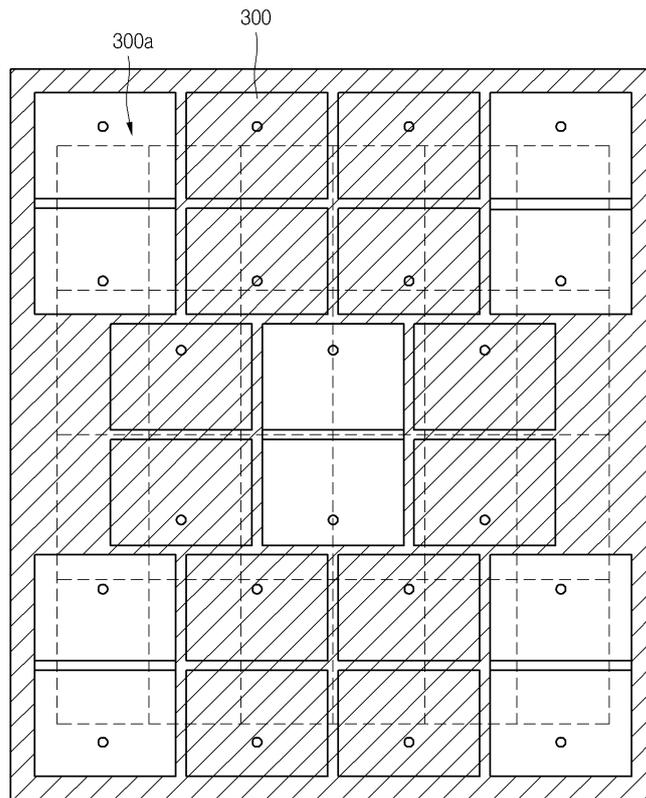
도면3a



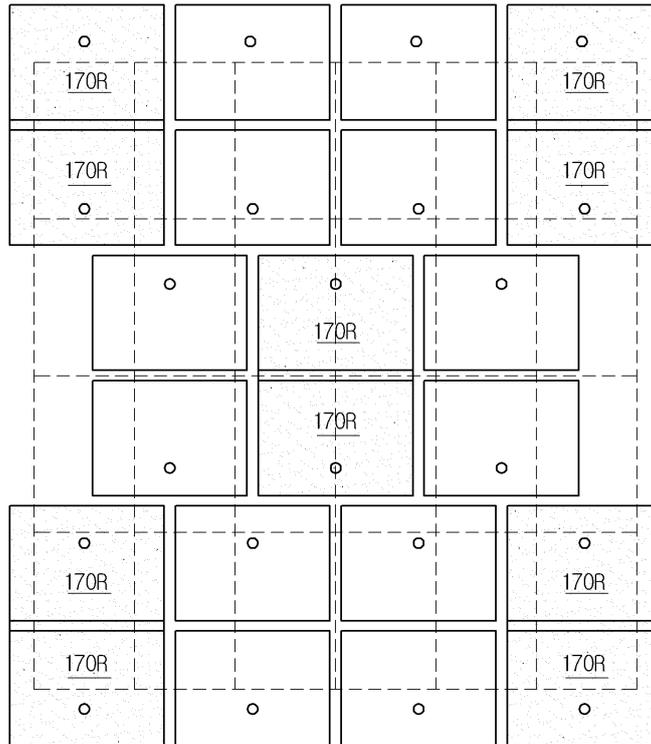
도면3b



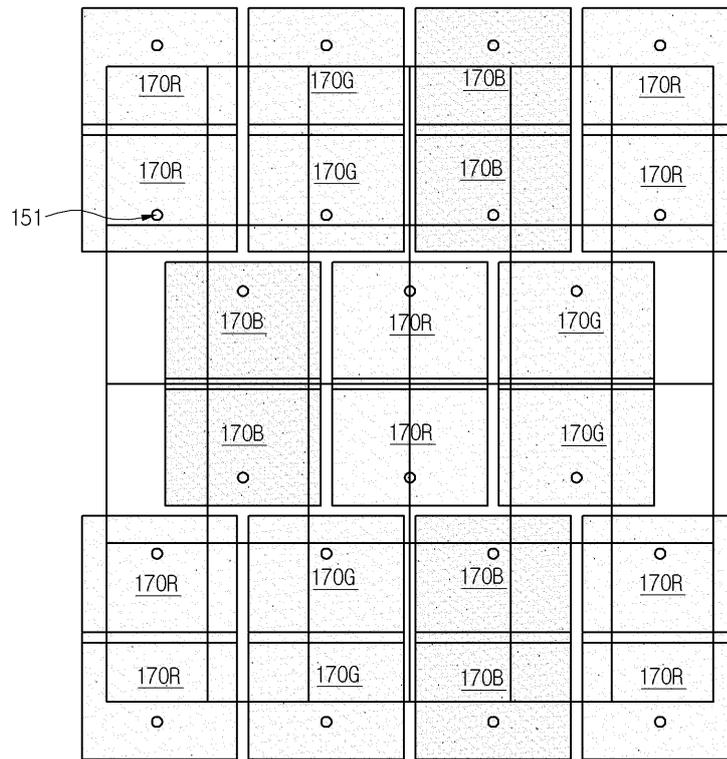
도면3c



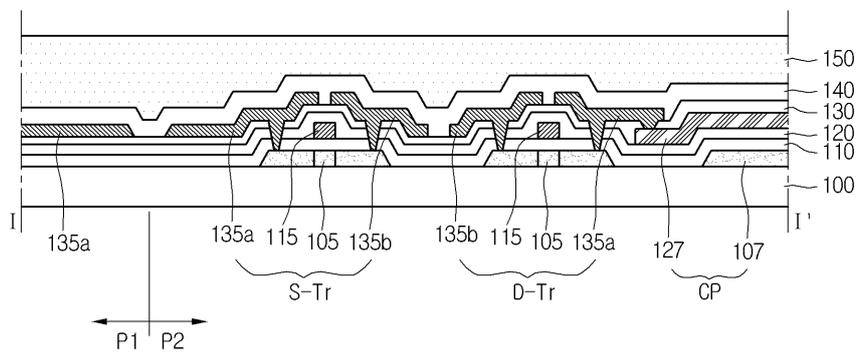
도면3d



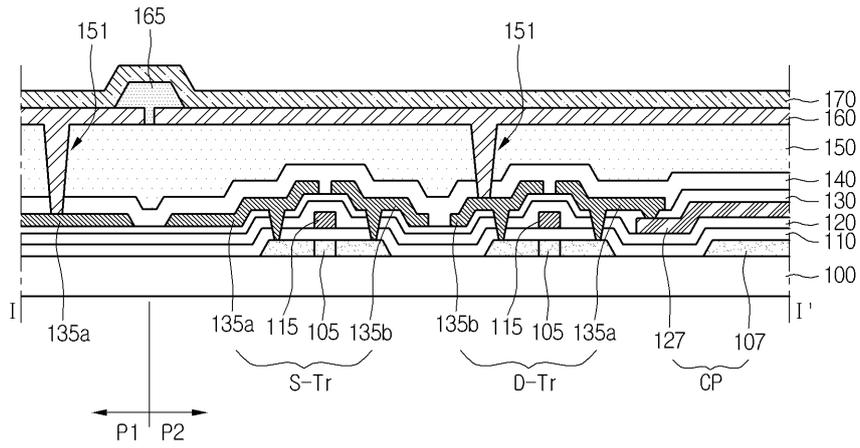
도면3e



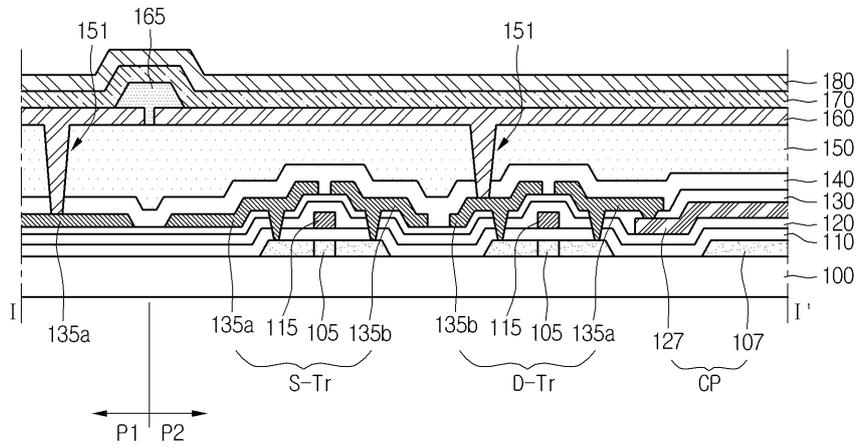
도면4a



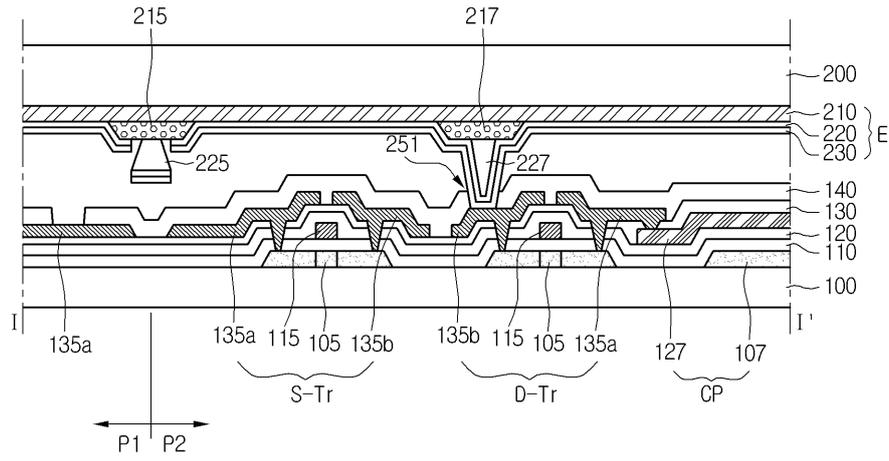
도면4b



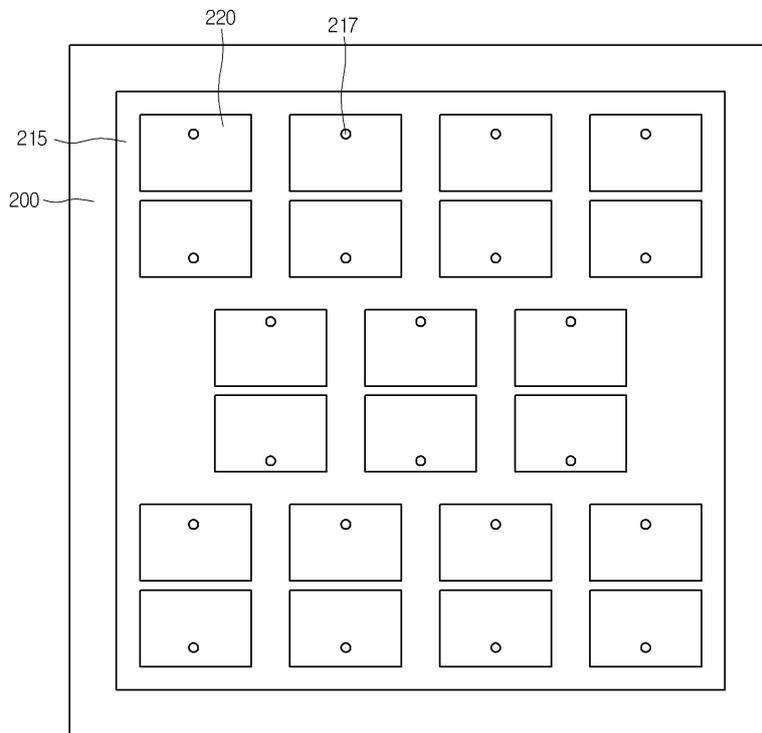
도면4c



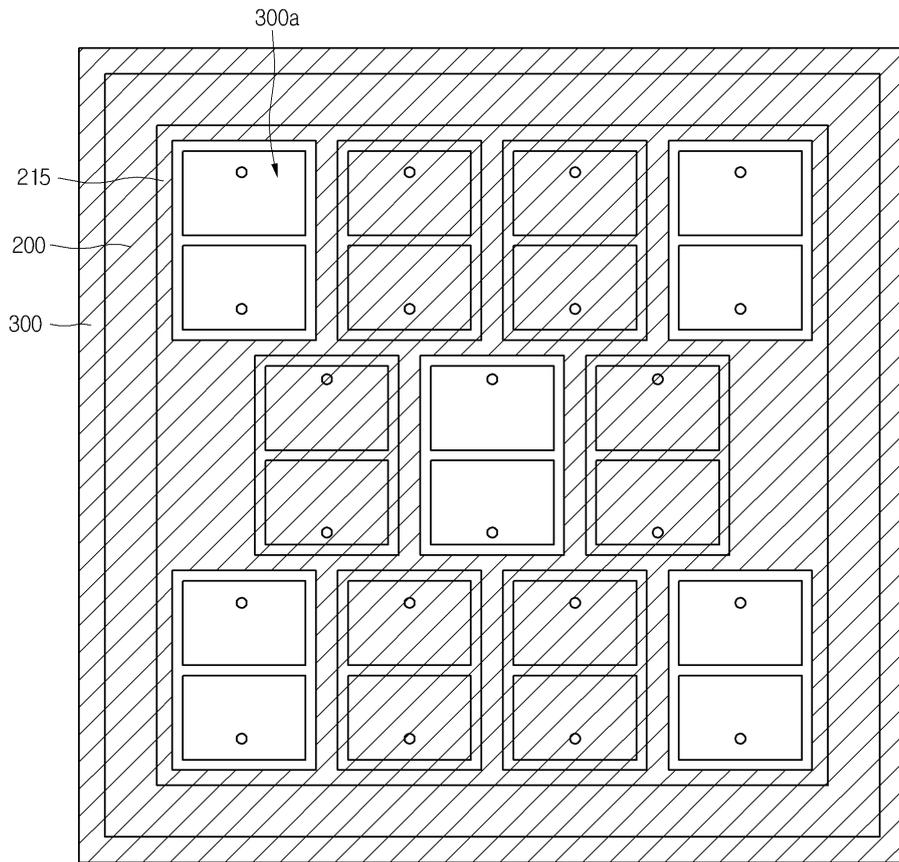
도면5



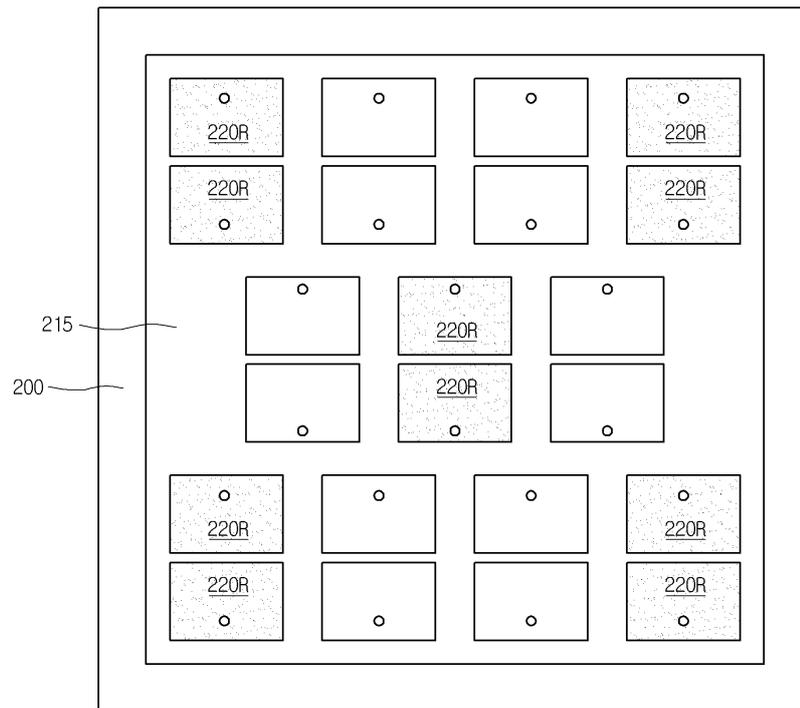
도면6a



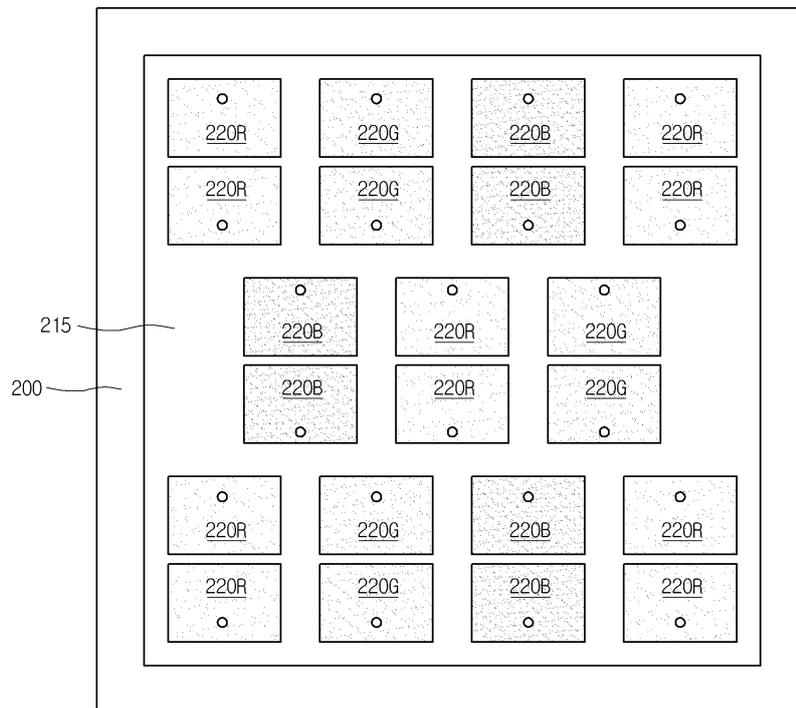
도면6b



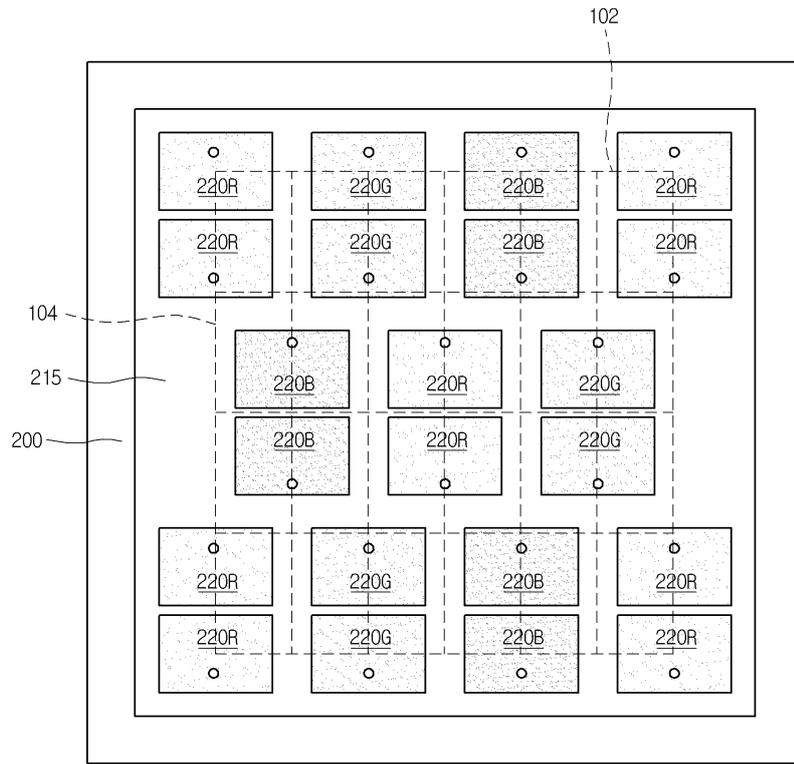
도면6c



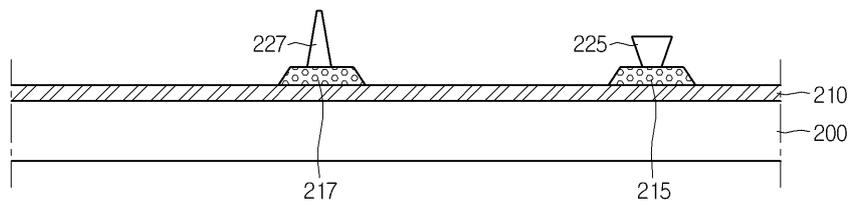
도면6d



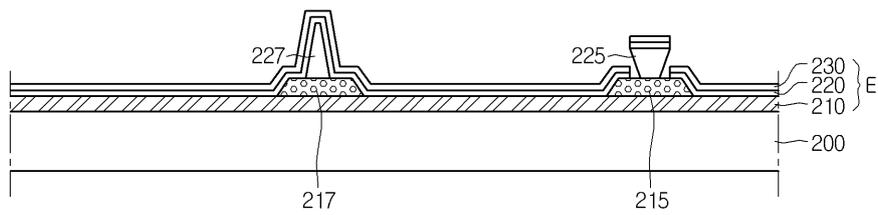
도면6e



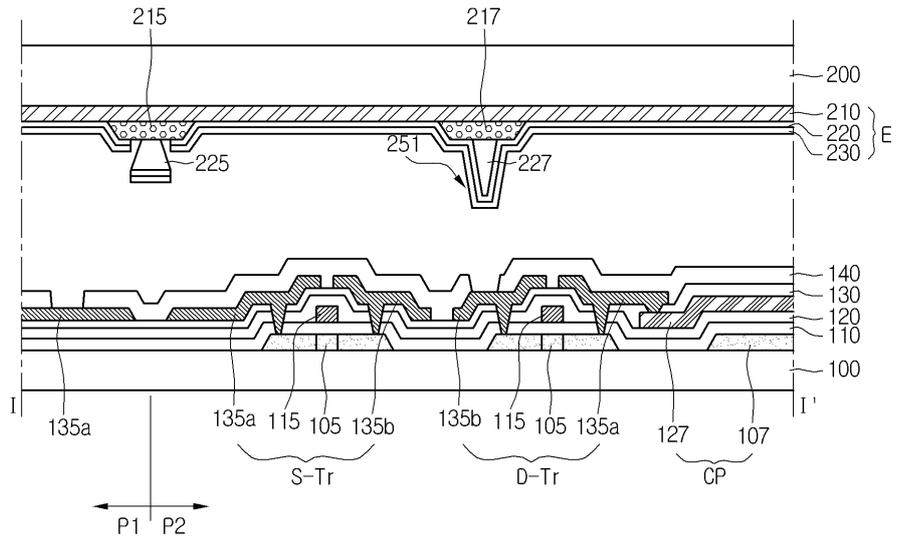
도면7a



도면7b



도면7c



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 8 둘째 줄

【변경전】

상기 제 1 기관상에

【변경후】

상기 기관상에