

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5508662号
(P5508662)

(45) 発行日 平成26年6月4日(2014.6.4)

(24) 登録日 平成26年3月28日(2014.3.28)

(51) Int.Cl.

F I

G09G	3/20	(2006.01)	G09G	3/20	623G
G09G	3/36	(2006.01)	G09G	3/20	611A
G02F	1/133	(2006.01)	G09G	3/20	623L
			G09G	3/20	623F
			G09G	3/36	

請求項の数 3 (全 168 頁) 最終頁に続く

(21) 出願番号 特願2007-4106 (P2007-4106)
 (22) 出願日 平成19年1月12日 (2007.1.12)
 (65) 公開番号 特開2008-170749 (P2008-170749A)
 (43) 公開日 平成20年7月24日 (2008.7.24)
 審査請求日 平成22年1月7日 (2010.1.7)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 吉田 泰則
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 橋本 直明

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

画素部と、メモリと、比較回路と、信号線駆動回路と、走査線駆動回路と、を有し、
 前記画素部の第N番目のライン(Nは任意の自然数)は、第1の画素群を有し、
 前記画素部の第M番目のライン(Mは任意の自然数)は、第2の画素群を有し、
 前記メモリは、第1のビデオ信号をデータとして記憶することができる機能を有し、
 前記比較回路は、前記画素部の第N番目のラインに入力される第1のデータを前記メモリから読み出すことができる機能を有し、
 前記比較回路は、前記画素部の第M番目のラインに入力される第2のデータを前記メモリから読み出すことができる機能を有し、
 前記比較回路は、前記第1のデータと前記第2のデータとを比較し、前記第1のデータと前記第2のデータとが一致するかどうか判断することができる機能を有し、
 前記比較回路は、前記第1のデータと前記第2のデータが一致する場合、第2のビデオ信号を出力することができる機能を有し、
 前記比較回路は、前記第1のデータと前記第2のデータが一致しない場合、第3のビデオ信号を出力することができる機能を有し、
 前記走査線駆動回路は、前記画素部の1ラインごとに選択する機能を有し、
 前記信号線駆動回路は、第1の回路と、第2の回路と、第3の回路とを有し、
 前記第1の回路は、前記比較回路から前記第2のビデオ信号をサンプリングすることができる機能を有し、

前記第 2 の回路は、前記第 1 の回路でサンプリングされたデータを記憶することができる機能を有し、

前記第 3 の回路は、前記第 3 のビデオ信号をデータとして記憶することができる機能を有し、

前記第 2 の回路は、前記第 1 の画素群にデータを入力することができる機能を有し、

前記第 3 の回路は、前記第 2 の画素群にデータを入力することができる機能を有することを特徴とする表示装置。

【請求項 2】

請求項 1 において、

前記メモリは、第 1 のメモリと第 2 のメモリを有することを特徴とする表示装置。

10

【請求項 3】

請求項 1 または請求項 2 において、

前記第 2 の回路及び前記第 3 の回路は、トランジスタを有し、

前記トランジスタは、酸化物半導体を有することを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、駆動回路で画素へのビデオ信号の入力を制御することができる、アクティブマトリクス型の表示装置に関する。

【背景技術】

20

【0002】

アクティブマトリクス型の表示装置は、マトリクス状に配列された数十～数百万個の各画素に、スイッチング素子と表示素子とが設けられている。該スイッチング素子により、ビデオ信号を画素へ入力した後も表示素子への電圧の印加または電流の供給がある程度維持されるので、アクティブマトリクス型はパネルの大型化、高精細化に柔軟に対応することができ、今後の表示装置の主流となりつつある。

【0003】

該表示装置が有する駆動回路の代表的なものとして、走査線駆動回路と信号線駆動回路とがある。走査線駆動回路により、複数の画素が 1 ラインごと、もしくは複数ラインごとに選択される。そして信号線駆動回路により、該選択されたラインが有する画素へのビデオ信号の入力が制御される。

30

【0004】

この走査線駆動回路と信号線駆動回路には、高い周波数での駆動が要求される。特に信号線駆動回路は、走査線駆動回路により各ラインの画素が選択されている間に、該ライン内の全ての画素にビデオ信号を入力する必要がある。よって信号線駆動回路の駆動周波数は走査線駆動回路に比べて遙かに高い。例えば V G A のアクティブマトリクス型の表示装置の場合、信号線駆動回路の駆動周波数は一般的に約 2 5 M H z 程度が要求される。さらに近年、アクティブマトリクス型の表示装置は、より高精細、高解像度、多階調の画像を表示するために、1 ライン内の画素数が増える傾向にある。そのため信号線駆動回路はより高速での駆動が要求され、その駆動周波数の高さに起因する高消費電力化の問題が浮上している。

40

【0005】

そこで下記特許文献 1 には、信号線駆動回路の消費電力を抑えるために、隣接する 2 つの走査線に対応した表示データを比較し、一致したら信号線駆動回路への表示データの転送を行わない液晶表示装置について記載されている。

【0006】

また下記特許文献 2 には、信号線駆動回路への出力ピン群が信号線駆動回路に近くなるようコントロール I C を配置することで、コントロール I C と信号線駆動回路の間の配線を短くし、それにより配線容量に起因する消費電力を抑える液晶表示装置について記載されている。

50

【 0 0 0 7 】

【特許文献1】特許第3338259号公報

【特許文献2】特許第3593392号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 8 】

ところで実際に画像を表示する際に、データの一致するラインが非連続的に存在するだろうことは当然予想される。しかし特許文献1に記載されている技術では、隣接するラインに対応したデータの比較しか行えない。そのため、入力されるビデオ信号のデータが複数のラインで一致していたとしても、該複数のライン間に別のデータに対応するラインが1本でも存在すると、ビデオ信号の信号線駆動回路への入力を省略することができない。

10

【 0 0 0 9 】

また、同一のデータを持った複数ラインのグループと、それとは別のデータを持つ複数ラインのグループと、と言うように、同じデータに対応する複数ラインのグループが複数混在する場合も当然あり得る。この場合も、特許文献1に記載されている技術では隣接するラインに対応したデータの比較しか行えないので、ビデオ信号の信号線駆動回路への入力を省略することができない。

【 0 0 1 0 】

よって特許文献1に記載の技術を用いても、信号線駆動回路の消費電力、さらには表示装置全体の消費電力を、効率的に抑えられないという問題がある。

20

【 0 0 1 1 】

また特許文献2のように、配線の引き回しに工夫を凝らすだけでは、表示装置全体の低消費電力化には限界があるという問題もあった。

【 0 0 1 2 】

本発明は上記問題に鑑み、信号線駆動回路の消費電力、ひいては装置全体の消費電力を抑えることができる、アクティブマトリクス型の表示装置の提供を課題とする。

【課題を解決するための手段】

【 0 0 1 3 】

本発明の表示装置は、1ライン期間に画素に入力されるビデオ信号のデータを書き込み、なおかつ該データを保持することができる記憶回路を、駆動回路に複数有する。記憶回路は複数の記憶素子を有しており、1ライン分の画素に入力されるデータを、該複数の記憶素子において保持する。そして、各記憶回路に記憶されているデータは、対応するラインの画素にビデオ信号として入力される。本発明の表示装置は駆動回路に2つ以上の記憶回路を有するので、非連続に出現する2つ以上のライン期間に対応するビデオ信号のデータを、記憶回路に並行して保持することができる。なおライン期間とは、走査線駆動回路によって各ラインの画素が選択され、該選択された画素にビデオ信号が入力される期間を意味する。

30

【 0 0 1 4 】

また本発明の表示装置は、複数のライン期間もしくは複数のフレーム期間に対応するビデオ信号のデータを記憶することができるメモリと、各ライン期間に対応するビデオ信号のデータを該メモリから読み出して、他のライン期間に対応するビデオ信号のデータと比較するデータ比較部とを有する。

40

【 0 0 1 5 】

そしてデータ比較部は、比較の結果に従って、各記憶回路におけるデータの書き込み及び保持を制御する。具体的にデータ比較部は、各ライン期間に対応するビデオ信号のデータの比較を行うことで、データが一致する複数のライン期間を抽出する。そしてデータ比較部は、該一致するデータを記憶回路へ書き込んだ後、該データを有するビデオ信号が、抽出された全てのライン期間において画素に入力されるまで、該記憶回路においてデータを書き換えることなく保持させる。またデータ比較部は、抽出された全てのライン期間におけるビデオ信号の入力が終了すると、該記憶回路に保持されているデータを別のデータ

50

に書き換えることができる。

【0016】

なお本発明の表示装置は、例えば液晶表示装置、有機発光素子(OLED)に代表される発光素子を各画素に備えた発光装置、DMD(Digital Micromirror Device)、PDP(Plasma Display Panel)、FED(Field Emission Display)等、アクティブマトリクス型の表示装置がその範疇に含まれる。またパッシブマトリクス型の表示装置も含まれる。

【0017】

なお、本書類(明細書、特許請求の範囲又は図面など)に示すスイッチは、様々な形態のものを用いることができる。例としては、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されない。例えば、スイッチとして、トランジスタ(例えば、バイポーラトランジスタ、MOSトランジスタなど)、ダイオード(例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM(Metal Insulator Metal)ダイオード、MIS(Metal Insulator Semiconductor)ダイオード、ダイオード接続のトランジスタなど)、サイリスタなどを用いることが出来る。または、これらを組み合わせた論理回路をスイッチとして用いることが出来る。

【0018】

スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性(導電型)は特に限定されない。ただし、オフ電流を抑えたい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を有するトランジスタやマルチゲート構造を有するトランジスタ等がある。または、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源(V_{ss}、GND、0Vなど)の電位に近い状態で動作する場合はNチャンネル型トランジスタを用いることが望ましい。反対に、ソース端子の電位が、高電位側電源(V_{dd}など)の電位に近い状態で動作する場合はPチャンネル型トランジスタを用いることが望ましい。なぜなら、Nチャンネル型トランジスタではソース端子が低電位側電源の電位に近い状態で動作するとき、Pチャンネル型トランジスタではソース端子が高電位側電源の電位に近い状態で動作するとき、ゲートソース間電圧の絶対値を大きくできるからである。また、ソースフォロワ動作をしてしまうことが少ないため、出力電圧の大きさが小さくなってしまいうことが少ないからである。

【0019】

なお、Nチャンネル型トランジスタとPチャンネル型トランジスタの両方を用いて、CMOS型のスイッチをスイッチとして用いてもよい。CMOS型のスイッチにすると、Pチャンネル型トランジスタまたはNチャンネル型トランジスタのどちらか一方のトランジスタが導通すれば電流が流れるため、スイッチとして機能しやすくなる。例えば、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力させることが出来る。さらに、スイッチをオン・オフさせるための信号の電圧振幅値を小さくすることが出来るので、消費電力を小さくすることも出来る。

【0020】

なお、スイッチとしてトランジスタを用いる場合、スイッチは、入力端子(ソース端子またはドレイン端子の一方)と、出力端子(ソース端子またはドレイン端子の他方)と、導通を制御する端子(ゲート端子)とを有している。一方、スイッチとしてダイオードを用いる場合、スイッチは、導通を制御する端子を有していない場合がある。そのため、トランジスタよりもダイオードをスイッチとして用いた方が、端子を制御するための配線を少なくすることが出来る。

【0021】

なお、本書類(明細書、特許請求の範囲又は図面など)において、AとBとが接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合と、AとBとが機能的に接続されている場合と、AとBとが直接接続されている場合とを含むものと

10

20

30

40

50

する。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。したがって、本書類（明細書、特許請求の範囲又は図面など）が開示する構成において、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

【0022】

例えば、AとBとが電氣的に接続されている場合として、AとBとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど）が、AとBとの間に1個以上配置されていてもよい。あるいは、AとBとが機能的に接続されている場合として、AとBとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、AとBとの間に1個以上配置されていてもよい。あるいは、AとBとが直接接続されている場合として、AとBとの間に他の素子や他の回路を挟まずに、AとBとが直接接続されていてもよい。

10

【0023】

なお、AとBとが直接接続されている、と明示的に記載する場合は、AとBとが直接接続されている場合（つまり、AとBとの間に他の素子や他の回路を間に介さずに接続されている場合）と、AとBとが電氣的に接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟んで接続されている場合）とを含むものとする。

20

【0024】

なお、AとBとが電氣的に接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟んで接続されている場合）と、AとBとが機能的に接続されている場合（つまり、AとBとの間に別の回路を挟んで機能的に接続されている場合）と、AとBとが直接接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

30

【0025】

なお、表示素子、表示素子を有する装置である表示装置、発光素子、発光素子を有する装置である発光装置は、様々な形態を用い、また様々な素子を有することが出来る。例えば、表示素子、表示装置、発光素子または発光装置としては、EL素子（有機物及び無機物を含むEL素子、有機EL素子、無機EL素子）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、デジタルマイクロミラーデバイス（DMD）、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を用いることができる。なお、EL素子を用いた表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ（FED）やSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）など、液晶素子を用いた表示装置としては液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）、電子インクや電気泳動素子を用いた表示装置としては電子ペーパーがある。

40

【0026】

なお、微結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。このとき、レーザーを用いず、熱処理を加えるだけで、結晶性を向上させることができる。その結果、ゲートドライバ回路（走査線駆動回路）やソースドライバ回路の一部（アナロ

50

グスイッチなど)を基板上に一体形成することが出来る。さらに、結晶化のためにレーザーを用いない場合は、シリコンの結晶性のムラを抑えることができる。そのため、綺麗な画像を表示することが出来る。

【0027】

ただし、触媒(ニッケルなど)を用いずに、多結晶シリコンや微結晶シリコンを製造することは可能である。

【0028】

または、半導体基板やSOI基板などを用いてトランジスタを形成することが出来る。これらにより、特性やサイズや形状などのバラツキが少なく、電流供給能力が高く、サイズの小さいトランジスタを製造することができる。これらのトランジスタを用いると、回路の低消費電力化、又は回路の高集積化を図ることができる。

10

【0029】

または、ZnO、a-InGaZnO、SiGe、GaAs、IZO、ITO、SnOなどの化合物半導体または酸化物半導体を有するトランジスタや、さらに、これらの化合物半導体または酸化物半導体を薄膜化した薄膜トランジスタなどを用いることが出来る。これらにより、製造温度を低くでき、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板やフィルム基板に直接トランジスタを形成することが出来る。なお、これらの化合物半導体または酸化物半導体を、トランジスタのチャンネル部分に用いるだけでなく、それ以外の用途で用いることも出来る。例えば、これらの化合物半導体または酸化物半導体を抵抗素子、画素電極、透明電極として用いることができる。さらに、それらをトランジスタと同時に成膜又は形成できるため、コストを低減できる。

20

【0030】

または、インクジェットや印刷法を用いて形成したトランジスタなどを用いることが出来る。これらにより、室温で製造、低真空度で製造、又は大型基板上に製造することができる。また、マスク(レチクル)を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することが出来る。さらに、レジストを用いる必要がないので、材料費が安くなり、工程数を削減できる。さらに、必要な部分にのみ膜を付けるため、全面に成膜した後でエッチングする、という製法よりも、材料が無駄にならず、低コストにできる。

30

【0031】

または、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることができる。これらにより、曲げることが可能な基板上にトランジスタを形成することが出来る。そのため、衝撃に強くできる。

【0032】

さらに、様々な構造のトランジスタを用いることができる。例えば、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを本書類(明細書、特許請求の範囲又は図面など)に記載されたトランジスタとして用いることが出来る。MOS型トランジスタを用いることにより、トランジスタのサイズを小さくすることが出来る。よって、多数のトランジスタを搭載することができる。バイポーラトランジスタを用いることにより、大きな電流を流すことが出来る。よって、高速に回路を動作させることができる。

40

【0033】

なお、MOS型トランジスタ、バイポーラトランジスタなどを1つの基板に混在させて形成してもよい。これにより、低消費電力、小型化、高速動作などを実現することが出来る。

【0034】

その他、様々なトランジスタを用いることができる。

【0035】

なお、トランジスタが形成されている基板の種類は、様々なものを用いることができ、特定のものに限定されることはない。トランジスタが形成される基板としては、例えば、

50

単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュブラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。あるいは、人などの動物の皮膚（皮表、真皮）又は皮下組織を基板として用いてもよい。または、ある基板でトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板としては、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュブラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。あるいは、人などの動物の皮膚（皮表、真皮）又は皮下組織を基板として用いてもよい。または、ある基板でトランジスタを形成し、その基板を研磨して薄くしてもよい。研磨される基板としては、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュブラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。あるいは、人などの動物の皮膚（皮表、真皮）又は皮下組織を基板として用いてもよい。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

【0036】

なお、トランジスタの構成は、様々な形態をとることができる。特定の構成に限定されない。例えば、ゲート電極が2個以上のマルチゲート構造を用いてもよい。マルチゲート構造にすると、チャンネル領域が直列に接続されるため、複数のトランジスタが直列に接続された構成となる。マルチゲート構造により、オフ電流の低減、トランジスタの耐圧向上による信頼性の向上を図ることができる。あるいは、マルチゲート構造により、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、電圧・電流特性の傾きがフラットな特性にすることができる。電圧・電流特性の傾きがフラットである特性を利用すると、理想的な電流源回路や、非常に高い抵抗値をもつ能動負荷を実現することができる。その結果、特性のよい差動回路やカレントミラー回路を実現することができる。また、チャンネルの上下にゲート電極が配置されている構造でもよい。チャンネルの上下にゲート電極が配置されている構造にすることにより、チャンネル領域が増えるため、電流値の増加、又は空乏層ができやすくなることによるS値の低減を図ることができる。チャンネルの上下にゲート電極が配置されると、複数のトランジスタが並列に接続されたような構成となる。

【0037】

あるいは、チャンネル領域の上にゲート電極が配置されている構造でもよいし、チャンネル領域の下にゲート電極が配置されている構造でもよい。あるいは、正スタガ構造または逆スタガ構造でもよいし、チャンネル領域が複数の領域に分かれていてもよいし、チャンネル領域が並列に接続されていてもよいし、チャンネル領域が直列に接続されていてもよい。また、チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なっていてもよい。チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なる構造にすることにより、チャンネル領域の一部に電荷がたまって、動作が不安定になることを防ぐことができる。また、LDD領域を設けても良い。LDD領域を設けることにより、オフ電流の低減、又はトランジスタの耐圧向上による信頼性の向上を図ることができる。あるいは、LDD領域を設けることにより、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、電圧・電流特性の傾きがフラット

10

20

30

40

50

な特性にすることができる。

【0038】

なお、本書類（明細書、特許請求の範囲又は図面など）におけるトランジスタは、様々なタイプを用いることができ、様々な基板上に形成させることができる。したがって、所定の機能を実現させるために必要な回路の全てが、同一の基板に形成されていてもよい。例えば、所定の機能を実現させるために必要な回路の全てが、ガラス基板、プラスチック基板、単結晶基板、またはSOI基板上に形成されていてもよく、さまざまな基板上に形成されていてもよい。所定の機能を実現させるために必要な回路の全てが同じ基板上に形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。あるいは、所定の機能を実現させるために必要な回路の一部が、ある基板に形成されており、所定の機能を実現させるために必要な回路の別の一部が、別の基板に形成されていてもよい。つまり、所定の機能を実現させるために必要な回路の全てが同じ基板上に形成されていなくてもよい。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板上にトランジスタを用いて形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板上に形成され、単結晶基板上のトランジスタで構成されたICチップをCOG（Chip On Glass）でガラス基板に接続して、ガラス基板上にそのICチップを配置してもよい。あるいは、そのICチップをTAB（Tape Automated Bonding）やプリント基板を用いてガラス基板と接続してもよい。このように、回路の一部が同じ基板に形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。また、駆動電圧が高い部分や駆動周波数が高い部分の回路は、消費電力が大きくなってしまいうので、そのような部分の回路は同じ基板に形成せず、そのかわりに、例えば、単結晶基板上にその部分の回路を形成して、その回路で構成されたICチップを用いるようにすれば、消費電力の増加を防ぐことができる。

10

20

【0039】

なお、本書類（明細書、特許請求の範囲又は図面など）においては、一画素とは、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、R（赤）G（緑）B（青）の色要素からなるカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との三画素から構成されるものとする。なお、色要素は、三色に限定されず、三色以上を用いても良いし、RGB以外の色を用いても良い。例えば、白色を加えて、RGBW（Wは白）としてもよい。また、RGBに、例えば、イエロー、シアン、マゼンタ、エメラルドグリーン、朱色などを一色以上追加してもよい。また、例えば、RGBの中の少なくとも一色に類似した色を、RGBに追加してもよい。例えば、R、G、B1、B2としてもよい。B1とB2とは、どちらも青色であるが、少し周波数が異なっている。同様に、R1、R2、G、Bとしてもよい。このような色要素を用いることにより、より実物に近い表示を行うことができる。あるいは、このような色要素を用いることにより、消費電力を低減することが出来る。また、別の例としては、一つの色要素について、複数の領域を用いて明るさを制御する場合は、その領域一つ分を一画素としてもよい。よって、一例として、面積階調を行う場合または副画素（サブ画素）を有している場合、一つの色要素につき、明るさを制御する領域が複数あり、その全体で階調を表現するわけであるが、明るさを制御する領域の一つ分を一画素としてもよい。よって、その場合は、一つの色要素は、複数の画素で構成されることとなる。あるいは、明るさを制御する領域が一つの色要素の中に複数あっても、それらをまとめて、一つの色要素を1画素としてもよい。よって、その場合は、一つの色要素は、一つの画素で構成されることとなる。また、一つの色要素について、複数の領域を用いて明るさを制御する場合、画素によって、表示に寄与する領域の大きさが異なっている場合がある。また、一つの色要素につき複数ある、明るさを制御する領域において、各々に供給する信号を僅かに異ならせるようにして、視野角を広げるようにしてもよい。つまり、一つの色要素について、複数

30

40

50

個ある領域が各々有する画素電極の電位が、各々異なってもよい。その結果、液晶分子に加わる電圧が各画素電極によって各々異なる。よって、視野角を広くすることが出来る。

【0040】

なお、一画素（三色分）と明示的に記載する場合は、RとGとBの三画素分を一画素と考える場合であるとする。一画素（一色分）と明示的に記載する場合は、一つの色要素につき、複数の領域がある場合、それらをまとめて一画素と考える場合であるとする。

【0041】

なお、本書類（明細書、特許請求の範囲又は図面など）において、画素は、マトリクス状に配置（配列）されている場合がある。ここで、画素がマトリクスに配置（配列）されているとは、縦方向もしくは横方向において、画素が直線上に並んで配置されている場合や、ギザギザな線上に配置されている場合を含む。よって、例えば三色の色要素（例えばRGB）でフルカラー表示を行う場合に、ストライプ配置されている場合や、三色の色要素のドットがデルタ配置されている場合も含む。さらに、ペイヤー配置されている場合も含む。なお、色要素は、三色に限定されず、それ以上でもよく、例えば、RGBW（Wは白）や、RGBに、イエロー、シアン、マゼンタなどを一色以上追加したものなどがある。また、色要素のドット毎にその表示領域の大きさが異なってもよい。これにより、低消費電力化、又は表示素子の長寿命化を図ることができる。

【0042】

なお、本書類（明細書、特許請求の範囲又は図面など）において、画素に能動素子を有するアクティブマトリクス方式、または、画素に能動素子を有しないパッシブマトリクス方式を用いることが出来る。

【0043】

アクティブマトリクス方式では、能動素子（アクティブ素子、非線形素子）として、トランジスタだけでなく、さまざまな能動素子（アクティブ素子、非線形素子）を用いることが出来る。例えば、MIM（Metal Insulator Metal）やTFD（Thin Film Diode）などを用いることも可能である。これらの素子は、製造工程が少ないため、製造コストの低減、又は歩留まりの向上を図ることができる。さらに、素子のサイズが小さいため、開口率を向上させることができ、低消費電力化や高輝度化をはかることが出来る。

【0044】

なお、アクティブマトリクス方式以外のものとして、能動素子（アクティブ素子、非線形素子）を用いないパッシブマトリクス型を用いることも可能である。能動素子（アクティブ素子、非線形素子）を用いないため、製造工程が少なく、製造コストの低減、又は歩留まりの向上を図ることができる。また、能動素子（アクティブ素子、非線形素子）を用いないため、開口率を向上させることができ、低消費電力化や高輝度化をはかることが出来る。

【0045】

なお、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャンネル領域を有しており、ドレイン領域とチャンネル領域とソース領域とを介して電流を流すことが出来る。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、本書類（明細書、特許請求の範囲又は図面など）においては、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。あるいは、それぞれを第1の電極、第2の電極と表記する場合がある。あるいは、ソース領域、ドレイン領域と表記する場合がある。

【0046】

なお、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、エミッタとコレクタとを、第1端子、第

10

20

30

40

50

2 端子と表記する場合がある。

【 0 0 4 7 】

なお、ゲートとは、ゲート電極とゲート配線（ゲート線、ゲート信号線、走査線、走査信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ゲート電極とは、チャンネル領域を形成する半導体と、ゲート絶縁膜を介してオーバーラップしている部分の導電膜のことを言う。なお、ゲート電極の一部は、LDD（Lightly Doped Drain）領域、ソース領域またはドレイン領域と、ゲート絶縁膜を介してオーバーラップしている場合もある。ゲート配線とは、各トランジスタのゲート電極の間を接続するための配線、各画素の有するゲート電極の間を接続するための配線、又はゲート電極と別の配線とを接続するための配線のことを言う。

10

【 0 0 4 8 】

ただし、ゲート電極としても機能し、ゲート配線としても機能するような部分（領域、導電膜、配線など）も存在する。そのような部分（領域、導電膜、配線など）は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。つまり、ゲート電極とゲート配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているゲート配線の一部とチャンネル領域がオーバーラップしている場合、その部分（領域、導電膜、配線など）はゲート配線として機能しているが、ゲート電極としても機能していることになる。よって、そのような部分（領域、導電膜、配線など）は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

【 0 0 4 9 】

なお、ゲート電極と同じ材料で形成され、ゲート電極と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）も、ゲート電極と呼んでも良い。同様に、ゲート配線と同じ材料で形成され、ゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）も、ゲート配線と呼んでも良い。このような部分（領域、導電膜、配線など）は、厳密な意味では、チャンネル領域とオーバーラップしていない場合、又は別のゲート電極と接続させる機能を有していない場合がある。しかし、ゲート電極またはゲート配線と同じ材料で形成され、ゲート電極またはゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）がある。よって、そのような部分（領域、導電膜、配線など）もゲート電極またはゲート配線と呼んでも良い。

20

【 0 0 5 0 】

なお、例えば、マルチゲートのトランジスタにおいて、1つのゲート電極と、別のゲート電極とは、ゲート電極と同じ材料で形成された導電膜で接続される場合が多い。そのような部分（領域、導電膜、配線など）は、ゲート電極とゲート電極とを接続させるための部分（領域、導電膜、配線など）であるため、ゲート配線と呼んでも良いが、マルチゲートのトランジスタを1つのトランジスタと見なすことも出来るため、ゲート電極と呼んでも良い。つまり、ゲート電極またはゲート配線と同じ材料で形成され、ゲート電極またはゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）は、ゲート電極やゲート配線と呼んでも良い。さらに、例えば、ゲート電極とゲート配線とを接続させている部分の導電膜であって、ゲート電極またはゲート配線とは異なる材料で形成された導電膜も、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

30

【 0 0 5 1 】

なお、ゲート端子とは、ゲート電極の部分（領域、導電膜、配線など）または、ゲート電極と電氣的に接続されている部分（領域、導電膜、配線など）について、その一部分のことを言う。

【 0 0 5 2 】

なお、ゲート配線、ゲート線、ゲート信号線、走査線、走査信号線などと呼ぶ場合、配線にトランジスタのゲートが接続されていない場合もある。この場合、ゲート配線、ゲート線、ゲート信号線、走査線、走査信号線は、トランジスタのゲートと同じ層で形成され

40

50

た配線、トランジスタのゲートと同じ材料で形成された配線またはトランジスタのゲートと同時に成膜された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線などがある。

【 0 0 5 3 】

なお、ソースとは、ソース領域とソース電極とソース配線（ソース線、ソース信号線、データ線、データ信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ソース領域とは、P型不純物（ボロンやガリウムなど）やN型不純物（リンやヒ素など）が多く含まれる半導体領域のことを言う。従って、少しだけP型不純物やN型不純物が含まれる領域、いわゆる、LDD（Lightly Doped Drain）領域は、ソース領域には含まれない。ソース電極とは、ソース領域とは別の材料で形成され、ソース領域と電氣的に接続されて配置されている部分の導電層のことを言う。ただし、ソース電極は、ソース領域も含んでソース電極と呼ぶこともある。ソース配線とは、各トランジスタのソース電極の間を接続するための配線、各画素の有するソース電極の間を接続するための配線、又はソース電極と別の配線とを接続するための配線のことを言う。

10

【 0 0 5 4 】

しかしながら、ソース電極としても機能し、ソース配線としても機能するような部分（領域、導電膜、配線など）も存在する。そのような部分（領域、導電膜、配線など）は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。つまり、ソース電極とソース配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているソース配線の一部とソース領域とがオーバーラップしている場合、その部分（領域、導電膜、配線など）はソース配線として機能しているが、ソース電極としても機能していることになる。よって、そのような部分（領域、導電膜、配線など）は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

20

【 0 0 5 5 】

なお、ソース電極と同じ材料で形成され、ソース電極と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）や、ソース電極とソース電極とを接続する部分（領域、導電膜、配線など）も、ソース電極と呼んでも良い。さらに、ソース領域とオーバーラップしている部分も、ソース電極と呼んでも良い。同様に、ソース配線と同じ材料で形成され、ソース配線と同じ島（アイランド）を形成してつながっている領域も、ソース配線と呼んでも良い。このような部分（領域、導電膜、配線など）は、厳密な意味では、別のソース電極と接続させる機能を有していない場合がある。しかし、ソース電極またはソース配線と同じ材料で形成され、ソース電極またはソース配線とつながっている部分（領域、導電膜、配線など）がある。よって、そのような部分（領域、導電膜、配線など）もソース電極またはソース配線と呼んでも良い。

30

【 0 0 5 6 】

なお、例えば、ソース電極とソース配線とを接続させている部分の導電膜であって、ソース電極またはソース配線とは異なる材料で形成された導電膜も、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【 0 0 5 7 】

なお、ソース端子とは、ソース領域の領域や、ソース電極や、ソース電極と電氣的に接続されている部分（領域、導電膜、配線など）について、その一部分のことを言う。

40

【 0 0 5 8 】

なお、ソース配線、ソース線、ソース信号線、データ線、データ信号線などと呼ぶ場合、配線にトランジスタのソース（ドレイン）が接続されていない場合もある。この場合、ソース配線、ソース線、ソース信号線、データ線、データ信号線は、トランジスタのソース（ドレイン）と同じ層で形成された配線、トランジスタのソース（ドレイン）と同じ材料で形成された配線またはトランジスタのソース（ドレイン）と同時に成膜された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線などがある。

【 0 0 5 9 】

50

なお、ドレインについては、ソースと同様である。

【0060】

なお、半導体装置とは半導体素子（トランジスタ、ダイオード、サイリスタなど）を含む回路を有する装置のことをいう。さらに、半導体特性を利用することで機能しうる装置全般を半導体装置と呼んでもよい。または、半導体材料を有する装置のことを半導体装置と言う。

【0061】

なお、表示素子とは、光学変調素子、液晶素子、発光素子、EL素子（有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子）、電子放出素子、電気泳動素子、放電素子、光反射素子、光回折素子、デジタルマイクロミラーデバイス（DMD）、などのことを言う。ただし、これに限定されない。

10

【0062】

なお、表示装置とは、表示素子を有する装置のことを言う。なお、表示装置は、表示素子を含む複数の画素を含んでも良い。なお、表示装置は、複数の画素を駆動させる周辺駆動回路を含んでも良い。なお、複数の画素を駆動させる周辺駆動回路は、複数の画素と同一基板上に形成されてもよい。なお、表示装置は、ワイヤボンディングや bumps などによって基板上に配置された周辺駆動回路、いわゆる、チップオンガラス（COG）で接続されたICチップ、または、TABなどで接続されたICチップを含んでも良い。なお、表示装置は、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたフレキシブルプリントサーキット（FPC）を含んでもよい。なお、表示装置は、フレキシブルプリントサーキット（FPC）などを介して接続され、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたプリント配線基盤（PWB）を含んでも良い。なお、表示装置は、偏光板または位相差板などの光学シートを含んでも良い。なお、表示装置は、照明装置、筐体、音声入出力装置、光センサなどを含んでも良い。ここで、バックライトユニットのような照明装置は、導光板、プリズムシート、拡散シート、反射シート、光源（LED、冷陰極管など）、冷却装置（水冷式、空冷式）などを含んでも良い。

20

【0063】

なお、照明装置は、バックライトユニット、導光板、プリズムシート、拡散シート、反射シート、光源（LED、冷陰極管、熱陰極管など）、冷却装置などを有している装置のことをいう。

30

【0064】

なお、発光装置とは、発光素子などを有している装置のことをいう。表示素子として発光素子を有している場合は、発光装置は、表示装置の具体例の一つである。

【0065】

なお、反射装置とは、光反射素子、光回折素子、光反射電極などを有している装置のことをいう。

【0066】

なお、液晶表示装置とは、液晶素子を有している表示装置をいう。液晶表示装置には、直視型、投写型、透過型、反射型、半透過型などがある。

40

【0067】

なお、駆動装置とは、半導体素子、電気回路、電子回路を有する装置のことを言う。例えば、ソース信号線から画素内への信号の入力を制御するトランジスタ（選択用トランジスタ、スイッチング用トランジスタなどと呼ぶことがある）、画素電極に電圧または電流を供給するトランジスタ、発光素子に電圧または電流を供給するトランジスタなどは、駆動装置の一例である。さらに、ゲート信号線に信号を供給する回路（ゲートドライバ、ゲート線駆動回路などと呼ぶことがある）、ソース信号線に信号を供給する回路（ソースドライバ、ソース線駆動回路などと呼ぶことがある）などは、駆動装置の一例である。

【0068】

なお、表示装置、半導体装置、照明装置、冷却装置、発光装置、反射装置、駆動装置な

50

どは、互いに重複して有している場合がある。例えば、表示装置が、半導体装置および発光装置を有している場合がある。あるいは、半導体装置が、表示装置および駆動装置を有している場合がある。

【0069】

なお、本書類（明細書、特許請求の範囲又は図面など）において、Aの上にBが形成されている、あるいは、A上にBが形成されている、と明示的に記載する場合は、Aの上にBが直接接して形成されていることに限定されない。直接接してはいない場合、つまり、AとBと間に別の対象物が介在する場合も含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0070】

従って例えば、層Aの上に（もしくは層A上に）、層Bが形成されている、と明示的に記載されている場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、別の層（例えば層Cや層Dなど）は、単層でもよいし、複層でもよい。

【0071】

さらに、Aの上方にBが形成されている、と明示的に記載されている場合についても同様であり、Aの上にBが直接接していることに限定されず、AとBとの間に別の対象物が介在する場合も含むものとする。従って例えば、層Aの上方に、層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、別の層（例えば層Cや層Dなど）は、単層でもよいし、複層でもよい。

【0072】

なお、Aの上にBが直接接して形成されている、と明示的に記載する場合は、Aの上に直接接してBが形成されている場合を含み、AとBと間に別の対象物が介在する場合は含まないものとする。

【0073】

なお、Aの下にBが、あるいは、Aの下方にBが、の場合についても、同様である。

【0074】

なお、本書類（明細書、特許請求の範囲又は図面など）において、明示的に単数として記載されているものについては、単数であることが望ましい。ただし、これに限定されず、複数であることも可能である。同様に、明示的に複数として記載されているものについては、複数であることが望ましい。ただし、これに限定されず、単数であることも可能である。

【発明の効果】

【0075】

本発明の表示装置は駆動回路に記憶回路を複数有するので、複数のライン期間に対応するビデオ信号のデータを並行して保持することができる。そのため、同一のデータを持つライン期間が複数存在し、なおかつ該複数のライン期間の間に別のデータに対応するライン期間が存在していたとしても、一致しているデータと、別のデータとを別々の記憶回路において保持することができる。よって、一致しているデータが保持されている記憶回路において、該複数のライン期間が全て終了するまでデータの書き換えを行う必要がない。すなわち、信号線駆動回路へのビデオ信号の入力と、信号線駆動回路におけるビデオ信号のサンプリングと、サンプリングされたビデオ信号のデータの記憶回路への書き込みとを、該複数のライン期間を通して1度で済ませることができる。

【0076】

したがって、データの一致する複数のライン期間が非連続的に存在する場合であっても、信号線駆動回路の消費電力を効率的に抑えることができる。さらに信号線駆動回路へビデオ信号の入力を行うのに必要な消費電力も抑えることができ、表示装置全体の消費電力

10

20

30

40

50

を抑えることができる。

【0077】

また本発明の表示装置は駆動回路に記憶回路を複数有するので、データの一致する複数のライン期間で構成されるグループが複数混在する場合でも、各グループに対応するデータを、別々の記憶回路において保持することができる。よって、データが保持されている記憶回路において、該データに対応するグループ内の全てのライン期間が終了するまで、該データの書き換えを行う必要がない。すなわち、信号線駆動回路へのビデオ信号の入力と、信号線駆動回路におけるビデオ信号のサンプリングと、サンプリングされたビデオ信号のデータの記憶回路への書き込みとを、一のグループ内の全てのライン期間を通して1度で済ませることができる。

10

【0078】

したがって、データが一致する複数のライン期間で構成されるグループが複数混在する場合であっても、信号線駆動回路の消費電力を効率的に抑えることができる。さらに信号線駆動回路へビデオ信号の入力を行うのに必要な消費電力も抑えることができ、表示装置全体の消費電力を抑えることができる。

【0079】

また本発明の表示装置では、メモリ内に複数のライン期間もしくは複数のフレーム期間に対応するビデオ信号のデータを記憶させることで、データ比較部において一つのライン期間に対応するビデオ信号のデータを、他の複数のライン期間に対応するビデオ信号のデータと比較することができる。よって、隣接するライン期間に対応するデータのみならず、より多くのライン期間に対応するデータとの比較が可能になるので、信号線駆動回路の消費電力を効率的に抑えることができる。

20

【発明を実施するための最良の形態】

【0080】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

【0081】

(実施の形態1)

30

図1に本発明の表示装置のブロック図を示す。本発明の表示装置は複数の画素を有する画素部100と、複数の画素をラインごとに選択することができる走査線駆動回路101と、選択されたライン内の画素へのビデオ信号の入力を制御する信号線駆動回路102とを有する。信号線駆動回路102は、シフトレジスタ103と、サンプリング回路104と、複数の記憶回路とを少なくとも有する。そして各記憶回路は、1ライン分の画素に入力されるデータを保持することができる複数の記憶素子を有している。

【0082】

図1では複数の記憶回路として、第1のラッチ105、第2のラッチ106、第3のラッチ107及び第4のラッチ108を用いた例を示している。なお、本発明の表示装置に用いられるラッチの数は4つに限定されず、ラッチは2つまたは3つであっても良いし、5つ以上であっても良い。

40

【0083】

次に信号線駆動回路102の動作について説明する。シフトレジスタ103にはクロック信号S-CLKと、スタートパルス信号S-SPが入力される。シフトレジスタ103はこれらクロック信号S-CLK及びスタートパルス信号S-SPに従って、パルスが順次シフトするタイミング信号を生成し、サンプリング回路104に入力する。サンプリング回路104では、入力されたタイミング信号に従って、信号線駆動回路102に入力された1ライン期間分のビデオ信号をサンプリングする。そして各画素に対応するビデオ信号をサンプリングしたら、サンプリングされたビデオ信号はその都度下段の第1のラッチ105、第2のラッチ106、第3のラッチ107または第4のラッチ108のいずれか

50

一つまたは複数に入力される。

【 0 0 8 4 】

なお本実施の形態では、1ライン期間を待たずに、その都度下段の記憶回路にサンプリングされたビデオ信号を入力する例について述べたが本発明はこの構成に限定されない。1ライン期間分のビデオ信号を全てサンプリングした後に、一斉に下段の記憶回路にサンプリングされたビデオ信号を入力するようにしても良い。

【 0 0 8 5 】

またビデオ信号のサンプリングは対応する画素毎に順に行っても良いし、1ライン内の画素をいくつかのグループに分け、各グループに対応する画素ごとに並行して行っても良い。

【 0 0 8 6 】

第1のラッチ105、第2のラッチ106、第3のラッチ107及び第4のラッチ108には、ビデオ信号が有するデータの書き込みを制御する書き込み用ラッチ信号 $WS_1 \sim WS_4$ と、保持されているデータの読み出しを制御する読み出し用ラッチ信号 $RS_1 \sim RS_4$ とが、それぞれ入力される。より詳細に説明すると、第1のラッチ105には書き込み用ラッチ信号 WS_1 と、読み出し用ラッチ信号 RS_1 とが入力される。第2のラッチ106には書き込み用ラッチ信号 WS_2 と、読み出し用ラッチ信号 RS_2 とが入力される。第3のラッチ107には書き込み用ラッチ信号 WS_3 と、読み出し用ラッチ信号 RS_3 とが入力される。第4のラッチ108には書き込み用ラッチ信号 WS_4 と、読み出し用ラッチ信号 RS_4 とが入力される。

【 0 0 8 7 】

書き込み用ラッチ信号 $WS_1 \sim WS_4$ に従って、第1のラッチ105、第2のラッチ106、第3のラッチ107または第4のラッチ108には、サンプリング回路104から入力された1ライン期間分のビデオ信号のデータが書き込まれ、保持される。また読み出し用ラッチ信号 $RS_1 \sim RS_4$ に従って、第1のラッチ105、第2のラッチ106、第3のラッチ107または第4のラッチ108に保持されているデータが、ビデオ信号として出力される。

【 0 0 8 8 】

なお図1では記憶回路の後段に直接画素部100が接続されているが、本発明はこの構成に限定されない。画素部100の前段に、第1のラッチ105、第2のラッチ106、第3のラッチ107または第4のラッチ108から出力されたビデオ信号に信号処理を施す回路を設けることができる。信号処理を施す回路の一例として、例えば波形を整形することができるバッファ、振幅を増幅することができるレベルシフタ、アナログ信号に変換することができるデジタルアナログ変換回路などが挙げられる。

【 0 0 8 9 】

そして、第1のラッチ105、第2のラッチ106、第3のラッチ107または第4のラッチ108のいずれか1つから画素部100にビデオ信号が入力されるのと並行して、サンプリング回路104は次のライン期間に対応するビデオ信号を再びサンプリングすることができる。ただし本発明では、次のライン期間に対応するビデオ信号のデータと同じデータが、第1のラッチ105、第2のラッチ106、第3のラッチ107または第4のラッチ108のいずれかにおいて既に保持されている場合、サンプリング回路104におけるビデオ信号のサンプリングを停止することができる。

【 0 0 9 0 】

サンプリングを停止する場合、シフトレジスタ103へのクロック信号 $S-CLK$ 及びスタートパルス信号 $S-SP$ のパルスの入力を停止し、シフトレジスタ103におけるタイミング信号のパルスの生成を停止させる。なお、タイミング信号のパルスの生成を停止させるために、シフトレジスタ103へのクロック信号 $S-CLK$ のパルスの入力をのみを停止しても良いし、逆にシフトレジスタ103へのスタートパルス信号 $S-SP$ のパルスの入力をのみを停止しても良い。シフトレジスタ103からのタイミング信号のパルスの出力が停止することで、サンプリング回路104はビデオ信号のサンプリングを停止する。

10

20

30

40

50

そして読み出し用ラッチ信号RS₁ ~ RS₄に従い、次のライン期間に対応するビデオ信号のデータと同じデータを、第1のラッチ105、第2のラッチ106、第3のラッチ107または第4のラッチ108のいずれかから、画素部100にビデオ信号として入力する。

【0091】

次に、画素部100のjライン目、j+aライン目、j+bライン目の画素において、入力されるビデオ信号のデータが同じである場合を例に挙げ、信号線駆動回路102の具体的な動作について説明する。

【0092】

まず図2(A)に示すように、jライン目の画素が選択されると仮定する。そして、選択されるjライン目の画素へは、例えば第1のラッチ105に保持されているデータがビデオ信号として入力されると仮定する。なお第1のラッチ105へのビデオ信号のデータの書き込みは、信号線駆動回路102内において、シフトレジスタ103がタイミング信号を生成し、該タイミング信号のパルスに従ってサンプリング回路がビデオ信号をサンプリングし、第1のラッチ105に入力するという、一連の動作により行われる。すなわちjライン目の画素にビデオ信号を入力するために、信号線駆動回路102では、図2(B)に示すようにシフトレジスタ103、サンプリング回路104及び第1のラッチ105が駆動することになる。

10

【0093】

次に、図3(A)に示すように、j+aライン目の画素が選択されると仮定する。選択されるj+aライン目の画素へは、jライン目に入力されたビデオ信号と同じデータを有するビデオ信号が入力される。よって、第1のラッチ105に保持されているデータをビデオ信号として入力すれば良い。なお第1のラッチ105へのビデオ信号のデータの書き込みは、jライン目の画素が選択される前に既に完了している。そのため、jライン目の画素の選択が終了した後も第1のラッチ105において該データを保持しておけば、j+aライン目の画素が選択される前に、第1のラッチ105へのデータの書き込みを再び行う必要がなくなる。したがって、j+aライン目の画素にビデオ信号を入力するために信号線駆動回路102では、図3(B)に示すように第1のラッチ105のみ駆動させれば良い。

20

【0094】

次に図4(A)に示すように、j+aライン目の画素が選択された後、j+bライン目の画素が選択される前に、別のデータに対応するラインの画素が選択されると仮定する。そして選択されるラインの画素へは、例えば第3のラッチ107に保持されているデータがビデオ信号として入力されるものと仮定する。なお第3のラッチ107へのビデオ信号のデータの書き込みは、信号線駆動回路102内において、シフトレジスタ103がタイミング信号を生成し、該タイミング信号のパルスに従ってサンプリング回路104がビデオ信号をサンプリングし、第3のラッチ107に入力するという、一連の動作により行われる。すなわち、当該ラインの画素にビデオ信号を入力するために、信号線駆動回路102では、図4(B)に示すようにシフトレジスタ103、サンプリング回路104及び第3のラッチ107が駆動することになる。

30

40

【0095】

なお本発明では、別のデータに対応するラインの画素が選択される間も、第1のラッチ105において、既にかき込まれてあるデータを保持し続けることが可能である。そのため、別のデータに対応するラインの選択が終了した後であっても、j+bライン目の画素が選択されると、j+bライン目の画素に、第1のラッチ105に保持されているデータをビデオ信号として入力することができる。したがって、j+bライン目の画素にビデオ信号を入力するために、信号線駆動回路102では、図3(B)の場合と同様に第1のラッチ105のみ駆動させれば良い。

【0096】

次に、図1に示した表示装置を例に挙げ、シフトレジスタ103に入力されるクロック

50

信号 $S - CLK$ 及びスタートパルス信号 $S - SP$ と、第 1 のラッチ 105、第 2 のラッチ 106、第 3 のラッチ 107 及び第 4 のラッチ 108 にそれぞれ入力される書き込み用ラッチ信号 $WS_1 \sim WS_4$ 及び読み出し用ラッチ信号 $RS_1 \sim RS_4$ と、サンプリング回路 104 から出力されるビデオ信号のデータ ($DATA1$ と記載する) と、画素部 100 に入力されるビデオ信号のデータ ($DATA2$ と記載する) の、タイミングチャートの一例を図 5 に示す。ただし図 5 では、1 ライン期間を待たずに、各画素に対応するビデオ信号をサンプリング回路 104 においてサンプリングしたら、その都度下段の記憶回路にサンプリングされたビデオ信号を入力する場合を例示する。

【0097】

図 5 に示すように、最初に出現するライン期間において、サンプリング回路 104 から『A』と表記されたデータを有するビデオ信号が出力される。第 1 のラッチ 105 には、書き込み用ラッチ信号 WS_1 のパルスに従って、サンプリング回路 104 から出力された、『A』のデータを有するビデオ信号が書き込まれる。なお、このとき、他のラッチ回路においても書き込み用ラッチ信号によって書き込みが可能な状態としても良い。こうすることで『A』のデータを複数のラッチ回路に並行して書き込むことができる。

10

【0098】

次に出現するライン期間では、サンプリング回路 104 から『B』と表記されたデータを有するビデオ信号が出力される。第 2 のラッチ 106 には、書き込み用ラッチ信号 WS_2 のパルスに従って、サンプリング回路 104 から出力された、『B』のデータを有するビデオ信号が書き込まれる。一方、画素部 100 には、読み出し用ラッチ信号 RS_1 のパルスに従って、第 1 のラッチ 105 から『A』のデータを有するビデオ信号が入力される。

20

【0099】

次に出現するライン期間では、サンプリング回路 104 から『C』と表記されたデータを有するビデオ信号が出力される。第 3 のラッチ 107 には、書き込み用ラッチ信号 WS_3 のパルスに従って、サンプリング回路 104 から出力された、『C』のデータを有するビデオ信号が書き込まれる。一方、画素部 100 には、読み出し用ラッチ信号 RS_2 のパルスに従って、第 2 のラッチ 106 から『B』のデータを有するビデオ信号が入力される。

【0100】

次に出現するライン期間では、サンプリング回路 104 から『D』と表記されたデータを有するビデオ信号が出力される。第 4 のラッチ 108 には、書き込み用ラッチ信号 WS_4 のパルスに従って、サンプリング回路 104 から出力された、『D』のデータを有するビデオ信号が書き込まれる。一方、画素部 100 には、読み出し用ラッチ信号 RS_3 のパルスに従って、第 3 のラッチ 107 から『C』のデータを有するビデオ信号が入力される。

30

【0101】

次に出現するライン期間では、クロック信号 $S - CLK$ のパルスとスタートパルス信号 $S - SP$ のパルスのうち、いずれか一方もしくは両方の、シフトレジスタ 103 への入力停止する。よってシフトレジスタ 103 におけるタイミング信号の生成が停止するので、サンプリング回路 104 からのビデオ信号の出力の更新が停止する。そして画素部 100 には、読み出し用ラッチ信号 RS_4 のパルスに従って、第 4 のラッチ 108 から『D』のデータを有するビデオ信号が入力される。

40

【0102】

次に出現するライン期間では、前ライン期間から引き続いて、クロック信号 $S - CLK$ のパルスとスタートパルス信号 $S - SP$ のパルスのうち、いずれか一方もしくは両方の、シフトレジスタ 103 への入力停止する。よってシフトレジスタ 103 におけるタイミング信号の生成が停止するので、サンプリング回路 104 からのビデオ信号の出力の更新が停止する。そして画素部 100 には、読み出し用ラッチ信号 RS_1 のパルスに従って、第 1 のラッチ 105 から『A』のデータを有するビデオ信号が入力される。

50

【0103】

次に出現するライン期間では、前ライン期間から引き続いて、クロック信号S - CLKのパルスとスタートパルス信号S - SPのパルスのうち、いずれか一方もしくは両方の、シフトレジスタ103への入力停止する。よってシフトレジスタ103におけるタイミング信号の生成が停止するので、サンプリング回路104からのビデオ信号の出力の更新が停止する。そして画素部100には、読み出し用ラッチ信号RS₂のパルスに従って、第2のラッチ106から『B』のデータを有するビデオ信号が入力される。

【0104】

次に出現するライン期間では、クロック信号S - CLKのパルス及びスタートパルス信号S - SPのパルスの、シフトレジスタ103への入力再開する。よってシフトレジスタ103におけるタイミング信号の生成も再開されるので、サンプリング回路104から『E』と表記されたデータを有するビデオ信号が出力される。第3のラッチ107には、書き込み用ラッチ信号WS₃のパルスに従って、サンプリング回路104から出力された、『E』のデータを有するビデオ信号が書き込まれる。一方画素部100には、読み出し用ラッチ信号RS₁のパルスに従って、第1のラッチ105から『A』のデータを有するビデオ信号が入力される。

10

【0105】

次に出現するライン期間では、クロック信号S - CLKのパルスとスタートパルス信号S - SPのパルスのうち、いずれか一方もしくは両方の、シフトレジスタ103への入力停止する。よってシフトレジスタ103におけるタイミング信号の生成が停止するので、サンプリング回路104からのビデオ信号の出力の更新が停止する。そして画素部100には、読み出し用ラッチ信号RS₃のパルスに従って、第3のラッチ107から『E』のデータを有するビデオ信号が入力される。

20

【0106】

なお図5では、記憶回路にビデオ信号のデータを書き込んだ後、次以降のライン期間において該書き込んだデータをビデオ信号として画素部100に入力しているが、本発明はこの構成に限定されない。記憶回路にビデオ信号のデータを書き込むのと並行して、該書き込んだデータをビデオ信号として画素部100に入力しても良い。

【0107】

また図5では、1ライン期間を待たずに、各画素に対応するビデオ信号をサンプリング回路104においてサンプリングしたら、その都度下段の記憶回路にサンプリングされたビデオ信号を入力する場合を例示しているが、本発明はこの構成に限定されない。サンプリング回路104において1ライン期間分のビデオ信号を全てサンプリングした後に、一斉に下段の記憶回路にサンプリングされたビデオ信号を入力しても良い。ただしこの場合、1ライン期間内においてビデオ信号をサンプリングする期間と、サンプリングしたビデオ信号を出力する期間とに分け、サンプリング回路104を動作させる。そして後者の期間においてのみ、記憶回路へのサンプリングされたビデオ信号の書き込みを行うようにする。

30

【0108】

本発明の表示装置は、信号線駆動回路102に記憶回路を複数有するので、複数のライン期間に対応するビデオ信号のデータを並行して保持することができる。そのため、例えば図5で示したように、『A』のデータの書き込みに対応する2番目、6番目、8番目のライン期間の間に、別のデータの書き込みに対応するライン期間が存在していたとしても、『A』のデータと、別のデータとを別々の記憶回路において保持することができる。よって、一致している『A』のデータが保持されている記憶回路(図5では第1のラッチ105とした)において、2番目、6番目、8番目のライン期間が全て終了するまでデータの書き換えを行う必要がない。すなわち、信号線駆動回路102へのビデオ信号の入力と、信号線駆動回路102におけるビデオ信号のサンプリングと、サンプリングされたビデオ信号の『A』のデータの記憶回路への書き込みとを、2番目、6番目、8番目のライン期間を通して1度で済ませることができる。

40

50

【0109】

したがって本発明では、データの一致する複数のラインが非連続的に存在する場合であっても、信号線駆動回路102の消費電力を効率的に抑えることができる。さらに信号線駆動回路102へビデオ信号の入力を行うのに必要な消費電力も抑えることができ、表示装置全体の消費電力を抑えることができる。

【0110】

また本発明の表示装置は駆動回路に記憶回路を複数有するので、『A』のデータに対応する2番目、6番目、8番目のライン期間で構成されるグループ、『B』のデータに対応する3番目、7番目、10番目のライン期間で構成されるグループ、というように、データの一致する複数のライン期間で構成されるグループが複数混在する場合でも、各グループに対応するデータを、別々の記憶回路において保持することができる。よって、各データが保持されている記憶回路において、該データに対応するグループ内の全てのライン期間が終了するまで、該データの書き換えを行う必要がない。すなわち、信号線駆動回路102へのビデオ信号の入力と、信号線駆動回路102におけるビデオ信号のサンプリングと、サンプリングされたビデオ信号のデータの記憶回路への書き込みとを、一のグループ内の全てのライン期間を通して1度で済ませることができる。

10

【0111】

したがって、データが一致する複数のライン期間で構成されるグループが複数混在する場合であっても、信号線駆動回路の消費電力を効率的に抑えることができる。さらに信号線駆動回路へビデオ信号の入力を行うのに必要な消費電力も抑えることができ、表示装置全体の消費電力を抑えることができる。

20

【0112】

なお図5では、『A』のデータに対応する複数のライン期間で構成されるグループと、『B』のデータに対応する複数のライン期間で構成されるグループというように、2つのグループが存在する場合について説明したが、グループの数は2つである必要はない。記憶回路におけるデータの書き込みを省略したいグループの数と、記憶回路におけるデータの書き込みと読み出しのタイミングとに合わせて、適宜記憶回路の数を設定する。

【0113】

例えば図5に示したように、記憶回路におけるビデオ信号のデータの書き込みと読み出しのタイミングがずれている場合について考察する。この場合は、一つのラインに属する全画素に一齐にデータを書き込む、線順次駆動が可能となる。また、この場合、『C』のデータに対応したライン期間と、『D』のデータに対応したライン期間のように、他のライン期間とはデータが一致しないライン期間が複数連続で出現すると、一致したデータを書き込む記憶回路の他に、一致しないデータを書き込む記憶回路が必要となる。よって、該グループの数に1を加えた数の記憶回路を信号線駆動回路に設けることが望ましい。

30

【0114】

また例えば図5とは異なり、記憶回路にビデオ信号のデータを書き込まずに、サンプリング回路から直接、ビデオ信号として画素部100に入力することが可能な構成であってもよい。この場合は、画素ごとに順次、信号を書き込む、点順次駆動が可能となる。このとき、信号線駆動回路102には、一致しないデータを書き込む記憶回路は必ずしも備えられていなくてもよく、一致するデータを書き込む記憶回路が備えられていればよい。よって、この場合は、該グループの数と同じ数の記憶回路を信号線駆動回路102に設けることが望ましい。

40

【0115】

なお、信号線駆動回路102は、図5とは異なり、記憶回路にビデオ信号のデータを書き込むのと並行して、該書き込んだデータをビデオ信号として画素部100に入力するように制御されてもよい。この場合は、一つのライン期間内で記憶回路におけるデータの書き込みと読み出しを両方行うことができる。こうすることで、信号線駆動回路102は、線順次駆動ができる構成においても、点順次駆動を実現することが可能となる。

【0116】

50

なお、記憶回路の数が多いと、記憶回路へのデータの書き込みの回数をより多く省略することができ、信号線駆動回路の消費電力低減につながる。また、逆に記憶回路の数を抑えることで、基板に占める信号線駆動回路の面積の割合を抑えることができる。

【0117】

また本実施の形態では、信号線駆動回路と走査線駆動回路とを1つずつ有する表示装置について示したが、本発明はこの構成に限定されない。信号線駆動回路を2つ以上設けても良いし、走査線駆動回路を2つ以上設けても良い。

【0118】

信号線駆動回路を複数設けた場合は、ビデオ信号のサンプリングを複数の信号線駆動回路で順に行うことができるので、信号線駆動回路の駆動周波数を低減でき、消費電力も低減できる。走査線駆動回路を複数設けた場合は、複数のラインを同時に選択し、データを並行して書き込むことができるので、1ライン期間を長くすることができる。したがって、信号線駆動回路の駆動周波数を低減できるため、消費電力も低減できる。

10

【0119】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることができる。

【0120】

20

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態および実施例の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態および実施例の部分を組み合わせることにより、さらに多くの図を構成させることができる。

【0121】

なお、本実施の形態は、他の実施の形態および実施例で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態および実施例で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

30

【0122】

（実施の形態2）

図6に、本発明の表示装置のブロック図を示す。図6に示す表示装置は、図1に示した表示装置に加え、ビデオ信号を記憶するためのメモリと、該メモリに記憶されたビデオ信号を対応するライン期間どうしで比較するデータ比較部110とを有する。図6ではビデオ信号を記憶するためのメモリとして、RAM（Random Access Memory）111とRAM112とを用いる例を示す。RAM111とRAM112には、SDRAM（Synchronous Dynamic Random Access Memory）、DRAM（Dynamic Random Access Memory）、SRAM（Static Random Access Memory）などの各種RAMを用いることができる。

40

【0123】

また本発明の表示装置は、図6に示すように制御回路113とデータフォーマット回路114とを有していても良い。制御回路113には水平方向の同期をとる水平同期信号Hsyncや、垂直方向の同期をとる垂直同期信号Vsyncなどの、画素部100において画面を再構成するために使われる信号と、クロック信号CLKとが入力される。制御回路113は入力された上記信号を用いて、信号線駆動回路102の動作を制御するためのクロック信号S-CLK及びスタートパルス信号S-SP、走査線駆動回路101の動作を制御するためのクロック信号G-CLK及びスタートパルス信号G-SPを生成するこ

50

とができる。

【0124】

データフォーマット回路114は、入力された画像データを用い、制御回路113からの信号に従って、画素部100、走査線駆動回路101及び信号線駆動回路102の仕様に合ったビデオ信号を生成することができる。

【0125】

データフォーマット回路114から出力されたビデオ信号は、RAM111またはRAM112に記憶される。本実施の形態では、RAM111とRAM112に、それぞれ1フレーム期間に対応するビデオ信号を記憶させる場合について説明するが、本発明はこの構成に限定されない。RAM111とRAM112のそれぞれに、1フレーム期間よりも長い期間に対応するビデオ信号を記憶させても良いし、1フレーム期間よりも短い複数のライン期間に対応するビデオ信号を記憶させても良い。

10

【0126】

また本実施の形態では、メモリとして2つのRAMを用いている例を示しているが、本発明ではメモリの数は2つに限定されない。例えば3つ以上のメモリにビデオ信号を記憶させても良いし、1つのメモリにビデオ信号を記憶させても良い。ただしメモリが複数ある場合、メモリへのビデオ信号の書き込みと、メモリからのビデオ信号の読み出しとを並行して行うこともできるので、データ比較部110の駆動速度をより高めることができる。そのため、より多くのデータの比較が可能となり、消費電力をさらに効率よく抑えることが可能になる。

20

【0127】

RAM111とRAM112に記憶されているビデオ信号には、いずれのライン期間に対応するのかという情報がデータフォーマット回路114において付加されている。データ比較部110は、各ライン期間に対応するビデオ信号のデータをRAM111またはRAM112から読み出して、比較し、ビデオ信号のデータが一致する複数のライン期間を抽出する。そしてデータ比較部110は、該複数のライン期間のうち最初に出現するライン期間のタイミングに合わせて、該一致するデータが記憶回路のいずれか一つへ書き込まれるように、なおかつ該複数のライン期間のうち少なくとも最後に出現するライン期間が終了するまで、書き込まれたデータが記憶回路において保持されるように、書き込み用ラッチ信号 $WS_1 \sim WS_4$ を生成する。さらにデータ比較部110は、ビデオ信号のデータが一致する複数のライン期間において、記憶回路に書き込まれたデータがビデオ信号として画素部100に入力されるように、読み出し用ラッチ信号 $RS_1 \sim RS_4$ を生成する。生成された書き込み用ラッチ信号 $WS_1 \sim WS_4$ と、読み出し用ラッチ信号 $RS_1 \sim RS_4$ とは、データ比較部110から信号線駆動回路102内の記憶回路に入力される。

30

【0128】

またデータ比較部110は、ビデオ信号のデータが一致する複数のライン期間を通して、言い換えるとビデオ信号のデータが一致する複数のライン期間において、最初のライン期間が現れてから最後のライン期間が終了するまで、信号線駆動回路102におけるビデオ信号のサンプリングを1度で済ませられるように、該複数のライン期間の出現するタイミングに従って、データ比較部110に入力されたスタートパルス信号 $S-SP$ 、クロック信号 $S-CLK$ に、該複数のラインが書き込まれる期間においてパルスの出力を停止させるように信号処理を施し、信号線駆動回路102内のシフトレジスタ103に入力する。上記構成により、サンプリング回路104におけるビデオ信号のサンプリングを、複数のライン期間を通して一度だけとすることができる。

40

【0129】

さらにデータ比較部110は、ビデオ信号のデータが一致する複数のライン期間を通して、信号線駆動回路102へのビデオ信号の入力を1度で済ませられるように、該複数のライン期間の出現するタイミングに従ってビデオ信号の出力を制御する。

【0130】

図7に、データ比較部110の具体的な構成を一例として示す。図7に示すブロック図

50

では、データ比較部 110 が、コンパレータ 115、アドレスメモリ 116、演算回路 117、PLL (Phase Locked Loop) 回路 118、信号制御回路 119 を有している。

【0131】

演算回路 117 は、RAM 111 または RAM 112 からビデオ信号を読み出す。例えば j 番目のライン期間のビデオ信号と、 $j + a$ ライン目のライン期間のビデオ信号とを読み出したと仮定する。演算回路 117 は読み出したこれらビデオ信号のデータを比較するよう、コンパレータ 115 を制御する。そして、コンパレータ 115 における比較の結果、該ビデオ信号のデータが一致したとすると、演算回路 117 はいずれのライン期間においてデータが一致したかという情報を、アドレスメモリ 116 に記憶させる。

10

【0132】

演算回路 117 は、データを比較しなければならないライン期間の数が多いほど、より高速に駆動させる必要が生じる。例えば 1 個のライン期間に対応するデータを、 N 個のライン期間に対応するデータと比較するならば、演算回路 117 の駆動を制御するクロック信号の周波数は、クロック信号 $S - CLK$ の周波数の N 倍であることが望ましい。よって図 7 に示すデータ比較部 110 では、入力されたクロック信号 $S - CLK$ の周波数を PLL 回路 118 において N 倍に変換し、演算回路 117 に入力する。

【0133】

なお、演算回路 117 の駆動を制御するためのクロック信号を、別途制御回路 113 において生成し、演算回路 117 に入力しても良い。この場合、演算回路 117 の駆動を制御するためのクロック信号の周波数を制御回路 113 において制御することも可能であるので、PLL 回路 118 を敢えて設けなくとも良い。

20

【0134】

また演算回路 117 は、アドレスメモリ 116 から、いずれのライン期間においてデータが一致しているかの情報を読み出す。そして演算回路 117 は、該ライン期間の出現するタイミングに従って、データ比較部 110 に入力されたスタートパルス信号 $S - SP$ 及びクロック信号 $S - CLK$ に信号処理を施すように、信号制御回路 119 を制御する。信号処理を施されたスタートパルス信号 $S - SP$ 及びクロック信号 $S - CLK$ は、信号制御回路 119 から信号線駆動回路 102 に入力される。

【0135】

さらに演算回路 117 は、該ライン期間の出現するタイミングに従って、書き込み用ラッチ信号 $WS_1 \sim WS_4$ と、読み出し用ラッチ信号 $RS_1 \sim RS_4$ とを生成するように、信号制御回路 119 を制御する。生成された書き込み用ラッチ信号 $WS_1 \sim WS_4$ と、読み出し用ラッチ信号 $RS_1 \sim RS_4$ とは、信号制御回路 119 から信号線駆動回路 102 に入力される。

30

【0136】

また演算回路 117 は、該ライン期間の出現するタイミングに従って、信号制御回路 119 から信号線駆動回路 102 へのビデオ信号の入力を制御する。例えば図 7 に示すように、 j 番目のライン期間では、 j 番目のライン期間のビデオ信号と、 $j + p$ ライン目のライン期間のビデオ信号とが演算回路 117 に入力され、データの比較が行われる。そして演算回路 117 は、比較の結果に関わらず、 j 番目のライン期間のビデオ信号が信号線駆動回路 102 に出力されるように、信号制御回路 119 を制御する。次に図 21 に示すように、 j 番目のライン期間のビデオ信号のデータと、 $j + p$ ライン目のライン期間のビデオ信号のデータとが一致する場合、演算回路 117 は、 $j + p$ 番目のライン期間において、ビデオ信号の信号線駆動回路 102 への出力を停止する。逆に j 番目のライン期間のビデオ信号のデータと、 $j + p$ ライン目のライン期間のビデオ信号のデータとが一致しない場合、演算回路 117 は $j + p$ 番目のライン期間のビデオ信号が信号線駆動回路 102 に出力されるように、信号制御回路 119 を制御する。なお $j + p$ 番目のライン期間では、 $j + p$ 番目のライン期間のビデオ信号と、 $j + q$ ライン目 ($p < q$) のライン期間のビデオ信号とが演算回路 117 に入力され、データの比較が行われる。

40

50

【 0 1 3 7 】

なお同じデータに対応する複数のライン期間のグループが複数混在し、かつそのグループの数が、記憶回路においてデータの保持が可能な数よりも多い場合が想定される。この場合、先に記憶回路にデータが書き込まれたグループを優先させ、残りのグループは通常通りの動作、すなわち各ライン期間で記憶回路においてビデオ信号のデータの書き換えを行うようにしても良い。あるいは記憶回路において先に他のデータが書き込まれていたとしても、後に別のグループに属するライン期間が出現したら、該グループの方を優先させるべく該グループに対応するデータを書き込むようにしても良い。

【 0 1 3 8 】

また同じデータに対応するライン期間の数が多きグループを優先させるべく、該グループのデータを記憶回路に書き込むようにしても良い。図 8 に、同じデータに対応する複数のライン期間のグループが複数混在した場合に、該ライン期間の数に従って該グループに優先順位をつける場合の、データ比較部 1 1 0 の構成を示す。

【 0 1 3 9 】

図 8 に示すブロック図では、データ比較部 1 1 0 が、コンパレータ 1 1 5、アドレスメモリ 1 1 6、演算回路 1 1 7、PLL (Phase Locked Loop) 回路 1 1 8、信号制御回路 1 1 9 に加え、カウンタ 1 2 0 をさらに有している。図 8 に示したデータ比較部 1 1 0 では、コンパレータ 1 1 5 における比較の結果、データが一致した場合に、一致したという情報をカウンタ 1 2 0 に送る。カウンタ 1 2 0 において、該情報に基づきデータが一致するライン期間の数がカウントされると、演算回路 1 1 7 は該ライン期間の数を参照して優先順位を各グループに付ける。そして、優先順位の高いグループのデータが優先的に記憶回路において保持されるように、書き込み用ラッチ信号 $WS_1 \sim WS_4$ と、読み出し用ラッチ信号 $RS_1 \sim RS_4$ とを生成させるべく、信号制御回路 1 1 9 を制御する。

【 0 1 4 0 】

なお図 6 に示した本発明の表示装置では、スタートパルス信号 $S - SP$ 及びクロック信号 $S - CLK$ の信号処理、書き込み用ラッチ信号 $WS_1 \sim WS_4$ 及び読み出し用ラッチ信号 $RS_1 \sim RS_4$ の生成を、全てデータ比較部 1 1 0 において行っていたが、制御回路 1 1 3 において行うようにしても良い。次に、図 6 で示した表示装置において、スタートパルス信号 $S - SP$ 及びクロック信号 $S - CLK$ の信号処理、書き込み用ラッチ信号 $WS_1 \sim WS_4$ 及び読み出し用ラッチ信号 $RS_1 \sim RS_4$ の生成を制御回路 1 1 3 において行う場合における、データ比較部 1 1 0 の動作について、図 9 を用いて説明する。

【 0 1 4 1 】

図 9 に示すブロック図において、データ比較部 1 1 0 は、各ライン期間に対応するビデオ信号のデータを RAM 1 1 1 または RAM 1 1 2 から読み出して、比較し、ビデオ信号のデータが一致する複数のライン期間を抽出する。そしていずれのライン期間が抽出されたのかという情報を含む信号を、タイミング制御信号として制御回路 1 1 3 に入力する。またデータ比較部 1 1 0 は、ビデオ信号のデータが一致する複数のライン期間を通して、信号線駆動回路 1 0 2 へのビデオ信号の入力を 1 度で済ませられるように、該複数のライン期間の出現するタイミングに従ってビデオ信号の出力を制御する。

【 0 1 4 2 】

制御回路 1 1 3 は、入力されたタイミング制御信号に従って、ビデオ信号のデータが一致する複数のライン期間のうち、最初に出現するライン期間のタイミングに合わせて、該一致するデータが記憶回路のいずれか一つへ書き込まれるように、なおかつ該複数のライン期間のうち少なくとも最後に出現するライン期間が終了するまで、書き込まれたデータが記憶回路において保持されるように、書き込み用ラッチ信号 $WS_1 \sim WS_4$ を生成する。さらに制御回路 1 1 3 は、入力されたタイミング制御信号に従って、ビデオ信号のデータが一致する複数のライン期間において、記憶回路に書き込まれたデータがビデオ信号として画素部 1 0 0 に入力されるように、読み出し用ラッチ信号 $RS_1 \sim RS_4$ を生成する。生成された書き込み用ラッチ信号 $WS_1 \sim WS_4$ と、読み出し用ラッチ信号 $RS_1 \sim R$

10

20

30

40

50

S_4 とは、制御回路113から信号線駆動回路102内の記憶回路に入力される。

【0143】

また制御回路113には水平方向の同期をとる水平同期信号Hsyncや、垂直方向の同期をとる垂直同期信号Vsyncなどの、画素部100において画面を再構成するために使われる信号と、クロック信号CLKとが入力される。制御回路113は入力された上記信号を用いて、信号線駆動回路102の動作を制御するためのクロック信号S-CLK及びスタートパルス信号S-SP、走査線駆動回路101の動作を制御するためのクロック信号G-CLK及びスタートパルス信号G-SP、データ比較部の110の駆動を制御するためのクロック信号A-CLKを生成することができる。クロック信号A-CLKは、制御回路113からデータ比較部110に出力される。そして制御回路113は、ビデオ信号のデータが一致する複数のライン期間を通して、信号線駆動回路102におけるビデオ信号のサンプリングを1度で済ませられるように、入力されたタイミング制御信号に従って、スタートパルス信号S-SP及びクロック信号S-CLKに信号処理を施し、信号線駆動回路102内のシフトレジスタ103に入力する。上記構成により、サンプリング回路104におけるビデオ信号のサンプリングを、複数のライン期間を通して一度だけとすることができる。

10

【0144】

図10を用いて、同じデータに対応する複数のライン期間のグループが複数混在した場合に、該ライン期間の数に従って該グループに優先順位をつける場合の、データ比較部110の構成を示す。

20

【0145】

図8に示すブロック図では、データ比較部110が、コンパレータ115、アドレスメモリ116、演算回路117、PLL(Phase Locked Loop)回路118、信号制御回路119に加え、カウンタ120をさらに有している。図8に示したデータ比較部110では、コンパレータ115における比較の結果、データが一致した場合に、一致したという情報をカウンタ120に送る。カウンタ120において、該情報に基づきデータが一致するライン期間の数がカウントされると、演算回路117は該ライン期間の数を参照して優先順位を各グループに付ける。そして、優先順位の高いグループのデータが優先的に記憶回路において保持されるように、書き込み用ラッチ信号 $WS_1 \sim WS_4$ と、読み出し用ラッチ信号 $RS_1 \sim RS_4$ とを生成させるべく、信号制御回路119を制御する。

30

【0146】

次に、スタートパルス信号S-SP及びクロック信号S-CLKの信号処理、書き込み用ラッチ信号 $WS_1 \sim WS_4$ 及び読み出し用ラッチ信号 $RS_1 \sim RS_4$ の生成を制御回路113において行う場合における、図7、図8で示したデータ比較部110の動作について、図10を用いて説明する。なお図10では図8に示したデータ比較部110を例に挙げてその動作について説明するが、図7に示したデータ比較部110も同様にその動作を説明することができる。

【0147】

図10において演算回路117は、アドレスメモリ116から、いずれのライン期間においてデータが一致しているかの情報を読み出す。そして演算回路117は、該情報に基づき、いずれのライン期間が抽出されたのかという情報を含むタイミング制御信号を生成するように、信号制御回路119を制御する。生成されたタイミング制御信号は、信号制御回路119から制御回路113に入力される。

40

【0148】

また図10に示すデータ比較部110では、入力されたクロック信号A-CLKの周波数をPLL回路118においてN倍に変換し、演算回路117に入力する。演算回路117の駆動を制御するためのクロック信号A-CLKの周波数を、別途制御回路113において変換してから、演算回路117に入力しても良い。この場合、演算回路117の駆動を制御するためのクロック信号の周波数を制御回路113において制御するので、PLL

50

回路 118 を敢えて設けなくとも良い。

【0149】

本発明の表示装置では、RAM 111、RAM 112 内に複数のライン期間もしくは複数のフレーム期間に対応するビデオ信号のデータを記憶させることで、データ比較部 110 において一つのライン期間に対応するビデオ信号のデータを、他の複数のライン期間に対応するビデオ信号のデータと比較することができる。よって、隣接するライン期間に対応するデータのみならず、より多くのライン期間に対応するデータの比較が可能になるので、信号線駆動回路 102 の消費電力を効率的に抑えることができる。

【0150】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることができる。

10

【0151】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態および実施例の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態および実施例の部分を組み合わせることにより、さらに多くの図を構成させることができる。

20

【0152】

なお、本実施の形態は、他の実施の形態および実施例で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態および実施例で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【0153】

（実施の形態 3）

本実施の形態では、本発明の表示装置が有する走査線駆動回路の構成について説明する。図 11 に、本発明の表示装置の構成を示すブロック図を、一例として示す。図 11 は、図 1 に示した表示装置において走査線駆動回路 101 の構成をより詳しく示したものに相当する。図 11 において走査線駆動回路 101 はシフトレジスタ 121 と、バッファ 122 を有する。

30

【0154】

走査線駆動回路 101 には、スタートパルス信号 G - SP 及びクロック信号 G - CLK が入力される。シフトレジスタ 103 はこれらクロック信号 G - CLK 及びスタートパルス信号 G - SP に従って、パルスが順次シフトする選択信号を生成する。バッファ 122 は、生成された選択信号を波形整形または増幅し、画素部 100 に入力する。選択信号はラインごとに画素に入力されており、選択信号が有するパルスによって複数あるラインのうちから一のラインを選択することができる。

40

【0155】

なお波形整形には AND、OR、NAND、NOR 等の論理素子を用いた論理回路によって、パルス幅の制御を行うことを含む。また増幅は、レベルシフタ、差動増幅回路等を用いた信号の振幅の変更、トランジスタのサイズ調整等による画素部の配線とのインピーダンス整合を含む。

【0156】

選択されたラインの画素には、信号線駆動回路 102 からビデオ信号が入力される。

【0157】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、

50

又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【0158】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態および実施例の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態および実施例の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【0159】

なお、本実施の形態は、他の実施の形態および実施例で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態および実施例で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【0160】

（実施の形態4）

本実施の形態では、画素部にアナログのビデオ信号を入力することができる、本発明の表示装置の構成について説明する。図12に、本発明の表示装置の構成を示すブロック図を、一例として示す。

【0161】

図12に示す本発明の表示装置は、複数の画素を有する画素部200と、複数の画素をラインごとに選択することができる走査線駆動回路201と、選択されたライン内の画素へのビデオ信号の入力を制御する信号線駆動回路202とを有する。信号線駆動回路202は、シフトレジスタ203と、サンプリング回路204と、複数の記憶回路と、デジタルアナログ(DA)変換回路209とを少なくとも有する。図12では複数の記憶回路として、第1のラッチ205、第2のラッチ206、第3のラッチ207及び第4のラッチ208を用いた例を示している。なお、本発明の表示装置に用いられるラッチの数は4つに限定されず、ラッチは2つまたは3つであっても良いし、5つ以上であっても良い。

【0162】

次に信号線駆動回路202の動作について説明する。図12に示す表示装置は、図1の場合と同様に、シフトレジスタ203にクロック信号S-CLKと、スタートパルス信号S-SPが入力される。シフトレジスタ203はこれらクロック信号S-CLK及びスタートパルス信号S-SPに従って、パルスが順次シフトするタイミング信号を生成し、サンプリング回路204に入力する。サンプリング回路204では、入力されたタイミング信号に従って、信号線駆動回路202に入力された1ライン期間分のビデオ信号をサンプリングする。そして1ライン期間分のビデオ信号が全てサンプリングされると、サンプリングされたビデオ信号は一斉に第1のラッチ205、第2のラッチ206、第3のラッチ207または第4のラッチ208のいずれか一つまたは複数に出力される。

【0163】

なお本実施の形態では、1ライン期間分のビデオ信号を全てサンプリングした後に、一斉に下段の記憶回路にサンプリングされたビデオ信号を入力する場合を例に挙げて説明するが、本発明はこの構成に限定されない。1ライン期間を待たずに、各画素に対応するビデオ信号をサンプリングしたら、その都度下段の記憶回路にサンプリングされたビデオ信号を入力しても良い。

【0164】

またビデオ信号のサンプリングは対応する画素毎に順に行っても良いし、1ライン内の画素をいくつかのグループに分け、各グループに対応する画素ごとに並行して行っても良い。

【0165】

10

20

30

40

50

また本実施の形態では、入力されるデジタルのビデオ信号のビット数に合わせて、各記憶回路が有する記憶素子の素子数が決まる。例えば8ビットのビデオ信号で表示を行う場合、第1のラッチ205、第2のラッチ206、第3のラッチ207及び第4のラッチ208は、それぞれ1ラインに含まれる画素数の8倍にあたるフリップフロップ回路を有する。

【0166】

第1のラッチ205、第2のラッチ206、第3のラッチ207及び第4のラッチ208には、ビデオ信号が有するデータの書き込みを制御する書き込み用ラッチ信号 $WS_1 \sim WS_4$ と、保持されているデータの読み出しを制御する読み出し用ラッチ信号 $RS_1 \sim RS_4$ とが、それぞれ入力される。より詳細に説明すると、第1のラッチ205には書き込み用ラッチ信号 WS_1 と、読み出し用ラッチ信号 RS_1 とが入力される。第2のラッチ206には書き込み用ラッチ信号 WS_2 と、読み出し用ラッチ信号 RS_2 とが入力される。第3のラッチ207には書き込み用ラッチ信号 WS_3 と、読み出し用ラッチ信号 RS_3 とが入力される。第4のラッチ208には書き込み用ラッチ信号 WS_4 と、読み出し用ラッチ信号 RS_4 とが入力される。

10

【0167】

書き込み用ラッチ信号 $WS_1 \sim WS_4$ に従って、第1のラッチ205、第2のラッチ206、第3のラッチ207または第4のラッチ208には、サンプリング回路204から出力された1ライン期間分のビデオ信号のデータが書き込まれ、保持される。また読み出し用ラッチ信号 $RS_1 \sim RS_4$ に従って、第1のラッチ205、第2のラッチ206、第3のラッチ207または第4のラッチ208に保持されているデータが、ビデオ信号としてDA変換回路209に入力される。DA変換回路209は、入力されたデジタルのビデオ信号をアナログのビデオ信号に変換し、画素部200に入力する。

20

【0168】

なお図1ではDA変換回路209の後段に直接画素部200が接続されているが、本発明はこの構成に限定されない。画素部200の前段に、DA変換回路209から出力されたアナログのビデオ信号に信号処理を施す回路を設けることができる。信号処理を施す回路の一例として、例えば波形を整形することができるバッファ、振幅を増幅することができるレベルシフトなどが挙げられる。

30

【0169】

そして、DA変換回路209から画素部200にビデオ信号が入力されるのと並行して、サンプリング回路204は次のライン期間に対応するビデオ信号を再びサンプリングすることができる。ただし本発明では、次のライン期間に対応するビデオ信号のデータと同じデータが、第1のラッチ205、第2のラッチ206、第3のラッチ207または第4のラッチ208のいずれかにおいて既に保持されている場合、サンプリング回路204におけるビデオ信号のサンプリングを停止することができる。

【0170】

サンプリングを停止する場合、シフトレジスタ203へのクロック信号 $S-CLK$ 及びスタートパルス信号 $S-SP$ のパルスのいずれか一つまたは両方の入力を停止し、シフトレジスタ203におけるタイミング信号のパルスの生成を停止させる。シフトレジスタ203からのタイミング信号のパルスの出力が停止することで、サンプリング回路204はビデオ信号のサンプリングを停止する。そして読み出し用ラッチ信号 $RS_1 \sim RS_4$ に従い、次のライン期間に対応するビデオ信号のデータと同じデータを、第1のラッチ205、第2のラッチ206、第3のラッチ207または第4のラッチ208のいずれかから、DA変換回路209にビデオ信号として入力する。DA変換回路209は入力されたデジタルのビデオ信号をアナログのビデオ信号に変換し、画素部200に入力する。

40

【0171】

本実施の形態で示したように、本発明の表示装置は、画素部200において画素が有する表示素子が、アナログのビデオ信号で表示を行うことができる。

【0172】

50

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【0173】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態および実施例の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態および実施例の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

10

【0174】

なお、本実施の形態は、他の実施の形態および実施例で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一列などを示している。したがって、他の実施の形態および実施例で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【0175】

（実施の形態5）

本実施の形態においては、表示装置の画素構造について説明する。特に、液晶表示装置の画素構造について説明する。

20

【0176】

各液晶モードとトランジスタとを組み合わせた場合の画素構造について、画素の断面図を参照して説明する。

【0177】

なお、トランジスタとしては、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体層を有する薄膜トランジスタ（TFT）などを用いることが出来る。

【0178】

なお、トランジスタの構造としては、トップゲート型又はボトムゲート型などを用いることができる。なお、ボトムゲート型のトランジスタとしては、チャンネルエッチ型又はチャンネル保護型などを用いることができる。

30

【0179】

図22は、TN方式とトランジスタとを組み合わせた場合の画素の断面図の一例である。図22に示す画素構造を液晶表示装置に適用することによって、安価に液晶表示装置を製造することができる。

【0180】

図22に示す画素構造の特徴について説明する。図22に示した液晶分子10118は、長軸と短軸を持った細長い分子である。液晶分子10118の向きを示すため、図22においては、その長さによって表現している。すなわち、長く表現された液晶分子10118は、その長軸の向きが紙面に平行であり、短く表現された液晶分子10118ほど、その長軸の向きが紙面の法線方向に近くなっているとす。つまり、図22に示した液晶分子10118は、第1の基板10101に近いものと、第2の基板10116に近いものとは、その長軸の向きが90度異なっており、これらの中に位置する液晶分子10118の長軸の向きは、これらを滑らかにつなぐような向きとなる。すなわち、図22に示した液晶分子10118は、第1の基板10101と第2の基板10116の間で、90度ねじれているような配向状態となっている。

40

【0181】

なお、トランジスタとして、非晶質半導体を用いたボトムゲート型のトランジスタを用いた場合について説明する。非晶質半導体を用いたトランジスタを用いた場合、大面積の基

50

板を用いて、安価に液晶表示装置を製造することができる。

【0182】

液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した2枚の基板を、数マイクロメートルのギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで作製される。図22において、2枚の基板は、第1の基板10101及び第2の基板10116である。第1の基板には、トランジスタ及び画素電極が形成される。第2の基板には、遮光膜10114、カラーフィルタ10115、第4の導電層10113、スペーサ10117、及び第2の配向膜10112が形成される。

【0183】

なお、第2の基板10116に遮光膜10114が形成されていなくてもよい。遮光膜10114を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。一方、遮光膜10114を形成する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

【0184】

なお、第2の基板10116にカラーフィルタ10115が形成されていなくてもよい。カラーフィルタ10115を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。ただし、カラーフィルタ10115を形成しない場合でも、フィールドシーケンシャル駆動によってカラー表示ができる表示装置を得ることができる。一方、カラーフィルタ10115を形成する場合は、カラー表示ができる表示装置を得ることができる。

【0185】

なお、スペーサ10117の代わりに、球状のスペーサを散布してもよい。球状のスペーサを散布する場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。一方、スペーサ10117を形成する場合は、スペーサの位置がばらつかないため、2枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

【0186】

第1の基板10101に施す加工について説明する。

【0187】

まず、第1の基板10101上に、第1の絶縁膜10102がスパッタ法、印刷法又は塗布法などによって成膜される。ただし、第1の絶縁膜10102は成膜されていなくてもよい。第1の絶縁膜10102は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

【0188】

次に、第1の絶縁膜10102上に、第1の導電層10103がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。

【0189】

次に、第2の絶縁膜10104がスパッタ法、印刷法又は塗布法などによって全面に成膜されている。第2の絶縁膜10104は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

【0190】

次に、第1の半導体層10105及び第2の半導体層10106が形成される。なお、第1の半導体層10105及び第2の半導体層10106は連続して成膜され、同時にその形状が加工される。

【0191】

次に、第2の導電層10107がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。なお、第2の導電層10107の形状が加工されるときに行われるエッチング方法としては、ドライエッチングで行なうのが好適である。なお、第2の導電層10107としては、透明性を有する材料を用いてもよいし、反射性を有す

10

20

30

40

50

る材料を用いてもよい。

【0192】

次に、トランジスタのチャネル領域を形成する。その工程の一例を説明する。第2の半導体層10106は、第2の導電層10107をマスクとして用いてエッチングされる。あるいは、第2の導電層10107の形状を加工するためのマスクを用いてエッチングされる。そして、第2の半導体層10106が除去された部分の第1の導電層10103がトランジスタとチャネル領域となる。こうすることで、マスク枚数を減らすことができるので、製造コストを低減することができる。

【0193】

次に、第3の絶縁膜10108が形成され、第3の絶縁膜10108には選択的にコンタクトホールが形成されている。なお、第3の絶縁膜10108にコンタクトホールを形成すると同時に、第2の絶縁膜10104にもコンタクトホールを形成してもよい。なお、第3の絶縁膜10108の表面は、できるだけ平坦であることが好適である。なぜならば、液晶が接する面の凹凸により、液晶分子の配向が影響を受けてしまうからである。

【0194】

次に、第3の導電層10109がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。

【0195】

次に、第1の配向膜10110が形成される。なお、第1の配向膜10110を形成後、液晶分子の配向を制御するために、ラビングを行なってもよい。ラビングは、布で配向膜をこすることによって、配向膜にスジをつける工程である。ラビングを行なうことによって、配向膜に配向性を持たせることができる。

【0196】

以上のように作製した第1の基板10101と、遮光膜10114、カラーフィルタ10115、第4の導電層10113、スペーサ10117及び第2の配向膜10112が形成された第2の基板10116とがシール材によって数マイクロメートルのギャップを持たせて貼り合わせられる。そして、2枚の基板間に液晶材料が注入される。なお、TN方式では、第4の導電層10113は、第2の基板10116の全面に形成される。

【0197】

図23(A)は、MVA(Multi-domain Vertical Alignment)方式とトランジスタとを組み合わせた場合の画素の断面図の一例である。図23(A)に示す画素構造を液晶表示装置に適用することによって、視野角が大きく、応答速度が速く、コントラストの大きい液晶表示装置を得ることができる。

【0198】

図23(A)に示す画素構造の特徴について説明する。MVA方式の液晶パネルの画素構造の特徴について説明する。図23(A)に示した液晶分子10218は、長軸と短軸を持った細長い分子である。液晶分子10218の向きを示すため、図23(A)においては、その長さによって表現している。すなわち、長く表現された液晶分子10218は、その長軸の向きが紙面に平行であり、短く表現された液晶分子10218ほど、その長軸の向きが紙面の法線方向に近くなっているとす。つまり、図23(A)に示した液晶分子10218は、その長軸の向きが配向膜の法線方向を向くように配向している。よって、配向制御用突起10219のある部分の液晶分子10218は、配向制御用突起10219を中心として放射状に配向する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

【0199】

なお、トランジスタとして、非晶質半導体を用いたボトムゲート型のトランジスタを用いた場合について説明する。非晶質半導体を用いたトランジスタを用いた場合、大面積の基板を用いて、安価に液晶表示装置を製造することができる。

【0200】

液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネル

10

20

30

40

50

は、加工を施した2枚の基板を、数マイクロメートルのギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで作製される。図23(A)において、2枚の基板は、第1の基板10201及び第2の基板10216である。第1の基板には、トランジスタ及び画素電極が形成されている。第2の基板には、遮光膜10214、カラーフィルタ10215、第4の導電層10213、スペーサ10217、第2の配向膜10212、及び配向制御用突起10219が形成されている。

【0201】

なお、第2の基板10216に遮光膜10214が形成されていなくてもよい。遮光膜10214を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。一方、遮光膜10214を形成する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

10

【0202】

なお、第2の基板10216にカラーフィルタ10215が形成されていなくてもよい。カラーフィルタ10215を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。ただし、カラーフィルタ10215を作製しない場合でも、フィールドシーケンシャル駆動によってカラー表示ができる表示装置を得ることができる。一方、カラーフィルタ10215を形成する場合は、カラー表示ができる表示装置を得ることができる。

【0203】

なお、第2の基板10216にスペーサ10217の代わりに、球状のスペーサを散布してもよい。球状のスペーサを散布する場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ10217を形成する場合は、スペーサの位置がばらつかないため、2枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

20

【0204】

第1の基板10201に施す加工について説明する。

【0205】

まず、第1の基板10201上に、第1の絶縁膜10202がスパッタ法、印刷法又は塗布法などによって成膜される。ただし、第1の絶縁膜10202は成膜されていなくてもよい。第1の絶縁膜10202は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

30

【0206】

次に、第1の絶縁膜10202上に、第1の導電層10203がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。

【0207】

次に、第2の絶縁膜10204がスパッタ法、印刷法又は塗布法などによって全面に成膜されている。第2の絶縁膜10204は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

【0208】

次に、第1の半導体層10205及び第2の半導体層10206が形成される。なお、第1の半導体層10205及び第2の半導体層10206は連続して成膜され、同時にその形状が加工される。

40

【0209】

次に、第2の導電層10207がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。なお、第2の導電層10207の形状が加工されるときに行われるエッチング方法としては、ドライエッチングで行なうのが好適である。なお、第2の導電層10207としては、透明性を有する材料を用いてもよいし、反射性を有する材料を用いてもよい。

【0210】

次に、トランジスタのチャンネル領域を形成する。その工程の一例を説明する。第2の半導

50

体層 10206 は、第 2 の導電層 10207 をマスクとして用いてエッチングされる。あるいは、第 2 の導電層 10207 の形状を加工するためのマスクを用いてエッチングされる。そして、第 2 の半導体層 10206 が除去された部分の第 1 の導電層 10203 がトランジスタとチャンネル領域となる。こうすることで、マスク枚数を減らすことができるので、製造コストを低減することができる。

【0211】

次に、第 3 の絶縁膜 10208 が形成され、第 3 の絶縁膜 10208 には選択的にコンタクトホールが形成されている。なお、第 3 の絶縁膜 10208 にコンタクトホールを形成すると同時に、第 2 の絶縁膜 10204 にもコンタクトホールを形成してもよい。

【0212】

次に、第 3 の導電層 10209 がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。

【0213】

次に、第 1 の配向膜 10210 が形成される。なお、第 1 の配向膜 10210 を形成後、液晶分子の配向を制御するために、ラビングを行なってもよい。ラビングは、布で配向膜をこすることによって、配向膜にスジをつける工程である。ラビングを行なうことによって、配向膜に配向性を持たせることができる。

【0214】

以上のように作製した第 1 の基板 10201 と、遮光膜 10214、カラーフィルタ 10215、第 4 の導電層 10213、スペーサ 10217、及び第 2 の配向膜 10212 を作製した第 2 の基板 10216 とがシール材によって数マイクロメートルのギャップを持たせて貼り合わせられる。そして、2 枚の基板間に液晶材料が注入される。なお、MVA 方式では、第 4 の導電層 10213 は、第 2 の基板 10216 の全面に形成されている。なお、第 4 の導電層 10213 に接して、配向制御用突起 10219 が形成されている。配向制御用突起 10219 の形状は、滑らかな曲面を持った形状であることが好ましい。こうすることで、近接する液晶分子 10218 の配向が極近いものとなるため、配向不良を低減することができる。配向膜の段切れによって起こる配向膜の不良を低減することができる。

【0215】

図 23 (B) は、PVA (Patterned Vertical Alignment) 方式とトランジスタとを組み合わせた場合の画素の断面図の一例である。図 23 (B) に示す画素構造を液晶表示装置に適用することによって、視野角が大きく、応答速度が速く、コントラストの大きい液晶表示装置を得ることができる。

【0216】

図 23 (B) に示す画素構造の特徴について説明する。図 23 (B) に示した液晶分子 10248 は、長軸と短軸を持った細長い分子である。液晶分子 10248 の向きを示すため、図 23 (B) においては、その長さによって表現している。すなわち、長く表現された液晶分子 10248 は、その長軸の向きが紙面に平行であり、短く表現された液晶分子 10248 ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図 23 (B) に示した液晶分子 10248 は、その長軸の向きが配向膜の法線方向を向くように配向している。よって、電極切り欠き部 10249 のある部分の液晶分子 10248 は、電極切り欠き部 10249 と第 4 の導電層 10243 の境界を中心として放射状に配向する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

【0217】

なお、トランジスタとして、非晶質半導体を用いたボトムゲート型のトランジスタを用いた場合について説明する。非晶質半導体を用いたトランジスタを用いた場合、大面積の基板を用いて、安価に液晶表示装置を製造することができる。

【0218】

液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネル

10

20

30

40

50

は、加工を施した2枚の基板を、数マイクロメートルのギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで作製される。図23(B)において、2枚の基板は、第1の基板10231、及び第2の基板10246である。第1の基板には、トランジスタ及び画素電極が形成されている。第2の基板には、遮光膜10244、カラーフィルタ10245、第4の導電層10243、スペーサ10247、及び第2の配向膜10242が形成されている。

【0219】

なお、第2の基板10246に遮光膜10244が形成されていなくてもよい。遮光膜10244を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。一方、遮光膜10244を形成する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

10

【0220】

なお、第2の基板10246にカラーフィルタ10245が形成されていなくてもよい。カラーフィルタ10245を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。ただし、カラーフィルタ10245を作製しない場合でも、フィールドシーケンシャル駆動によってカラー表示ができる表示装置を得ることができる。一方、カラーフィルタ10245を形成する場合は、カラー表示ができる表示装置を得ることができる。

【0221】

なお、第2の基板10246にスペーサ10247の代わりに、球状のスペーサを散布してもよい。球状のスペーサを散布する場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ10247を形成する場合は、スペーサの位置がばらつかないため、2枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

20

【0222】

第1の基板10231に施す加工について説明する。

【0223】

まず、第1の基板10231上に、第1の絶縁膜10232がスパッタ法、印刷法又は塗布法などによって成膜される。ただし、第1の絶縁膜10232は成膜されていなくてもよい。第1の絶縁膜10232は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

30

【0224】

次に、第1の絶縁膜10232上に、第1の導電層10233がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。

【0225】

次に、第2の絶縁膜10234がスパッタ法、印刷法又は塗布法などによって全面に成膜されている。第2の絶縁膜10234は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

【0226】

次に、第1の半導体層10235及び第2の半導体層10236が形成される。なお、第1の半導体層10235及び第2の半導体層10236は連続して成膜され、同時にその形状が加工される。

40

【0227】

次に、第2の導電層10237がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。なお、第2の導電層10237の形状が加工されるときに行われるエッチング方法としては、ドライエッチングで行なうのが好適である。なお、第2の導電層10237としては、透明性を有する材料を用いてもよいし、反射性を有する材料を用いてもよい。

【0228】

次に、トランジスタのチャンネル領域を形成する。その工程の一例を説明する。第2の半導

50

体層 10236 は、第 2 の導電層 10237 をマスクとして用いてエッチングされる。あるいは、第 2 の導電層 10237 の形状を加工するためのマスクを用いてエッチングされる。そして、第 2 の半導体層 10236 が除去された部分の第 1 の導電層 10233 がトランジスタとチャンネル領域となる。こうすることで、マスク枚数を減らすことができるので、製造コストを低減することができる。

【0229】

次に、第 3 の絶縁膜 10238 が形成され、第 3 の絶縁膜 10238 には選択的にコンタクトホールが形成されている。なお、第 3 の絶縁膜 10238 にコンタクトホールを形成すると同時に、第 2 の絶縁膜 10234 にもコンタクトホールを形成してもよい。なお、第 3 の絶縁膜 10238 の表面は、できるだけ平坦であることが好適である。なぜならば、液晶が接する面の凹凸により、液晶分子の配向が影響を受けてしまうからである。

10

【0230】

次に、第 3 の導電層 10239 がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。

【0231】

次に、第 1 の配向膜 10240 が形成される。なお、第 1 の配向膜 10240 を形成後、液晶分子の配向を制御するために、ラビングを行なってもよい。ラビングは、布で配向膜をこすることによって、配向膜にスジをつける工程である。ラビングを行なうことによって、配向膜に配向性を持たせることができる。

【0232】

20

以上のように作製した第 1 の基板 10231 と、遮光膜 10244、カラーフィルタ 10245、第 4 の導電層 10243、スペーサ 10247、及び第 2 の配向膜 10242 を作製した第 2 の基板 10246 とがシール材によって数マイクロメートルのギャップを持たせて貼り合わせられる。そして、2 枚の基板間に液晶材料が注入される。なお、PVA 方式では、第 4 の導電層 10243 にパターン加工が施され、電極切り欠き部 10249 が形成される。なお、電極切り欠き部 10249 の形状に限定はないが、異なる向きを持った複数の矩形を組み合わせた形状であるのが好適である。こうすることで、配向の異なる複数の領域が形成できるので、視野角の大きな液晶表示装置を得ることができる。なお、電極切り欠き部 10249 と第 4 の導電層 10243 の境界における第 4 の導電層 10243 の形状は、滑らかな曲線であることが好適である。こうすることで、近接する液晶分子 10248 の配向が極近いものとなるため、配向不良が低減する。第 2 の配向膜 10242 が、電極切り欠き部 10249 によって段切れを起こしてしまうことによる、配向膜の不良も低減することができる。

30

【0233】

図 24 (A) は、IPS (In - Plane - Switching) 方式とトランジスタとを組み合わせた場合の画素の断面図の一例である。図 24 (A) に示す画素構造を液晶表示装置に適用することによって、原理的に視野角が大きく、応答速度の階調依存性の小さい液晶表示装置を得ることができる。

【0234】

図 24 (A) に示す画素構造の特徴について説明する。図 24 (A) に示した液晶分子 10318 は、長軸と短軸を持った細長い分子である。液晶分子 10318 の向きを示すため、図 24 (A) においては、その長さによって表現している。すなわち、長く表現された液晶分子 10318 は、その長軸の向きが紙面に平行であり、短く表現された液晶分子 10318 ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図 24 (A) に示した液晶分子 10318 は、その長軸の向きが常に基板と水平の方向を向くように配向している。図 24 (A) においては、電界のない状態における配向を表しているが、液晶分子 10318 に電界がかかったときは、その長軸の向きが常に基板と水平の方向を保ったまま、水平面内で回転する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

40

【0235】

50

なお、トランジスタとして、非晶質半導体を用いたボトムゲート型のトランジスタを用いた場合について説明する。非晶質半導体を用いたトランジスタを用いた場合、大面積の基板を用いて、安価に液晶表示装置を製造することができる。

【0236】

液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した2枚の基板を、数マイクロメートルのギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで作製される。図24(A)において、2枚の基板は、第1の基板10301、及び第2の基板10316である。第1の基板には、トランジスタ及び画素電極が形成されている。第2の基板には、遮光膜10314、カラーフィルタ10315、スペーサ10317、及び第2の配向膜10312が形成されている。

10

【0237】

なお、第2の基板10316に遮光膜10314が形成されていなくてもよい。遮光膜10314を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。一方、遮光膜10314を形成する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

【0238】

なお、第2の基板10316にカラーフィルタ10315が形成されていなくてもよい。カラーフィルタ10315を形成しない場合は、工程数が減少するため、製造コストを低減することができる。ただし、カラーフィルタ10315を形成しない場合でも、フィールドシークンシャル駆動によってカラー表示ができる表示装置を得ることができる。構造が簡単であるので、歩留まりの向上を図ることができる。一方、カラーフィルタ10315を形成する場合は、カラー表示ができる表示装置を得ることができる。

20

【0239】

なお、第2の基板10316にスペーサ10317の代わりに、球状のスペーサを散布してもよい。球状のスペーサを散布する場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ10317を形成する場合は、スペーサの位置がばらつかないため、2枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

【0240】

第1の基板10301に施す加工について説明する。

30

【0241】

まず、第1の基板10301上に、第1の絶縁膜10302がスパッタ法、印刷法又は塗布法などによって成膜される。ただし、第1の絶縁膜10302は成膜されていなくてもよい。第1の絶縁膜10302は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

【0242】

次に、第1の絶縁膜10302上に、第1の導電層10303がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。

【0243】

次に、第2の絶縁膜10304がスパッタ法、印刷法又は塗布法などによって全面に成膜されている。第2の絶縁膜10304は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

40

【0244】

次に、第1の半導体層10305及び第2の半導体層10306が形成される。なお、第1の半導体層10305及び第2の半導体層10306は連続して成膜され、同時にその形状が加工される。

【0245】

次に、第2の導電層10307がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。なお、第2の導電層10307の形状が加工されるとき

50

に行われるエッチング方法としては、ドライエッチングで行なうのが好適である。なお、第2の導電層10307としては、透明性を有する材料を用いてもよいし、反射性を有する材料を用いてもよい。

【0246】

次に、トランジスタのチャンネル領域を形成する。その工程の一例を説明する。第2の半導体層10306は、第2の導電層10307をマスクとして用いてエッチングされる。あるいは、第2の導電層10307の形状を加工するためのマスクを用いてエッチングされる。そして、第2の半導体層10306が除去された部分の第1の導電層10303がトランジスタとチャンネル領域となる。こうすることで、マスク枚数を減らすことができるので、製造コストを低減することができる。

10

【0247】

次に、第3の絶縁膜10308が形成され、第3の絶縁膜10308には選択的にコンタクトホールが形成されている。なお、第3の絶縁膜10308にコンタクトホールを形成すると同時に、第2の絶縁膜10304にもコンタクトホールを形成してもよい。

【0248】

次に、第3の導電層10309がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。ここで、第3の導電層10309の形状は、互いにかみ合った2つの櫛歯状とする。一方の櫛歯状の電極がトランジスタのソース電極及びドレイン電極の一方と電気的に接続され、他方の櫛歯状の電極が共通電極と電気的に接続される。こうすることで、液晶分子10318に効果的に横方向の電界をかけることができる。

20

【0249】

次に、第1の配向膜10310が形成される。なお、第1の配向膜10310を形成後、液晶分子の配向を制御するために、ラビングを行なってもよい。ラビングは、布で配向膜をこすることによって、配向膜にスジをつける工程である。ラビングを行なうことによって、配向膜に配向性を持たせることができる。

【0250】

以上のように作製した第1の基板10301と、遮光膜10314、カラーフィルタ10315、スペーサ10317、及び第2の配向膜10312とがシール材によって数マイクロメートルのギャップを持たせて貼り合わせられる。そして、2枚の基板間に液晶材料が注入される。

30

【0251】

図24(B)は、FFS(Fringe Field Switching)方式とトランジスタとを組み合わせた場合の画素の断面図の一例である。図24(B)に示す画素構造を液晶表示装置に適用することによって、原理的に視野角が大きく、応答速度の階調依存性の小さい液晶表示装置を得ることができる。

【0252】

図26(B)に示す画素構造の特徴について説明する。図26(B)に示した液晶分子10348は、長軸と短軸を持った細長い分子である。液晶分子10348の向きを示すため、図26(B)においては、その長さによって表現している。すなわち、長く表現された液晶分子10348は、その長軸の向きが紙面に平行であり、短く表現された液晶分子10348ほど、その長軸の向きが紙面の法線方向に近くなっているとす。つまり、図26(B)に示した液晶分子10348は、その長軸の向きが常に基板と水平の方向を向くように配向している。図26(B)においては、電界のない状態における配向を表しているが、液晶分子10348に電界がかかったときは、その長軸の向きが常に基板と水平の方向を保ったまま、水平面内で回転する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

40

【0253】

なお、トランジスタとして、非晶質半導体を用いたボトムゲート型のトランジスタを用いた場合について説明する。非晶質半導体を用いたトランジスタを用いた場合、大面積の基板を用いて、安価に液晶表示装置を製造することができる。

50

【0254】

液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した2枚の基板を、数マイクロメートルのギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで作製される。図26(B)において、2枚の基板は、第1の基板10331及び第2の基板10346である。第1の基板には、トランジスタ及び画素電極が形成され、第2の基板には、遮光膜10344、カラーフィルタ10345、スペーサ10347、及び第2の配向膜10342が形成されている。

【0255】

なお、第2の基板10346に遮光膜10344が形成されていなくてもよい。遮光膜10344を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。一方、遮光膜10344を形成する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

10

【0256】

なお、第2の基板10346にカラーフィルタ10345を形成されていなくてもよい。カラーフィルタ10345を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。ただし、カラーフィルタ10345を形成しない場合でも、フィールドシーケンシャル駆動によってカラー表示ができる表示装置を得ることができる。一方、カラーフィルタ10345を形成する場合は、カラー表示ができる表示装置を得ることができる。

【0257】

なお、第2の基板10346にスペーサ10347の代わりに、球状のスペーサを散布してもよい。球状のスペーサを散布する場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ10347を形成する場合は、スペーサの位置がばらつかないため、2枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

20

【0258】

第1の基板10331に施す加工について説明する。

【0259】

まず、第1の基板10331上に、第1の絶縁膜10332がスパッタ法、印刷法又は塗布法などによって成膜される。ただし、第1の絶縁膜10332は成膜されていなくてもよい。第1の絶縁膜10332は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

30

【0260】

次に、第1の絶縁膜10332上に、第1の導電層10333がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。

【0261】

次に、第2の絶縁膜10334がスパッタ法、印刷法又は塗布法などによって全面に成膜されている。第2の絶縁膜10334は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

【0262】

次に、第1の半導体層10335及び第2の半導体層10336が形成される。なお、第1の半導体層10335及び第2の半導体層10336は連続して成膜され、同時にその形状が加工される。

40

【0263】

次に、第2の導電層10337がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。なお、第2の導電層10337の形状が加工されるときに行われるエッチング方法としては、ドライエッチングで行なうのが好適である。なお、第2の導電層10337としては、透明性を有する材料を用いてもよいし、反射性を有する材料を用いてもよい。

【0264】

50

次に、トランジスタのチャンネル領域を形成する。その工程の一例を説明する。第2の半導体層10336は、第2の導電層10337をマスクとして用いてエッチングされる。あるいは、第2の導電層10337の形状を加工するためのマスクを用いてエッチングされる。そして、第2の半導体層10336が除去された部分の第1の導電層10333がトランジスタとチャンネル領域となる。こうすることで、マスク枚数を減らすことができるので、製造コストを低減することができる。

【0265】

次に、第3の絶縁膜10338が形成され、第3の絶縁膜10338には選択的にコンタクトホールが形成されている。

【0266】

次に、第4の導電層10343がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成されている。

【0267】

次に、第4の絶縁膜10349が形成され、第4の絶縁膜10349には選択的にコンタクトホールが形成されている。なお、第4の絶縁膜10349の表面は、できるだけ平坦であることが好適である。なぜならば、液晶が接する面の凹凸により、液晶分子の配向が影響を受けてしまうからである。

【0268】

次に、第3の導電層10339がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。ここで、第3の導電層10339の形状は、櫛歯状とする。

【0269】

次に、第1の配向膜10340が形成される。なお、第1の配向膜10340を形成後、液晶分子の配向を制御するために、ラビングを行ってもよい。ラビングは、布で配向膜をこすることによって、配向膜にスジをつける工程である。ラビングを行なうことによって、配向膜に配向性を持たせることができる。

【0270】

以上のように作製した第1の基板10331と、遮光膜10344、カラーフィルタ10345、スペーサ10347、及び第2の配向膜10342を、シール材によって数マイクロメートルのギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで、液晶パネルが作製できる。

【0271】

ここで、各導電層又は各絶縁膜に用いることができる材料について説明する。

【0272】

図22の第1の絶縁膜10102、図23(A)の第1の絶縁膜10202、図23(B)の第1の絶縁膜10232、図24(A)の第1の絶縁膜10302、図24(B)の第1の絶縁膜10332としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜(SiO_xNy)等の絶縁膜を用いることができる。あるいは、第1の絶縁膜10102は、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜(SiO_xNy)等のうちの2つ以上の膜を組み合わせた積層構造の絶縁膜を用いることができる。

【0273】

図22の第1の導電層10103、図23(A)の第1の導電層10203、図23(B)の第1の導電層10233、図24(A)の第1の導電層10303、図24(B)の第1の導電層10333としては、Mo、Ti、Al、Nd、Crなどを用いることができる。あるいは、Mo、Ti、Al、Nd、Crなどのうちの2つ以上を組み合わせた積層構造を用いることもできる。

【0274】

図22の第2の絶縁膜10104、図23(A)の第2の絶縁膜10204、図23(B)の第2の絶縁膜10234、図24(A)の第2の絶縁膜10304、図24(B)の第2の絶縁膜10334としては、熱酸化膜、酸化シリコン膜、窒化シリコン膜又は酸化

10

20

30

40

50

窒化シリコン膜などを用いることができる。あるいは、熱酸化膜、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜などのうち2以上を組み合わせた積層構造などを用いることができる。なお、半導体層と接する部分では、酸化シリコン膜であることが好ましい。なぜなら、酸化シリコン膜にすると半導体層との界面におけるトラップ準位が少なくなるからである。なお、Moと接する部分では、窒化シリコン膜であることが好ましい。なぜなら、窒化シリコン膜はMoを酸化させないからである。

【0275】

図22の第1の半導体層10105、図23(A)の第1の半導体層10205、図23(B)の第1の半導体層10235、図24(A)の第1の半導体層10305、図24(B)の第1の半導体層10335としては、シリコン又はシリコンゲルマニウム(SiGe)などを用いることができる。

10

【0276】

図22の第2の半導体層10106、図23(A)の第2の半導体層10206、図23(B)の第2の半導体層10236、図24(A)の第2の半導体層10306、図24(B)の第2の半導体層10336としては、リン等を含んだシリコン等を用いることができる。

【0277】

図22の第2の導電層10107及び第3の導電層10109、図23(A)の第2の導電層10207及び第3の導電層10209、図23(B)の第2の導電層10237及び第2の導電層10239、図24(A)の第2の導電層10307及び第2の導電層10309、もしくは図24(B)の第2の導電層10337、第2の導電層10339及び第4の導電層10343の透明性を有する材料としては、酸化インジウムに酸化スズを混ぜたインジウムスズ酸化物(ITO)膜、インジウムスズ酸化物(ITO)に酸化珪素を混ぜたインジウムスズ珪素酸化物(ITSO)膜、酸化インジウムに酸化亜鉛を混ぜたインジウム亜鉛酸化物(IZO)膜、酸化亜鉛膜又は酸化スズ膜などを用いることができる。なお、IZOとは、ITOに2~20wt%の酸化亜鉛(ZnO)を混合させたターゲットを用いてスパッタリングにより形成される透明導電材料である。

20

【0278】

図22の第2の導電層10107及び第3の導電層10109、図23(A)の第2の導電層10207及び第3の導電層10209、図23(B)の第2の導電層10237及び第2の導電層10239、図24(A)の第2の導電層10307及び第2の導電層10309、もしくは図24(B)の第2の導電層10337、第2の導電層10339及び第4の導電層10343の反射性を有する材料としては、Ti、Mo、Ta、Cr、W、Alなどを用いることができる。あるいは、Ti、Mo、Ta、Cr、WとAlを積層させた2層構造、AlをTi、Mo、Ta、Cr、Wなどの金属で挟んだ3層積層構造としてもよい。

30

【0279】

図22の第3の絶縁膜10108、図23(A)の第3の絶縁膜10208、図23(B)の第3の絶縁膜10238、図23(B)の第3の導電層10239、図24(A)の第3の絶縁膜10308、図24(B)の第3の絶縁膜10338及び第4の絶縁膜10349としては、無機材料(酸化シリコン、窒化シリコン、酸化窒化シリコンなど)あるいは、低誘電率の有機化合物材料(感光性又は非感光性の有機樹脂材料)などを用いることができる。あるいは、シロキサンを含む材料を用いることもできる。なお、シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される材料である。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。あるいは、置換基としてフルオロ基を用いてもよい。あるいは、置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

40

【0280】

図22の第1の配向膜10110、図23(A)の第1の配向膜10210、図23(B)の第1の配向膜10240、図23(B)の第1の配向膜10310、図24(B)の

50

第1の配向膜10340としては、ポリイミドなどの高分子膜を用いることができる。

【0281】

次に、各液晶モードとトランジスタとを組み合わせた場合の画素構造について、画素の上面図(レイアウト図)を参照して説明する。

【0282】

なお、液晶モードとしては、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)などを用いることができる。

10

【0283】

なお、トランジスタとしては、非晶質シリコン、多結晶シリコン、微結晶(マイクロクリスタル、セミアモルファスとも言う)シリコンなどに代表される非単結晶半導体層を有する薄膜トランジスタ(TFT)などを用いることができる。

【0284】

なお、トランジスタの構造としては、トップゲート型又はボトムゲート型などを用いることができる。ボトムゲート型のトランジスタとしては、チャンネルエッチ型又はチャンネル保護型などを用いることができる。

20

【0285】

図25は、TN方式とトランジスタとを組み合わせた場合の画素の上面図の一例である。図25に示す画素構造を液晶表示装置に適用することによって、安価に液晶表示装置を製造することができる。

【0286】

図25に示す画素は、走査線10401と、映像信号線10402と、容量線10403と、トランジスタ10404と、画素電極10405と、画素容量10406と、を有している。

30

【0287】

走査線10401は、信号(走査信号)を画素に伝達する機能を有する。映像信号線10402は、信号(映像信号)を画素に伝達するための機能を有する。なお、走査線10401と映像信号線10402とは、マトリクス状に配置されるため、異なる層の導電層で形成されている。なお、走査線10401と、映像信号線10402との交差部に、半導体層が配置されていてもよい。こうすることで、走査線10401と、映像信号線10402と交差容量を低減することができる。

【0288】

容量線10403は、画素電極10405と平行に配置されている。容量線10403と画素電極10405とが重なって配置されている部分が画素容量10406となる。なお、容量線10403の一部は、映像信号線10402に沿って、映像信号線10402を囲むように延設されている。こうすることで、クロストークを低減することができる。クロストークとは、映像信号線10402の電位変化に伴って、電位を保持すべき電極の電位が変化してしまう現象のことである。なお、容量線10403と映像信号線10402との間に半導体層を配置することによって、交差容量を低減することができる。なお、容量線10403は、走査線10401と同様な材料で構成されている。

40

【0289】

トランジスタ10404は、映像信号線10402と画素電極10405を導通させるスイッチとしての機能を有する。なお、トランジスタ10404のソース領域及びドレイン領域の一方は、トランジスタ10404のソース領域及びドレイン領域の他方に囲まれる

50

ように配置されている。こうすることで、トランジスタ10404のチャンネル幅が大きくなるため、スイッチング能力の向上を図ることができる。なお、トランジスタ10404のゲート電極は、半導体層を囲むように配置されている。

【0290】

画素電極10405は、トランジスタ10404のソース電極及びドレイン電極の一方に電氣的に接続される。画素電極10405は、映像信号線10402によって伝達された信号電圧を液晶素子に与えるための電極である。なお、画素電極10405は、矩形である。こうすることで、画素の開口率を大きくすることができる。なお、画素電極10405としては、透明性を有する材料又は反射性を有する材料を用いることができる。あるいは、透明性を有する材料と反射性を有する材料とを組み合わせ、画素電極10405に用いてもよい。

10

【0291】

図26(A)は、MVA方式とトランジスタとを組み合わせた場合の画素の上面図の一例である。図26(A)に示す画素構造を液晶表示装置に適用することによって、視野角が大きく、応答速度が速く、コントラストの大きい液晶表示装置を得ることができる。

【0292】

図26(A)に示す画素は、走査線10501と、映像信号線10502と、容量線10503と、トランジスタ10504と、画素電極10505と、画素容量10506と、配向制御用突起10507と、を有する。

【0293】

走査線10501は、信号(走査信号)を画素に伝達する機能を有する。映像信号線10502は、信号(映像信号)を画素に伝達するための機能を有する。なお、走査線10501と映像信号線10502とは、マトリクス状に配置されるため、異なる層の導電層で形成されている。なお、走査線10501と、映像信号線10502との交差部に、半導体層が配置されていてもよい。こうすることで、走査線10501と、映像信号線10502と交差容量を低減することができる。

20

【0294】

容量線10503は、画素電極10505と平行に配置されている。容量線10503と画素電極10505とが重なって配置されている部分が画素容量10506となる。なお、容量線10503の一部は、映像信号線10502に沿って、映像信号線10502を囲むように延設されている。こうすることで、クロストークを低減することができる。クロストークとは、映像信号線10502の電位変化に伴って、電位を保持すべき電極の電位が変化してしまう現象のことである。なお、容量線10503と映像信号線10502との間に半導体層を配置することによって、交差容量を低減することができる。なお、容量線10503は、走査線10501と同様な材料で構成されている。

30

【0295】

トランジスタ10504は、映像信号線10502と画素電極10505を導通させるスイッチとしての機能を有する。なお、トランジスタ10504のソース領域及びドレイン領域の一方は、トランジスタ10504のソース領域及びドレイン領域の他方に囲まれるように配置されている。こうすることで、トランジスタ10504のチャンネル幅が大きくなるため、スイッチング能力の向上を図ることができる。なお、トランジスタ10504のゲート電極は、半導体層を囲むように配置されている。

40

【0296】

画素電極10505は、トランジスタ10504のソース電極及びドレイン電極の一方に電氣的に接続される。画素電極10505は、映像信号線10502によって伝達された信号電圧を液晶素子に与えるための電極である。なお、画素電極10505は、矩形である。こうすることで、画素の開口率を大きくすることができる。なお、画素電極10505としては、透明性を有する材料又は反射性を有する材料を用いることができる。あるいは、透明性を有する材料と反射性を有する材料とを組み合わせ、画素電極10505に用いてもよい。

50

【0297】

配向制御用突起10507は、対向基板に形成されている。配向制御用突起10507は、液晶分子を放射状に配向させる機能を有する。なお、配向制御用突起10507の形状に限定はない。例えば、配向制御用突起10507の形状は、くの字型となってもよい。こうすることで、液晶分子の配向が異なる複数の領域を形成することができる。視野角の向上を図ることができる。

【0298】

図26(B)は、PVA方式とトランジスタとを組み合わせた場合の画素の上面図の一例である。図26(B)に示す画素構造を液晶表示装置に適用することによって、視野角が大きく、応答速度が速く、コントラストの大きい液晶表示装置を得ることができる。

10

【0299】

図26(B)に示す画素は、走査線10511と、映像信号線10512と、容量線10513と、トランジスタ10514と、画素電極10515と、画素容量10516と、電極切り欠き部10517、を有する。

【0300】

走査線10511は、信号(走査信号)を画素に伝達する機能を有する。映像信号線10512は、信号(映像信号)を画素に伝達するための機能を有する。なお、走査線10511と映像信号線10512とは、マトリクス状に配置されるため、異なる層の導電層で形成されている。なお、走査線10511と、映像信号線10512との交差部に、半導体層が配置されていてもよい。こうすることで、走査線10511と、映像信号線10512と交差容量を低減することができる。

20

【0301】

容量線10513は、画素電極10515と平行に配置されている。容量線10513と画素電極10515とが重なって配置されている部分が画素容量10516となる。なお、容量線10513の一部は、映像信号線10512に沿って、映像信号線10512を囲むように延設されている。こうすることで、クロストークを低減することができる。クロストークとは、映像信号線10512の電位変化に伴って、電位を保持すべき電極の電位が変化してしまう現象のことである。なお、容量線10513と映像信号線10512との間に半導体層を配置することによって、交差容量を低減することができる。なお、容量線10513は、走査線10511と同様な材料で構成されている。

30

【0302】

トランジスタ10514は、映像信号線10512と画素電極10515を導通させるスイッチとしての機能を有する。なお、トランジスタ10514のソース領域及びドレイン領域の一方は、トランジスタ10514のソース領域及びドレイン領域の他方に囲まれるように配置されている。こうすることで、トランジスタ10514のチャンネル幅が大きくなるため、スイッチング能力の向上を図ることができる。なお、トランジスタ10514のゲート電極は、半導体層を囲むように配置されている。

【0303】

画素電極10515は、トランジスタ10514のソース電極及びドレイン電極の一方に電氣的に接続される。画素電極10515は、映像信号線10512によって伝達された信号電圧を液晶素子に与えるための電極である。なお、画素電極10515は、電極切り欠き部10517の形状に合わせた形状である。具体的には、電極切り欠き部10517のない部分に、画素電極10515を切り欠いた部分を形成したような形状である。こうすることで、液晶分子の配向が異なる複数の領域を形成することができる。視野角の向上を図ることができる。なお、画素電極10515としては、透明性を有する材料又は反射性を有する材料を用いることができる。あるいは、透明性を有する材料と反射性を有する材料とを組み合わせ、画素電極10515に用いてもよい。

40

【0304】

図27(A)は、IPS方式とトランジスタとを組み合わせた場合の画素の上面図の一例である。図27(A)に示す画素構造を液晶表示装置に適用することによって、原理的に

50

視野角が大きく、応答速度の階調依存性の小さい液晶表示装置を得ることができる。

【0305】

図27(A)に示す画素は、走査線10601と、映像信号線10602と、共通電極10603と、トランジスタ10604と、画素電極10605と、を有する。

【0306】

走査線10601は、信号(走査信号)を画素に伝達する機能を有する。映像信号線10602は、信号(映像信号)を画素に伝達するための機能を有する。なお、走査線10601と映像信号線10602とは、マトリクス状に配置されるため、異なる層の導電層で形成されている。なお、走査線10601と映像信号線10602との交差部に、半導体層が配置されていてもよい。こうすることで、走査線10601と映像信号線10602と交差容量を低減することができる。なお、映像信号線10602は、画素電極10605の形状に合わせて形成されている。

10

【0307】

共通電極10603は、画素電極10605と平行に配置されている。共通電極10603は、横方向の電界を発生させるための電極である。なお、共通電極10603の形状は、屈曲した櫛歯状である。なお、共通電極10603の一部は、映像信号線10602に沿って、映像信号線10602を囲むように延設されている。こうすることで、クロストークを低減することができる。クロストークとは、映像信号線10602の電位変化に伴って、電位を保持すべき電極の電位が変化してしまう現象のことである。なお、共通電極10603と映像信号線10602との間に半導体層を配置することによって、交差容量を低減することができる。なお、共通電極10603の走査線10601と平行に配置されている部分では、走査線10601と同様な材料で構成されている。共通電極10603の画素電極10605と平行に配置されている部分では、画素電極10605と同様な材料で構成されている。

20

【0308】

トランジスタ10604は、映像信号線10602と画素電極10605を導通させるスイッチとしての機能を有する。なお、トランジスタ10604のソース領域及びドレイン領域の一方は、トランジスタ10604のソース領域及びドレイン領域の他方に囲まれるように配置されている。こうすることで、トランジスタ10604のチャンネル幅が大きくなるため、スイッチング能力の向上を図ることができる。なお、トランジスタ10604のゲート電極は、半導体層を囲むように配置されている。

30

【0309】

画素電極10605は、トランジスタ10604のソース電極及びドレイン電極の一方に電氣的に接続される。画素電極10605は、映像信号線10602によって伝達された信号電圧を液晶素子に与えるための電極である。なお、画素電極10605の形状は、屈曲した櫛歯状の形状である。こうすることで、液晶分子に横電界をかけることができる。液晶分子の配向が異なる複数の領域を形成することができる。視野角の向上を図ることができる。なお、画素電極10605としては、透明性を有する材料又は反射性を有する材料を用いることができる。あるいは、透明性を有する材料と反射性を有する材料とを組み合わせ、画素電極10605に用いてもよい。

40

【0310】

なお、共通電極10603のうち櫛歯状の部分と画素電極10605とは、別々の導電層で形成されていてもよい。例えば、共通電極10603のうち櫛歯状の部分は、走査線10601又は映像信号線10602と同じ導電層で形成されていてもよい。同様に、画素電極10605は、走査線10601又は映像信号線10602と同じ導電層で形成されていてもよい。

【0311】

図27(B)は、FFS方式とトランジスタとを組み合わせた場合の画素の上面図である。図27(B)に示す画素構造を液晶表示装置に適用することによって、原理的に視野角が大きく、応答速度の階調依存性の小さい液晶表示装置を得ることができる。

50

【0312】

図27(B)に示す画素は、走査線10611と、映像信号線10612と、共通電極10613と、トランジスタ10614と、画素電極10615と、を備えていてもよい。

【0313】

走査線10611は、信号(走査信号)を画素に伝達する機能を有する。映像信号線10612は、信号(映像信号)を画素に伝達するための機能を有する。なお、走査線10611と映像信号線10612とは、マトリクス状に配置されるため、異なる層の導電層で形成されている。なお、走査線10611と。映像信号線10612との交差部に、半導体層が配置されていてもよい。こうすることで、走査線10611と。映像信号線10612と交差容量を低減することができる。なお、映像信号線10612は、画素電極10615の形状に合わせて形成されている。

10

【0314】

共通電極10613は、画素電極10615の下部、及び画素電極10615と画素電極10615との間の下部に一樣に形成されている。なお、共通電極10613としては、透明性を有する材料又は反射性を有する材料を用いることができる。あるいは、透明性を有する材料と反射性を有する材料とを組み合わせ、共通電極10613に用いてもよい。

【0315】

トランジスタ10614は、映像信号線10612と画素電極10615を導通させるスイッチとしての機能を有する。なお、トランジスタ10604のソース領域及びドレイン領域の一方は、トランジスタ10614のソース領域及びドレイン領域の他方に囲まれるように配置されている。こうすることで、トランジスタ10614のチャネル幅が大きくなるため、スイッチング能力の向上を図ることができる。なお、トランジスタ10614のゲート電極は、半導体層を囲むように配置されている。

20

【0316】

画素電極10615は、トランジスタ10614のソース電極及びドレイン電極の一方に電氣的に接続される。画素電極10515は、映像信号線10612によって伝達された信号電圧を液晶素子に与えるための電極である。なお、画素電極10615の形状は、屈曲した櫛歯状の形状である。こうすることで、液晶分子に横電界をかけることができる。なお、櫛歯状の画素電極10615は、共通電極10613の一樣な部分よりも液晶層に近いところに配置される。液晶分子の配向が異なる複数の領域を形成することができる。視野角の向上を図ることができる。なお、画素電極10615としては、透明性を有する材料又は反射性を有する材料を用いることができる。あるいは、透明性を有する材料と反射性を有する材料とを組み合わせ、画素電極10615に用いてもよい。

30

【0317】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容(一部でもよい)は、別の図で述べた内容(一部でもよい)に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることができる。

40

【0318】

同様に、本実施の形態の各々の図で述べた内容(一部でもよい)は、別の実施の形態および実施例の図で述べた内容(一部でもよい)に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態および実施例の部分の組み合わせることにより、さらに多くの図を構成させることができる。

【0319】

なお、本実施の形態は、他の実施の形態および実施例で述べた内容(一部でもよい)を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての

50

一例などを示している。したがって、他の実施の形態および実施例で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【0320】

(実施の形態6)

本実施の形態においては、液晶パネルの周辺部について説明する。

【0321】

図28は、エッジライト式と呼ばれるバックライトユニット20101と、液晶パネル20107とを有している液晶表示装置の一例を示す。エッジライト式とは、バックライトユニットの端部に光源を配置し、その光源の蛍光を発光面全体から放射する方式である。エッジライト式のバックライトユニットは、薄型で省電力化を図ることができる。

10

【0322】

バックライトユニット20101は、拡散板20102、導光板20103、反射板20104、ランプリフレクタ20105及び光源20106によって構成される。

【0323】

光源20106は必要に応じて発光する機能を有している。例えば、光源20106としては冷陰極管、熱陰極管、発光ダイオード、無機EL又は有機ELなどが用いられる。ランプリフレクタ20105は、光源20106からの蛍光を効率よく導光板20103に導く機能を有する。導光板20103は、蛍光を全反射させて、全面に光を導く機能を有する。拡散板20102は、明度のムラを低減する機能を有する。反射板20104は、導光板20103から下方向(液晶パネル20107と反対方向)に漏れた光を反射して再利用する機能を有する。

20

【0324】

なお、バックライトユニット20101には、光源20106の輝度を調整するための制御回路が接続されている。この制御回路によって、光源20106の輝度を調整することができる。

【0325】

図29(A)、(B)、(C)及び(D)は、エッジライト式のバックライトユニットの詳細な構成を示す図である。なお、拡散板、導光板及び反射板などはその説明を省略する。

【0326】

図29(A)に示すバックライトユニット20201は、光源として冷陰極管20203を用いた構成である。そして、冷陰極管20203からの光を効率よく反射させるため、ランプリフレクタ20202が設けられている。このような構成は、冷陰極管からの輝度の強度のため、大型表示装置に用いることが多い。

30

【0327】

図29(B)に示すバックライトユニット20211は、光源として発光ダイオード(LED)20213を用いた構成である。例えば、白色に発する発光ダイオード(W)20213は所定の間隔に配置される。そして、発光ダイオード20213からの光を効率よく反射させるため、ランプリフレクタ20212が設けられている。

【0328】

発光ダイオードの輝度は高いので、発光ダイオードを用いた構成は大型表示装置に適する。発光ダイオードの色再現性は優れているので、配置面積を小さくすることができる。したがって、表示装置の狭額縁化を図ることができる。

40

【0329】

なお、発光ダイオードが大型の表示装置に搭載される場合、発光ダイオードを該基板の背面に配置することができる。発光ダイオードは、所定の間隔を維持し、各色の発光ダイオードが順に配置される。発光ダイオードの配置によって、色再現性を高めることができる。

【0330】

図29(C)に示すバックライトユニット20221は、光源として各色RGBの発光ダ

50

発光ダイオード(LE D)20223、発光ダイオード20224(LE D)、発光ダイオード(LE D)20225を用いた構成である。各色RGBの発光ダイオード20223(LE D)、発光ダイオード20224(LE D)、発光ダイオード20225(LE D)は、それぞれ所定の間隔に配置される。各色RGBの発光ダイオード20223(LE D)、発光ダイオード20224(LE D)、発光ダイオード20225(LE D)を用いることによって、色再現性を高くすることができる。そして、発光ダイオードからの光を効率よく反射させるため、ランプリフレクタ20222が設けられている。

【0331】

発光ダイオードの輝度は高いので、光源として各色RGBの発光ダイオードを用いた構成は大型表示装置に適する。色再現性が優れているので、配置面積を小さくすることができる。したがって、表示装置の狭額縁化を図ることができる。

10

【0332】

なお、時間に応じてRGBの発光ダイオードを順次点灯させることによって、カラー表示を行うことができる。いわゆるフィールドシーケンシャルモードである。

【0333】

なお、白色を発する発光ダイオードと、各色RGBの発光ダイオード20223(LE D)、発光ダイオード20224(LE D)、発光ダイオード20225(LE D)とを組み合わせることができる。

【0334】

なお、発光ダイオードが大型の表示装置に搭載される場合、発光ダイオードを該基板の背面に配置することができる。発光ダイオードは、所定の間隔を維持し、各色の発光ダイオードが順に配置される。発光ダイオードの配置によって、色再現性を高めることができる。

20

【0335】

図30(D)に示すバックライトユニット20231は、光源として各色RGBの発光ダイオード(LE D)20233、発光ダイオード(LE D)20234、発光ダイオード(LE D)20235を用いた構成である。例えば、各色RGBの発光ダイオード(LE D)20233、発光ダイオード20234(LE D)、発光ダイオード20235(LE D)のうち発光強度の低い色(例えば緑)は複数配置されている。各色RGBの発光ダイオード20233(LE D)、発光ダイオード20234(LE D)、発光ダイオード20235(LE D)を用いることによって、色再現性を高くすることができる。そして、発光ダイオードからの光を効率よく反射させるため、ランプリフレクタ20232が設けられている。

30

【0336】

発光ダイオードの輝度は高いので、光源として各色RGBの発光ダイオードを用いた構成は大型表示装置に適する。発光ダイオードの色再現性は優れているので、配置面積を小さくすることができる。したがって、表示装置の狭額縁化を図ることができる。

【0337】

なお、時間に応じてRGBの発光ダイオードを順次点灯させることによって、カラー表示を行うことができる。いわゆるフィールドシーケンシャルモードである。

40

【0338】

なお、白色を発する発光ダイオードと、各色RGBの発光ダイオード20233(LE D)、発光ダイオード20234(LE D)、発光ダイオード20235(LE D)とを組み合わせることができる。

【0339】

なお、発光ダイオードが大型の表示装置に搭載される場合、発光ダイオードを該基板の背面に配置することができる。発光ダイオードは、所定の間隔を維持し、各色の発光ダイオードが順に配置される。発光ダイオードの配置によって、色再現性を高めることができる。

【0340】

50

図32(A)は、直下型と呼ばれるバックライトユニットと、液晶パネルとを有する液晶表示装置の一例を示す。直下式とは、発光面の直下に光源を配置することで、その光源の蛍光を発光面全体から放射する方式である。直下式のバックライトユニットは、発光光量を効率よく利用することができる。

【0341】

バックライトユニット20500は、拡散板20501、遮光板20502、ランプリフレクタ20503及び光源20504によって構成される。

【0342】

光源20504は、必要に応じて発光する機能を有している。例えば、光源20505としては、冷陰極管、熱陰極管、発光ダイオード、無機EL又は有機ELなどが用いられる。ランプリフレクタ20503は、光源20504の蛍光を効率よく拡散板20501及び遮光板20502に導く機能を有する。遮光板20502は、光源20504の配置に合わせて光が強いところほど遮光を多くすることで、明度のムラを低減する機能を有する。拡散板20501は、さらに明度のムラを低減する機能を有する。

【0343】

なお、バックライトユニット20500には、光源20504の輝度を調整するための制御回路が接続されている。この制御回路によって、光源20504の輝度を調整することができる。

【0344】

図32(B)は、直下型と呼ばれるバックライトユニットと、液晶パネルとを有する液晶表示装置の一例を示す。直下式とは、発光面の直下に光源を配置することで、その光源の蛍光を発光面全体から放射する方式である。直下式のバックライトユニットは、発光光量を効率よく利用することができる。

【0345】

バックライトユニット20510は、拡散板20511、遮光板20512、ランプリフレクタ20513、各色RGBの光源(R)20514a、光源(G)20514b及び光源(B)20514cによって構成される。

【0346】

各色RGBの光源20514a(R)、光源20514b(G)及び光源20514c(B)は、必要に応じて発光する機能を有する。例えば、光源20514a(R)、光源20514b(G)及び光源20514c(B)としては、冷陰極管、熱陰極管、発光ダイオード、無機EL又は有機ELなどが用いられる。ランプリフレクタ20513は、光源20514の蛍光を効率よく拡散板20511及び遮光板20512に導く機能を有する。遮光板20512は、光源20514の配置に合わせて光が強いところほど遮光を多くすることで、明度のムラを低減する機能を有する。拡散板20511は、さらに明度のムラを低減する機能を有する。

【0347】

なお、バックライトユニット20510には、各色RGBの光源20514a(R)、光源20514b(G)及び光源20514c(B)の輝度を調整するための制御回路が接続されている。この制御回路によって、各色RGBの光源20514a(R)、光源20514b(G)及び光源20514c(B)の輝度を調整することができる。

【0348】

図30は、偏光板(偏光フィルムともいう)の構成の一例を示す図である。

【0349】

偏光フィルム20300は、保護フィルム20301、基板フィルム20302、PVA偏光フィルム20303、基板フィルム20304、粘着剤層20305及び離型フィルム20306を有する。

【0350】

PVA偏光フィルム20303は、ある振動方向だけの光(直線偏光)を作り出す機能を有する。具体的には、PVA偏光フィルム20303は、電子の密度が縦と横で大きく異

10

20

30

40

50

なる分子（偏光子）を含んでいる。PVA偏光フィルム20303は、この電子の密度が縦と横で大きく異なる分子の方向を揃えることで、直線偏光を作り出すことができる。

【0351】

一例として、PVA偏光フィルム20303は、ポリビニルアルコール（Poly Vinyl Alcohol）の高分子フィルムに、ヨウ素化合物をドーブし、PVAフィルムをある方向に引っ張ることで、一定方向にヨウ素分子の並んだフィルムを得ることができる。そして、ヨウ素分子の長軸と平行な光は、ヨウ素分子に吸収される。なお、高耐久用途及び高耐熱用途として、ヨウ素の代わりに2色性の染料が用いてもよい。なお、染料は、車載用LCD又はプロジェクタ用LCDなどの耐久性、耐熱性が求められる液晶表示装置に用いられることが望ましい。

10

【0352】

PVA偏光フィルム20303は、両側を基材となるフィルム（基板フィルム20302及び基板フィルム20304）で挟むことで、信頼性を増すことができる。なお、PVA偏光フィルム20303は、高透明性、高耐久性のトリアセチルロース（TAC）フィルムによって挟まれていてもよい。なお、基板フィルム及びTACフィルムは、PVA偏光フィルム20303が有する偏光子の保護層として機能する。

【0353】

一方の基板フィルム（基板フィルム20304）には、液晶パネルのガラス基板に貼るための粘着剤層20305が貼られている。なお、粘着剤層20305は、粘着剤を片側の基板フィルム（基板フィルム20304）に塗布することで形成される。粘着剤層20305には、離型フィルム20306（セパレートフィルム）が備えられている。

20

【0354】

他方の基板フィルム（基板フィルム20302）には、保護フィルム20301が備えられている。

【0355】

なお、偏光フィルム20300表面に、ハードコート散乱層（アンチグレア層）が備えられていてもよい。ハードコート散乱層は、AG処理によって表面に微細な凹凸が形成されており、外光を散乱させる防眩機能を有するため、液晶パネルへの外光の映り込みを防ぐことができる。表面反射を防ぐことができる。

【0356】

なお、偏光フィルム20300表面に、複数の屈折率の異なる光学薄膜層を多層化（アンチリフレクション処理、若しくはAR処理ともいう）してもよい。多層化された複数の屈折率のことなる光学薄膜層は、光の干渉効果によって表面の反射率を低減することができる。

30

【0357】

図31は、液晶表示装置のシステムブロックの一例を示す図である。

【0358】

画素部20405には、信号線20412が信号線駆動回路20403から延伸して配置されている。画素部20405には、走査線20410が走査線駆動回路20404から延伸して配置されている。そして、信号線20412と走査線20410との交差領域に、複数の画素がマトリクス状に配置されている。なお、複数の画素それぞれはスイッチング素子を有している。したがって、複数の画素それぞれに液晶分子の傾きを制御するための電圧を独立して入力することができる。このように各交差領域にスイッチング素子が設けられた構造をアクティブ型と呼ぶ。ただし、このようなアクティブ型に限定されず、パッシブ型の構成でもよい。パッシブ型は、各画素にスイッチング素子がないため、工程が簡便である。

40

【0359】

駆動回路部20408は、制御回路20402、信号線駆動回路20403及び走査線駆動回路20404を有する。制御回路20402には映像信号20401が入力されている。制御回路20402は、この映像信号20401に応じて、信号線駆動回路2040

50

3及び走査線駆動回路20404を制御する。そのため、映像信号20401は、信号線駆動回路20403及び走査線駆動回路20404に、それぞれ制御信号を入力する。そして、この制御信号に応じて、信号線駆動回路20403はビデオ信号を信号線20412に入力し、走査線駆動回路20404は走査信号を走査線20410に入力する。そして、画素が有するスイッチング素子が走査信号に応じて選択され、画素の画素電極にビデオ信号が入力される。

【0360】

なお、制御回路20402は、映像信号20401に応じて電源20407も制御している。電源20407は、照明手段20406へ電力を供給する手段を有している。照明手段20406としては、エッジライト式のバックライトユニット、又は直下型のバックライトユニットを用いることができる。ただし、照明手段20406としては、フロントライトを用いてもよい。フロントライトとは、画素部の前面側に取り付け、全体を照らす発光体及び導光体で構成された板状のライトユニットである。このような照明手段により、低消費電力で、均等に画素部を照らすことができる。

10

【0361】

図31(B)に示すように走査線駆動回路20404は、シフトレジスタ20441、レベルシフタ20442、バッファ20443として機能する回路を有する。シフトレジスタ20441にはゲートスタートパルス(GSP)、ゲートクロック信号(GCK)等の信号が入力される。

【0362】

図31(C)に示すように信号線駆動回路20403は、シフトレジスタ20431、第1のラッチ20432、第2のラッチ20433、レベルシフタ20434、バッファ20435として機能する回路を有する。バッファ20435として機能する回路とは、弱い信号を増幅させる機能を有する回路であり、オペアンプ等を有する。レベルシフタ20434には、スタートパルス(SSP)等の信号が、第1のラッチ20432にはビデオ信号等のデータ(DATA)が入力される。第2のラッチ20433にはラッチ(LAT)信号を一時保持することができ、一斉に画素部20405へ入力させる。これを線順次駆動と呼ぶ。そのため、線順次駆動ではなく、点順次駆動を行う画素であれば、第2のラッチは不要とすることができる。

20

【0363】

なお、本実施の形態において、液晶パネルは、公知のものを用いることができる。例えば、液晶パネルとして、2つの基板の間に液晶層が封止された構成を用いることができる。一方の基板には、トランジスタ、容量素子、画素電極又は配向膜などが形成されている。なお、一方の基板の上面と反対側には、偏光板、位相差板又はプリズムシートが配置されている。他方の基板には、カラーフィルタ、ブラックマトリクス、対向電極又は配向膜などが形成されている。なお、他方の基板の上面と反対側には、偏光板又は位相差板が配置されている。なお、カラーフィルタ及びブラックマトリクスは、一方の基板の上面に形成されてもよい。なお、一方の基板の上面側又はその反対側にスリット(格子)を配置することで、3次元表示を行うことができる。

30

【0364】

なお、偏光板、位相差板及びプリズムシートをそれぞれ、2つの基板の間に配置することが可能である。あるいは、2つの基板のうちのいずれかと一体とすることが可能である。

40

【0365】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容(一部でもよい)は、別の図で述べた内容(一部でもよい)に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることができる。

【0366】

同様に、本実施の形態の各々の図で述べた内容(一部でもよい)は、別の実施の形態およ

50

び実施例の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態および実施例の部分の組み合わせることにより、さらに多くの図を構成させることが出来る。

【0367】

なお、本実施の形態は、他の実施の形態および実施例で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態および実施例で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

10

【0368】

（実施の形態7）

本実施形態においては、表示装置の駆動方法について説明する。特に、液晶表示装置の駆動方法について説明する。

【0369】

まず、オーバードライブ駆動について、図33を参照して説明する。図33の（A）は、表示素子の、入力電圧に対する出力輝度の時間変化を表したものである。破線で表した入力電圧30121に対する表示素子の出力輝度の時間変化は、同じく破線で表した出力輝度30123のようになる。すなわち、目的の出力輝度 L_0 を得るための電圧は V_i であるが、入力電圧として V_i をそのまま入力した場合は、目的の出力輝度 L_0 に達するまでに、素子の応答速度に対応した時間を要してしまう。

20

【0370】

オーバードライブ駆動は、この応答速度を速めるための技術である。具体的には、まず、 V_i よりも大きい電圧である V_o を素子に一定時間与えることで出力輝度の応答速度を高めて、目的の出力輝度 L_0 に近づけた後に、入力電圧を V_i に戻す、という方法である。このときの入力電圧は入力電圧30122、出力輝度は出力輝度30124に表したようになる。出力輝度30124のグラフは、目的の輝度 L_0 に至るまでの時間が、出力輝度30123のグラフよりも短くなっている。

【0371】

なお、図33の（A）においては、入力電圧に対し出力輝度が正の変化をする場合について述べたが、入力電圧に対し出力輝度が負の変化をする場合も、本実施の形態は含んでいる。

30

【0372】

このような駆動を実現するための回路について、図33の（B）及び図33の（C）を参照して説明する。まず、図33の（B）を参照して、入力映像信号30131がアナログ値（離散値でもよい）をとる信号であり、出力映像信号30132もアナログ値をとる信号である場合について説明する。図33の（B）に示すオーバードライブ回路は、符号化回路30101、フレームメモリ30102、補正回路30103、DA変換回路30104、を備える。

【0373】

入力映像信号30131は、まず、符号化回路30101に入力され、符号化される。つまり、アナログ信号から、適切なビット数のデジタル信号に変換される。その後、変換されたデジタル信号は、フレームメモリ30102と、補正回路30103と、にそれぞれ入力される。補正回路30103には、フレームメモリ30102に保持されていた前フレームの映像信号も、同時に入力される。そして、補正回路30103において、当該フレームの映像信号と、前フレームの映像信号から、あらかじめ用意された数値テーブルにしたがって、補正された映像信号を出力する。このとき、補正回路30103に出力切り替え信号30133を入力し、補正された映像信号と、当該フレームの映像信号を切替えて出力できるようにしてもよい。次に、補正された映像信号又は当該フレームの映像信号は、DA変換回路30104に入力される。そして、補正された映像信号又は当該フレー

40

50

ムの映像信号にしたがった値のアナログ信号である出力映像信号 3 0 1 3 2 が出力される。このようにして、オーバードライブ駆動が実現できる。

【 0 3 7 4 】

次に、図 3 3 の (C) を参照して、入力映像信号 3 0 1 3 1 がデジタル値をとる信号であり、出力映像信号 3 0 1 3 2 もデジタル値をとる信号である場合について説明する。図 3 3 の (C) に示すオーバードライブ回路は、フレームメモリ 3 0 1 1 2、補正回路 3 0 1 1 3、を備える。

【 0 3 7 5 】

入力映像信号 3 0 1 3 1 は、デジタル信号であり、まず、フレームメモリ 3 0 1 1 2 と、補正回路 3 0 1 1 3 と、にそれぞれ入力される。補正回路 3 0 1 1 3 には、フレームメモリ 3 0 1 1 2 に保持されていた前フレームの映像信号も、同時に入力される。そして、補正回路 3 0 1 1 3 において、当該フレームの映像信号と、前フレームの映像信号から、あらかじめ用意された数値テーブルにしたがって、補正された映像信号を出力する。このとき、補正回路 3 0 1 1 3 に出力切り替え信号 3 0 1 3 3 を入力し、補正された映像信号と、当該フレームの映像信号を切替えて出力できるようにしてもよい。このようにして、オーバードライブ駆動が実現できる。

【 0 3 7 6 】

なお、本実施の形態におけるオーバードライブ回路は、入力映像信号 3 0 1 3 1 がアナログ信号であり、出力映像信号 3 0 1 3 2 がデジタル信号である場合も含む。このときは、図 3 3 の (B) に示した回路から、D A 変換回路 3 0 1 0 4 を省略すればよい。また、本実施の形態におけるオーバードライブ回路は、入力映像信号 3 0 1 3 1 がデジタル信号であり、出力映像信号 3 0 1 3 2 がアナログ信号である場合も含む。このときは、図 3 3 の (B) に示した回路から、符号化回路 3 0 1 0 1 を省略すればよい。

【 0 3 7 7 】

次に、コモン線の電位を操作する駆動について、図 3 4 を参照して説明する。図 3 4 の (A) は、液晶素子のような容量的な性質を持つ表示素子を用いた表示装置において、走査線一本に対し、コモン線が一本配置されているときの、複数の画素回路を表した図である。図 3 4 の (A) に示す画素回路は、トランジスタ 3 0 2 0 1、補助容量 3 0 2 0 2、表示素子 3 0 2 0 3、映像信号線 3 0 2 0 4、走査線 3 0 2 0 5、コモン線 3 0 2 0 6、を備えている。

【 0 3 7 8 】

トランジスタ 3 0 2 0 1 のゲート電極は、走査線 3 0 2 0 5 に電氣的に接続され、トランジスタ 3 0 2 0 1 のソース電極及びドレイン電極の一方は、映像信号線 3 0 2 0 4 に電氣的に接続され、トランジスタ 3 0 2 0 1 のソース電極及びドレイン電極の他方は、補助容量 3 0 2 0 2 の一方の電極、及び表示素子 3 0 2 0 3 の一方の電極に電氣的に接続されている。

また、補助容量 3 0 2 0 2 の他方の電極は、コモン線 3 0 2 0 6 に電氣的に接続されている。

【 0 3 7 9 】

まず、走査線 3 0 2 0 5 によって選択された画素は、トランジスタ 3 0 2 0 1 がオンとなるため、それぞれ、映像信号線 3 0 2 0 4 を介して、表示素子 3 0 2 0 3 及び補助容量 3 0 2 0 2 に映像信号に対応した電圧がかかる。このとき、その映像信号が、コモン線 3 0 2 0 6 に接続された全ての画素に対して最低階調を表示させるものだった場合、あるいは、コモン線 3 0 2 0 6 に接続された全ての画素に対して最高階調を表示させるものだった場合は、画素にそれぞれ映像信号線 3 0 2 0 4 を介して映像信号を書き込む必要はない。映像信号線 3 0 2 0 4 を介して映像信号を書き込む代わりに、コモン線 3 0 2 0 6 の電位を動かすことで、表示素子 3 0 2 0 3 にかかる電圧を変えることができる。

【 0 3 8 0 】

次に、図 3 4 の (B) は、液晶素子のような容量的な性質を持つ表示素子を用いた表示装置において、走査線一本に対し、コモン線が 2 本配置されているときの、複数の画素回路

10

20

30

40

50

を表した図である。図34の(B)に示す画素回路は、トランジスタ30211、補助容量30212、表示素子30213、映像信号線30214、走査線30215、第1のコモン線30216、第2のコモン線30217、を備えている。

【0381】

トランジスタ30211のゲート電極は、走査線30215に電氣的に接続され、トランジスタ30211のソース電極及びドレイン電極の一方は、映像信号線30214に電氣的に接続され、トランジスタ30211のソース電極及びドレイン電極の他方は、補助容量30212の一方の電極、及び表示素子30213の一方の電極に電氣的に接続されている。

また、補助容量30212の他方の電極は、第1のコモン線30216に電氣的に接続されている。

10

また、当該画素と隣接する画素においては、補助容量30212の他方の電極は、第2のコモン線30217に電氣的に接続されている。

【0382】

図34の(B)に示す画素回路は、コモン線一本に対し電氣的に接続されている画素が少ないため、映像信号線30214を介して映像信号を書き込む代わりに、第1のコモン線30216又は第2のコモン線30217の電位を動かすことで、表示素子30213にかかる電圧を変えることができる頻度が、顕著に大きくなる。また、ソース反転駆動又はドット反転駆動が可能になる。ソース反転駆動又はドット反転駆動により、素子の信頼性を向上させつつ、フリッカを抑えることができる。

20

【0383】

次に、走査型バックライトについて、図35を参照して説明する。図35の(A)は、冷陰極管を並置した走査型バックライトを示す図である。図35の(A)に示す走査型バックライトは、拡散板30301と、N個の冷陰極管30302₁から30302_Nと、を備える。N個の冷陰極管30302₁から30302_Nを、拡散板30301の後ろに並置することで、N個の冷陰極管30302₁から30302_Nは、その輝度を変化させて走査することができる。

【0384】

走査するときの各冷陰極管の輝度の変化を、図35の(C)を用いて説明する。まず、冷陰極管30302₁の輝度を、一定時間変化させる。そして、その後に、冷陰極管30302₁の隣に配置された冷陰極管30302₂の輝度を、同じ時間だけ変化させる。このように、冷陰極管30302₁から30302_Nまで、輝度を順に変化させる。なお、図35の(C)においては、一定時間変化させる輝度は、元の輝度より小さいものとしたが、元の輝度より大きくてもよい。また、冷陰極管30302₁から30302_Nまで走査するとしたが、逆方向に冷陰極管30302_Nから30302₁まで走査してもよい。

30

【0385】

図35のように駆動することで、バックライトの平均輝度を小さくすることができる。したがって、液晶表示装置の消費電力の大部分を占める、バックライトの消費電力を低減することができる。

40

【0386】

なお、走査型バックライトの光源として、LEDを用いてもよい。その場合の走査型バックライトは、図35の(B)のようになる。図35の(B)に示す走査型バックライトは、拡散板30311と、LEDを並置した光源30312₁から30312_Nと、を備える。走査型バックライトの光源として、LEDを用いた場合、バックライトを薄く、軽くできる利点がある。また、色再現範囲を広げることができるという利点がある。さらに、LEDを並置した光源30312₁から30312_Nのそれぞれに並置したLEDも、同様に走査することができるので、点走査型のバックライトとすることもできる。点走査型とすれば、動画像の画質をさらに向上させることができる。

【0387】

50

なお、バックライトの光源としてLEDを用いた場合も、図35の(C)に示すように輝度を変化させて駆動することができる。

【0388】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容(一部でもよい)は、別の図で述べた内容(一部でもよい)に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることができる。

【0389】

同様に、本実施の形態の各々の図で述べた内容(一部でもよい)は、別の実施の形態および実施例の図で述べた内容(一部でもよい)に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態および実施例の部分を組み合わせることにより、さらに多くの図を構成させることができる。

10

【0390】

なお、本実施の形態は、他の実施の形態および実施例で述べた内容(一部でもよい)を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態および実施例で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

20

【0391】

(実施の形態8)

本実施の形態においては、液晶表示装置に適用できる画素の構成及び画素の動作について説明する。

【0392】

なお、本実施の形態において、液晶の動作モードとして、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)などを用いることができる。

30

【0393】

図36(A)は、液晶表示装置に適用できる画素構成の一例を示す図である。

【0394】

画素40100は、トランジスタ40101、液晶素子40102及び容量素子40103を有している。トランジスタ40101のゲートは配線40105に接続されている。トランジスタ40101の第1端子は配線40104に接続されている。トランジスタ40101の第2端子は液晶素子40102の第1電極及び容量素子40103の第1電極に接続される。液晶素子40102の第2電極は対向電極40107に相当する。容量素子40103の第2の電極が配線40106に接続されている。

40

【0395】

配線40104は、信号線として機能する。配線40105は走査線として機能する。配線40106は容量線として機能する。トランジスタ40101は、スイッチとして機能する。容量素子40103は、保持容量として機能する。

【0396】

トランジスタ40101はスイッチとして機能すればよく、トランジスタ40101の極性はPチャネル型でもよいし、Nチャネル型でもよい。

50

【0397】

なお、配線40104にはビデオ信号が入力されている。配線40105には走査信号が入力されている。配線40106はある一定の電位が供給されている。なお、走査信号はHレベル又はLレベルのデジタル電圧信号である。トランジスタ40101がNチャンネル型の場合、走査信号のHレベルはトランジスタ40101をオンできる電位、走査信号のLレベルはトランジスタ40101をオフできる電位である。あるいは、トランジスタ40101がPチャンネル型の場合、走査信号のHレベルはトランジスタ40101をオフできる電位、走査信号のLレベルはトランジスタ40101をオンできる電位である。なお、ビデオ信号はアナログ電圧である。ビデオ信号は、走査信号のHレベルよりも低く、走査信号のLレベルよりも高い電位である。なお、配線40106に供給されている一定の電位は対向電極40107の電位と等しいことが好ましい。

10

【0398】

画素40100の動作について、トランジスタ40101がオンしている場合とトランジスタ40101がオフしている場合に分けて説明する。

【0399】

トランジスタ40101がオンしている場合は、配線40104と、液晶素子40102の第1電極（画素電極）及び容量素子40103の第1電極とが電氣的に接続される。したがって、ビデオ信号は、配線40104からトランジスタ40101を介して、液晶素子40102の第1電極（画素電極）及び容量素子40103の第1電極に入力される。そして、容量素子40103はビデオ信号と配線40106に供給されている電位との電位差を保持する。

20

【0400】

トランジスタ40101がオフしている場合は、配線40104と、液晶素子40102の第1電極（画素電極）及び容量素子40103の第1電極とが電氣的に遮断される。したがって、液晶素子40102の第1電極及び容量素子40103の第1電極は浮遊状態となる。容量素子40103はビデオ信号と配線40106に供給されている電位との電位差を保持しているため、液晶素子40102の第1電極及び容量素子40103の第1電極は、ビデオ信号と同じ（対応した）電位を維持する。なお、液晶素子40102は、ビデオ信号に応じた透過率となる。

【0401】

図36(B)は、液晶表示装置に適用できる画素構成の一例を示す図である。特に、図36(B)は、横電界モード（IPSモード、FFSモードを含む）に適した液晶表示装置に適用できる画素構成の一例を示す図である。

30

【0402】

画素40110は、トランジスタ40111、液晶素子40112及び容量素子40113を有している。トランジスタ40111のゲートは配線40115に接続されている。トランジスタ40111の第1端子は配線40114に接続されている。トランジスタ40111の第2端子は液晶素子40112の第1電極及び容量素子40113の第1電極に接続される。液晶素子40112の第2電極は配線40116と接続されている。容量素子40113の第2の電極が配線40116に接続されている。

40

【0403】

配線40114は、信号線として機能する。配線40115は走査線として機能する。配線40116は容量線として機能する。トランジスタ40111は、スイッチとして機能する。容量素子40113は、保持容量として機能する。

【0404】

トランジスタ40111はスイッチとして機能すればよく、トランジスタ40111の極性はPチャンネル型でもよいし、Nチャンネル型でもよい。

【0405】

なお、配線40114にはビデオ信号が入力されている。配線40115には走査信号が入力されている。配線40116はある一定の電位が供給されている。なお、走査信号は

50

Hレベル又はLレベルのデジタル電圧信号である。トランジスタ40111がNチャンネル型の場合、走査信号のHレベルはトランジスタ40111をオンできる電位、走査信号のLレベルはトランジスタ40111をオフできる電位である。あるいは、トランジスタ40111がPチャンネル型の場合、走査信号のHレベルはトランジスタ40111をオフできる電位、走査信号のLレベルはトランジスタ40111をオンできる電位である。なお、ビデオ信号はアナログ電圧である。ビデオ信号は、走査信号のHレベルよりも低く、走査信号のLレベルよりも高い電位である。

【0406】

画素40110の動作について、トランジスタ40111がオンしている場合とトランジスタ40111がオフしている場合に分けて説明する。

10

【0407】

トランジスタ40111がオンしている場合は、配線40114と、液晶素子40112の第1電極（画素電極）及び容量素子40113の第1電極とが電氣的に接続される。したがって、ビデオ信号は、配線40114からトランジスタ40111を介して、液晶素子40112の第1電極（画素電極）及び容量素子40113の第1電極に入力される。そして、容量素子40113はビデオ信号と配線40116に供給されている電位との電位差を保持する。

【0408】

トランジスタ40111がオフしている場合は、配線40114と、液晶素子40112の第1電極（画素電極）及び容量素子40113の第1電極とが電氣的に遮断される。したがって、液晶素子40112の第1電極及び容量素子40113の第1電極は浮遊状態となる。容量素子40113はビデオ信号と配線40116に供給されている電位との電位差を保持しているため、液晶素子40112の第1電極及び容量素子40113の第1電極は、ビデオ信号と同じ（対応した）電位を維持する。なお、液晶素子40112は、ビデオ信号に応じた透過率となる。

20

【0409】

図37は、液晶表示装置に適用できる画素構成の一例を示す図である。特に、図37は、配線数を減らして画素の開口率を大きくできる画素構成の一例である。

【0410】

図37は、同じ列方向に配置された二つの画素（画素40200及び画素40210）を示す。例えば、画素40200がN行目に配置されている場合、画素40210はN+1行目に配置されている。

30

【0411】

画素40200は、トランジスタ40201、液晶素子40202及び容量素子40203を有している。トランジスタ40201のゲートは配線40205に接続されている。トランジスタ40201の第1端子は配線40204に接続されている。トランジスタ40201の第2端子は液晶素子40202の第1電極及び容量素子40203の第1電極に接続される。液晶素子40202の第2電極は対向電極40207に相当する。容量素子40203の第2電極は、前行のトランジスタのゲートと同じ配線に接続されている。

【0412】

40

画素40210は、トランジスタ40211、液晶素子40212及び容量素子40213を有している。トランジスタ40211のゲートは配線40215に接続されている。トランジスタ40211の第1端子は配線40204に接続されている。トランジスタ40211の第2端子は液晶素子40212の第1電極及び容量素子40213の第1電極に接続される。液晶素子40212の第2電極は対向電極40217に相当する。容量素子40213の第2電極は、前行のトランジスタのゲートと同じ配線（配線40205）に接続されている。

【0413】

配線40204は、信号線として機能する。配線40205はN行目の走査線として機能する。配線40206はN行目の容量線として機能する。トランジスタ40201は、ス

50

イッチとして機能する。容量素子 40203 は、保持容量として機能する。

【0414】

配線 40214 は、信号線として機能する。配線 40215 は N + 1 行目の走査線として機能する。配線 40216 は N + 1 行目の容量線として機能する。トランジスタ 40211 は、スイッチとして機能する。容量素子 40213 は、保持容量として機能する。

【0415】

トランジスタ 40201 及びトランジスタ 40211 はスイッチとして機能すればよく、トランジスタ 40201 の極性及びトランジスタ 40211 の極性は P チャネル型でもよいし、N チャネル型でもよい。

【0416】

なお、配線 40204 にはビデオ信号が入力されている。配線 40205 には走査信号 (N 行目) が入力されている。配線 40215 には走査信号 (N + 1 行目) が入力されている。

【0417】

走査信号は H レベル又は L レベルのデジタル電圧信号である。トランジスタ 40201 (又はトランジスタ 40211) が N チャネル型の場合、走査信号の H レベルはトランジスタ 40201 (又はトランジスタ 40211) をオンできる電位、走査信号の L レベルはトランジスタ 40201 (又はトランジスタ 40211) をオフできる電位である。あるいは、トランジスタ 40201 (又はトランジスタ 40211) が P チャネル型の場合、走査信号の H レベルはトランジスタ 40201 (又はトランジスタ 40211) をオフできる電位、走査信号の L レベルはトランジスタ 40201 (又はトランジスタ 40211) をオンできる電位である。なお、ビデオ信号はアナログ電圧である。ビデオ信号は、走査信号の H レベルよりも低く、走査信号の L レベルよりも高い電位である。

【0418】

画素 40200 の動作について、トランジスタ 40201 がオンしている場合とトランジスタ 40201 がオフしている場合に分けて説明する。

【0419】

トランジスタ 40201 がオンしている場合は、配線 40204 と、液晶素子 40202 の第 1 電極 (画素電極) 及び容量素子 40203 の第 1 電極とが電氣的に接続される。したがって、ビデオ信号は、配線 40204 からトランジスタ 40201 を介して、液晶素子 40202 の第 1 電極 (画素電極) 及び容量素子 40203 の第 1 電極に入力される。そして、容量素子 40203 はビデオ信号と前行のトランジスタのゲートと同じ配線に供給されている電位との電位差を保持する。

【0420】

トランジスタ 40201 がオフしている場合は、配線 40204 と、液晶素子 40202 の第 1 電極 (画素電極) 及び容量素子 40203 の第 1 電極とが電氣的に遮断される。したがって、液晶素子 40202 の第 1 電極及び容量素子 40203 の第 1 電極は浮遊状態となる。容量素子 40203 はビデオ信号と前行のトランジスタのゲートと同じ配線に供給されている電位との電位差を保持しているため、液晶素子 40202 の第 1 電極及び容量素子 40203 の第 1 電極は、ビデオ信号と同じ (対応した) 電位を維持する。なお、液晶素子 40202 は、ビデオ信号に応じた透過率となる。

【0421】

画素 40210 の動作について、トランジスタ 40211 がオンしている場合とトランジスタ 40211 がオフしている場合に分けて説明する。

【0422】

トランジスタ 40211 がオンしている場合は、配線 40204 と、液晶素子 40212 の第 1 電極 (画素電極) 及び容量素子 40213 の第 1 電極とが電氣的に接続される。したがって、ビデオ信号は、配線 40204 からトランジスタ 40211 を介して、液晶素子 40212 の第 1 電極 (画素電極) 及び容量素子 40213 の第 1 電極に入力される。そして、容量素子 40213 はビデオ信号と前行のトランジスタのゲートと同じ配線 (配

10

20

30

40

50

線 4 0 2 0 5) に供給されている電位との電位差を保持する。

【 0 4 2 3 】

トランジスタ 4 0 2 1 1 がオフしている場合は、配線 4 0 2 0 4 と、液晶素子 4 0 2 1 2 の第 1 電極 (画素電極) 及び容量素子 4 0 2 1 3 の第 1 電極とが電氣的に遮断される。したがって、液晶素子 4 0 2 1 2 の第 1 電極及び容量素子 4 0 2 1 3 の第 1 電極は浮遊状態となる。容量素子 4 0 2 1 3 はビデオ信号と前行のトランジスタのゲートと同じ配線 (配線 4 0 2 0 5) に供給されている電位との電位差を保持しているため、液晶素子 4 0 2 1 2 の第 1 電極及び容量素子 4 0 2 1 3 の第 1 電極は、ビデオ信号と同じ (対応した) 電位を維持する。なお、液晶素子 4 0 2 1 2 は、ビデオ信号に応じた透過率となる。

【 0 4 2 4 】

図 3 8 は、液晶表示装置に適用できる画素構成の一例を示す図である。特に、図 3 8 は、サブ画素を用いることで視野角を向上できる画素構成の一例である。

【 0 4 2 5 】

画素 4 0 3 2 0 は、サブ画素 4 0 3 0 0 とサブ画素 4 0 3 1 0 を有している。画素 4 0 3 2 0 が 2 つのサブ画素を有している場合について説明するが、画素 4 0 3 2 0 は 3 つ以上のサブ画素を有していてもよい。

【 0 4 2 6 】

サブ画素 4 0 3 0 0 は、トランジスタ 4 0 3 0 1、液晶素子 4 0 3 0 2 及び容量素子 4 0 3 0 3 を有している。トランジスタ 4 0 3 0 1 のゲートは配線 4 0 3 0 5 に接続されている。トランジスタ 4 0 3 0 1 の第 1 端子は配線 4 0 3 0 4 に接続されている。トランジスタ 4 0 3 0 1 の第 2 端子は液晶素子 4 0 3 0 2 の第 1 電極及び容量素子 4 0 3 0 3 の第 1 電極に接続される。液晶素子 4 0 3 0 2 の第 2 電極は対向電極 4 0 3 0 7 に相当する。容量素子 4 0 3 0 3 の第 2 の電極が配線 4 0 3 0 6 に接続されている。

【 0 4 2 7 】

サブ画素 4 0 3 1 0 は、トランジスタ 4 0 3 1 1、液晶素子 4 0 3 1 2 及び容量素子 4 0 3 1 3 を有している。トランジスタ 4 0 3 1 1 のゲートは配線 4 0 3 1 5 に接続されている。トランジスタ 4 0 3 0 1 の第 1 端子は配線 4 0 3 0 4 に接続されている。トランジスタ 4 0 3 1 1 の第 2 端子は液晶素子 4 0 3 1 2 の第 1 電極及び容量素子 4 0 3 1 3 の第 1 電極に接続される。液晶素子 4 0 3 1 2 の第 2 電極は対向電極 4 0 3 1 7 に相当する。容量素子 4 0 3 1 3 の第 2 の電極が配線 4 0 3 0 6 に接続されている。

【 0 4 2 8 】

配線 4 0 3 0 4 は、信号線として機能する。配線 4 0 3 0 5 は走査線として機能する。配線 4 0 3 1 5 は信号線として機能する。配線 4 0 3 0 6 は容量線として機能する。トランジスタ 4 0 3 0 1 は、スイッチとして機能する。トランジスタ 4 0 3 1 1 は、スイッチとして機能する。容量素子 4 0 3 0 3 は、保持容量として機能する。容量素子 4 0 3 1 3 は、保持容量として機能する。

【 0 4 2 9 】

トランジスタ 4 0 3 0 1 はスイッチとして機能すればよく、トランジスタ 4 0 3 0 1 の極性は P チャネル型でもよいし、N チャネル型でもよい。トランジスタ 4 0 3 1 1 はスイッチとして機能すればよく、トランジスタ 4 0 3 1 1 の極性は P チャネル型でもよいし、N チャネル型でもよい。

【 0 4 3 0 】

なお、配線 4 0 3 0 4 にはビデオ信号が入力されている。配線 4 0 3 0 5 には走査信号が入力されている。配線 4 0 3 1 5 には走査信号が入力されている。配線 4 0 3 0 6 はある一定の電位が供給されている。

【 0 4 3 1 】

なお、走査信号は H レベル又は L レベルのデジタル電圧信号である。トランジスタ 4 0 3 0 1 (又はトランジスタ 4 0 3 1 1) が N チャネル型の場合、走査信号の H レベルはトランジスタ 4 0 3 0 1 (又はトランジスタ 4 0 3 1 1) をオンできる電位、走査信号の L レベルはトランジスタ 4 0 3 0 1 (又はトランジスタ 4 0 3 1 1) をオフできる電位である

10

20

30

40

50

。あるいは、トランジスタ40301（又はトランジスタ40311）がPチャンネル型の場合、走査信号のHレベルはトランジスタ40301（又はトランジスタ40311）をオフできる電位、走査信号のLレベルはトランジスタ40301（又はトランジスタ40311）をオンできる電位である。なお、ビデオ信号はアナログ電圧である。ビデオ信号は、走査信号のHレベルよりも低く、走査信号のLレベルよりも高い電位である。なお、配線40306に供給されている一定の電位は対向電極40307の電位又は対向電極40317の電位と等しいことが好ましい。

【0432】

画素40320の動作について、トランジスタ40301がオンしトランジスタ40311がオフしている場合と、トランジスタ40301がオフしトランジスタ40311がオンしている場合と、トランジスタ40301及びトランジスタ40311がオフしている場合とに分けて説明する。

10

【0433】

トランジスタ40301がオンしトランジスタ40311がオフしている場合は、サブ画素40300において、配線40304と、液晶素子40302の第1電極（画素電極）及び容量素子40303の第1電極とが電氣的に接続される。したがって、ビデオ信号は、配線40304からトランジスタ40301を介して、液晶素子40302の第1電極（画素電極）及び容量素子40303の第1電極に入力される。そして、容量素子40303はビデオ信号と配線40306に供給されている電位との電位差を保持する。このとき、サブ画素40310において、配線40304と、液晶素子40312の第1電極（画素電極）及び容量素子40313の第1電極とが電氣的に遮断される。したがって、ビデオ信号は、サブ画素40310には入力されない。

20

【0434】

トランジスタ40301がオフ、トランジスタ40311がオンしている場合は、サブ画素40300において、配線40304と、液晶素子40302の第1電極（画素電極）及び容量素子40303の第1電極とが電氣的に遮断される。したがって、液晶素子40302の第1電極及び容量素子40303の第1電極は浮遊状態となる。容量素子40303はビデオ信号と配線40306に供給されている電位との電位差を保持しているため、液晶素子40302の第1電極及び容量素子40303の第1電極は、ビデオ信号と同じ（対応した）電位を維持する。このとき、サブ画素40310において、配線40304と、液晶素子40312の第1電極（画素電極）及び容量素子40313の第1電極とが電氣的に接続される。したがって、ビデオ信号は、配線40304からトランジスタ40311を介して、液晶素子40312の第1電極（画素電極）及び容量素子40313の第1電極に入力される。そして、容量素子40313はビデオ信号と配線40316に供給されている電位との電位差を保持する。

30

【0435】

トランジスタ40301及びトランジスタ40311がオフしている場合は、サブ画素40300において、配線40304と、液晶素子40302の第1電極（画素電極）及び容量素子40303の第1電極とが電氣的に遮断される。したがって、液晶素子40302の第1電極及び容量素子40303の第1電極は浮遊状態となる。容量素子40303はビデオ信号と配線40306に供給されている電位との電位差を保持しているため、液晶素子40302の第1電極及び容量素子40303の第1電極は、ビデオ信号と同じ（対応した）電位を維持する。なお、液晶素子40302は、ビデオ信号に応じた透過率となる。このとき、このとき、サブ画素40310において、配線40304と、液晶素子40312の第1電極（画素電極）及び容量素子40313の第1電極とが電氣的に遮断される。したがって、液晶素子40312の第1電極及び容量素子40313の第1電極は浮遊状態となる。容量素子40313はビデオ信号と配線40306に供給されている電位との電位差を保持しているため、液晶素子40312の第1電極及び容量素子40313の第1電極は、ビデオ信号と同じ（対応した）電位を維持する。なお、液晶素子40312は、ビデオ信号に応じた透過率となる。

40

50

【 0 4 3 6 】

サブ画素 4 0 3 0 0 に入力するビデオ信号は、サブ画素 4 0 3 1 0 に入力するビデオ信号と異なる値としてもよい。この場合、液晶素子 4 0 3 0 2 の液晶分子の配向を液晶素子 4 0 3 1 2 の液晶分子の配向と異ならせることができるため、視野角を広くすることができる。

【 0 4 3 7 】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることができる。

10

【 0 4 3 8 】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態および実施例の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態および実施例の部分を組み合わせることにより、さらに多くの図を構成させることができる。

【 0 4 3 9 】

なお、本実施の形態は、他の実施の形態および実施例で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態および実施例で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

20

【 0 4 4 0 】

（実施の形態 9）

本実施の形態においては、各種液晶モードについて説明する。

【 0 4 4 1 】

まず、断面図を用いて各種液晶モードについて説明する。

【 0 4 4 2 】

図 3 9（A）、（B）は、TNモードの断面の模式図を示す。

30

【 0 4 4 3 】

互いに対向するように配置された第 1 の基板 5 0 1 0 1 及び第 2 の基板 5 0 1 0 2 に、液晶層 5 0 1 0 0 が挟持されている。第 1 の基板 5 0 1 0 1 の上面には、第 1 の電極 5 0 1 0 5 が形成されている。第 2 の基板 5 0 1 0 2 の上面には、第 2 の電極 5 0 1 0 6 が形成されている。第 1 の基板 5 0 1 0 1 の液晶層と反対側には、第 1 の偏光板 5 0 1 0 3 が配置されている。第 2 の基板 5 0 1 0 2 の液晶層と反対側には、第 2 の偏光板 5 0 1 0 4 が配置されている。なお、第 1 の偏光板 5 0 1 0 3 と第 2 の偏光板 5 0 1 0 4 とは、クロスニコルになるように配置されている。

【 0 4 4 4 】

第 1 の偏光板 5 0 1 0 3 は、第 1 の基板 5 0 1 0 1 の上面に配置されてもよい。第 2 の偏光板 5 0 1 0 4 は、第 2 の基板 5 0 1 0 2 の上面に配置されてもよい。

40

【 0 4 4 5 】

第 1 の電極 5 0 1 0 5 及び第 2 の電極 5 0 1 0 6 のうち、少なくとも一方（又は両方）の電極が透光性を有していればよい（透過型又は反射型）。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい（半透過型）。

【 0 4 4 6 】

図 3 9（A）は、第 1 の電極 5 0 1 0 5 及び第 2 の電極 5 0 1 0 6 に電圧が印加（縦電界方式と呼ぶ）された場合の断面の模式図である。液晶分子が縦に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受けない。そして、第 1 の偏光板 5 0 1 0 3 と第 2 の偏光板 5 0 1 0 4 とがクロスニコルになるように配置されているため、パ

50

ックライトからの光は基板を通過できない。したがって、黒色表示が行われる。

【0447】

なお、第1の電極50105及び第2の電極50106に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。

【0448】

図39(B)は、第1の電極50105及び第2の電極50106に電圧が印加されていない場合の断面の模式図である。液晶分子が横に並び、平面内で回転している状態となるため、バックライトからの光は液晶分子の複屈折の影響を受ける。そして、第1の偏光板50103と第2の偏光板50104とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過する。したがって、白色表示が行われる。いわゆるノーマリーホワイトモードである。

10

【0449】

図39(A)、(B)に示した構成を有する液晶表示装置は、カラーフィルタを設けることで、フルカラー表示を行うことができる。カラーフィルタは、第1の基板50101側又は第2の基板50102側に設けることができる。

【0450】

TNモードに使用される液晶材料は、公知のものを使用すればよい。

【0451】

図40(A)、(B)は、VAモードの断面の模式図を示す。VAモードは、無電界の時に液晶分子が基板に垂直となるように配向されているモードである。

20

【0452】

互いに対向するように配置された第1の基板50201及び第2の基板50202に、液晶層50200が挟持されている。第1の基板50201の上面には、第1の電極50205が形成されている。第2の基板50202の上面には、第2の電極50206が形成されている。第1の基板50201の液晶層と反対側には、第1の偏光板50203が配置されている。第2の基板50202の液晶層と反対側には、第2の偏光板50204が配置されている。なお、第1の偏光板50203と第2の偏光板50204とは、クロスニコルになるように配置されている。

【0453】

第1の偏光板50203は、第1の基板50201の上面に配置されてもよい。第2の偏光板50204は、第2の基板50202の上面に配置されてもよい。

30

【0454】

第1の電極50205及び第2の電極50206のうち、少なくとも一方(又は両方)の電極が透光性を有していればよい(透過型又は反射型)。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい(半透過型)。

【0455】

図40(A)は、第1の電極50205及び第2の電極50206に電圧が印加(縦電界方式と呼ぶ)された場合の断面の模式図である。液晶分子が横に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受ける。そして、第1の偏光板50203と第2の偏光板50204とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過する。したがって、白色表示が行われる。

40

【0456】

なお、第1の電極50205及び第2の電極50206に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。

【0457】

図40(B)は、第1の電極50205及び第2の電極50206に電圧が印加されていない場合の断面の模式図である。液晶分子が縦に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受けない。そして、第1の偏光板50203と第2の

50

偏光板 50204 とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過しない。したがって、黒色表示が行われる。いわゆるノーマリーブラックモードである。

【0458】

図40(A)、(B)に示した構成を有する液晶表示装置は、カラーフィルタを設けることで、フルカラー表示を行うことができる。カラーフィルタは、第1の基板50201側又は第2の基板50202側に設けることができる。

【0459】

V Aモードに使用される液晶材料は、公知のものを使用すればよい。

【0460】

図40(C)、(D)は、MVAモードの断面の模式図を示す。MVAモードは、それぞれの部分の視野角依存性を互いに補償する方法である。

【0461】

互いに対向するように配置された第1の基板50211及び第2の基板50212に、液晶層50210が挟持されている。第1の基板50211の上面には、第1の電極50215が形成されている。第2の基板50212の上面には、第2の電極50216が形成されている。第1の電極50215上には、配向制御用に第1の突起物502117が形成されている。第2の電極50216上には、配向制御用に第2の突起物502118が形成されている。第1の基板50211の液晶層と反対側には、第1の偏光板50213が配置されている。第2の基板50212の液晶層と反対側には、第2の偏光板50214が配置されている。なお、第1の偏光板50213と第2の偏光板50214とは、クロスニコルになるように配置されている。

【0462】

第1の偏光板50213は、第1の基板50211の上面に配置されてもよい。第2の偏光板50214は、第2の基板50212の上面に配置されてもよい。

【0463】

第1の電極50215及び第2の電極50216のうち、少なくとも一方(又は両方)の電極が透光性を有していればよい(透過型又は反射型)。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい(半透過型)。

【0464】

図40(C)は、第1の電極50215及び第2の電極50216に電圧が印加(縦電界方式と呼ぶ)された場合の断面の模式図である。液晶分子が第1の突起物502117及び第2の突起物502118に対して倒れて並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受ける。そして、第1の偏光板50213と第2の偏光板50214とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過する。したがって、白色表示が行われる。

【0465】

なお、第1の電極50215及び第2の電極50216に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。

【0466】

図40(D)は、第1の電極50215及び第2の電極50216に電圧が印加されていない場合の断面の模式図である。液晶分子が縦に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受けない。そして、第1の偏光板50213と第2の偏光板50214とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過しない。したがって、黒色表示が行われる。いわゆるノーマリーブラックモードである。

【0467】

図40(C)、(D)に示した構成を有する液晶表示装置は、カラーフィルタを設けることで、フルカラー表示を行うことができる。カラーフィルタは、第1の基板50211側

10

20

30

40

50

又は第2の基板50212側に設けることができる。

【0468】

MVAモードに使用される液晶材料は、公知のものを使用すればよい。

【0469】

図41(A)、(B)は、OCBモードの断面の模式図を示す。OCBモードは、液晶層内で液晶分子の配列が光学的に補償状態を形成しているため、視野角依存が少ない。この液晶分子の状態は、ベンド配向と呼ばれる。

【0470】

互いに対向するように配置された第1の基板50301及び第2の基板50302に、液晶層50300が挟持されている。第1の基板50301の上面には、第1の電極50305が形成されている。第2の基板50302の上面には、第2の電極50306が形成されている。第1の基板50301の液晶層と反対側には、第1の偏光板50303が配置されている。第2の基板50302の液晶層と反対側には、第2の偏光板50304が配置されている。なお、第1の偏光板50303と第2の偏光板50304とは、クロスニコルになるように配置されている。

10

【0471】

第1の偏光板50303は、第1の基板50301の上面に配置されてもよい。第2の偏光板50304は、第2の基板50302の上面に配置されてもよい。

【0472】

第1の電極50305及び第2の電極50306のうち、少なくとも一方(又は両方)の電極が透光性を有していればよい(透過型又は反射型)。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい(半透過型)。

20

【0473】

図41(A)は、第1の電極50305及び第2の電極50306に電圧が印加(縦電界方式と呼ぶ)された場合の断面の模式図である。液晶分子が縦に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受けない。そして、第1の偏光板50303と第2の偏光板50304とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過しない。したがって、黒色表示が行われる。

【0474】

なお、第1の電極50305及び第2の電極50306に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。

30

【0475】

図41(B)は、第1の電極50305及び第2の電極50306に電圧が印加されていない場合の断面の模式図である。液晶分子がベンド配向の状態となるため、バックライトからの光は液晶分子の複屈折の影響を受ける。そして、第1の偏光板50303と第2の偏光板50304とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過する。したがって、白色表示が行われる。いわゆるノーマリーホワイトモードである。

【0476】

40

図41(A)、(B)に示した構成を有する液晶表示装置は、カラーフィルタを設けることで、フルカラー表示を行うことができる。カラーフィルタは、第1の基板50301側又は第2の基板50302側に設けることができる。

【0477】

OCBモードに使用される液晶材料は、公知のものを使用すればよい。

【0478】

図41(C)、(D)は、FLCモード又はAFLCモードの断面の模式図を示す。

【0479】

互いに対向するように配置された第1の基板50311及び第2の基板50312に、液晶層50310が挟持されている。第1の基板50311の上面には、第1の電極503

50

15が形成されている。第2の基板50312の上面には、第2の電極50316が形成されている。第1の基板50311の液晶層と反対側には、第1の偏光板50313が配置されている。第2の基板50312の液晶層と反対側には、第2の偏光板50314が配置されている。なお、第1の偏光板50313と第2の偏光板50314とは、クロスニコルになるように配置されている。

【0480】

第1の偏光板50313は、第1の基板50311の上面に配置されてもよい。第2の偏光板50314は、第2の基板50312の上面に配置されてもよい。

【0481】

第1の電極50315及び第2の電極50316のうち、少なくとも一方（又は両方）の電極が透光性を有していればよい（透過型又は反射型）。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい（半透過型）。

10

【0482】

図41(C)は、第1の電極50315及び第2の電極50316に電圧が印加（縦電界方式と呼ぶ）された場合の断面の模式図である。液晶分子がラビング方向からずれた方向で横に並んでいる状態となるため、バックライトからの光は液晶分子の複屈折の影響を受ける。そして、第1の偏光板50313と第2の偏光板50314とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過する。したがって、白色表示が行われる。

【0483】

20

なお、第1の電極50315及び第2の電極50316に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。

【0484】

図41(D)は、第1の電極50315及び第2の電極50316に電圧が印加されていない場合の断面の模式図である。液晶分子がラビング方向に沿って横に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受けない。そして、第1の偏光板50313と第2の偏光板50314とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過しない。したがって、黒色表示が行われる。いわゆるノーマリーブラックモードである。

30

【0485】

図41(C)、(D)に示した構成を有する液晶表示装置は、カラーフィルタを設けることで、フルカラー表示を行うことができる。カラーフィルタは、第1の基板50311側又は第2の基板50312側に設けることができる。

【0486】

FLCモード又はAFLCモードに使用される液晶材料は、公知のものを使用すればよい。

【0487】

図42(A)、(B)は、IPSモードの断面の模式図を示す。IPSモードは、液晶層内で液晶分子の配列が光学的に補償状態を形成しているため、液晶分子を基板に対して常に平面内で回転させるモードであり、電極は一方の基板側のみに設けた横電界方式をとる。

40

【0488】

互いに対向するように配置された第1の基板50401及び第2の基板50402に、液晶層50400が挟持されている。第1の基板50401の上面には、第1の電極50405及び第2の電極50406が形成されている。第1の基板50401の液晶層と反対側には、第1の偏光板50403が配置されている。第2の基板50402の液晶層と反対側には、第2の偏光板50404が配置されている。なお、第1の偏光板50403と第2の偏光板50404とは、クロスニコルになるように配置されている。

【0489】

50

第1の偏光板50403は、第1の基板50401の上面に配置されてもよい。第2の偏光板50404は、第2の基板50402の上面に配置されてもよい。

【0490】

第1の電極50405及び第2の電極50406のうち、少なくとも一方（又は両方）の電極が透光性を有していればよい（透過型又は反射型）。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい（半透過型）。

【0491】

図42(A)は、第1の電極50405及び第2の電極50406に電圧が印加（縦電界方式と呼ぶ）された場合の断面の模式図である。液晶分子がラビング方向からずれた電気力線に沿って配向した状態となるため、バックライトからの光は液晶分子の複屈折の影響を受ける。そして、第1の偏光板50403と第2の偏光板50404とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過する。したがって、白色表示が行われる。

10

【0492】

なお、第1の電極50405及び第2の電極50406に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。

【0493】

図42(B)は、第1の電極50405及び第2の電極50406に電圧が印加されていない場合の断面の模式図である。液晶分子がラビング方向に沿って横に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受けない。そして、第1の偏光板50403と第2の偏光板50404とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過しない。したがって、黒色表示が行われる。いわゆるノーマリーブラックモードである。

20

【0494】

図42(A)、(B)に示した構成を有する液晶表示装置は、カラーフィルタを設けることで、フルカラー表示を行うことができる。カラーフィルタは、第1の基板50401側又は第2の基板50402側に設けることができる。

【0495】

IPSモードに使用される液晶材料は、公知のものを使用すればよい。

30

【0496】

図42(C)、(D)は、FFSモードの断面の模式図を示す。FFSモードは、液晶層内で液晶分子の配列が光学的に補償状態を形成しているため、液晶分子を基板に対して常に平面内で回転させるモードであり、電極は一方の基板側のみ に設けた横電界方式をとる。

【0497】

互いに対向するように配置された第1の基板50411及び第2の基板50412に、液晶層50410が挟持されている。第1の基板50411の上面には、第2の電極50416が形成されている。第2の電極50416の上面には、絶縁膜50417が形成されている。絶縁膜50417上には、第2の電極50416が形成されている。第1の基板50411の液晶層と反対側には、第1の偏光板50413が配置されている。第2の基板50412の液晶層と反対側には、第2の偏光板50414が配置されている。なお、第1の偏光板50413と第2の偏光板50414とは、クロスニコルになるように配置されている。

40

【0498】

第1の偏光板50413は、第1の基板50411の上面に配置されてもよい。第2の偏光板50414は、第2の基板50412の上面に配置されてもよい。

【0499】

第1の電極50415及び第2の電極50416のうち、少なくとも一方（又は両方）の電極が透光性を有していればよい（透過型又は反射型）。あるいは、両方の電極が透光性

50

を有し、かつ一方の電極の一部が反射性を有していてもよい（半透過型）。

【0500】

図42(C)は、第1の電極50415及び第2の電極50416に電圧が印加（縦電界方式と呼ぶ）された場合の断面の模式図である。液晶分子がラビング方向からずれた電気力線に沿って配向した状態となるため、バックライトからの光は液晶分子の複屈折の影響を受ける。そして、第1の偏光板50413と第2の偏光板50414とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過する。したがって、白色表示が行われる。

【0501】

なお、第1の電極50415及び第2の電極50416に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。

10

【0502】

図42(D)は、第1の電極50415及び第2の電極50416に電圧が印加されていない場合の断面の模式図である。液晶分子がラビング方向に沿って横に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受けない。そして、第1の偏光板50413と第2の偏光板50414とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過しない。したがって、黒色表示が行われる。いわゆるノーマリーブラックモードである。

【0503】

図42(C)、(D)に示した構成を有する液晶表示装置は、カラーフィルタを設けることで、フルカラー表示を行うことができる。カラーフィルタは、第1の基板50411側又は第2の基板50412側に設けることができる。

20

【0504】

FFSモードに使用される液晶材料は、公知のものを使用すればよい。

【0505】

次に、上面図を用いて各種液晶モードを説明する。

【0506】

図43は、MVAモードを適用した画素部の上面図を示す。MVAモードは、それぞれの部分の視野角依存性を互いに補償する方法である。

30

【0507】

図43は、第1の画素電極50501、第2の画素電極(50502a、50502b、50502c)、及び突起物50503を示している。第1の画素電極50501は、対向基板の全面に形成されている。形状がくの字型となるように、第2の画素電極(50502a、50502b、50502c)が形成されている。形状が第2の画素電極(50502a、50502b、50502c)と対応するように、第1の画素電極50501上に第2の画素電極(50502a、50502b、50502c)が形成されている。

【0508】

第2の画素電極(50502a、50502b、50502c)の開口部は、突起物のように機能する。

40

【0509】

第1の画素電極50501及び第2の画素電極(50502a、50502b、50502c)に電圧が印加（縦電界方式と呼ぶ）された場合、液晶分子が第2の画素電極(50502a、50502b、50502c)の開口部及び突起物50503に対して倒れて並んだ状態となる。一対の偏光板がクロスニコルとなるように配置されているときには、バックライトからの光が基板を通過するため、白色表示が行われる。

【0510】

なお、第1の画素電極50501及び第2の画素電極(50502a、50502b、50502c)に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の

50

映像表示を行うことが可能である。

【0511】

第1の画素電極50501及び第2の画素電極(50502a、50502b、50502c)に電圧が印加されていない場合、液晶分子が縦に並んだ状態となる。一对の偏光板がクロスニコルとなるように配置されているときには、バックライトからの光がパネルを通過しないため、黒色表示が行われる。いわゆる、ノーマリーブラックモードである。

【0512】

MVAモードに使用される液晶材料は、公知のものを使用すればよい。

【0513】

図44(A)、(B)、(C)、(D)は、IPSモードを適用した画素部の上面図を示す。IPSモードは、液晶層内で液晶分子の配列が光学的に補償状態を形成しているため、液晶分子を基板に対して常に平面内で回転させるモードであり、電極は一方の基板側のみに設けた横電界方式をとる。

10

【0514】

IPSモードでは、一对の電極が異なる形状となるように形成される。

【0515】

図44(A)は、第1の画素電極50601及び第2の画素電極50602を示している。第1の画素電極50601及び第2の画素電極50602は、波形状である。

【0516】

図44(B)は、第1の画素電極50611及び第2の画素電極50612を示している。第1の画素電極50611及び第2の画素電極50612は、同心円状の開口部を有する形状である。

20

【0517】

図44(C)は、第1の画素電極50631及び第2の画素電極50632を示している。第1の画素電極50631及び第2の画素電極50632は、櫛場状であり一部重なっている形状である。

【0518】

図44(D)は、第1の画素電極50641及び第2の画素電極50642を示している。第1の画素電極50641及び第2の画素電極50642は、櫛場状であり電極同士がかみ合うような形状である。

30

【0519】

第1の電極(50601、50611、50621、50631)及び第2の電極(50602、50612、50622、50632)に電圧が印加(縦電界方式と呼ぶ)された場合、液晶分子がラビング方向からずれた電気力線に沿って配向した状態となる。一对の偏光板がクロスニコルとなるように配置されているときには、バックライトからの光が基板を通過するため、白色表示が行われる。

【0520】

なお、第1の電極(50601、50611、50621、50631)及び第2の電極(50602、50612、50622、50632)に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。

40

【0521】

第1の電極(50601、50611、50621、50631)及び第2の電極(50602、50612、50622、50632)に電圧が印加されていない場合、液晶分子がラビング方向に沿って横に並んだ状態となる。一对の偏光板がクロスニコルとなるように配置されているときには、バックライトからの光が基板を通過しないため、黒色表示が行われる。いわゆるノーマリーブラックモードである。

【0522】

IPSモードに使用される液晶材料は、公知のものを使用すればよい。

【0523】

50

図45(A)、(B)、(C)、(D)は、FFSモードを適用した画素部の上面図を示す。FFSモードは、液晶層内で液晶分子の配列が光学的に補償状態を形成しているため、液晶分子を基板に対して常に平面内で回転させるモードであり、電極は一方の基板側のみに設けた横電界方式をとる。

【0524】

FFSモードでは、第2の電極の上面に、第1の電極が様々な形状となるように形成される。

【0525】

図45(A)は、第1の画素電極50701及び第2の画素電極50702を示している。第1の画素電極50701は、屈曲したくの字形状である。第2の画素電極50702は、パターン形成されていなくてもよい。

10

【0526】

図45(B)は、第1の画素電極50711及び第2の画素電極50712を示している。第1の画素電極50711は、同心円状の形状である。第2の画素電極50712は、パターン形成されていなくてもよい。

【0527】

図45(C)は、第1の画素電極50731及び第2の画素電極50732を示している。第1の画素電極50731は、櫛場状で電極同士がかみ合うような形状である。第2の画素電極50732は、パターン形成されていなくてもよい。

【0528】

20

図45(D)は、第1の画素電極50741及び第2の画素電極50742を示している。第1の画素電極50741は、櫛場状の形状である。第2の画素電極50742は、パターン形成されていなくてもよい。

【0529】

第1の電極(50701、50711、50721、50731)及び第2の電極(50702、50712、50722、50732)に電圧が印加(縦電界方式と呼ぶ)された場合、液晶分子がラビング方向からずれた電気力線に沿って配向した状態となる。一対の偏光板がクロスニコルとなるように配置されているときには、バックライトからの光が基板を通過するため、白色表示が行われる。

【0530】

30

なお、第1の電極(50701、50711、50721、50731)及び第2の電極(50702、50712、50722、50732)に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。

【0531】

第1の電極(50701、50711、50721、50731)及び第2の電極(50702、50712、50722、50732)に電圧が印加されていない場合、液晶分子がラビング方向に沿って横に並んだ状態となる。一対の偏光板がクロスニコルとなるように配置されているときには、バックライトからの光が基板を通過しないため、黒色表示が行われる。いわゆるノーマリーブラックモードである。

40

【0532】

IPSモードに使用される液晶材料は、公知のものを使用すればよい。

【0533】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容(一部でもよい)は、別の図で述べた内容(一部でもよい)に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【0534】

同様に、本実施の形態の各々の図で述べた内容(一部でもよい)は、別の実施の形態およ

50

び実施例の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態および実施例の部分の組み合わせることにより、さらに多くの図を構成させることが出来る。

【0535】

なお、本実施の形態は、他の実施の形態および実施例で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態および実施例で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

10

【0536】

（実施の形態10）

本実施形態においては、表示装置の画素構造について説明する。特に、有機EL素子を用いた表示装置の画素構造について説明する。

【0537】

図46（A）は、1つの画素に2つのトランジスタを有する画素の上面図（レイアウト図）の一例である。図46（B）は、図46（A）に示すX-X'の部分の断面図の一例である。

【0538】

図46（A）は、第1のトランジスタ60105、第1の配線60106、第2の配線60107、第2のトランジスタ60108、第3の配線60111、対向電極60112、コンデンサ60113、画素電極60115、隔壁60116、有機導電体膜60117、有機薄膜60118及び基板60119を示している。なお、第1のトランジスタ60105はスイッチング用トランジスタとして、第1の配線60106はゲート信号線として、第2の配線60107はソース信号線として、第2のトランジスタ60108は駆動用トランジスタとして、第3の配線60111は電流供給線として、それぞれ用いられるのが好適である。

20

【0539】

第1のトランジスタ60105のゲート電極は、第1の配線60106と電氣的に接続され、第1のトランジスタ60105のソース電極及びドレイン電極の一方は、第2の配線60107と電氣的に接続され、第1のトランジスタ60105のソース電極及びドレイン電極の他方は、第2のトランジスタ60108のゲート電極及びコンデンサ60113の一方の電極と電氣的に接続されている。なお、第1のトランジスタ60105のゲート電極は、複数のゲート電極によって構成されている。こうすることで、第1のトランジスタ60105のオフ状態におけるリーク電流を低減することができる。

30

【0540】

第2のトランジスタ60108のソース電極及びドレイン電極の一方は、第3の配線60111と電氣的に接続され、第2のトランジスタ60108のソース電極及びドレイン電極の他方は、画素電極60115と電氣的に接続されている。こうすることで、画素電極60115に流れる電流を、第2のトランジスタ60108によって制御することができる。

40

【0541】

画素電極60115上には、有機導電体膜60117が設けられ、さらに有機薄膜60118（有機化合物層）が設けられている。有機薄膜60118（有機化合物層）上には、対向電極60112が設けられている。なお、対向電極60112は、全ての画素で共通に接続されるように、全面に形成されていてもよく、シャドーマスクなどを用いてパターン形成されていてもよい。

【0542】

有機薄膜60118（有機化合物層）から発せられた光は、画素電極60115又は対向電極60112のうちいずれかを透過して発せられる。

50

【0543】

図46(B)において、画素電極側、すなわちトランジスタ等が形成されている側に光が発せられる場合を下面放射、対向電極側に光が発せられる場合を上面放射と呼ぶ。

【0544】

下面放射の場合、画素電極60115は透明導電膜によって形成されるのが好適である。逆に、上面放射の場合、対向電極60112は透明導電膜によって形成されるのが好適である。

【0545】

カラー表示の発光装置においては、R、G、Bそれぞれの発光色を持つEL素子を塗り分けても良いし、単色のEL素子が全面に形成されるように塗り、カラーフィルタによってR、G、Bの発光を得るようにしても良い。

10

【0546】

なお、図46に示した構成はあくまで一例であり、画素レイアウト、断面構成、EL素子の電極の積層順等に関して、図46に示した構成以外にも、様々な構成をとることができる。また、発光層は、図示した有機薄膜で構成される素子の他に、LEDのような結晶性の素子、無機薄膜で構成される素子など、様々な素子を用いることができる。

【0547】

図47(A)は、1つの画素に3つのトランジスタを有する画素の上面図(レイアウト図)の一例である。図47(B)は、図47(A)に示すX-X'の部分の断面図の一例である。

20

【0548】

図47(A)は、基板60200、第1の配線60201、第2の配線60202、第3の配線60203、第4の配線60204、第1のトランジスタ60205、第2のトランジスタ60206、第3のトランジスタ60207、画素電極60208、隔壁60211、有機導電体膜60212、有機薄膜60213及び対向電極60214を示す。なお、第1の配線60201はソース信号線として、第2の配線60202は書込用ゲート信号線として、第3の配線60203は消去用ゲート信号線として、第4の配線60204は電流供給線として、第1のトランジスタ60205はスイッチング用トランジスタとして、第2のトランジスタ60206は消去用トランジスタとして、第3のトランジスタ60207は駆動用トランジスタとして、それぞれ用いられるのが好適である。

30

【0549】

第1のトランジスタ60205のゲート電極は、第2の配線60202と電氣的に接続され、第1のトランジスタ60205のソース電極及びドレイン電極の一方は、第1の配線60201と電氣的に接続され、第1のトランジスタ60205のソース電極及びドレイン電極の他方は、第3のトランジスタ60207のゲート電極と電氣的に接続されている。なお、第1のトランジスタ60205のゲート電極は、複数のゲート電極によって構成されている。こうすることで、第1のトランジスタ60205のオフ状態におけるリーク電流を低減することができる。

【0550】

第2のトランジスタ60206のゲート電極は、第3の配線60203と電氣的に接続され、第2のトランジスタ60206のソース電極及びドレイン電極の一方は、第4の配線60204と電氣的に接続され、第2のトランジスタ60206のソース電極及びドレイン電極の他方は、第3のトランジスタ60207のゲート電極と電氣的に接続されている。なお、第2のトランジスタ60206のゲート電極は、複数のゲート電極によって構成されている。こうすることで、第2のトランジスタ60206のオフ状態におけるリーク電流を低減することができる。

40

【0551】

第3のトランジスタ60207のソース電極及びドレイン電極の一方は、第4の配線60204と電氣的に接続され、第3のトランジスタ60207のソース電極及びドレイン電極の他方は、画素電極60208と電氣的に接続されている。こうすることで、画素電極

50

60208に流れる電流を、第3のトランジスタ60207によって制御することができる。

【0552】

画素電極60208上には、有機導電体膜60212が設けられ、さらに有機薄膜60213（有機化合物層）が設けられている。有機薄膜60213（有機化合物層）上には、対向電極60214が設けられている。なお、対向電極60214は、全ての画素で共通に接続されるように、全面に形成されていてもよく、シャドーマスクなどを用いてパターン形成されていてもよい。

【0553】

有機薄膜60213（有機化合物層）から発せられた光は、画素電極60208もしくは対向電極60214のうちいずれかを透過して発せられる。

10

【0554】

図47（B）において、画素電極側、すなわちトランジスタ等が形成されている側に光が発せられる場合を下面放射、対向電極側に光が発せられる場合を上面放射と呼ぶ。

【0555】

下面放射の場合、画素電極60208は透明導電膜によって形成されるのが好適である。逆に、上面放射の場合、対向電極60214は透明導電膜によって形成されるのが好適である。

【0556】

カラー表示の発光装置においては、R、G、Bそれぞれの発光色を持つEL素子を塗り分けても良いし、単色のEL素子が全面に形成されるように塗り、カラーフィルタによってR、G、Bの発光を得るようにしても良い。

20

【0557】

なお、図47に示した構成はあくまで一例であり、画素レイアウト、断面構成、EL素子の電極の積層順等に関して、図47に示した構成以外にも、様々な構成をとることができる。また、発光層は、図示した有機薄膜で構成される素子の他に、LEDのような結晶性の素子、無機薄膜で構成される素子など、様々な素子を用いることができる。

【0558】

図48（A）は、1つの画素に4つのトランジスタを有する画素の上面図（レイアウト図）の一例である。図48（B）は、図48（A）に示すX-X'の部分の断面図の一例である。

30

【0559】

図48（A）は、基板60300、第1の配線60301、第2の配線60302、第3の配線60303、第4の配線60304、第1のトランジスタ60305、第2のトランジスタ60306、第3のトランジスタ60307、第4のトランジスタ60308、画素電極60309、第5の配線60311、第6の配線60312、隔壁60321、有機導電体膜60322、有機薄膜60323及び対向電極60324を示している。なお、第1の配線60301はソース信号線として、第2の配線60302は書込用ゲート信号線として、第3の配線60303は消去用ゲート信号線として、第4の配線60304は逆方向バイアス用信号線として、第1のトランジスタ60305はスイッチング用トランジスタとして、第2のトランジスタ60306は消去用トランジスタとして、第3のトランジスタ60307は駆動用トランジスタとして、第4のトランジスタ60308は逆方向バイアス用トランジスタとして、第5の配線60311は電流供給線として、第6の配線60312は逆方向バイアス用電源線として、それぞれ用いられるのが好適である。

40

【0560】

第1のトランジスタ60305のゲート電極は、第2の配線60302と電氣的に接続され、第1のトランジスタ60305のソース電極及びドレイン電極の一方は、第1の配線60301と電氣的に接続され、第1のトランジスタ60305のソース電極及びドレイン電極の他方は、第3のトランジスタ60307のゲート電極と電氣的に接続されている

50

。なお、第1のトランジスタ60305のゲート電極は、複数のゲート電極によって構成されている。こうすることで、第1のトランジスタ60305のオフ状態におけるリーク電流を低減することができる。

【0561】

第2のトランジスタ60306のゲート電極は、第3の配線60303と電気的に接続され、第2のトランジスタ60306のソース電極及びドレイン電極の一方は、第5の配線60311と電気的に接続され、第2のトランジスタ60306のソース電極及びドレイン電極の他方は、第3のトランジスタ60307のゲート電極と電気的に接続されている。なお、第2のトランジスタ60306のゲート電極は、複数のゲート電極によって構成されている。こうすることで、第2のトランジスタ60306のオフ状態におけるリーク電流を低減することができる。

10

【0562】

第3のトランジスタ60307のソース電極及びドレイン電極の一方は、第5の配線60311と電気的に接続され、第3のトランジスタ60307のソース電極及びドレイン電極の他方は、画素電極60309と電気的に接続されている。こうすることで、画素電極60309に流れる電流を、第3のトランジスタ60307によって制御することができる。

【0563】

第4のトランジスタ60308のゲート電極は、第4の配線60304と電気的に接続され、第4のトランジスタ60308のソース電極及びドレイン電極の一方は、第6の配線60312と電気的に接続され、第4のトランジスタ60308のソース電極及びドレイン電極の他方は、画素電極60309と電気的に接続されている。こうすることで、画素電極60309の電位を、第4のトランジスタ60308によって制御することができるので、有機導電体膜60322及び有機薄膜60323に、逆方向のバイアスを印加することができる。有機導電体膜60322及び有機薄膜60323などで構成される発光素子に逆方向のバイアスを印加することによって、発光素子の信頼性を大きく向上させることができる。

20

【0564】

画素電極60309上には、有機導電体膜60322が設けられ、さらに有機薄膜60323（有機化合物層）が設けられている。有機薄膜60323（有機化合物層）上には、対向電極60324が設けられている。なお、対向電極60324は、全ての画素で共通に接続されるように、全面に形成されていてもよく、シャドーマスクなどを用いてパターン形成されていてもよい。

30

【0565】

有機薄膜60323（有機化合物層）から発せられた光は、画素電極60309もしくは対向電極60324のうちいずれかを透過して発せられる。

【0566】

図48（B）において、画素電極側、すなわちトランジスタ等が形成されている側に光が発せられる場合を下面放射、対向電極側に光が発せられる場合を上面放射と呼ぶ。

【0567】

下面放射の場合、画素電極60309は透明導電膜によって形成されるのが好適である。逆に、上面放射の場合、対向電極60324は透明導電膜によって形成されるのが好適である。

40

【0568】

カラー表示の発光装置においては、R、G、Bそれぞれの発光色を持つEL素子を塗り分けても良いし、単色のEL素子が全面に形成されるように塗り、カラーフィルタによってR、G、Bの発光を得るようにしても良い。

【0569】

なお、図48に示した構成はあくまで一例であり、画素レイアウト、断面構成、EL素子の電極の積層順等に関して、図48に示した構成以外にも、様々な構成をとることができ

50

る。また、発光層は、図示した有機薄膜で構成される素子の他に、LEDのような結晶性の素子、無機薄膜で構成される素子など、様々な素子を用いることができる。

【0570】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることができる。

【0571】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態および実施例の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態および実施例の部分を組み合わせることにより、さらに多くの図を構成させることができる。

10

【0572】

なお、本実施の形態は、他の実施の形態および実施例で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態および実施例で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

20

【0573】

（実施の形態11）

本実施の形態においては、表示装置の画素の構成及び画素の動作について説明する。

【0574】

図49（A）、（B）は、デジタル時間階調駆動の一例を示すタイミングチャートである。図49（A）のタイミングチャートは、画素への信号書き込み期間（アドレス期間）と発光期間（サステイン期間）とが分離されている場合の駆動方法を示す。

【0575】

なお、1表示領域分の画像を完全に表示するための期間を1フレーム期間という。1フレーム期間は複数のサブフレーム期間を有し、1サブフレーム期間はアドレス期間とサステイン期間とを有する。アドレス期間 $T_{a1} \sim T_{a4}$ は、全行分の画素への信号書き込みにかかる時間を示し、期間 $T_{b1} \sim T_{b4}$ は一行分の画素（又は一画素分）への信号書き込みにかかる時間を示している。サステイン期間 $T_{s1} \sim T_{s4}$ は、画素へ書き込まれたビデオ信号にしたがって点灯又は非点灯状態を維持する時間を示し、その長さの比を $T_{s1} : T_{s2} : T_{s3} : T_{s4} = 2^3 : 2^2 : 2^1 : 2^0 = 8 : 4 : 2 : 1$ としている。どのサステイン期間で発光するかによって階調を表現している。

30

【0576】

動作について説明する。まず、アドレス期間 T_{a1} において、1行目から順に走査線に画素選択信号が入力され、画素が選択される。そして、画素が選択されているときに、信号線から画素へビデオ信号が入力される。そして、画素にビデオ信号が書き込まれると、画素は再び信号が入力されるまでその信号を保持する。この書き込まれたビデオ信号によってサステイン期間 T_{s1} における各画素の点灯、非点灯が制御される。同様に、アドレス期間 T_{a2} 、 T_{a3} 、 T_{a4} において画素へビデオ信号が入力され、そのビデオ信号によってサステイン期間 T_{s2} 、 T_{s3} 、 T_{s4} における各画素の点灯、非点灯が制御される。そして、それぞれのサブフレーム期間において、アドレス期間中は点灯せず、アドレス期間が終了した後、サステイン期間が始まり、点灯させるための信号が書き込まれている画素が点灯する。

40

【0577】

ここで、図49（B）を参照して、 i 行目の画素行に着目して説明する。まず、アドレス期間 T_{a1} において、1行目から順に走査線に画素選択信号が入力され、アドレス期間 T

50

a 1のうち期間T b 1 (i)においてi行目の画素が選択される。そして、i行目の画素が選択されているときに、信号線からi行目の画素へビデオ信号が入力される。そして、i行目の画素にビデオ信号が書き込まれると、i行目の画素は再び信号が入力されるまでその信号を保持する。この書き込まれたビデオ信号によってサステイン期間T s 1におけるi行目の画素の点灯、非点灯が制御される。同様に、アドレス期間T a 2、T a 3、T a 4においてi行目の画素へビデオ信号が入力され、そのビデオ信号によってサステイン期間T s 2、T s 3、T s 4におけるi行目の画素の点灯、非点灯が制御される。そして、それぞれのサブフレーム期間において、アドレス期間中は点灯せず、アドレス期間が終了した後、サステイン期間が始まり、点灯させるための信号が書き込まれている画素が点灯する。

10

【0578】

なお、ここでは4ビット階調を表現する場合について説明したが、ビット数及び階調数はこれに限定されない。なお、点灯の順番はT s 1、T s 2、T s 3、T s 4である必要はなく、ランダムでもよいし、複数に分割して発光をさせてもよい。なお、T s 1、T s 2、T s 3、T s 4の点灯時間は、2のべき乗にする必要はなく、同じ長さの点灯時間にしてもよいし、2のべき乗からすこしだけずらしてもよい。

【0579】

続いて、画素への信号書き込み期間（アドレス期間）と発光期間（サステイン期間）とが分離されていない場合の駆動方法について説明する。つまり、ビデオ信号の書き込み動作が完了した行の画素は、次に画素へ信号の書き込み（又は消去）が行われるまで、信号を保持する。書き込み動作から次にこの画素へ信号の書き込みが行われるまでの期間をデータ保持時間という。そして、このデータ保持時間中は画素に書き込まれたビデオ信号に従って、画素が点灯又は非点灯となる。同じ動作が、最終行まで行われ、アドレス期間が終了する。そして、データ保持時間が終了した行から順に次のサブフレーム期間の信号書き込み動作へ移る。

20

【0580】

このように、信号書き込み動作が完了しデータ保持時間となると、直ちに画素へ書き込まれたビデオ信号に従って画素が点灯又は非点灯となる駆動方法の場合には、データ保持時間をアドレス期間より短くしようとしても、同時に2行に信号を入力できないため、アドレス期間を重ならないようにしなければならないので、データ保持時間を短くすることができない。よって、その結果、高階調表示を行うことが困難になる。

30

【0581】

よって、消去期間を設けることによって、アドレス期間より短いデータ保持時間を設定する。消去期間を設けアドレス期間より短いデータ保持時間を設定する場合の駆動方法について図50(A)を用いて説明する。

【0582】

まず、アドレス期間T a 1において、1行目から順に走査線に画素走査信号が入力され、画素が選択される。そして、画素が選択されているときに、信号線から画素へビデオ信号が入力される。そして、画素にビデオ信号が書き込まれると、画素は再び信号が入力されるまでその信号を保持する。この書き込まれたビデオ信号によってサステイン期間T s 1における各画素の点灯、非点灯が制御される。ビデオ信号の書き込み動作が完了した行においては、直ちに書き込まれたビデオ信号にしたがって、画素が点灯又は非点灯の状態となる。同じ動作が、最終行まで行われ、アドレス期間T a 1が終了する。そして、データ保持時間が終了した行から順に次のサブフレーム期間の信号書き込み動作へ移る。同様に、アドレス期間T a 2、T a 3、T a 4において画素へビデオ信号が入力され、そのビデオ信号によってサステイン期間T s 2、T s 3、T s 4における各画素の点灯、非点灯が制御される。そして、サステイン期間T s 4はその終期を消去動作の開始によって設定される。なぜなら、各行の消去時間T eに画素に書き込まれた信号の消去が行われると、次の画素への信号の書き込みが行われるまでは、アドレス期間に画素に書き込まれたビデオ信号に関わらず、強制的に非点灯となるからである。つまり、消去時間T eが始まった行

40

50

の画素からデータ保持時間が終了する。

【0583】

ここで、図50(B)を参照して、 i 行目の画素行に着目して説明する。 i 行目の画素行において、アドレス期間 T_{a1} において、1行目から順に走査線に画素走査信号が入力され、画素が選択される。そして、期間 $T_{b1}(i)$ において i 行目の画素が選択されているときに、 i 行目の画素にビデオ信号が入力される。そして、 i 行目の画素にビデオ信号が書き込まれると、 i 行目の画素は再び信号が入力されるまでその信号を保持する。この書き込まれたビデオ信号によって、サステイン期間 $T_{s1}(i)$ における i 行目の画素の点灯、非点灯が制御される。つまり、 i 行目にビデオ信号の書き込み動作が完了したら、直ちに書き込まれたビデオ信号にしたがって、 i 行目の画素が点灯又は非点灯の状態となる。同様に、アドレス期間 T_{a2} 、 T_{a3} 、 T_{a4} において i 行目の画素へビデオ信号が入力され、そのビデオ信号によってサステイン期間 T_{s2} 、 T_{s3} 、 T_{s4} における i 行目の画素の点灯、非点灯が制御される。そして、サステイン期間 $T_{s4}(i)$ はその終りを消去動作の開始によって設定される。なぜなら、 i 行目の消去時間 $T_s(i)$ に i 行目の画素に書き込まれたビデオ信号に関わらず、強制的に非点灯となるからである。つまり、消去時間 $T_e(i)$ が始まると i 行目の画素のデータ保持時間が終了する。

10

【0584】

よって、アドレス期間とサステイン期間とを分離せずに、アドレス期間より短い高階調且つデューティ比(1フレーム期間中の点灯期間の割合)の高い表示装置を提供することができる。瞬間輝度を低くすることが可能であるため表示素子の信頼性の向上を図ることが可能である。

20

【0585】

なお、ここでは4ビット階調を表現する場合について説明したが、ビット数及び階調数はこれに限定されない。また、点灯の順番は T_{s1} 、 T_{s2} 、 T_{s3} 、 T_{s4} である必要はなく、ランダムでもよいし、複数に分割して発光をしてもよい。また、 T_{s1} 、 T_{s2} 、 T_{s3} 、 T_{s4} の点灯時間は、2のべき乗にする必要はなく、同じ長さの点灯時間にしてもよいし、2のべき乗からすこしだけずらしてもよい。

【0586】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。

【0587】

図51は、デジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

30

【0588】

画素80300は、スイッチング用トランジスタ80301、駆動用トランジスタ80302、発光素子80304及び容量素子80303を有している。スイッチング用トランジスタ80301はゲートが走査線80306に接続され、第1電極(ソース電極及びドレイン電極の一方)が信号線80305に接続され、第2電極(ソース電極及びドレイン電極の他方)が駆動用トランジスタ80302のゲートに接続されている。駆動用トランジスタ80302は、ゲートが容量素子80303を介して電源線80307に接続され、第1電極が電源線80307に接続され、第2電極が発光素子80304の第1電極(画素電極)に接続されている。発光素子80304の第2電極は共通電極80308に相当する。

40

【0589】

なお、発光素子80304の第2電極(共通電極80308)には低電源電位が設定されている。なお、低電源電位とは、電源線80307に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子80304に印加して、発光素子80304に電流を流して発光素子80304を発光させるため、高電源電位と低電源電位との電位差が発光素子80304の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

【0590】

50

なお、容量素子 80303 は駆動用トランジスタ 80302 のゲート容量を代用して省略することも可能である。駆動用トランジスタ 80302 のゲート容量については、ソース領域、ドレイン領域又は LDD 領域などとゲート電極とが重なってオーバーラップしているような領域で容量が形成されていてもよいし、チャンネル領域とゲート電極との間で容量が形成されていてもよい。

【0591】

走査線 80306 で画素が選択されているとき、つまりスイッチング用トランジスタ 80301 がオンになっているときに信号線 80305 から画素にビデオ信号が入力される。そして、ビデオ信号に相当する電圧分の電荷が容量素子 80303 に蓄積され、容量素子 80303 はその電圧を保持する。この電圧は駆動用トランジスタ 80302 のゲートと第 1 電極間の電圧であり、駆動用トランジスタ 80302 のゲートソース間電圧 V_{gs} に相当する。

10

【0592】

一般に、トランジスタの動作領域は、線形領域と飽和領域とに分けることができる。その境目は、ドレイン・ソース間電圧を V_{ds} 、ゲートソース間電圧を V_{gs} 、しきい値電圧を V_{th} とすると、 $(V_{gs} - V_{th}) = V_{ds}$ の時になる。 $(V_{gs} - V_{th}) > V_{ds}$ の場合は、線形領域であり、 V_{ds} 、 V_{gs} の大きさによって電流値が決まる。一方、 $(V_{gs} - V_{th}) < V_{ds}$ の場合は飽和領域になり、理想的には、 V_{ds} が変化しても、電流値はほとんど変わらない。つまり、 V_{gs} の大きさだけによって電流値が決まる。

【0593】

20

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ 80302 のゲートには、駆動用トランジスタ 80302 が十分にオンするか、オフするか、の二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ 80302 は線形領域で動作させる。

【0594】

よって、駆動用トランジスタ 80302 がオンするビデオ信号であるときには、理想的には電源線 80307 に設定されている電源電位 V_{DD} をそのまま発光素子 80304 の第 1 の電極に設定する。

【0595】

つまり、理想的には発光素子 80304 に印加する電圧を一定にし、発光素子 80304 から得られる輝度を一定にする。そして、1 フレーム期間内に複数のサブフレーム期間を設け、サブフレーム期間毎に画素へのビデオ信号の書き込みを行い、サブフレーム期間毎に画素の点灯又は非点灯を制御し、その点灯しているサブフレーム期間の合計によって、階調を表現する。

30

【0596】

なお、駆動用トランジスタ 80302 が飽和領域で動作するようなビデオ信号を入力することで、発光素子 80304 に電流を流すことができる。発光素子 80304 が電流に応じて輝度を決定するような素子であれば、発光素子 80304 の劣化による輝度の低下を抑制することができる。さらに、ビデオ信号をアナログとすることで、発光素子 80304 にビデオ信号に応じた電流を流すことができる。この場合、アナログ階調駆動を行うことができる。

40

【0597】

図 5 2 は、デジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【0598】

画素 80400 は、スイッチング用トランジスタ 80401、駆動用トランジスタ 80402、容量素子 80403、発光素子 80404 及び整流素子 80409 を有している。スイッチング用トランジスタ 80401 はゲートが第 2 の走査線 80406 に接続され、第 1 電極（ソース電極及びドレイン電極の一方）が信号線 80405 に接続され、第 2 電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ 80402 のゲートに接続されている。駆動用トランジスタ 80402 は、ゲートが容量素子 80403 を介して

50

電源線 80407 に接続され、ゲートが整流素子 80309 を介して第 2 の走査線 80410 に接続され、第 1 電極が電源線 80407 に接続され、第 2 電極が発光素子 80404 の第 1 電極（画素電極）に接続されている。発光素子 80404 の第 2 電極は共通電極 80408 に相当する。

【0599】

なお、発光素子 80404 の第 2 電極（共通電極 80408）には低電源電位が設定されている。なお、低電源電位とは、電源線 80407 に設定される高電源電位を基準にして低電源電位 < 高電源電位を満たす電位であり、低電源電位としては例えば GND、0V などが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子 80404 に印加して、発光素子 80404 に電流を流して発光素子 80404 を発光させるため、高電源電位と低電源電位との電位差が発光素子 80404 の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

10

【0600】

なお、容量素子 80403 は駆動用トランジスタ 80402 のゲート容量を代用して省略することも可能である。駆動用トランジスタ 80402 のゲート容量については、ソース領域、ドレイン領域又は LDD 領域などとゲート電極とが重なってオーバーラップしているような領域で容量が形成されていてもよいし、チャンネル領域とゲート電極との間で容量が形成されていてもよい。

【0601】

なお、整流素子 80409 として、ダイオード接続したトランジスタを用いることが可能である。ダイオード接続したトランジスタの他にも、PN 接合のダイオード、PIN 接合のダイオード、ショットキー型のダイオード又はカーボンナノチューブで形成されたダイオードなどを用いてもよい。ダイオード接続されたトランジスタの極性は、N チャンネル型でもよいし、P チャンネル型でもよい。

20

【0602】

画素 80400 は、図 51 に示した画素に、整流素子 80409 と第 2 の走査線 80410 を追加したものである。よって、図 52 に示すスイッチング用トランジスタ 80401、駆動用トランジスタ 80402、容量素子 80403、発光素子 80404、信号線 80405、第 1 の走査線 80406、電源線 80407 及び共通電極 80408 は、それぞれ図 51 に示したスイッチング用トランジスタ 80301、駆動用トランジスタ 80302、容量素子 80303、発光素子 80304、信号線 80305、走査線 80306、電源線 80307 及び共通電極 80308 に相当する。したがって、図 52 の書き込みの動作及び発光動作は、図 51 で説明した書き込みの動作及び発光動作と同様であるため、その説明を省略する。

30

【0603】

消去動作について説明する。消去動作時には、第 2 の走査線 80410 に H レベルの信号を入力する。すると、整流素子 80409 に電流が流れ、容量素子 80403 によって保持されていた駆動用トランジスタ 80402 のゲート電位をある電位に設定することができる。つまり、駆動用トランジスタ 80402 のゲートの電位を、ある電位に設定し、画素へ書き込まれたビデオ信号に関わらず、駆動用トランジスタ 80402 を強制的にオフ

40

【0604】

なお、第 2 の走査線 80410 に入力する L レベルの信号は、画素に非点灯となるビデオ信号が書き込まれているときに整流素子 80409 に電流が流れないような電位とする。第 2 の走査線 80410 に入力する H レベルの信号は、画素に書き込まれたビデオ信号に関わらず、駆動用トランジスタ 80402 がオフするような電位をゲートに設定することができるような電位とする。

【0605】

図 53 は、デジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【0606】

50

画素 80500 は、スイッチング用トランジスタ 80501、駆動用トランジスタ 80502、容量素子 80503、発光素子 80504 及び消去用トランジスタ 80509 を有している。スイッチング用トランジスタ 80501 はゲートが第 2 の走査線 80506 に接続され、第 1 電極（ソース電極及びドレイン電極の一方）が信号線 80505 に接続され、第 2 電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ 80502 のゲートに接続されている。駆動用トランジスタ 80502 は、ゲートが容量素子 80503 を介して電源線 80507 に接続され、ゲートが消去用トランジスタ 80509 の第 1 電極に接続され、第 1 電極が電源線 80507 に接続され、第 2 電極が発光素子 80504 の第 1 電極（画素電極）に接続されている。消去用トランジスタは、ゲートが第 2 の走査線 80510 に接続され、第 2 電極が電源線 80507 に接続されている。発光素子 80504 の第 2 電極は共通電極 80508 に相当する。

10

【0607】

なお、発光素子 80504 の第 2 電極（共通電極 80508）には低電源電位が設定されている。なお、低電源電位とは、電源線 80507 に設定される高電源電位を基準にして低電源電位 < 高電源電位を満たす電位であり、低電源電位としては例えば GND、0V などが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子 80504 に印加して、発光素子 80504 に電流を流して発光素子 80504 を発光させるため、高電源電位と低電源電位との電位差が発光素子 80504 の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

【0608】

なお、容量素子 80503 は駆動用トランジスタ 80502 のゲート容量を代用して省略することも可能である。駆動用トランジスタ 80502 のゲート容量については、ソース領域、ドレイン領域又は LDD 領域などとゲート電極とが重なってオーバーラップしているような領域で容量が形成されていてもよいし、チャンネル領域とゲート電極との間で容量が形成されていてもよい。

20

【0609】

画素 80500 は、図 51 に示した画素に、消去用トランジスタ 80509 と第 2 の走査線 80510 を追加したものである。よって、図 53 に示すスイッチング用トランジスタ 80501、駆動用トランジスタ 80502、容量素子 80503、発光素子 80504、信号線 80505、第 1 の走査線 80506、電源線 80507 及び共通電極 80508 は、それぞれ図 51 に示したスイッチング用トランジスタ 80301、駆動用トランジスタ 80302、容量素子 80303、発光素子 80304、信号線 80305、走査線 80306、電源線 80307 及び共通電極 80308 に相当する。したがって、図 53 の書き込みの動作及び発光動作は、図 51 で説明した書き込みの動作及び発光動作と同様であるため、その説明を省略する。

30

【0610】

消去動作について説明する。消去動作時には、第 2 の走査線 80510 に H レベルの信号を入力する。すると、消去用トランジスタ 80509 がオンして、駆動用トランジスタのゲートと第 1 電極を同電位にすることができる。つまり、駆動用トランジスタ 80502 の V_{gs} を 0V にすることができる。こうして、駆動用トランジスタ 80502 を強制的にオフすることができる。

40

【0611】

しきい値電圧補正型と呼ばれる画素の構成及び動作について説明する。しきい値電圧補正型の画素は、デジタル時間階調駆動及びアナログ階調駆動に適用することができる。

【0612】

図 54 は、しきい値電圧補正型と呼ばれる画素の構成の一例を示す図である。

【0613】

図 54 に示す画素は、駆動用トランジスタ 80600、第 1 のスイッチ 80601、第 2 のスイッチ 80602、第 3 のスイッチ 80603、第 1 の容量素子 80604、第 2 の容量素子 80605 及び発光素子 80620 を有している。駆動用トランジスタ 8060

50

0のゲートは、第1の容量素子80604と第1のスイッチ80601とを順に介して信号線80611と接続されている。駆動用トランジスタ80600のゲートは、第2の容量素子80605を介して電源線80612と接続されている。駆動用トランジスタ80600の第1電極は、電源線80612と接続されている。駆動用トランジスタ80600の第2電極は、第3のスイッチ80603を介して発光素子80620の第1の電極と接続されている。駆動用トランジスタ80600の第2電極は、第2のスイッチ80602を介して駆動用トランジスタ80600のゲートと接続されている。発光素子80620の第2の電極は、共通電極80621に相当する。

【0614】

発光素子80620の第2の電極には低電源電位が設定されている。なお、低電源電位とは、電源線80612に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子80620に印加して、発光素子80620に電流を流して発光素子80620を発光させるため、高電源電位と低電源電位との電位差が発光素子80620の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。なお、第2の容量素子80605は駆動用トランジスタ80600のゲート容量を代用して省略することも可能である。駆動用トランジスタ80600のゲート容量については、ソース領域、ドレイン領域又はLDD領域などとゲート電極とが重なってオーバーラップしているような領域で容量が形成されていてもよいし、チャンネル領域とゲート電極との間で容量が形成されていてもよい。なお、第1のスイッチ80601、第2のスイッチ80602、第3のスイッチ80603は、それぞれ第1の走査線80613、第2の走査線80614、第3の走査線80614によってオンとオフが制御される。

【0615】

図54に示す画素の駆動方法について、動作期間を初期化期間、データ書き込み期間、しきい値取得期間、発光期間に分割して説明する。

【0616】

初期化期間では、第2のスイッチ80602及び第3のスイッチ80603がオンする。そして、駆動用トランジスタ80600のゲートの電位が少なくとも電源線80612の電位よりも低くなる。このとき、第1のスイッチ80601は、オンしていても、オフしていてもよい。なお、初期化期間は必ずしも必要ではない。

【0617】

しきい値取得期間では、第1の走査線80613によって画素が選択される。つまり、第1のスイッチ80601がオンし、信号線80611からある一定電圧が入力される。このとき、第2のスイッチ80602がオンし、第3のスイッチ80603がオフしている。したがって、駆動用トランジスタ80600はダイオード接続され、駆動用トランジスタ80600の第2電極及びゲートが浮遊状態(フローティング状態)となる。そして、駆動用トランジスタ80600のゲートの電位は、電源線80612の電位から駆動用トランジスタ80600のしきい値電圧を引いた値となる。よって、第1の容量素子80604には駆動用トランジスタ80600のしきい値電圧が保持される。第2の容量素子80605には、駆動用トランジスタ80600のゲートの電位と信号線80611から入力されている一定電圧との電位差が保持される。

【0618】

データ書き込み期間では、信号線80611からビデオ信号(電圧)が入力される。このとき、第1のスイッチ80601はオンのままであり、第2のスイッチ80602はオフし、第3のスイッチ80603がオフのままである。そして、駆動用トランジスタ80600のゲートは浮遊状態(フローティング状態)となっているので、駆動用トランジスタ80600のゲートの電位は、しきい値取得期間において信号線80611入力される一定電圧と、データ書き込み期間において信号線80611入力されるビデオ信号との電位差に応じて変化する。例えば、第1の容量素子80604の容量値<<第2の容量素子80605の容量値であれば、データ書き込み期間における駆動用トランジスタ80600

10

20

30

40

50

のゲートの電位は、しきい値取得期間における信号線 80611 の電位とデータ書込み期間における信号線 80611 の電位と電位差（変化量）と、電源線 80612 の電位から駆動用トランジスタ 80600 のしきい値電圧を引いた値との和とおおむね等しくなる。つまり、駆動用トランジスタ 80600 のゲートの電位は、駆動用トランジスタ 80600 のしきい値電圧を補正した電位となる。

【0619】

発光期間では、駆動用トランジスタ 80600 のゲートと電源線 80612 との電位差（ V_{gs} ）に応じた電流が発光素子 80620 に流れる。このとき、第 1 のスイッチ 80601 がオフし、第 2 のスイッチ 80602 がオフのままであり、第 3 のスイッチ 80603 がオンする。なお、発光素子 80620 に流れる電流は、駆動用トランジスタ 80600 のしきい値電圧によらず一定である。

10

【0620】

なお、図 54 に示す画素構成は、これに限定されない。例えば、図 54 に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。例えば、第 2 のスイッチ 80602 を P チャネル型トランジスタ又は N チャネル型のトランジスタで構成し、第 3 のスイッチ 80603 を第 2 のスイッチ 80602 とは別の極性のトランジスタで構成し、第 2 のスイッチ 80602 及び第 3 のスイッチ 80603 を同じ走査線で制御してもよい。

【0621】

電流入力型と呼ばれる画素の構成及び動作について説明する。電流入力正型の画素は、デジタル階調駆動及びアナログ階調駆動に適用することができる。

20

【0622】

図 55 は、電流入力型と呼ばれる画素の構成の一例を示す図である。

【0623】

図 55 に示す画素は、駆動用トランジスタ 80700、第 1 のスイッチ 80701、第 2 のスイッチ 80702、第 3 のスイッチ 80703、容量素子 80704 及び発光素子 80730 を有している。駆動用トランジスタ 80700 のゲートは、第 2 のスイッチ 80702 と第 1 のスイッチ 80701 とを順に介して信号線 80711 に接続されている。駆動用トランジスタ 80700 のゲートは、容量素子 80704 を介して電源線 80712 に接続されている。駆動用トランジスタ 80700 の第 1 電極は、電源線 80712 に接続されている。駆動用トランジスタ 80700 の第 2 電極は、第 1 のスイッチ 80701 を介して電源線 80712 に接続されている。駆動用トランジスタ 80700 の第 2 電極は、第 3 のスイッチ 80703 を介して発光素子 80730 の第 1 の電極に接続されている。発光素子 80730 の第 2 の電極は、共通電極 80731 に相当する。

30

【0624】

発光素子 80730 の第 2 の電極には低電源電位が設定されている。なお、低電源電位とは、電源線 80712 に設定される高電源電位を基準にして低電源電位 < 高電源電位を満たす電位であり、低電源電位としては例えば GND、0V などが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子 80730 に印加して、発光素子 80730 に電流を流して発光素子 80730 を発光させるため、高電源電位と低電源電位との電位差が発光素子 80730 の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。なお、容量素子 80704 は駆動用トランジスタ 80700 のゲート容量を代用して省略することも可能である。駆動用トランジスタ 80700 のゲート容量については、ソース領域、ドレイン領域又は LDD 領域などとゲート電極とが重なってオーバーラップしているような領域で容量が形成されていてもよいし、チャンネル領域とゲート電極との間で容量が形成されていてもよい。なお、第 1 のスイッチ 80701、第 2 のスイッチ 80702、第 3 のスイッチ 80703 は、それぞれ第 1 の走査線 80713、第 2 の走査線 80714、第 3 の走査線 80734 によってオンとオフが制御される。

40

【0625】

図 55 に示す画素の駆動方法について、動作期間をデータ書き込み期間、発光期間に分割

50

して説明する。

【0626】

データ書き込み期間では、第1の走査線80713によって画素が選択される。つまり、第1のスイッチ80701がオンし、信号線80711からビデオ信号として電流が入力される。このとき、第2のスイッチ80702がオンし、第3のスイッチ80703がオフする。したがって、駆動用トランジスタ80700のゲートの電位は、ビデオ信号に応じた電位となる。つまり、容量素子80704には、駆動用トランジスタ80700がビデオ信号と同じ電流を流すような駆動用トランジスタ80700のゲート電極とソース電極との間の電圧が保持される。

【0627】

次に、発光期間では、第1のスイッチ80701及び第2のスイッチ80702がオフし、第3のスイッチ80703がオンする。したがって、発光素子80730にはビデオ信号と同じ値の電流が流れる。

【0628】

なお、図55に示す画素構成は、これに限定されない。例えば、図55に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。例えば、第1のスイッチ80701をPチャネル型トランジスタ又はNチャネル型トランジスタで構成し、第2のスイッチ80702を第1のスイッチ80701と同じ極性のトランジスタで構成し、第1のスイッチ80701及び第2のスイッチ80702を同じ走査線で制御してもよい。第2のスイッチ80702は駆動用トランジスタ80700のゲートと信号線80711との間に配置されていてもよい。

【0629】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【0630】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態および実施例の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態および実施例の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【0631】

なお、本実施の形態は、他の実施の形態および実施例で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態および実施例で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【0632】

（実施の形態12）

本実施の形態においては、トランジスタの構造及び作製方法について説明する。

【0633】

図56は、本発明を適用できる半導体装置が有することのできるトランジスタの構造及び作製方法の例を示す図である。図56(A)は、本発明を適用できる半導体装置が有することのできるトランジスタの構造の例を示す図である。また、図56(B)乃至(G)は、本発明を適用できる半導体装置が有することのできるトランジスタの作製方法の例を示す図である。

【0634】

なお、本発明を適用できる半導体装置が有することのできるトランジスタの構造及び作製

10

20

30

40

50

方法は、図56に示すものに限定されず、様々な構造及び作製方法を用いることができる。

【0635】

まず、図56(A)を参照し、本発明を適用できる半導体装置が有することのできるトランジスタの構造の例について説明する。図56(A)は複数の異なる構造を有するトランジスタの断面図である。ここで、図56(A)においては、複数の異なる構造を有するトランジスタを並置して示しているが、これは、発明を適用できる半導体装置が有することのできるトランジスタの構造を説明するための表現であり、発明を適用できる半導体装置が有することのできるトランジスタが、実際に図56(A)のように並置されている必要はなく、必要に応じて作り分けることができる。

10

【0636】

次に、本発明を適用できる半導体装置が有することのできるトランジスタを構成する各層の特徴について説明する。

【0637】

基板110111は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板又はステンレスを含む金属基板等を用いることができる。他にも、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエテルサルフォン(PES)に代表されるプラスチック又はアクリル等の可撓性を有する合成樹脂からなる基板を用いることも可能である。可撓性を有する基板を用いることによって、折り曲げが可能である半導体装置を作製することが可能となる。また、可撓性を有す基板であれば、基板の面積及び基板の形状に大きな制限はないため、基板110111として、例えば、1辺が1メートル以上であって、矩形のものを用いれば、生産性を格段に向上させることができる。このような利点は、円形のシリコン基板を用いる場合と比較すると、大きな優位点である。

20

【0638】

絶縁膜110112は、下地膜として機能する。基板110111からNaなどのアルカリ金属又はアルカリ土類金属が、半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。絶縁膜110112としては、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)(x>y)、窒化酸化珪素(SiN_xO_y)(x>y)等の酸素又は窒素を有する絶縁膜の単層構造若しくはこれらの積層構造で設けることができる。例えば、絶縁膜110112を2層構造で設ける場合、1層目の絶縁膜として窒化酸化珪素膜を設け、2層目の絶縁膜として酸化窒化珪素膜を設けるとよい。また、絶縁膜110112を3層構造で設ける場合、1層目の絶縁膜として酸化窒化珪素膜を設け、2層目の絶縁膜として窒化酸化珪素膜を設け、3層目の絶縁膜として酸化窒化珪素膜を設けるとよい。

30

【0639】

半導体層110113、110114、110115は、非晶質(アモルファス)半導体又はセミアモルファス半導体(SAS)で形成することができる。あるいは、多結晶半導体層を用いても良い。SASは、非晶質と結晶構造(単結晶、多結晶を含む)の中間的な構造を有し、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。少なくとも膜中の一部の領域には、0.5~20nmの結晶領域を観測することができ、珪素を主成分とする場合にはラマンスペクトルが520cm⁻¹よりも低波数側にシフトしている。X線回折では珪素結晶格子に由来するとされる(111)、(220)の回折ピークが観測される。未結合手(ダングリングボンド)の補償するものとして水素又はハロゲンを少なくとも1原子%又はそれ以上含ませている。SASは、材料ガスをグロー放電分解(プラズマCVD)して形成する。材料ガスとしては、SiH₄、その他にもSi₂H₆、SiH₂Cl₂、SiHCl₃、SiCl₄、SiF₄などを用いることが可能である。あるいは、GeF₄を混合させても良い。この材料ガスをH₂、あるいは、H₂とHe、Ar、Kr、Neから選ばれた一種又は複数種の希ガス元素で希釈してもよい。希釈率は2~1000倍の範囲。圧

40

50

力は概略 $0.1 \text{ Pa} \sim 133 \text{ Pa}$ の範囲、電源周波数は $1 \text{ MHz} \sim 120 \text{ MHz}$ 、好ましくは $13 \text{ MHz} \sim 60 \text{ MHz}$ 。基板加熱温度は 300 以下でよい。膜中の不純物元素として、酸素、窒素、炭素などの大気成分の不純物は $1 \times 10^{20} \text{ cm}^{-3}$ 以下とすることが望ましく、特に、酸素濃度は $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{19} / \text{cm}^3$ 以下とする。ここでは、公知の手段（スパッタ法、LPCVD法、プラズマCVD法等）を用いてシリコン（Si）を主成分とする材料（例えば $\text{Si}_x\text{Ge}_{1-x}$ 等）で非晶質半導体層を形成し、当該非晶質半導体層をレザ結晶化法、RTA又はファーンেসアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法などの公知の結晶化法により結晶化させる。

【0640】

絶縁膜110116は、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）等の酸素又は窒素有する絶縁膜の単層構造、若しくはこれらの積層構造で設けることができる。

【0641】

ゲート電極110117は、単層の導電膜、又は二層、三層の導電膜の積層構造とすることができる。ゲート電極110117の材料としては、公知の導電膜を用いることができる。たとえば、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、クロム（Cr）、シリコン（Si）などの元素の単体膜、あるいは、前記元素の窒化膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、あるいは、前記元素を組み合わせた合金膜（代表的にはMo-W合金、Mo-Ta合金）、あるいは、前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）などを用いることができる。なお、上述した単体膜、窒化膜、合金膜、シリサイド膜などは、単層で用いてもよいし、積層して用いてもよい。

【0642】

絶縁膜110118は、公知の手段（スパッタ法又はプラズマCVD法等）によって、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）等の酸素又は窒素有する絶縁膜やDLC（ダイヤモンドライクカーボン）等の炭素を含む膜の単層構造、若しくはこれらの積層構造で設けることができる。

【0643】

絶縁膜110119は、シロキサン樹脂、あるいは、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）等の酸素又は窒素有する絶縁膜やDLC（ダイヤモンドライクカーボン）等の炭素を含む膜、あるいは、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料、からなる単層若しくは積層構造で設けることができる。なお、シロキサン樹脂とは、Si-O-Si結合を含む樹脂に相当する。シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いることもできる。あるいは、置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。なお、本発明に適用できる半導体装置において、絶縁膜110118を設けずにゲート電極110117を覆うように直接絶縁膜110119を設けることも可能である。

【0644】

導電膜110123は、Al、Ni、C、W、Mo、Ti、Pt、Cu、Ta、Au、Mnなどの元素の単体膜、あるいは、前記元素の窒化膜、あるいは、前記元素を組み合わせた合金膜、あるいは、前記元素のシリサイド膜などを用いることができる。例えば、前記元素を複数含む合金として、C及びTiを含有したAl合金、Niを含有したAl合金、C及びNiを含有したAl合金、C及びMnを含有したAl合金等を用いることができる。また、積層構造で設ける場合、AlをMo又はTiなどで挟み込んだ構造とすることができる。こうすることで、Alの熱や化学反応に対する耐性を向上することができる。

10

20

30

40

50

【0645】

次に、図56(A)に示した、複数の異なる構造を有するトランジスタの断面図を参照して、各々の構造の特徴について説明する。

【0646】

110101は、シングルドレイントランジスタであり、簡便な方法で製造できるため、製造コストが低く、歩留まりを高く製造できる利点がある。ここで、半導体層110113、110115は、それぞれ不純物の濃度が異なり、半導体層110113はチャネル領域、半導体層110115はソース領域及びドレイン領域として用いる。このように、不純物の量を制御することで、半導体層の抵抗率を制御できる。また、半導体層と導電膜110123との電気的な接続状態を、オミック接続に近づけることができる。なお、不純物の量の異なる半導体層を作り分ける方法としては、ゲート電極110117をマスクとして半導体層に不純物をドピングする方法を用いることができる。

10

【0647】

110102は、ゲート電極110117に一定以上のテーパ角を有するトランジスタであり、簡便な方法で製造できるため、製造コストが低く、歩留まりを高く製造できる利点がある。ここで、半導体層110113、110114、110115は、それぞれ不純物濃度が異なり、半導体層110113はチャネル領域、半導体層110114は低濃度ドレイン(Lightly Doped Drain: LDD)領域、半導体層110115はソース領域及びドレイン領域として用いる。このように、不純物の量を制御することで、半導体層の抵抗率を制御できる。また、半導体層と導電膜110123との電気的な接続状態を、オミック接続に近づけることができる。また、LDD領域を有するため、トランジスタ内部に高電界がかかりにくく、ホットキャリアによる素子の劣化を抑制することができる。なお、不純物の量の異なる半導体層を作り分ける方法としては、ゲート電極110117をマスクとして半導体層に不純物をドピングする方法を用いることができる。110102においては、ゲート電極110117が一定以上のテーパ角を有しているため、ゲート電極110117を通過して半導体層にドピングされる不純物の濃度に勾配を持たせることができ、簡便にLDD領域を形成することができる。

20

【0648】

110103は、ゲート電極110117が少なくとも2層で構成され、下層のゲート電極が上層のゲート電極よりも長い形状を有するトランジスタである。本明細書中においては、上層のゲート電極及び下層のゲート電極の形状を、帽子型と呼ぶ。ゲート電極110117の形状が帽子型であることによって、フォトマスクを追加することなく、LDD領域を形成することができる。なお、110103のように、LDD領域がゲート電極110117と重なっている構造を、特にGOLD構造(Gate Overlapped LDD)と呼ぶ。なお、ゲート電極110117の形状を帽子型とする方法としては、次のような方法を用いてもよい。

30

【0649】

まず、ゲート電極110117をパタニングする際に、ドライエッチングにより、下層のゲート電極及び上層のゲート電極をエッチングして側面に傾斜(テーパ)のある形状にする。続いて、異方性エッチングにより上層のゲート電極の傾斜を垂直に近くなるように加工する。これにより、断面形状が帽子型のゲート電極が形成される。その後、2回、不純物元素をドピングすることによって、チャネル領域として用いる半導体層110113、LDD領域として用いる半導体層110114、ソース電極及びドレイン電極として用いる半導体層110115が形成される。

40

【0650】

なお、ゲート電極110117と重なっているLDD領域をLov領域、ゲート電極110117と重なっていないLDD領域をLoff領域と呼ぶことにする。ここで、Loff領域はオフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和してホットキャリアによるオン電流値の劣化を防ぐ効果は低い。一方、Lov領域はドレイン近傍の電界を緩和し、オン電流値の劣化の防止には有効であるが、オフ電流値を抑える効果は低い。よ

50

って、種々の回路毎に、求められる特性に応じた構造のトランジスタを作製することが好ましい。たとえば、本発明に適用できる半導体装置を表示装置として用いる場合、画素トランジスタは、オフ電流値を抑えるために、L o f f領域を有するトランジスタを用いることが好適である。一方、周辺回路におけるトランジスタは、ドレイン近傍の電界を緩和し、オン電流値の劣化を防止するために、L o v領域を有するトランジスタを用いることが好適である。

【0651】

110104は、ゲート電極110117の側面に接して、サイドウォール110121を有するトランジスタである。サイドウォール110121を有することによって、サイドウォール110121と重なる領域をLDD領域とすることができる。

10

【0652】

110105は、半導体層にマスクを用いてド・ピングすることにより、LDD(L o f f)領域を形成したトランジスタである。こうすることにより、確実にLDD領域を形成することができ、トランジスタのオフ電流値を低減することができる。

【0653】

110106は、半導体層にマスクを用いてド・ピングすることにより、LDD(L o v)領域を形成したトランジスタである。こうすることにより、確実にLDD領域を形成することができ、トランジスタのドレイン近傍の電界を緩和し、オン電流値の劣化を低減することができる。

【0654】

20

次に、図56(B)乃至(G)を参照して、本発明を適用できる半導体装置が有することのできるトランジスタの作製方法の例を説明する。

【0655】

なお、本発明を適用できる半導体装置が有することのできるトランジスタの構造及び作製方法は、図56に示すものに限定されず、様々な構造及び作製方法を用いることができる。

【0656】

本実施の形態においては、基板110111の表面に、絶縁膜110112の表面に、半導体層110113の表面に、110114の表面に、110115の表面に、絶縁膜110116の表面に、絶縁膜110118の表面に、又は絶縁膜110119の表面に、プラズマ処理を用いて酸化又は窒化を行うことにより、半導体層又は絶縁膜を酸化又は窒化することができる。このように、プラズマ処理を用いて半導体層又は絶縁膜を酸化又は窒化することによって、当該半導体層又は当該絶縁膜の表面を改質し、CVD法やスパッタ法により形成した絶縁膜と比較してより緻密な絶縁膜を形成することができるため、ピンホール等の欠陥を抑制し半導体装置の特性等を向上させることが可能となる。

30

【0657】

まず、基板110111の表面をフッ酸(HF)、アルカリ又は純水を用いて洗浄する。基板110111は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板又はステンレスを含む金属基板等を用いることができる。他にも、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエテルサルフォン(PES)に代表されるプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板を用いることも可能である。なお、ここでは基板110111としてガラス基板を用いる場合を示す。

40

【0658】

ここで、基板110111の表面にプラズマ処理を行うことで、基板110111の表面を酸化又は窒化することによって、基板110111の表面に酸化膜又は窒化膜を形成してもよい(図56(B))。表面にプラズマ処理を行うことで形成された酸化膜又は窒化膜などの絶縁膜を、以下では、プラズマ処理絶縁膜とも記す。図56(B)においては、絶縁膜131がプラズマ処理絶縁膜である。一般的に、ガラス又はプラスチック等の基板上に薄膜トランジスタ等の半導体素子を設ける場合、ガラス又はプラスチック等に含まれ

50

るNaなどの、アルカリ金属又はアルカリ土類金属等の不純物元素が半導体素子に混入して汚染することによって、半導体素子の特性に影響を及ぼす恐れがある。しかし、ガラス又はプラスチック等からなる基板の表面を窒化することにより、基板に含まれるNaなどの、アルカリ金属又はアルカリ土類金属等の不純物元素が半導体素子に混入するのを防止することができる。

【0659】

なお、プラズマ処理により表面を酸化する場合には、酸素雰囲気下（例えば、酸素（ O_2 ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下、あるいは、酸素と水素（ H_2 ）と希ガス雰囲気下、あるいは、一酸化二窒素と希ガス雰囲気下）でプラズマ処理を行う。一方、プラズマ処理により半導体層を窒化する場合には、窒素雰囲気下（例えば、窒素（ N_2 ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下、あるいは、窒素と水素と希ガス雰囲気下、あるいは、 NH_3 と希ガス雰囲気下）でプラズマ処理を行う。希ガスとしては、例えばArを用いることができる。あるいは、ArとKrを混合したガスを用いてもよい。そのため、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）を含んでいる。たとえば、Arを用いた場合にはプラズマ処理絶縁膜にArが含まれている。

【0660】

また、プラズマ処理は、上記ガスの雰囲気中において、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下であり、プラズマの電子温度が0.5 eV以上1.5 eV以下で行うことが好適である。プラズマの電子密度が高密度であり、被処理物付近での電子温度が低いため、被処理物に対するプラズマによる損傷を防止することができる。また、プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上と高密度であるため、プラズマ処理を用いて、被照射物を酸化又は窒化することによって形成される酸化物又は窒化膜は、CVD法やスパッタ法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。あるいは、プラズマの電子温度が1 eV以下と低いため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化又は窒化処理を行うことができる。たとえば、ガラス基板の歪点温度よりも100度以上低い温度でプラズマ処理を行っても十分に酸化又は窒化処理を行うことができる。なお、プラズマを形成するための周波数としては、マイクロ波（2.45 GHz）等の高周波を用いることができる。なお、以下に特に断らない場合は、プラズマ処理として上記条件を用いて行うものとする。

【0661】

なお、図56(B)においては、基板110111の表面をプラズマ処理することによってプラズマ処理絶縁膜を形成する場合を示しているが、本実施の形態は、基板110111の表面にプラズマ処理絶縁膜を形成しない場合も含む。

【0662】

なお、図56(C)乃至(G)においては、被処理物の表面をプラズマ処理することによって形成されるプラズマ処理絶縁膜を図示しないが、本実施の形態においては、基板110111、絶縁膜110112、半導体層110113、110114、110115、絶縁膜110116、絶縁膜110118、又は絶縁膜110119の表面に、プラズマ処理を行なうことによって形成されるプラズマ処理絶縁膜が存在する場合も含む。

【0663】

次に、基板110111上に公知の手段（スパッタ法、LPCVD法、プラズマCVD法等）を用いて絶縁膜110112を形成する（図56(C)）。絶縁膜110112としては、酸化珪素（ SiO_x ）又は酸化窒化珪素（ SiO_xNy ）（ $x > y$ ）を用いることができる。

【0664】

ここで、絶縁膜110112の表面にプラズマ処理を行い、絶縁膜110112を酸化又は窒化することによって、絶縁膜110112の表面にプラズマ処理絶縁膜を形成してもよい。絶縁膜110112の表面を酸化することによって、絶縁膜110112の表面を

10

20

30

40

50

改質しピンホール等の欠陥の少ない緻密な膜を得ることができる。また、絶縁膜 110112 の表面を酸化することによって、N 原子の含有率が低いプラズマ処理絶縁膜を形成することができるため、プラズマ処理絶縁膜に半導体層を設けた場合にプラズマ処理絶縁膜と半導体層界面特性が向上する。また、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス (He、Ne、Ar、Kr、Xe の少なくとも一つを含む) を含んでいる。なお、プラズマ処理は上述した条件下で同様に行うことができる。

【0665】

次に、絶縁膜 110112 上に島状の半導体層 110113、110114 を形成する (図 56 (D))。島状の半導体層 110113、110114 は、絶縁膜 110112 上に公知の手段 (スパッタ法、LPCVD 法、プラズマ CVD 法等) を用いてシリコン (Si) を主成分とする材料 (例えば Si_xGe_{1-x} 等) 等を用いて非晶質半導体層を形成し、当該非晶質半導体層を結晶化させ、半導体層を選択的にエッチングすることにより設けることができる。なお、非晶質半導体層の結晶化は、レザ結晶化法、RTA 又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法又はこれら方法を組み合わせた方法等の公知の結晶化法により行うことができる。なお、ここでは、島状の半導体層の端部を直角に近い形状 ($\theta = 85 \sim 100^\circ$) で設ける。あるいは、低濃度ドレイン領域となる半導体層 110114 は、マスクを用いて不純物をドピングすることによって形成されてもよい。

【0666】

ここで、半導体層 110113、110114 の表面にプラズマ処理を行い、半導体層 110113、110114 の表面を酸化又は窒化することによって、半導体層 110113、110114 の表面にプラズマ処理絶縁膜を形成してもよい。例えば、半導体層 110113、110114 として Si を用いた場合、プラズマ処理絶縁膜として、酸化珪素 (SiO_x) 又は窒化珪素 (SiN_x) が形成される。あるいは、プラズマ処理により半導体層 110113、110114 を酸化させた後に、再度プラズマ処理を行うことによって窒化させてもよい。この場合、半導体層 110113、110114 に接して酸化珪素 (SiO_x) が形成され、当該酸化珪素の表面に窒化酸化珪素 (SiN_xO_y) ($x > y$) が形成される。なお、プラズマ処理により半導体層を酸化する場合には、酸素雰囲気下 (例えば、酸素 (O_2) と希ガス (He、Ne、Ar、Kr、Xe の少なくとも一つを含む) 雰囲気下、あるいは、酸素と水素 (H_2) と希ガス雰囲気下又は一酸化二窒素と希ガス雰囲気下)、でプラズマ処理を行う。一方、プラズマ処理により半導体層を窒化する場合には、窒素雰囲気下 (例えば、窒素 (N_2) と希ガス (He、Ne、Ar、Kr、Xe の少なくとも一つを含む) 雰囲気下、あるいは、窒素と水素と希ガス雰囲気下又は NH_3 と希ガス雰囲気下)、でプラズマ処理を行う。希ガスとしては、例えば Ar を用いることができる。また、Ar と Kr を混合したガスを用いてもよい。そのため、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス (He、Ne、Ar、Kr、Xe の少なくとも一つを含む) を含んでいる。たとえば、Ar を用いた場合にはプラズマ処理絶縁膜に Ar が含まれている。

【0667】

次に、絶縁膜 110116 を形成する (図 56 (E))。絶縁膜 110116 は、公知の手段 (スパッタ法、LPCVD 法、プラズマ CVD 法等) を用いて、酸化珪素 (SiO_x)、窒化珪素 (SiN_x)、酸化窒化珪素 (SiO_xN_y) ($x > y$)、窒化酸化珪素 (SiN_xO_y) ($x > y$) 等の酸素又は窒素を有する絶縁膜の単層構造、又はこれらの積層構造で設けることができる。なお、半導体層 110113、110114 の表面をプラズマ処理することにより、半導体層 110113、110114 の表面にプラズマ処理絶縁膜を形成した場合には、プラズマ処理絶縁膜を絶縁膜 110116 として用いることも可能である。

【0668】

ここで、絶縁膜 110116 の表面にプラズマ処理を行い、絶縁膜 110116 の表面を酸化又は窒化することによって、絶縁膜 110116 の表面にプラズマ処理絶縁膜を形成

10

20

30

40

50

してもよい。なお、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）を含んでいる。また、プラズマ処理は上述した条件下で同様に行うことができる。

【0669】

あるいは、一旦酸素雰囲気下でプラズマ処理を行うことにより絶縁膜110116を酸化させた後に、再度窒素雰囲気下でプラズマ処理を行うことにより窒化させてもよい。このように、絶縁膜110116にプラズマ処理を行い、絶縁膜110116の表面を酸化又は窒化することによって、絶縁膜110116の表面を改質し緻密な膜を形成することができる。プラズマ処理を行うことによって得られた絶縁膜は、CVD法やスパッタ法で形成された絶縁膜と比較して緻密でピンホール等の欠陥も少ないため、薄膜トランジスタの特性を向上させることができる。

10

【0670】

次に、ゲート電極110117を形成する（図56（F））。ゲート電極110117は、公知の手段（スパッタ法、LPCVD法、プラズマCVD法等）を用いて形成することができる。

【0671】

110101においては、ゲート電極110117を形成した後に不純物ド－ピングを行なうことで、ソース領域及びドレイン領域として用いる半導体層110115を形成することができる。

【0672】

110102においては、ゲート電極110117を形成した後に不純物ド－ピングを行なうことで、LDD領域として用いる110114と、半導体層ソース領域及びドレイン領域として用いる半導体層110115を形成することができる。

20

【0673】

110103においては、ゲート電極110117を形成した後に不純物ド－ピングを行なうことで、LDD領域として用いる110114と、半導体層ソース領域及びドレイン領域として用いる半導体層110115を形成することができる。

【0674】

110104においては、ゲート電極110117の側面にサイドウォール110121を形成した後、不純物ド－ピングを行なうことで、LDD領域として用いる110114と、半導体層ソース領域及びドレイン領域として用いる半導体層110115を形成することができる。

30

【0675】

なお、サイドウォール110121は、酸化珪素（SiO_x）又は窒化珪素（SiN_x）を用いることができる。サイドウォール110121をゲート電極110117の側面に形成する方法としては、たとえば、ゲート電極110117を形成した後に、酸化珪素（SiO_x）又は窒化珪素（SiN_x）を公知の方法で成膜した後に、異方性エッチングによって酸化珪素（SiO_x）又は窒化珪素（SiN_x）膜をエッチングする方法を用いることができる。こうすることで、ゲート電極110117の側面にのみ酸化珪素（SiO_x）又は窒化珪素（SiN_x）膜を残すことができるので、ゲート電極110117の側面にサイドウォール110121を形成することができる。

40

【0676】

110105においては、ゲート電極110117を覆うようにマスク110122を形成した後、不純物ド－ピングを行なうことで、LDD（Lo_{ff}）領域として用いる110114と、半導体層ソース領域及びドレイン領域として用いる半導体層110115を形成することができる。

【0677】

110106においては、ゲート電極110117を形成した後に不純物ド－ピングを行なうことで、LDD（Lo_v）領域として用いる110114と、半導体層ソース領域及びドレイン領域として用いる半導体層110115を形成することができる。

50

【0678】

次に、絶縁膜110118を形成する(図56(G))。絶縁膜110118は、公知の手段(スパッタ法やプラズマCVD法等)により、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)($x > y$)、窒化酸化珪素(SiN_xO_y)($x > y$)等の酸素又は窒素を有する絶縁膜やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜の単層構造、又はこれらの積層構造で設けることができる。

【0679】

ここで、絶縁膜110118の表面にプラズマ処理を行い、絶縁膜110118の表面を酸化又は窒化することによって、絶縁膜110118の表面にプラズマ処理絶縁膜を形成してもよい。なお、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)を含んでいる。また、プラズマ処理は上述した条件下で同様に行うことができる。

10

【0680】

次に、絶縁膜110119を形成する。絶縁膜110119は、公知の手段(スパッタ法やプラズマCVD法等)により、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)($x > y$)、窒化酸化珪素(SiN_xO_y)($x > y$)等の酸素又は窒素を有する絶縁膜やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜を用いることができる他に、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料やシロキサン樹脂の単層構造、又はこれらの積層構造で設けることができる。なお、シロキサン樹脂とは、 Si-O-Si 結合を含む樹脂に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いることもできる。あるいは、置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。また、プラズマ処理絶縁膜には、プラズマ処理に用いた希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)が含まれており、例えばArを用いた場合にはプラズマ処理絶縁膜中にArが含まれている。

20

【0681】

絶縁膜110119としてポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料やシロキサン樹脂等を用いた場合、絶縁膜110119の表面をプラズマ処理により酸化又は窒化することにより、当該絶縁膜の表面を改質することができる。表面を改質することによって、絶縁膜110119の強度が向上し開口部形成時等におけるクラックの発生やエッチング時の膜減り等の物理的ダメージを低減することが可能となる。また、絶縁膜110119の表面が改質されることによって、絶縁膜110119上に導電膜110123を形成する場合に導電膜との密着性が向上する。例えば、絶縁膜110119としてシロキサン樹脂を用いてプラズマ処理を用いて窒化を行った場合、シロキサン樹脂の表面が窒化されることにより窒素又は希ガスを含むプラズマ処理絶縁膜が形成され、物理的強度が向上する。

30

【0682】

次に、半導体層110115と電氣的に接続された導電膜110123を形成するため、絶縁膜110119、絶縁膜110118、絶縁膜110116にコンタクトホールを形成する。なお、コンタクトホールの形状はテーパ状であってもよい。こうすることで、導電膜110123のカバレッジを向上させることができる。

40

【0683】

図60は、ボトムゲート型のトランジスタの断面構造及び容量素子の断面構造を示す。

【0684】

基板110501上に第1の絶縁膜(絶縁膜110502)が全面に形成されている。第1の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ機能を有する。つまり、第1の絶縁膜は下地膜としての機能を有する。したがって、信頼性の高いトランジスタを作製することができる。なお、第1の絶

50

縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜 (SiO_xN_y) などの単層、又はこれらの積層を用いることができる。

【0685】

第1の絶縁膜上に、第1の導電層(導電層110503及び導電層110504)が形成されている。導電層110503は、トランジスタ110520のゲート電極として機能する部分を含む。導電層110504は、容量素子110521の第1の電極として機能する部分を含む。なお、第1の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、NA-Si、Zn、Fe、Ba、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素(合金も含む)の積層を用いることができる。

10

【0686】

少なくとも第1の導電層を覆うように、第2の絶縁膜(絶縁膜110522)が形成されている。第2の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第2の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜 (SiO_xN_y) などの単層、又はこれらの積層を用いることができる。

【0687】

なお、半導体層に接する部分の第2の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、半導体層と第2の絶縁膜とが接する界面におけるトラップ準位が少なくなるからである。

【0688】

なお、第2の絶縁膜がMoと接する場合、Moと接する部分の第2の絶縁膜としては酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜はMoを酸化させないからである。

20

【0689】

第2の絶縁膜上のうち第1の導電層と重なって形成されている部分の一部に、フォトリソグラフィ法、インクジェット法又は印刷法などによって、半導体層が形成されている。そして、半導体層の一部は、第2の絶縁膜上のうち第1の導電層と重なって形成されていない部分まで延長されている。半導体層は、チャンネル形成領域(チャンネル形成領域110510)、LDD領域(LDD領域110508、LDD領域110509)、不純物領域(不純物領域110505、不純物領域110506、不純物領域110507)を有している。チャンネル形成領域110510は、トランジスタ110520のチャンネル形成領域として機能する。LDD領域110508及びLDD領域110509は、トランジスタ110520のLDD領域とし機能する。なお、LDD領域110508及びLDD領域110509は必ずしも必要ではない。不純物領域110505は、トランジスタ110520のソース電極及びドレイン電極の一方として機能する部分を含む。不純物領域110506は、トランジスタ110520のソース電極及びドレイン電極の他方として機能する部分を含む。不純物領域110507は、容量素子110521の第2の電極として機能する部分を含む。

30

【0690】

全面に、第3の絶縁膜(絶縁膜110511)が形成されている。第3の絶縁膜の一部には、選択的にコンタクトホールが形成されている。絶縁膜110511は、層間膜としての機能を有する。第3の絶縁膜としては、無機材料(酸化シリコン、窒化シリコン、酸化窒化シリコンなど)あるいは、低誘電率の有機化合物材料(感光性又は非感光性の有機樹脂材料)などを用いることができる。あるいは、シロキサンを含む材料を用いることもできる。なお、シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される材料である。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。あるいは、置換基としてフルオロ基を用いてもよい。あるいは、置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

40

【0691】

第3の絶縁膜上に、第2の導電層(導電層110512及び導電層110513)が形成

50

されている。導電層 110512 は、第 3 の絶縁膜に形成されたコンタクトホールを介してトランジスタ 110520 のソース電極及びドレイン電極の他方と接続されている。したがって、導電層 110512 は、トランジスタ 110520 のソース電極及びドレイン電極の他方として機能する部分を含む。導電層 110513 は、容量素子 110521 の第 1 の電極として機能する部分を含む。なお、第 2 の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、NA-Si、Zn、Fe、Ba、Ge など、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【0692】

なお、第 2 の導電層が形成された後の工程として、様々な絶縁膜、又は様々な導電膜が形成されていてもよい。

10

【0693】

トランジスタの半導体層にアモルファスシリコン（a-Si:H）膜を用いた場合のトランジスタ及び容量素子の構造について説明する。

【0694】

図 57 は、トップゲート型のトランジスタの断面構造及び容量素子の断面構造を示す。

【0695】

基板 110201 上に第 1 の絶縁膜（絶縁膜 110202）が全面に形成されている。第 1 の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ機能を有する。つまり、第 1 の絶縁膜は下地膜としての機能を有する。したがって、信頼性の高いトランジスタを作製することができる。なお、第 1 の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（SiO_xN_y）などの単層、又はこれらの積層を用いることができる。

20

【0696】

なお、第 1 の絶縁膜を必ずしも形成する必要はない。この場合は、工程数の削減を図ることができる。製造コストの削減を図ることができる。構造を簡単にできるので、歩留まりの向上を図ることができる。

【0697】

第 1 の絶縁膜上に、第 1 の導電層（導電層 110203、導電層 110204 及び導電層 110205）が形成されている。導電層 110203 は、トランジスタ 110220 のソース電極及びドレイン電極の一方の電極として機能する部分を含む。導電層 110204 は、トランジスタ 110220 のソース電極及びドレイン電極の他方の電極として機能する部分を含む。導電層 110205 は、容量素子 110221 の第 1 の電極として機能する部分を含む。なお、第 1 の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、NA-Si、Zn、Fe、Ba、Ge など、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

30

【0698】

導電層 110203 及び導電層 110204 の上部に、第 1 の半導体層（半導体層 110206 及び半導体層 110207）が形成されている。半導体層 110206 は、ソース電極とドレイン電極の一方の電極として機能する部分を含む。半導体層 110207 は、ソース電極とドレイン電極の他方の電極として機能する部分を含む。なお、第 1 の半導体層としては、リン等を含んだシリコン等を用いることができる。

40

【0699】

導電層 110203 と導電層 110204 との間であって、かつ第 1 の絶縁膜上に、第 2 の半導体層（半導体層 110208）が形成されている。そして、半導体層 110208 の一部は、導電層 110203 上及び導電層 110204 上まで延長されている。半導体層 110208 は、トランジスタ 110220 のチャネル領域として機能する部分を含む。なお、第 2 の半導体層としては、アモルファスシリコン（a-Si:H）等の非結晶性を有する半導体層、又は微結晶半導体（μ-Si:H）等の半導体層などを用いることが

50

できる。

【0700】

少なくとも半導体層110208及び導電層110205を覆うように、第2の絶縁膜(絶縁膜110209及び絶縁膜110210)が形成されている。第2の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第2の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜(SiO_xN_y)などの単層、又はこれらの積層を用いることができる。

【0701】

なお、第2の半導体層に接する部分の第2の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、第2の半導体層と第2の絶縁膜とが接する界面におけるトラップ準位が少なくなるからである。

10

【0702】

なお、第2の絶縁膜がMoと接する場合、Moと接する部分の第2の絶縁膜としては酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜はMoを酸化させないからである。

【0703】

第2の絶縁膜上に、第2の導電層(導電層110211及び導電層110212)が形成されている。導電層110211は、トランジスタ110220のゲート電極として機能する部分を含む。導電層110212は、容量素子110221の第2の電極、又は配線としての機能を有する。なお、第2の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、NA-Si、Zn、Fe、Ba、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素(合金も含む)の積層を用いることができる。

20

【0704】

なお、第2の導電層が形成された後の工程として、様々な絶縁膜、又は様々な導電膜が形成されていてもよい。

【0705】

図58は、逆スタガ型(ボトムゲート型)のトランジスタの断面構造及び容量素子の断面構造を示す。特に、図58に示すトランジスタは、チャンネルエッチ型と呼ばれる構造である。

30

【0706】

基板110301上に第1の絶縁膜(絶縁膜110302)が全面に形成されている。第1の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ機能を有する。つまり、第1の絶縁膜は下地膜としての機能を有する。したがって、信頼性の高いトランジスタを作製することができる。なお、第1の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜(SiO_xN_y)などの単層、又はこれらの積層を用いることができる。

【0707】

なお、第1の絶縁膜を必ずしも形成する必要はない。この場合は、工程数の削減を図ることができる。製造コストの削減を図ることができる。構造を簡単にできるので、歩留まりの向上を図ることができる。

40

【0708】

第1の絶縁膜上に、第1の導電層(導電層110303及び導電層110304)が形成されている。導電層110303は、トランジスタ110320のゲート電極として機能する部分を含む。導電層110304は、容量素子110321の第1の電極として機能する部分を含む。なお、第1の導電層としては、Ti、Mo、TB、Cr、W、Bl、Nd、Cu、Bg、Bu、Pt、NA-Si、Zn、Fe、BB、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素(合金も含む)の積層を用いることができる。

【0709】

50

少なくとも第1の導電層を覆うように、第2の絶縁膜（絶縁膜110302）が形成されている。第2の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第2の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ SiO_xN_y ）などの単層、又はこれらの積層を用いることができる。

【0710】

なお、半導体層に接する部分の第2の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、半導体層と第2の絶縁膜とが接する界面におけるトラップ準位が少なくなるからである。

【0711】

なお、第2の絶縁膜がMoと接する場合、Moと接する部分の第2の絶縁膜としては酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜はMoを酸化させないからである。

10

【0712】

第2の絶縁膜上のうち第1の導電層と重なって形成されている部分の一部に、フォトリソグラフィ法、インクジェット法又は印刷法などによって、第1の半導体層（半導体層110306）が形成されている。そして、半導体層110308の一部は、第2の絶縁膜上のうち第1の導電層と重なって形成されていない部分まで延長されている。半導体層110306は、トランジスタ110320のチャネル領域として機能する部分を含む。なお、半導体層110306としては、アモルファスシリコン（A-Si:H）等の非結晶性を有する半導体層、又は微結晶半導体（ μ -Si:H）等の半導体層などを用いることができる。

20

【0713】

第1の半導体層上の一部に、第2の半導体層（半導体層110307及び半導体層110307）が形成されている。半導体層110307は、ソース電極とドレイン電極の一方の電極として機能する部分を含む。半導体層110308は、ソース電極とドレイン電極の他方の電極として機能する部分を含む。なお、第2の導電層としては、リン等を含んだシリコン等を用いることができる。

【0714】

第2の半導体層上及び第2の絶縁膜上に、第2の導電層（導電層110309、導電層110310及び導電層110311）が形成されている。導電層110309は、トランジスタ110320のソース電極とドレイン電極の一方として機能する部分を含む。導電層110310は、トランジスタ110320のソースとドレイン電極の他方として機能する部分を含む。導電層110312は、容量素子110321の第2の電極として機能する部分を含む。なお、第2の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、NA-Si、Zn、Fe、Ba、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

30

【0715】

なお、第2の導電層が形成された後の工程として、様々な絶縁膜、又は様々な導電膜が形成されていてもよい。

40

【0716】

ここで、チャネルエッチ型のトランジスタが特徴とする工程の一例を説明する。同じマスクを用いて、第1の半導体層及び第2の半導体層を形成することができる。具体的には、第1の半導体層と第2の半導体層とは連続して成膜される。そして、第1の半導体層及び第2の半導体層は、同じマスクを用いて形成される。

【0717】

チャネルエッチ型のトランジスタが特徴とする工程の別の一例を説明する。新たなマスクを用いることなく、トランジスタのチャネル領域を形成することができる。具体的には、第2の導電層が形成された後で、第2の導電層をマスクとして用いて第2の半導体層の一部を除去する。あるいは、第2の導電層と同じマスクを用いて第2の半導体層の一部を除

50

去する。そして、除去された第2の半導体層の下部に形成されている第1の半導体層がトランジスタのチャンネル領域となる。

【0718】

図59は、逆スタガ型（ボトムゲート型）のトランジスタの断面構造及び容量素子の断面構造を示す。特に、図59に示すトランジスタは、チャンネル保護型（チャンネルストップ型）と呼ばれる構造である。

【0719】

基板110401上に第1の絶縁膜（絶縁膜110402）が全面に形成されている。第1の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ機能を有する。つまり、第1の絶縁膜は下地膜としての機能を有する。したがって、信頼性の高いトランジスタを作製することができる。なお、第1の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ SiO_xNy ）などの単層、又はこれらの積層を用いることができる。

10

【0720】

なお、第1の絶縁膜を必ずしも形成する必要はない。この場合は、工程数の削減を図ることができる。製造コストの削減を図ることができる。構造を簡単にできるので、歩留まりの向上を図ることができる。

【0721】

第1の絶縁膜上に、第1の導電層（導電層110403及び導電層110404）が形成されている。導電層110403は、トランジスタ110420のゲート電極として機能する部分を含む。導電層110404は、容量素子110421の第1の電極として機能する部分を含む。なお、第1の導電層としては、Ti、Mo、TC、Cr、W、Cl、Nd、Cu、Cg、Cu、Pt、NC、Si、Zn、Fe、CC、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

20

【0722】

少なくとも第1の導電層を覆うように、第2の絶縁膜（絶縁膜110402）が形成されている。第2の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第2の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ SiO_xNy ）などの単層、又はこれらの積層を用いることができる。

30

【0723】

なお、半導体層に接する部分の第2の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、半導体層と第2の絶縁膜とが接する界面におけるトラップ準位が少なくなるからである。

【0724】

なお、第2の絶縁膜がMoと接する場合、Moと接する部分の第2の絶縁膜としては酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜はMoを酸化させないからである。

【0725】

第2の絶縁膜上のうち第1の導電層と重なって形成されている部分の一部に、フォトリソグラフィ法、インクジェット法又は印刷法などによって、第1の半導体層（半導体層110406）が形成されている。そして、半導体層110408の一部は、第2の絶縁膜上のうち第1の導電層と重なって形成されていない部分まで延長されている。半導体層110406は、トランジスタ110420のチャンネル領域として機能する部分を含む。なお、半導体層110406としては、アモルファスシリコン（ C-Si:H ）等の非結晶性を有する半導体層、又は微結晶半導体（ $\mu\text{-Si:H}$ ）等の半導体層などを用いることができる。

40

【0726】

第1の半導体層上の一部に、第3の絶縁膜（絶縁膜110412）が形成されている。絶縁膜110412は、トランジスタ110420のチャンネル領域がエッチングによって除

50

去されることを防止する機能を有する。つまり、絶縁膜 110412 は、チャネル保護膜（チャネルストップ膜）として機能する。なお、第 3 の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ SiO_xNy ）などの単層、又はこれらの積層を用いることができる。

【0727】

第 1 の半導体層上の一部及び第 3 の絶縁膜上の一部に、第 2 の半導体層（半導体層 110407 及び半導体層 110408）が形成されている。半導体層 110407 は、ソース電極とドレイン電極の一方の電極として機能する部分を含む。半導体層 110408 は、ソース電極とドレイン電極の他方の電極として機能する部分を含む。なお、第 2 の半導体層としては、リン等を含んだシリコン等を用いることができる。

10

【0728】

第 2 の半導体層上に、第 2 の導電層（導電層 110409、導電層 110410 及び導電層 110411）が形成されている。導電層 110409 は、トランジスタ 110420 のソース電極とドレイン電極の一方として機能する部分を含む。導電層 110410 は、トランジスタ 110420 のソースとドレイン電極の他方として機能する部分を含む。導電層 110411 は、容量素子 110421 の第 2 の電極として機能する部分を含む。なお、第 2 の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Ni、Si、Zn、Fe、Ca、Ge など、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【0729】

なお、第 2 の導電層が形成された後の工程として、様々な絶縁膜、又は様々な導電膜が形成されていてもよい。

20

【0730】

ここで、チャネル保護型のトランジスタが特徴とする工程の一例を説明する。同じマスクを用いて、第 1 の半導体層、第 2 の半導体層及び第 2 の導電層を形成することができる。同時に、チャネル領域を形成することができる。具体的には、第 1 の半導体層を成膜し、次に第 3 の絶縁膜（チャネル保護膜、チャネルストップ膜）を、マスクを用いて形成し、次に第 2 の半導体層と第 2 の導電層とを連続して成膜する。そして、第 2 の導電層が成膜された後で、第 1 の半導体層、第 2 の半導体層及び第 2 の導電層が同じマスクを用いて形成される。ただし、第 3 の絶縁膜の下部の第 1 の半導体層は、第 3 の絶縁膜によって保護されるのでエッチングによって除去されない。この部分（第 1 の半導体層のうち上部に第 3 の絶縁膜が形成された部分）がチャネル領域となる。

30

【0731】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることができる。

【0732】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態および実施例の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態および実施例の部分を組み合わせることにより、さらに多くの図を構成させることができる。

40

【0733】

なお、本実施の形態は、他の実施の形態および実施例で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態および実施例で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

50

【0734】

(実施の形態13)

本実施の形態においては、EL素子の構造について説明する。特に、無機EL素子の構造について説明する。

【0735】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。前者は、発光材料の粒子をバインダ中に分散させた電界発光層を有し、後者は、発光材料の薄膜からなる電界発光層を有している点に違いはあるが、高電界で加速された電子を必要とする点では共通である。なお、得られる発光のメカニズムとしては、ドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光と、金属イオンの内殻電子遷移を利用する局在型発光とがある。一般的に、分散型無機ELではドナー-アクセプター再結合型発光、薄膜型無機EL素子では局在型発光である場合が多い。

10

【0736】

発光材料は、母体材料と発光中心となる不純物元素とで構成される。含有させる不純物元素を変化させることで、様々な色の発光を得ることができる。発光材料の作製方法としては、固相法又は液相法(共沈法)などの様々な方法を用いることができる。あるいは、噴霧熱分解法、複分解法、プレカーサーの熱分解反応による方法、逆ミセル法又はこれらの方法と高温焼成を組み合わせた方法、凍結乾燥法などの液相法なども用いることができる。

【0737】

固相法は、母体材料と、不純物元素又は不純物元素を含む化合物を秤量し、乳鉢で混合、電気炉で加熱、焼成を行い反応させ、母体材料に不純物元素を含有させる方法である。焼成温度は、700~1500 が好ましい。温度が低すぎる場合は固相反応が進まず、温度が高すぎる場合は母体材料が分解してしまうからである。なお、粉末状態で焼成を行ってもよいが、ペレット状態で焼成を行うことが好ましい。比較的高温での焼成を必要とするが、簡単な方法であるため、生産性がよく大量生産に適している。

20

【0738】

液相法(共沈法)は、母体材料又は母体材料を含む化合物と、不純物元素又は不純物元素を含む化合物を溶液中で反応させ、乾燥させた後、焼成を行う方法である。発光材料の粒子が均一に分布し、粒径が小さく低い焼成温度でも反応が進むことができる。

30

【0739】

発光材料に用いる母体材料としては、硫化物、酸化物、窒化物を用いることができる。硫化物としては、例えば、硫化亜鉛(ZnS)、硫化カドミウム(CdS)、硫化カルシウム(CaS)、硫化イットリウム(Y_2S_3)、硫化ガリウム(Ga_2S_3)、硫化ストロンチウム(SrS)、硫化バリウム(BaS)等を用いることができる。酸化物としては、例えば、酸化亜鉛(ZnO)、酸化イットリウム(Y_2O_3)等を用いることができる。窒化物としては、例えば、窒化アルミニウム(AlN)、窒化ガリウム(GaN)、窒化インジウム(InN)等を用いることができる。さらに、セレン化亜鉛($ZnSe$)、テルル化亜鉛($ZnTe$)等も用いることができ、硫化カルシウム-ガリウム($CaGa_2S_4$)、硫化ストロンチウム-ガリウム($SrGa_2S_4$)、硫化バリウム-ガリウム($BaGa_2S_4$)、等の3元系の混晶であってもよい。

40

【0740】

局在型発光の発光中心として、マンガン(Mn)、銅(Cu)、サマリウム(Sm)、テルビウム(Tb)、エルビウム(Er)、ツリウム(Tm)、ユーロピウム(Eu)、セリウム(Ce)、プラセオジウム(Pr)などを用いることができる。なお、電荷補償として、フッ素(F)、塩素(Cl)などのハロゲン元素が添加されていてもよい。

【0741】

一方、ドナー-アクセプター再結合型発光の発光中心として、ドナー準位を形成する第1の不純物元素及びアクセプター準位を形成する第2の不純物元素を含む発光材料を用いることができる。第1の不純物元素は、例えば、フッ素(F)、塩素(Cl)、アルミニウ

50

ム (A l) 等を用いることができる。第 2 の不純物元素としては、例えば、銅 (C u)、銀 (A g) 等を用いることができる。

【 0 7 4 2 】

ドナー - アクセプター再結合型発光の発光材料を、固相法を用いて合成する場合、母体材料と、第 1 の不純物元素又は第 1 の不純物元素を含む化合物と、第 2 の不純物元素又は第 2 の不純物元素を含む化合物をそれぞれ秤量し、乳鉢で混合した後、電気炉で加熱、焼成を行う。母体材料としては、上述した母体材料を用いることができ、第 1 の不純物元素又は第 1 の不純物元素を含む化合物としては、例えば、フッ素 (F)、塩素 (C l)、硫化アルミニウム (A l ₂ S ₃) 等を用いることができ、第 2 の不純物元素又は第 2 の不純物元素を含む化合物としては、例えば、銅 (C u)、銀 (A g)、硫化銅 (C u ₂ S)、硫化銀 (A g ₂ S) 等を用いることができる。焼成温度は、700 ~ 1500 が好ましい。温度が低すぎる場合は固相反応が進まず、温度が高すぎる場合は母体材料が分解してしまうからである。なお、粉末状態で焼成を行ってもよいが、ペレット状態で焼成を行うことが好ましい。

10

【 0 7 4 3 】

固相反応を利用する場合の不純物元素として、第 1 の不純物元素と第 2 の不純物元素で構成される化合物を組み合わせて用いてもよい。この場合、不純物元素が拡散されやすく、固相反応が進みやすくなるため、均一な発光材料を得ることができる。さらに、余分な不純物元素が入らないため、純度の高い発光材料を得ることができる。第 1 の不純物元素と第 2 の不純物元素で構成される化合物としては、例えば、塩化銅 (C u C l)、塩化銀 (A g C l) 等を用いることができる。

20

【 0 7 4 4 】

なお、これらの不純物元素の濃度は、母体材料に対して 0 . 0 1 ~ 1 0 a t o m % であればよく、好ましくは 0 . 0 5 ~ 5 a t o m % の範囲である。

【 0 7 4 5 】

薄膜型無機 E L の場合、電界発光層は、上記発光材料を含む層であり、抵抗加熱蒸着法、電子ビーム蒸着 (E B 蒸着) 法等の真空蒸着法、スパッタリング法等の物理気相成長法 (P V D)、有機金属 C V D 法、ハイドライド輸送減圧 C V D 法等の化学気相成長法 (C V D)、原子エピタキシ法 (A L E) 等を用いて形成することができる。

【 0 7 4 6 】

図 6 1 (A) 乃至 (C) に発光素子として用いることのできる薄膜型無機 E L 素子の一例を示す。図 6 1 (A) 乃至 (C) において、発光素子は、第 1 の電極層 1 2 0 1 0 0、電界発光層 1 2 0 1 0 2、第 2 の電極層 1 2 0 1 0 3 を含む。

30

【 0 7 4 7 】

図 6 1 (B) 及び図 6 1 (C) に示す発光素子は、図 6 1 (A) の発光素子において、電極層と電界発光層間に絶縁膜を設ける構造である。図 6 1 (B) に示す発光素子は、第 1 の電極層 1 2 0 1 0 0 と電界発光層 1 2 0 1 0 2 との間に絶縁膜 1 2 0 1 0 4 を有し、図 6 1 (C) に示す発光素子は、第 1 の電極層 1 2 0 1 0 0 と電界発光層 1 2 0 1 0 2 との間に絶縁膜 1 2 0 1 0 5、第 2 の電極層 1 2 0 1 0 3 と電界発光層 1 2 0 1 0 2 との間に絶縁膜 1 2 0 1 0 6 とを有している。

40

【 0 7 4 8 】

このように絶縁膜は電界発光層を挟持する一对の電極層のうち一方の間にのみ設けてもよいし、両方の間に設けてもよい。絶縁膜は単層でもよいし複数層を有する積層でもよい。

【 0 7 4 9 】

なお、図 6 1 (B) では第 1 の電極層 1 2 0 1 0 0 に接するように絶縁膜 1 2 0 1 0 4 が設けられているが、絶縁膜と電界発光層の順番を逆にして、第 2 の電極層 1 2 0 1 0 3 に接するように絶縁膜 1 2 0 1 0 4 を設けてもよい。

【 0 7 5 0 】

分散型無機 E L の場合、粒子状の発光材料をバインダ中に分散させ膜状の電界発光層を形成する。粒子状に加工する。発光材料の作製方法によって、十分に所望の大きさの粒子が

50

得られない場合は、乳鉢等で粉碎などによって粒子状に加工すればよい。バインダとは、粒状の発光材料を分散した状態で固定し、電界発光層としての形状に保持するための物質である。発光材料は、バインダによって電界発光層中に均一に分散し固定される。

【0751】

分散型無機ELの場合、電界発光層の形成方法は、選択的に電界発光層を形成できる液滴吐出法、印刷法（スクリーン印刷やオフセット印刷など）、又はスピンコート法などの塗布法、ディッピング法、ディスペンサ法などを用いることもできる。膜厚は特に限定されることはないが、好ましくは、10～1000nmの範囲である。発光材料及びバインダを含む電界発光層において、発光材料の割合は50wt%以上80wt%以下とするよい。

10

【0752】

図62(A)乃至(C)に発光素子として用いることのできる分散型無機EL素子の一例を示す。図62(A)における発光素子は、第1の電極層120200、電界発光層120202、第2の電極層120203の積層構造を有し、電界発光層120202中にバインダによって保持された発光材料120201を含む。

【0753】

バインダは、絶縁材料を用いることができる。絶縁材料としては、有機材料及び無機材料を用いることができる。あるいは、有機材料及び無機材料の混合材料を用いてもよい。有機絶縁材料としては、シアノエチルセルロース系樹脂のように、比較的誘電率の高いポリマー、ポリエチレン、ポリプロピレン、ポリスチレン系樹脂、シリコン樹脂、エポキシ樹脂、又はフッ化ビニリデンなどの樹脂を用いることができる。あるいは、芳香族ポリアミド、又はポリベンゾイミダゾール(polybenzimidazole)などの耐熱性高分子、又はシロキサン樹脂を用いてもよい。なお、シロキサン樹脂とは、Si-O-Si結合を含む樹脂に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いてもよい。又は置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。あるいは、ポリビニルアルコール、ポリビニルブチラールなどのビニル樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂、オキサゾール樹脂(ポリベンゾオキサゾール)等の樹脂材料を用いてもよい。これらの樹脂に、チタン酸バリウム(BaTiO₃)、又はチタン酸ストロンチウム(SrTiO₃)などの高誘電率の微粒子を適度に混合して誘電率を調整することもできる。

20

30

【0754】

バインダに含まれる無機絶縁材料としては、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸素及び窒素を含む珪素、窒化アルミニウム(AlN)、酸素及び窒素を含むアルミニウム、酸素及び窒素を含む酸化アルミニウム(Al₂O₃)、酸化チタン(TiO₂)、BaTiO₃、SrTiO₃、チタン酸鉛(PbTiO₃)、ニオブ酸カリウム(KNbO₃)、ニオブ酸鉛(PbNbO₃)、酸化タンタル(Ta₂O₅)、タンタル酸バリウム(BaTa₂O₆)、タンタル酸リチウム(LiTaO₃)、酸化イットリウム(Y₂O₃)、酸化ジルコニウム(ZrO₂)、ZnSその他の無機絶縁性材料を含む物質から選ばれた材料で形成することができる。有機材料に、誘電率の高い無機材料を含ませる(添加等によって)ことによって、発光材料及びバインダよりなる電界発光層の誘電率をより制御することができ、より誘電率を大きくすることができる。

40

【0755】

作製工程において、発光材料はバインダを含む溶液中に分散される。バインダを含む溶液の溶媒としては、バインダ材料が溶解し、電界発光層を形成する方法(各種ウェットプロセス)及び所望の膜厚に適した粘度の溶液を作製できるような溶媒を適宜選択すればよい。たとえば、溶媒として有機溶媒等を用いることができる。バインダとしてシロキサン樹脂を用いる場合は、プロピレングリコールモノメチルエーテル、プロピレングリコールモノメチルエーテルアセテート(PGMEAともいう)、3-メトシキ-3メチル-1-ブ

50

タノール（MMBともいう）などを溶媒として用いることができる。

【0756】

図62(B)及び図62(C)に示す発光素子は、図62(A)の発光素子において、電極層と電界発光層間に絶縁膜を設ける構造である。図62(B)に示す発光素子は、第1の電極層120200と電界発光層120202との間に絶縁膜120204を有し、図62(C)に示す発光素子は、第1の電極層120200と電界発光層120202との間に絶縁膜120205、第2の電極層120203と電界発光層120202との間に絶縁膜120206とを有している。このように絶縁膜は電界発光層を挟持する一对の電極層のうち一方の間にのみ設けてもよいし、両方の間に設けてもよい。絶縁膜は、単層でもよいし複数層を有する積層でもよい。

10

【0757】

図62(B)では第1の電極層120200に接するように絶縁膜120204が設けられているが、絶縁膜と電界発光層の順番を逆にして、第2の電極層120203に接するように絶縁膜120204を設けてもよい。

【0758】

図61における絶縁膜120104、図62における絶縁膜120204のような絶縁膜に用いることのできる材料は、絶縁耐性が高く、緻密な膜質であることが好ましい。さらには、誘電率が高いことが好ましい。例えば、酸化シリコン(SiO_2)、酸化イットリウム(Y_2O_3)、酸化チタン(TiO_2)、酸化アルミニウム(Al_2O_3)、酸化ハフニウム(HfO_2)、酸化タンタル(Ta_2O_5)、チタン酸バリウム(BaTiO_3)、チタン酸ストロンチウム(SrTiO_3)、チタン酸鉛(PbTiO_3)、窒化シリコン(Si_3N_4)又は酸化ジルコニウム(ZrO_2)等、若しくはこれらの混合膜又は2種以上の積層膜を用いることができる。これらの絶縁膜は、スパッタリング、蒸着、CVD等により成膜することができる。絶縁膜はこれら絶縁材料の粒子をバインダ中に分散して成膜してもよい。バインダ材料は、電界発光層に含まれるバインダと同様な材料、方法を用いて形成すればよい。膜厚は特に限定されることはないが、好ましくは10~1000nmの範囲である。

20

【0759】

なお、発光素子は、電界発光層を挟持する一对の電極層間に電圧を印加することで発光が得られるが、直流駆動又は交流駆動のいずれにおいても動作することができる。

30

【0760】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることができる。

【0761】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態および実施例の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態および実施例の部分の組み合わせることにより、さらに多くの図を構成させることができる。

40

【0762】

なお、本実施の形態は、他の実施の形態および実施例で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態および実施例で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【0763】

(実施の形態14)

50

本実施の形態においては、表示装置の一例、特に光学的な取り扱いを行なう場合について説明する。

【0764】

図63(A)及び(B)に示す背面投影型表示装置130100は、プロジェクタユニット130111、ミラー130112、スクリーンパネル130101を備えている。その他に、スピーカー130102、操作スイッチ類130104を備えていてもよい。このプロジェクタユニット130111は、背面投影型表示装置130100の筐体130110の下部に配設され、映像信号に基づいて映像を映し出す投射光をミラー130112に向けて投射する。背面投影型表示装置130100はスクリーンパネル130101の背面から投影される映像を表示する構成となっている。

10

【0765】

一方、図64は、前面投影型表示装置130200を示している。前面投影型表示装置130200は、プロジェクタユニット130111と投射光学系130201を備えている。この投射光学系130201は前面に配設するスクリーン等に映像を投影する構成となっている。

【0766】

図63に示す背面投影型表示装置130100、図64に示す前面投影型表示装置130200に適用されるプロジェクタユニット130111の構成を以下に説明する。

【0767】

図65は、プロジェクタユニット130111の一構成例を示している。このプロジェクタユニット130111は、光源ユニット130301及び変調ユニット130304を備えている。光源ユニット130301は、レンズ類を含んで構成される光源光学系130303と、光源ランプ130302を備えている。光源ランプ130302は迷光が拡散しないように筐体内に収納されている。光源ランプ130302としては、大光量の光を放射可能な、例えば、高圧水銀ランプ又はキセノンランプなどが用いられる。光源光学系130303は、光学レンズ、偏光機能を有するフィルム、位相差を調節するためのフィルム、IRフィルム等を適宜設けて構成される。そして、光源ユニット130301は、放射光が変調ユニット130304に入射するように配設されている。変調ユニット130304は、複数の表示パネル130308、カラーフィルタ、ダイクロイックミラー130305、全反射ミラー130306、プリズム130309、投射光学系130310を備えている。光源ユニット130301から放射された光は、ダイクロイックミラー130305で複数の光路に分離される。

20

30

【0768】

各光路には、所定の波長若しくは波長帯の光を透過するカラーフィルタと、表示パネル130308が備えられている。透過型である表示パネル130308は映像信号に基づいて透過光を変調する。表示パネル130308を透過した各色の光は、プリズム130309に入射し投射光学系130310を通して、スクリーン上に映像を表示する。なお、フレネルレンズがミラー及びスクリーンの間に配設されていてもよい。そして、プロジェクタユニット130111によって投射されミラーで反射される投影光は、フレネルレンズによって概略平行光に変換され、スクリーンに投影される。

40

【0769】

図66で示すプロジェクタユニット130111は、反射型の表示パネル130407、130408、130409を備えた構成を示している。

【0770】

図66で示すプロジェクタユニット130111は、光源ユニット130301と変調ユニット130400を備えている。光源ユニット130301は、図65と同様の構成であってもよい。光源ユニット130301からの光は、ダイクロイックミラー130401、130402、全反射ミラー130403により、複数の光路に分けられて、偏光ビームスプリッタ130404、130405、130406に入射する。偏光ビームスプリッタ130404、130405、130406は、各色に対応する反射型表示パネル

50

130407、130408、130409に対応して設けられている。反射型表示パネル130407、130408、130409は、映像信号に基づいて反射光を変調する。反射型表示パネル130407、130408、130409で反射された各色の光は、プリズム130309に入射することで合成されて、投射光学系130411を通して投射される。

【0771】

光源ユニット130301から放射された光は、ダイクロミックミラー130401で赤の波長領域の光のみを透過し、緑及び青の波長領域の光を反射する。さらに、ダイクロミックミラー130402では、緑の波長領域の光のみが反射される。ダイクロミックミラー130401を透過した赤の波長領域の光は、全反射ミラー130403で反射され、偏光ビームスプリッタ130404へ入射し、青の波長領域の光は偏光ビームスプリッタ130405へ入射し、緑の波長領域の光は偏光ビームスプリッタ130406に入射する。偏光ビームスプリッタ130404、130405、130406は、入射光をP偏光とS偏光とに分離する機能を有し、且つP偏光のみを透過させる機能を有している。反射型表示パネル130407、130408、130409は、映像信号に基づいて、入射した光を偏光する。

【0772】

各色に対応する反射型表示パネル130407、130408、130409には各色に対応するS偏光のみが入射する。なお、反射型表示パネル130407、130408、130409は液晶パネルであってもよい。このとき、液晶パネルは電界制御複屈折モード(ECB)で動作する。そして、液晶分子は基板に対してある角度をもって垂直配向している。よって、反射型表示パネル130407、130408、130409は画素がオフ状態にある時は入射光の偏光状態を変化させないで反射させるように表示分子が配向している。そして、画素がオン状態にある時は表示分子の配向状態が変化し、入射光の偏光状態が変化する。

【0773】

図66に示すプロジェクタユニット130111は、図63に示す背面投影型表示装置130100及び、図64に示す前面投影型表示装置130200に適用することができる。

【0774】

図67で示すプロジェクタユニットは単板式の構成を示している。図67(A)に示したプロジェクタユニット130111は、光源ユニット130301、表示パネル130507、投射光学系130511、位相差板130504を備えている。投射光学系130511は一つ又は複数のレンズにより構成されている。表示パネル130507にはカラーフィルタが備えられていてもよい。

【0775】

図67(B)は、フィールドシーケンシャル方式で動作するプロジェクタユニット130111の構成を示している。フィールドシーケンシャル方式は、赤、緑、青などの各色の光を時間的にずらして順次表示パネルに入射させて、カラーフィルタ無しでカラー表示を行う方式である。特に、入力信号変化に対する応答速度の大きい表示パネルと組み合わせると、高精細な映像を表示することができる。図67(B)では、光源ユニット130301と表示パネル130508の間に、赤、緑、青などの複数のカラーフィルタが備えられた回動式のカラーフィルタ板130505を備えている。

【0776】

図67(C)で示すプロジェクタユニット130111は、カラー表示の方式として、マクロレンズを使った色分離方式の構成を示している。この方式は、マイクロレンズアレイ130506を表示パネル130509の光入射側に備え、各色の光をそれぞれの方向から照明することでカラー表示を実現する方式である。この方式を採用するプロジェクタユニット130111は、カラーフィルタによる光の損失が少ないので、光源ユニット130301からの光を有効に利用することができるという特徴を有している。図67(C)

10

20

30

40

50

に示すプロジェクタユニット 130111 は、表示パネル 130509 に対して各色の光をそれぞれの方向から照明するように、ダイクロイックミラー 130501、ダイクロイックミラー 130502、赤色光用ダイクロイックミラー 130503 を備えている。

【0777】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【0778】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態および実施例の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態および実施例の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【0779】

なお、本実施の形態は、他の実施の形態および実施例で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分について一例などを示している。したがって、他の実施の形態および実施例で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【0780】

（実施の形態 15）

本実施の形態においては、表示装置の動作について説明する。

【0781】

図 68 は、表示装置の構成例を示す図である。

【0782】

表示装置 180100 は、画素部 180101、信号線駆動回路 180103 及び走査線駆動回路 180104 を有する。画素部 180101 には、複数の信号線 S1 乃至 Sm が信号線駆動回路 180103 から列方向に延伸して配置されている。画素部 180101 には、複数の走査線 G1 乃至 Gn が走査線駆動回路 180104 から行方向に延伸して配置されている。そして、複数の信号線 S1 乃至 Sm と複数の走査線 G1 乃至 Gn とがそれぞれ交差するところで、画素 180102 がマトリクス状に配置されている。

【0783】

なお、信号線駆動回路 180103 は、信号線 S1 乃至 Sn それぞれに信号を出力する機能を有する。この信号をビデオ信号と呼んでもよい。なお、走査線駆動回路 180104 は、走査線 G1 乃至 Gm それぞれに信号を出力する機能を有する。この信号を走査信号と呼んでもよい。

【0784】

なお、画素 180102 は、少なくとも信号線と接続されたスイッチング素子を有している。このスイッチング素子は、走査線の電位（走査信）によってオン、オフが制御される。そして、スイッチング素子がオンしている場合に画素 180102 は選択され、オフしている場合に画素 180102 は選択されない。

【0785】

画素 180102 が選択されている場合（選択状態）は、信号線から画素 180102 にビデオ信号が入力される。そして、画素 180102 の状態（例えば、輝度、透過率、保持容量の電圧など）は、この入力されたビデオ信号に応じて変化する。

【0786】

画素 180102 が選択されていない場合（非選択状態）は、ビデオ信号が画素 180102 に入力されない。ただし、画素 180102 は選択時に入力されたビデオ信号に応じ

10

20

30

40

50

た電位を保持しているため、画素 180102 はビデオ信号に応じた（例えば、輝度、透過率、保持容量の電圧など）を維持する。

【0787】

なお、表示装置の構成は、図 68 に限定されない。例えば、画素 180102 の構成に応じて、新たに配線（走査線、信号線、電源線、容量線又はコモン線など）を追加してもよい。別の例として、様々な機能を有する回路を追加してもよい。

【0788】

図 69 は、表示装置の動作を説明するためのタイミングチャートの一例を示す。

【0789】

図 69 のタイミングチャートは、1 画面分の画像を表示する期間に相当する 1 フレーム期間を示す。1 フレーム期間は特に限定はしないが、画像を見る人がちらつき（フリッカ）を感じないように少なくとも 1 / 60 秒以下とすることが好ましい。

10

【0790】

図 69 のタイミングチャートは、1 行目の走査線 G_1 、 i 行目の走査線 G_i （走査線 G_1 乃至 G_m のうちいずれか）、 $i + 1$ 行目の走査線 G_{i+1} 及び m 行目の走査線 G_m がそれぞれ選択されるタイミングを示している。

【0791】

なお、走査線が選択されると同時に、当該走査線に接続されている画素 180102 も選択される。例えば、 i 行目の走査線 G_i が選択されていると、 i 行目の走査線 G_i に接続されている画素 180102 も選択される。

20

【0792】

走査線 G_1 乃至 G_m の走査線それぞれは、1 行目の走査線 G_1 から m 行目の走査線 G_m まで順に選択される（以下、走査するともいう）。例えば、 i 行目の走査線 G_i が選択されている期間は、 i 行目の走査線 G_i 以外の走査線（ G_1 乃至 G_{i-1} 、 G_{i+1} 乃至 G_m ）は選択されない。そして、次の期間に、 $i + 1$ 行目の走査線 G_{i+1} が選択される。なお、1 つの走査線が選択されている期間を 1 ゲート選択期間と呼ぶ。

【0793】

したがって、ある行の走査線が選択されると、当該走査線に接続された複数の画素 180102 に、信号線 G_1 乃至信号線 G_m それぞれからビデオ信号が入力される。例えば、 i 行目の走査線 G_i が選択されている間、 i 行目の走査線 G_i に接続されている複数の画素 180102 は、各々の信号線 S_1 乃至 S_n から任意のビデオ信号をそれぞれ入力する。こうして、個々の複数の画素 180102 を走査信号及びビデオ信号によって、独立して制御することができる。

30

【0794】

次に、1 ゲート選択期間を複数のサブゲート選択期間に分割した場合について説明する。図 70 は、1 ゲート選択期間を 2 つのサブゲート選択期間（第 1 のサブゲート選択期間及び第 2 のサブゲート選択期間）に分割した場合のタイミングチャートを示す。

【0795】

なお、1 ゲート選択期間を 3 つ以上のサブゲート選択期間に分割することもできる。

【0796】

図 70 のタイミングチャートは、1 画面分の画像を表示する期間に相当する 1 フレーム期間を示す。1 フレーム期間は特に限定はしないが、画像を見る人がちらつき（フリッカ）を感じないように少なくとも 1 / 60 秒以下とすることが好ましい。

40

【0797】

なお、1 フレームは 2 つのサブフレーム（第 1 のサブフレーム及び第 2 のサブフレーム）に分割されている。

【0798】

図 70 のタイミングチャートは、 i 行目の走査線 G_i 、 $i + 1$ 行目の走査線 G_{i+1} 、 j 行目の走査線 G_j （走査線 G_{i+1} 乃至 G_m のうちいずれか）、 $j + 1$ 行目の走査線及び G_{j+1} 行目の走査線 G_{j+1} がそれぞれ選択されるタイミングを示している。

50

【 0 7 9 9 】

なお、走査線が選択されると同時に、当該走査線に接続されている画素 1 8 0 1 0 2 も選択される。例えば、 i 行目の走査線 G_i が選択されていると、 i 行目の走査線 G_i に接続されている画素 1 8 0 1 0 2 も選択される。

【 0 8 0 0 】

なお、走査線 G_1 乃至 G_m の走査線それぞれは、各サブゲート選択期間内で順に走査される。例えば、ある 1 ゲート選択期間において、第 1 のサブゲート選択期間では i 行目の走査線 G_i が選択され、第 2 のサブゲート選択期間では j 行目の走査線 G_j が選択される。すると、1 ゲート選択期間において、あたかも同時に 2 行分の走査信号を選択したかのように動作させることが可能となる。このとき、第 1 のサブゲート選択期間と第 2 のサブゲート選択期間とで、別々のビデオ信号が信号線 S_1 乃至 S_n に入力される。したがって、 i 行目に接続されている複数の画素 1 8 0 1 0 2 と j 行目に接続されている複数の画素 1 8 0 1 0 2 とには、別々のビデオ信号を入力することができる。

10

【 0 8 0 1 】

次に、表示を高画質とするための駆動方法について説明する。

【 0 8 0 2 】

図 7 1 (A) 及び (B) は、高周波駆動を説明する図を示している。

【 0 8 0 3 】

図 7 1 (A) は、1 フレーム期間 1 8 0 4 0 0 に 1 つの画像及び 1 つの中間画像を表示するときの図である。1 8 0 4 0 1 は当該フレームの画像、1 8 0 4 0 2 は当該フレームの中間画像、1 8 0 4 0 3 は次フレームの画像、1 8 0 4 0 4 は次フレームの中間画像である。

20

【 0 8 0 4 】

なお、当該フレームの中間画像 1 8 0 4 0 2 は、当該フレーム及び次フレームの映像信号を元に作成された画像であってもよい。また、当該フレームの中間画像 1 8 0 4 0 2 は、当該フレームの画像 1 8 0 4 0 1 から作成された画像であってもよい。また、当該フレームの中間画像 1 8 0 4 0 2 は、黒画像であってもよい。こうすることで、ホールド型表示装置の動画の画質を向上できる。また、1 フレーム期間 1 8 0 4 0 0 に 1 つの画像及び 1 つの中間画像を表示する場合は、映像信号のフレームレートと整合性が取り易く、画像処理回路が複雑にならないという利点がある。

30

【 0 8 0 5 】

図 7 1 (B) は、1 フレーム期間 1 8 0 4 0 0 が 2 つ連続する期間 (2 フレーム期間) に 1 つの画像及び 2 つの中間画像を表示するときの図である。1 8 0 4 1 1 は当該フレームの画像、1 8 0 4 1 2 は当該フレームの中間画像、1 8 0 4 1 3 は次フレームの中間画像、1 8 0 4 1 4 は次々フレームの画像である。

【 0 8 0 6 】

なお、当該フレームの中間画像 1 8 0 4 1 2 及び次フレームの中間画像 1 8 0 4 1 3 は、当該フレーム、次フレーム、次々フレームの映像信号を元に作成された画像であってもよい。また、当該フレームの中間画像 1 8 0 4 1 2 及び次フレームの中間画像 1 8 0 4 1 3 は、黒画像であってもよい。2 フレーム期間に 1 つの画像及び 2 つの中間画像を表示する場合は、周辺駆動回路の動作周波数をそれほど高速化することなく、効果的に動画の画質を向上できるという利点がある。

40

【 0 8 0 7 】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容 (一部でもよい) は、別の図で述べた内容 (一部でもよい) に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることができる。

【 0 8 0 8 】

同様に、本実施の形態の各々の図で述べた内容 (一部でもよい) は、別の実施の形態およ

50

び実施例の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態および実施例の部分の組み合わせることにより、さらに多くの図を構成させることが出来る。

【0809】

なお、本実施の形態は、他の実施の形態および実施例で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一列などを示している。したがって、他の実施の形態および実施例で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

10

【0810】

（実施の形態16）

本実施の形態においては、EL素子の構造について説明する。特に、有機EL素子の構造について説明する。

【0811】

混合接合型のEL素子の構成について説明する。その一例として、正孔注入材料からなる正孔注入層、正孔輸送材料からなる正孔輸送層、発光材料からなる発光層、電子輸送材料からなる電子輸送層、電子注入材料からなる電子注入層等が、明確に区別されるような積層構造ではなく、正孔注入材料、正孔輸送材料、発光材料、電子輸送材料、電子注入材料等の材料のうち、複数の材料が混合された層（混合層）を有する構成（以下、混合接合型のEL素子と表記する）について説明する。

20

【0812】

図72(A)、(B)、(C)及び(D)は、混合接合型のEL素子の構造を示す模式図である。なお、陽極190101と陰極190102の間に挟まれた層が、EL層に相当する。

【0813】

図72(A)に、EL層が正孔輸送材料からなる正孔輸送領域190103と、電子輸送材料からなる電子輸送領域190104とを含み、正孔輸送領域190103は電子輸送領域190104よりも陽極側に位置し、且つ、正孔輸送領域190103と、電子輸送領域190104の間に、正孔輸送材料及び電子輸送材料の両方を含む混合領域190105が設けられた構成を示す。

30

【0814】

なお、陽極190101から陰極190102の方向に、混合領域190105内の正孔輸送材料の濃度が減少し、混合領域190105内の電子輸送材料の濃度が増加することを特徴とする。

【0815】

なお、濃度勾配の設定の仕方は、自由に設定することが可能である。例えば、正孔輸送材料のみからなる正孔輸送領域190103が存在せず、正孔輸送材料及び電子輸送材料の両方を含む混合領域190105内部で各機能材料の濃度の割合が変化する（濃度勾配を有する）構成であってもよい。あるいは、正孔輸送材料のみからなる正孔輸送領域190103及び電子輸送材料のみからなる電子輸送領域190104が存在せず、正孔輸送材料及び電子輸送材料の両方を含む混合領域190105内部で各機能材料の濃度の割合が変化する（濃度勾配を有する）構成であってもよい。あるいは、濃度の割合は、陽極又は陰極からの距離に依存して変化する構成であってもよい。なお、濃度の割合の変化は連続的であってもよい。

40

【0816】

混合領域190105内に、発光材料が添加された領域190106を有する。発光材料によって、EL素子の発光色を制御することができる。発光材料によって、キャリアをトラップすることができる。発光材料としては、キノリン骨格を含む金属錯体、ベンゾオキサドール骨格を含む金属錯体、ベンゾチアゾール骨格を含む金属錯体等の他、各種蛍光色

50

素を用いることができる。これらの発光材料を添加することによって、EL素子の発光色を制御することができる。

【0817】

陽極190101としては、効率よく正孔を注入するため、仕事関数の大きな電極材料を用いることが好ましい。例えば、錫ドープ酸化インジウム(ITO)、亜鉛ドープ酸化インジウム(IZO)、ZnO、SnO₂又はIn₂O₃等の透明電極を用いることができる。あるいは、透光性を有する必要が無いならば、陽極190101は、不透明の金属材料でもよい。

【0818】

正孔輸送材料としては、芳香族アミン系の化合物等を用いることができる。

10

【0819】

電子輸送材料としては、キノリン誘導体、8-キノリノール又はその誘導体を配位子とする金属錯体(特に、トリス(8-キノリノライト)アルミニウム(Alq₃))等を用いることができる。

【0820】

陰極190102としては、効率よく電子を注入するため、仕事関数の小さな電極材料を用いることが好ましい。アルミニウム、インジウム、マグネシウム、銀、カルシウム、バリウム、リチウム等の金属を単体で用いることができる。あるいは、これらの金属の合金であっても良いし、これらの金属と他の金属との合金であっても良い。

【0821】

20

図72(A)とは異なる構成のEL素子の模式図を図72(B)に示す。なお、図72(A)と同じ部分は同じ符号を用いて示し、説明は省略する。

【0822】

図72(B)では、発光材料が添加された領域を有さない。しかし、電子輸送領域190104に添加する材料として、電子輸送性及び発光性の両方を有する材料(電子輸送発光材料)、例えば、トリス(8-キノリノライト)アルミニウム(Alq₃)を用いる構成とし、発光を行うことができる。

【0823】

あるいは、正孔輸送領域190103に添加する材料として、正孔輸送性及び発光性の両方を有する材料(正孔輸送発光材料)を用いてもよい。

30

【0824】

図72(A)及び図72(B)とは異なる構成のEL素子の模式図を図72(C)に示す。なお、図72(A)及び図72(B)と同じ部分は同じ符号を用いて示し、説明は省略する。

【0825】

図72(C)において、正孔輸送材料に比べて最高被占分子軌道と最低被占分子軌道とのエネルギー差が大きい正孔ブロッキング性材料が、混合領域190105内に添加された領域190107を有する。正孔ブロッキング性材料が添加された領域190107を、混合領域190105内の発光材料が添加された領域190106より陰極190102側に配置することによって、キャリアの再結合率を上げ、発光効率を上げることができる。上記、正孔ブロッキング性材料が添加された領域190107を設ける構成は、特に、三重光励起子による発光(燐光)を利用するEL素子において有効である。

40

【0826】

図72(A)、図72(B)及び図72(C)とは異なる構成のEL素子の模式図を図72(D)に示す。なお、図72(A)、図72(B)及び図72(C)と同じ部分は同じ符号を用いて示し、説明は省略する。

【0827】

図72(D)において、電子輸送材料に比べて最高被占分子軌道と最低被占分子軌道とのエネルギー差が大きい電子ブロッキング性材料が、混合領域190105内に添加された領域190108を有する。電子ブロッキング性材料が添加された領域190108を、

50

混合領域 190105 内の発光材料が添加された領域 190106 より陽極 190101 側に配置することによって、キャリアの再結合率を上げ、発光効率を上げることができる。上記、電子ブロッキング性材料が添加された領域 190108 を設ける構成は、特に、三重項励起子による発光（燐光）を利用する EL 素子において有効である。

【0828】

図 72 (E) は、図 72 (A)、図 72 (B)、図 72 (C) 及び図 72 (D) とは異なる混合接合型の EL 素子の構成を示す模式図である。図 72 (E) では、EL 素子の電極に接する EL 層の部分に、金属材料を添加した領域 190109 を有する構成の例を示す。図 72 (E) において、図 72 (A) ~ 図 72 (D) と同じ部分は同じ符号を用いて示し説明は省略する。図 72 (E) に示す構成は、たとえば、陰極 190102 として Mg Ag (Mg Ag 合金) を用い、電子輸送材料が添加された電子輸送領域 190104 の、陰極 190102 に接する領域に Al (アルミニウム) 合金を添加した領域 190109 を有する構成であってもよい。上記構成によって、陰極の酸化を防止し、且つ、陰極からの電子の注入効率を高めることができる。こうして、混合接合型の EL 素子では、その寿命を長くすることができる。駆動電圧も低くすることができる。

10

【0829】

上記混合接合型の EL 素子を作製する手法としては、共蒸着法等を用いることができる。

【0830】

図 72 (A) ~ 図 72 (E) に示したような混合接合型の EL 素子では、明確な層の界面が存在せず、電荷の蓄積を低減することができる。こうして、その寿命を長くすることができる。駆動電圧も低くすることができる。

20

【0831】

なお、図 72 (A) ~ 図 72 (E) に示した構成は、自由に組み合わせて実施することが可能である。

【0832】

なお、混合接合型の EL 素子の構成は、これに限定されない。公知の構成を自由に用いることができる。

【0833】

なお、EL 素子の EL 層を構成する有機材料としては、低分子材料でも高分子材料でもよい。あるいは、これらの材料を両方用いてもよい。有機化合物材料として低分子材料を用いる場合は、蒸着法によって成膜することができる。一方、EL 層として高分子材料を用いる場合は、高分子材料を溶媒に溶かし、スピン塗布法又はインクジェット方式で成膜することができる。

30

【0834】

EL 層は、中分子材料によって構成されていても良い。本明細書中において、中分子系有機発光材料とは、昇華性を有さず、かつ、重合度が 20 程度以下の有機発光材料を示すものとする。EL 層として中分子材料を用いる場合は、インクジェット方式等で成膜することができる。

【0835】

なお、低分子材料と、高分子材料と、中分子材料とを組み合わせて用いても良い。

40

【0836】

EL 素子は、一重項励起子からの発光（蛍光）を利用するものでも、三重項励起子からの発光（燐光）を利用するものでも、どちらでも良い。

【0837】

次に、本発明に適用できる表示装置を製造するための蒸着装置について、図面を参照して説明する。

【0838】

本発明に適用できる表示装置は、EL 層を形成して製造されてもよい。EL 層は、エレクトロルミネセンスを発現する材料を少なくとも一部に含んで形成される。EL 層は機能の異なる複数の層で構成されてもよい。その場合、EL 層は、正孔注入輸送層、発光層、電

50

子注入輸送層などとも呼ばれる機能の異なる層が組み合わせられて構成されていてもよい。

【0839】

トランジスタが形成された素子基板に、EL層を形成するための蒸着装置の構成を図73に示す。この蒸着装置は、搬送室190260、190261に複数の処理室を連結している。処理室には、基板を供給するロード室190262、基板を回収するアンロード室190263、その他、加熱処理室190268、プラズマ処理室190272、EL材料を蒸着する成膜処理室190269～190275、EL素子の一方の電極として、アルミニウム若しくはアルミニウムを主成分とする導電膜を形成する成膜処理室190276を含んでいる。搬送室と各処理室の間にはゲートバルブ190277a～190277mが設けられていて、各処理室の圧力は独立して制御可能とされており、処理室間の相互汚染を防いでいる。

10

【0840】

ロード室190262から搬送室190260に導入された基板は、回転自在に設けられたアーム方式の搬送手段190266により、所定の処理室へ搬入される。基板は搬送手段190266により、ある処理室から他の処理室へ搬送される。搬送室190260と搬送室190261とは成膜処理室190270で連結され、ここで搬送手段190266と搬送手段190267により基板の受け渡しが行う。

【0841】

搬送室190260及び搬送室190261に連結する各処理室は減圧状態に保持されている。従って、この蒸着装置では、基板は大気に触れることなく連続してEL層の成膜処理が行われる。EL層の成膜処理が終わった表示パネルは、水蒸気などにより劣化する場合があるので、この蒸着装置では、品質を保持するために大気に触れさせる前に封止処理を行うための封止処理室190265が搬送室190261に連結されている。封止処理室190265は大気圧若しくはそれに近い減圧下におかれているので、搬送室190261と封止処理室190265の間にも中間処理室190264が備えられている。中間処理室190264は基板の受け渡しと、室間の圧力を緩衝するために設けられている。

20

【0842】

ロード室、アンロード室、搬送室及び成膜処理室には室内を減圧に保持するための排気手段が備えられている。排気手段としては、ドライポンプ、ターボ分子ポンプ、拡散ポンプなど各種の真空ポンプを用いることができる。

30

【0843】

図73の蒸着装置において、搬送室190260及び搬送室190261に連結される処理室の数及びその構成は、EL素子の積層構造に応じて適宜組み合わせることができる。以下に、その組み合わせの一例を示す。

【0844】

加熱処理室190268は、最初に下部電極又は絶縁隔壁等が形成された基板を加熱して脱ガス処理を行う。プラズマ処理室190272は、下地電極表面を希ガス又は酸素プラズマ処理を行う。このプラズマ処理は、表面を清浄化、表面状態の安定化、表面の物理的若しくは化学的状態（例えば、仕事関数など）を安定化させるために行う。

40

【0845】

成膜処理室190269は、EL素子の一方の電極と接触する電極バッファ層を形成する処理室である。電極バッファ層はキャリア注入性（正孔注入若しくは電子注入）があり、EL素子の短絡又は暗点欠陥の発生を抑制する層である。代表的には、電極バッファ層は、有機無機混合材料であって、抵抗率が $5 \times 10^4 \sim 1 \times 10^6$ cmであり、30～300nmの厚さに形成される。なお、成膜室190271は正孔輸送層を成膜する処理室である。

【0846】

EL素子における発光層は、単色発光をする場合と白色発光をする場合とで、その構成が異なる。蒸着装置において成膜処理室もそれに依りて配置することが好ましい。例えば、表示パネルに発光色が異なる三種類のEL素子を形成する場合には、各発光色に対応した

50

発光層を成膜する必要がある。この場合、成膜処理室190270を第1の発光層の成膜用として、成膜処理室190273を第2の発光層の成膜用として、成膜処理室190274を第3の発光層の成膜用として用いることができる。発光層ごとに成膜処理室を分けることで、異なる発光材料による相互汚染を防止することが出来、成膜処理のスループットを向上させることが出来る。

【0847】

なお、成膜処理室190270、成膜処理室190273、成膜処理室190274のそれぞれで、発光色が異なる三種類のEL材料を順次蒸着しても良い。この場合、シャドーマスクを使い、蒸着する領域に応じて当該マスクをずらして蒸着を行うことになる。

【0848】

白色発光するEL素子を形成する場合には、異なる発光色の発光層を縦積みにして形成する。その場合にも、素子基板が成膜処理室を順次移動して、発光層ごとに成膜することができる。あるいは、同じ成膜処理室で異なる発光層を連続して成膜することもできる。

【0849】

成膜処理室190276では、EL層の上に電極を成膜する。電極の形成は、電子ビーム蒸着法又はスパッタリング法を適用することもできるが、好ましくは抵抗加熱蒸着法を用いることが好ましい。

【0850】

電極の形成まで終了した素子基板は、中間処理室190264を経て封止処理室190265に搬入される。封止処理室190265は、ヘリウム、アルゴン、ネオン、若しくは窒素などの不活性な気体が充填されており、その雰囲気下で素子基板のEL層が形成された側に封止板を貼り付けて封止する。封止された状態において、素子基板と封止板の間には、不活性気体が充填されていても良いし、樹脂材料を充填しておいても良い。封止処理室190265には、シール材を描画するディスペンサ、又は素子基板に対向して封止板を固定する固定ステージ又はアームなどの機械的要素、樹脂材料を充填するディスペンサ若しくはスピコーターなどが備えられている。

【0851】

図74は、成膜処理室の内部構成を示す。成膜処理室は減圧下に保たれていて、図74では天板190391と底板190392で挟まれる内側が室内であり、減圧状態に保たれる室内を示している。

【0852】

処理室内には、一つ又は複数個の蒸発源が備えられている。組成の異なる複数の層を成膜する場合、又は異なる材料を共蒸着する場合は、複数個の蒸発源を設けることが好ましいからである。図74では、蒸発源190381a、190381b、190381cが蒸発源ホルダ190380に装着されている。蒸発源ホルダ190380は多関節アーム190383によって保持されている。多関節アーム190383は関節の伸縮によって、蒸発源ホルダ190380の位置をその可動範囲内で自在に移動可能としている。あるいは、蒸発源ホルダ190380に距離センサ190382を設け、蒸発源190381a～190381cと基板190389との間隔をモニタして、蒸着時における最適な間隔を制御しても良い。その場合には、多関節アームに上下方向(Z方向)にも変位する多関節アームとしても良い。

【0853】

基板ステージ190386と基板チャック190387は一对となって基板190389を固定する。基板ステージ190386はヒータを内蔵させて基板190389を加熱できるように構成しても良い。基板190389は、基板チャック190387の禁緩により、基板ステージ190386に固定されまた搬出入される。蒸着に際しては、必要に応じて蒸着するパターンに対応して開口部を備えたシャドーマスク190390を用いることもできる。その場合、シャドーマスク190390は、基板190389と蒸発源190381a～190381cの間に配置されるようにする。シャドーマスク190390はマスクチャック190388により、基板190389と密着若しくは一定の間隔を持

10

20

30

40

50

って固定される。シャドーマスク190390のアライメントが必要な場合には、処理室内にカメラを配置し、マスクチャック190388にX-Y方向に微動する位置決め手段を備えることで、その位置合わせを行う。

【0854】

蒸発源190381には、蒸着材料を蒸発源に連続して供給する蒸着材料供給手段が付加されている。蒸着材料供給手段は、蒸発源190381と離れた位置に配置される蒸着材料供給源190385a、190385b、190385cと、その両者の間を繋ぐ材料供給管190384を有している。典型的には、材料供給源190385a、190385b、190385cは蒸発源190381に対応して設けられている。図74の場合は、材料供給源190385aと1903蒸発源81aに対応している。材料供給源190385bと蒸発源190381b、材料供給源190385cと蒸発源190381cについても同様である。

10

【0855】

蒸着材料の供給方式には、気流搬送方式、エアロゾル方式などが適用できる。気流搬送方式は、蒸着材料の微粉末を気流に乗せて搬送するもので、不活性ガスなどを用いて蒸発源190381に搬送する。エアロゾル方式は、蒸着材料を溶剤中に溶解又は分散させた原料液を搬送し、噴霧器によりエアロゾル化し、エアロゾル中の溶媒を気化させながら行う蒸着である。いずれの場合にも、蒸発源190381には加熱手段が設けられ、搬送された蒸着材料を蒸発させて基板190389に成膜する。図74の場合、材料供給管190384は柔軟に曲げることができ、減圧状態下においても変形しない程度の剛性を持った細管で構成されている。

20

【0856】

気流搬送方式又はエアロゾル方式を適用する場合には、成膜処理室内を大気圧若しくはそれ以下であって、好ましくは133Pa~13300Paの減圧下で成膜を行えば良い。成膜処理室内にはヘリウム、アルゴン、ネオン、クリプトン、キセノン、若しくは窒素などの不活性気体を充填し、又は当該気体を供給しながら(同時に排気しながら)、圧力の調節を行うことができる。なお、酸化膜を形成する成膜処理室では、酸素、亜酸化窒素などの気体を導入して酸化雰囲気としておいても良い。あるいは、有機材料を蒸着する成膜処理室内には水素などの気体を導入して還元雰囲気としておいても良い。

30

【0857】

その他の蒸着材料の供給方法として、材料供給管190384の中にスクリーンを設け蒸着材料を蒸発源に向けて連続的に押し出す構成としても良い。

【0858】

この蒸着装置によれば、大画面の表示パネルであっても、均一性良く、連続して成膜することができる。蒸発源に蒸着材料が無くなる度に、その都度蒸着材料を補給する必要がないので、スループットを向上することができる。

【0859】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容(一部でもよい)は、別の図で述べた内容(一部でもよい)に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることができる。

40

【0860】

同様に、本実施の形態の各々の図で述べた内容(一部でもよい)は、別の実施の形態および実施例の図で述べた内容(一部でもよい)に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態および実施例の部分の組み合わせることにより、さらに多くの図を構成させることができる。

【0861】

なお、本実施の形態は、他の実施の形態および実施例で述べた内容(一部でもよい)を、

50

具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態および実施例で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【0862】

(実施の形態17)

本実施形態においては、本発明に係る電子機器の例について説明する。

【0863】

図75は表示パネル900101と、回路基板900111を組み合わせた表示パネルモジュールを示している。表示パネル900101は画素部900102、走査線駆動回路900103及び信号線駆動回路900104を有している。回路基板900111には、例えば、コントロール回路900112及び信号分割回路900113などが形成されている。表示パネル900101と回路基板900111とは接続配線900114によって接続されている。接続配線にはFPC等を用いることができる。

10

【0864】

表示パネル900101は、画素部900102と一部の周辺駆動回路(複数の駆動回路のうち動作周波数の低い駆動回路)を基板上にトランジスタを用いて一体形成し、一部の周辺駆動回路(複数の駆動回路のうち動作周波数の高い駆動回路)をICチップ上に形成し、そのICチップをCOG(Chip On Glass)などで表示パネル900101に実装してもよい。こうすることで、回路基板900111の面積を削減でき、小型の表示装置を得ることができる。あるいは、そのICチップをTAB(Tape Auto Bonding)又はプリント基板を用いて表示パネル900101に実装してもよい。こうすることで、表示パネル900101の面積を小さくできるので、額縁サイズの小さい表示装置を得ることができる。

20

【0865】

例えば、消費電力の低減を図るため、ガラス基板上にトランジスタを用いて画素部を形成し、全ての周辺駆動回路をICチップ上に形成し、そのICチップをCOG又はTABで表示パネルに実装してもよい。

【0866】

図75に示した表示パネルモジュールによって、テレビ受像機を完成させることができる。図76は、テレビ受像機の主要な構成を示すブロック図である。チューナ900201は映像信号と音声信号を受信する。映像信号は、映像信号増幅回路900202と、映像信号増幅回路900202から出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路900203と、その映像信号を駆動回路の入力仕様に変換するためのコントロール回路900212により処理される。コントロール回路900212は、走査線側と信号線側にそれぞれ信号を出力する。デジタル駆動する場合には、信号線側に信号分割回路900213を設け、入力デジタル信号をm個(mは正の整数)に分割して供給する構成としても良い。

30

【0867】

チューナ900201で受信した信号のうち、音声信号は音声信号増幅回路900205に送られ、その出力は音声信号処理回路900206を経てスピーカー900207に供給される。制御回路900208は受信局(受信周波数)及び音量の制御情報を入力部900209から受け、チューナ900201又は音声信号処理回路900206に信号を送出する。

40

【0868】

図76とは別の形態の表示パネルモジュールを組み込んだテレビ受像器について図77(A)に示す。図77(A)において、筐体900301内に収められた表示画面900302は、表示パネルモジュールで形成される。なお、スピーカー900303、操作スイッチ900304などが適宜備えられていてもよい。

【0869】

50

図77(B)に、ワイヤレスでディスプレイのみを持ち運び可能なテレビ受像器を示す。筐体900312にはバッテリー及び信号受信器が内蔵されており、そのバッテリーで表示部900313又はスピーカー部900317を駆動させる。バッテリーは充電器900310で繰り返し充電が可能となっている。充電器900310は映像信号を送受信することが可能で、その映像信号をディスプレイの信号受信器に送信することができる。筐体900312は操作キー900316によって制御する。あるいは、図77(B)に示す装置は、操作キー900316を操作することによって、筐体900312から充電器900310に信号を送ることが可能である、映像音声双方向通信装置であってもよい。あるいは、操作キー900316を操作することによって、筐体900312から充電器900310に信号を送り、さらに充電器900310が送信できる信号を他の電子機器に受信させることによって、他の電子機器の通信制御も可能である、汎用遠隔制御装置であってもよい。本発明を表示部900313に適用することができる。

10

【0870】

図78(A)は、表示パネル900401とプリント配線基板900402を組み合わせたモジュールを示している。表示パネル900401は、複数の画素が設けられた画素部900403と、第1の走査線駆動回路900404、第2の走査線駆動回路900405と、選択された画素にビデオ信号を供給する信号線駆動回路900406を備えていてもよい。

【0871】

プリント配線基板900402には、コントローラ900407、中央処理装置(CPU)900408、メモリ900409、電源回路900410、音声処理回路900411及び送受信回路900412などが備えられている。プリント配線基板900402と表示パネル900401は、フレキシブル配線基板(FPC)900413により接続されている。フレキシブル配線基板(FPC)900413には、保持容量、バッファ回路などを設け、電源電圧又は信号にノイズの発生、及び信号の立ち上がり時間の増大を防ぐ構成としても良い。なお、コントローラ900407、音声処理回路900411、メモリ900409、中央処理装置(CPU)900408、電源回路900410などは、COG(Chip On Glass)方式を用いて表示パネル900401に実装することもできる。COG方式により、プリント配線基板900402の規模を縮小することができる。

20

30

【0872】

プリント配線基板900402に備えられたインターフェース(I/F)部900414を介して、各種制御信号の入出力が行われる。そして、アンテナとの間の信号の送受信を行うためのアンテナ用ポート900415が、プリント配線基板900402に設けられている。

【0873】

図78(B)は、図78(A)に示したモジュールのブロック図を示す。このモジュールは、メモリ900409としてVRAM900416、DRAM900417、フラッシュメモリ900418などが含まれている。VRAM900416にはパネルに表示する画像のデータが、DRAM900417には画像データ又は音声データが、フラッシュメモリには各種プログラムが記憶されている。

40

【0874】

電源回路900410は、表示パネル900401、コントローラ900407、中央処理装置(CPU)900408、音声処理回路900411、メモリ900409、送受信回路900412を動作させる電力を供給する。ただし、パネルの仕様によっては、電源回路900410に電流源が備えられている場合もある。

【0875】

中央処理装置(CPU)900408は、制御信号生成回路900420、デコーダ900421、レジスタ900422、演算回路900423、RAM900424、中央処理装置(CPU)900408用のインターフェース(I/F)部900419などを有

50

している。インターフェース（I/F）部900419を介して中央処理装置（CPU）900408に入力された各種信号は、一旦レジスタ900422に保持された後、演算回路900423、デコーダ900421などに入力される。演算回路900423では、入力された信号に基づき演算を行い、各種命令を送る場所を指定する。一方デコーダ900421に入力された信号はデコードされ、制御信号生成回路900420に入力される。制御信号生成回路900420は入力された信号に基づき、各種命令を含む信号を生成し、演算回路900423において指定された場所、具体的にはメモリ900409、送受信回路900412、音声処理回路900411、コントローラ900407などに送る。

【0876】

メモリ900409、送受信回路900412、音声処理回路900411、コントローラ900407は、それぞれ受けた命令に従って動作する。以下その動作について簡単に説明する。

【0877】

入力手段900425から入力された信号は、インターフェース（I/F）部900414を介してプリント配線基板900402に実装された中央処理装置（CPU）900408に送られる。制御信号生成回路900420は、ポインティングデバイス又はキーボードなどの入力手段900425から送られてきた信号に従い、VRAM900416に格納してある画像データを所定のフォーマットに変換し、コントローラ900407に送付する。

【0878】

コントローラ900407は、パネルの仕様に合わせて中央処理装置（CPU）900408から送られてきた画像データを含む信号にデータ処理を施し、表示パネル900401に供給する。コントローラ900407は、電源回路900410から入力された電源電圧、又は中央処理装置（CPU）900408から入力された各種信号をもとに、Hsync信号、Vsync信号、クロック信号CLK、交流電圧（AC Cont）、切り替え信号L/Rを生成し、表示パネル900401に供給する。

【0879】

送受信回路900412では、アンテナ900428において電波として送受信される信号が処理されており、具体的にはアイソレータ、バンドパスフィルタ、VCO（Voltage Controlled Oscillator）、LPF（Low Pass Filter）、カプラ、パランなどの高周波回路を含んでいてもよい。送受信回路900412において送受信される信号のうち音声情報を含む信号が、中央処理装置（CPU）900408からの命令に従って、音声処理回路900411に送られる。

【0880】

中央処理装置（CPU）900408の命令に従って送られてきた音声情報を含む信号は、音声処理回路900411において音声信号に復調され、スピーカ900427に送られる。マイク900426から送られてきた音声信号は、音声処理回路900411において変調され、中央処理装置（CPU）900408からの命令に従って、送受信回路900412に送られる。

【0881】

コントローラ900407、中央処理装置（CPU）900408、電源回路900410、音声処理回路900411、メモリ900409を、本実施形態のパッケージとして実装することができる。

【0882】

勿論、本実施の形態はテレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅又は空港などにおける情報表示盤、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

【0883】

次に、図79を参照して、本発明に係る携帯電話の構成例について説明する。

10

20

30

40

50

【0884】

表示パネル900501はハウジング900530に脱着自在に組み込まれる。ハウジング900530は表示パネル900501のサイズに合わせて、形状又は寸法を適宜変更することができる。表示パネル900501を固定したハウジング900530はプリント基板900531に嵌入されモジュールとして組み立てられる。

【0885】

表示パネル900501はFPC900513を介してプリント基板900531に接続される。プリント基板900531には、スピーカー900532、マイクロフォン900533、送受信回路900534、CPU及びコントローラなどを含む信号処理回路900535が形成されている。このようなモジュールと、入力手段900536、バッテリー900537を組み合わせ、筐体900539に収納する。表示パネル900501の画素部は筐体900539に形成された開口窓から視認できよう配置する。

10

【0886】

表示パネル900501は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上にトランジスタを用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）をICチップ上に形成し、そのICチップをCOG（Chip On Glass）で表示パネル900501に実装しても良い。あるいは、そのICチップをTAB（Tape Auto Bonding）又はプリント基板を用いてガラス基板と接続してもよい。このような構成とすることで、表示装置の低消費電力化を図り、携帯電話機の一回の充電による使用時間を長くすることができる。携帯電話機の低コスト化を図ることができる。

20

【0887】

図79に示した携帯電話は、様々な情報（静止画、動画、テキスト画像など）を表示する機能を有する。カレンダー、日付又は時刻などを表示部に表示する機能を有する。表示部に表示した情報を操作又は編集する機能を有する。様々なソフトウェア（プログラム）によって処理を制御する機能を有する。無線通信機能を有する。無線通信機能を用いて他の携帯電話、固定電話又は音声通信機器と通話する機能を有する。無線通信機能を用いて様々なコンピュータネットワークに接続する機能を有する。無線通信機能を用いて様々なデータの送信又は受信を行う機能を有する。着信、データの受信、又はアラームに応じてバイブレータが動作する機能を有する。着信、データの受信、又はアラームに応じて音が発生する機能を有する。なお、図79に示した携帯電話が有する機能はこれに限定されず、様々な機能を有することができる。

30

【0888】

図80で示す携帯電話機は、操作スイッチ類900604、マイクロフォン900605などが備えられた本体（A）900601と、表示パネル（A）900608、表示パネル（B）900609、スピーカー900606などが備えられた本体（B）900602とが、蝶番900610で開閉可能に連結されている。表示パネル（A）900608と表示パネル（B）900609は、回路基板900607と共に本体（B）900602の筐体900603の中に収納される。表示パネル（A）900608及び表示パネル（B）900609の画素部は筐体900603に形成された開口窓から視認できるように配置される。

40

【0889】

表示パネル（A）900608と表示パネル（B）900609は、その携帯電話機900600の機能に応じて画素数などの仕様を適宜設定することができる。例えば、表示パネル（A）900608を主画面とし、表示パネル（B）900609を副画面として組み合わせることができる。

【0890】

本実施形態に係る携帯電話機は、その機能又は用途に応じてさまざまな態様に変容し得る。例えば、蝶番900610の部位に撮像素子を組み込んで、カメラ付きの携帯電話機としても良い。操作スイッチ類900604、表示パネル（A）900608、表示パネル

50

(B) 900609を一つの筐体内に納めた構成としても、上記した作用効果を奏することができる。表示部を複数個そなえた情報表示端末に本実施形態の構成を適用しても、同様な効果を得ることができる。

【0891】

図80に示した携帯電話は、様々な情報(静止画、動画、テキスト画像など)を表示する機能を有する。カレンダー、日付又は時刻などを表示部に表示する機能を有する。表示部に表示した情報を操作又は編集する機能を有する。様々なソフトウェア(プログラム)によって処理を制御する機能を有する。無線通信機能を有する。無線通信機能を用いて他の携帯電話、固定電話又は音声通信機器と通話する機能を有する。無線通信機能を用いて様々なコンピュータネットワークに接続する機能を有する。無線通信機能を用いて様々なデータの送信又は受信を行う機能を有する。着信、データの受信、又はアラームに応じてバイブレータが動作する機能を有する。着信、データの受信、又はアラームに応じて音が発生する機能を有する。なお、図80に示した携帯電話が有する機能はこれに限定されず、様々な機能を有することができる。

10

【0892】

本発明を様々な電子機器に適用することができる。具体的には、電子機器の表示部に適用することができる。そのような電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンボ等)、コンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。

20

【0893】

図81(A)はディスプレイであり、筐体900711、支持台900712、表示部900713等を含む。図81(A)に示すディスプレイは、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能を有する。なお、図81(A)に示すディスプレイが有する機能はこれに限定されず、様々な機能を有することができる。

【0894】

図81(B)はカメラであり、本体900721、表示部900722、受像部900723、操作キー900724、外部接続ポート900725、シャッター900726等を含む。図81(B)に示すカメラは、静止画を撮影する機能を有する。動画を撮影する機能を有する。撮影した画像(静止画、動画)を自動で補正する機能を有する。撮影した画像を記録媒体(外部又はデジタルカメラに内臓)に保存する機能を有する。撮影した画像を表示部に表示する機能を有する。なお、図81(B)に示すカメラが有する機能はこれに限定されず、様々な機能を有することができる。

30

【0895】

図81(C)はコンピュータであり、本体900731、筐体900732、表示部900733、キーボード900734、外部接続ポート900735、ポインティングデバイス900736等を含む。図81(C)に示すコンピュータは、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能を有する。様々なソフトウェア(プログラム)によって処理を制御する機能を有する。無線通信又は有線通信などの通信機能を有する。通信機能を用いて様々なコンピュータネットワークに接続する機能を有する。通信機能を用いて様々なデータの送信又は受信を行う機能を有する。なお、図81(C)に示すコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

40

【0896】

図81(D)はモバイルコンピュータであり、本体900741、表示部900742、スイッチ900743、操作キー900744、赤外線ポート900745等を含む。図81(D)に示すモバイルコンピュータは、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能を有する。表示部にタッチパネルの機能を有する。カレンダー、日付又は時刻などを表示する機能を表示部に有する。様々なソフトウェア(プログラ

50

ム)によって処理を制御する機能を有する。無線通信機能を有する。無線通信機能を用いて様々なコンピュータネットワークに接続する機能を有する。無線通信機能を用いて様々なデータの送信又は受信を行う機能を有する。なお、図81(D)に示すモバイルコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

【0897】

図81(E)は記録媒体を備えた携帯型の画像再生装置(たとえば、DVD再生装置)であり、本体900751、筐体900752、表示部A900753、表示部B900754、記録媒体(DVD等)読み込み部900755、操作キー900756、スピーカ一部900757等を含む。表示部A900753は主として画像情報を表示し、表示部B900754は主として文字情報を表示することができる。

10

【0898】

図81(F)はゴーグル型ディスプレイであり、本体900761、表示部900762、イヤホン900763、支持部900764を含む。図81(F)に示すゴーグル型ディスプレイは、外部から取得した画像(静止画、動画、テキスト画像など)を表示部に表示する機能を有する。なお、図81(F)に示すゴーグル型ディスプレイが有する機能はこれに限定されず、様々な機能を有することができる。

【0899】

図81(G)は携帯型遊技機であり、筐体900771、表示部900772、スピーカ一部900773、操作キー900774、記憶媒体挿入部900775等を含む。本発明の表示装置を表示部900772に用いた携帯型遊技機は、鮮やかな色彩を表現することができる。図81(G)に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能を有する。他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図81(G)に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

20

【0900】

図81(H)はテレビ受像機能付きデジタルカメラであり、本体900781、表示部900782、操作キー900783、スピーカ一部900784、シャッター900785、受像部900786、アンテナ900787等を含む。図81(H)に示すテレビ受像機能付きデジタルカメラは、静止画を撮影する機能を有する。動画を撮影する機能を有する。撮影した画像を自動で補正する機能を有する。アンテナから様々な情報を取得する機能を有する。撮影した画像、又はアンテナから取得した情報を保存する機能を有する。撮影した画像、又はアンテナから取得した情報を表示部に表示する機能を有する。なお、図81(H)に示すテレビ受像機能付きデジタルカメラが有する機能はこれに限定されず、様々な機能を有することができる。

30

【0901】

図81(A)乃至(E)に示したように、本発明に係る電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。本発明に係る電子機器は、データが重複している場合に該データをメモリに格納することで回路の動作頻度を減少させることができるので、消費電力が小さく、長時間の電池駆動が可能である。

【0902】

次に、本発明に係る半導体装置の応用例を説明する。

40

【0903】

図82に、本発明に係る半導体装置を、建造物と一体にして設けた例について示す。図82は、筐体900810、表示部900811、操作部であるリモコン装置900812、スピーカ一部900813等を含む。本発明に係る半導体装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

【0904】

図83に、建造物内に本発明に係る半導体装置を、建造物と一体にして設けた別の例について示す。表示パネル900901は、ユニットバス900902と一体に取り付けられており、入浴者は表示パネル900901の視聴が可能になる。表示パネル900901

50

は入浴者が操作することで情報を表示する機能を有する。広告又は娯楽手段として利用できる機能を有する。

【0905】

なお、本発明に係る半導体装置は、図83で示したユニットバス900902の側壁だけではなく、様々な場所に設置することができる。たとえば、鏡面の一部又は浴槽自体と一体にするなどとしてもよい。このとき、表示パネル900901の形状は、鏡面又は浴槽の形状に合わせたものとなってもよい。

【0906】

図84に、本発明に係る半導体装置を、建造物と一体にして設けた別の例について示す。表示パネル901002は、柱状体901001の曲面に合わせて湾曲させて取り付けられている。なお、ここでは柱状体901001を電柱として説明する。

10

【0907】

図84に示す表示パネル901002は、人間の視点より高い位置に設けられている。電柱のように屋外で繰り返し林立している建造物に表示パネル901002を設置することで、不特定多数の視認者に広告を行なうことができる。ここで、表示パネル901002は、外部からの制御により、同じ画像を表示させること、及び瞬時に画像を切替えることが容易であるため、極めて効率的な情報表示、及び広告効果が期待できる。表示パネル901002に自発光型の表示素子を設けることで、夜間であっても、視認性の高い表示媒体として有用であるといえる。電柱に設置することで、表示パネル901002の電力供給手段の確保が容易である。災害発生時などの非常事態の際には、被災者に素早く正確な情報を伝達する手段ともなり得る。

20

【0908】

なお、表示パネル901002としては、たとえば、フィルム状の基板に有機トランジスタなどのスイッチング素子を設けて表示素子を駆動することにより画像の表示を行なう表示パネルを用いることができる。

【0909】

なお、本実施形態において、建造物として壁、柱状体、ユニットバスを例としたが、本実施形態はこれに限定されず、様々な建造物に本発明に係る半導体装置を設置することができる。

【0910】

次に、本発明に係る半導体装置を、移動体と一体にして設けた例について示す。

30

【0911】

図85は、本発明に係る半導体装置を、自動車と一体にして設けた例について示した図である。表示パネル901102は、自動車の車体901101と一体に取り付けられており、車体の動作又は車体内外から入力される情報をオンデマンドに表示することができる。なお、ナビゲーション機能を有してもよい。

【0912】

なお、本発明に係る半導体装置は、図85で示した車体901101だけではなく、様々な場所に設置することができる。たとえば、ガラス窓、ドア、ハンドル、シフトレバー、座席シート、ルームミラー等と一体にしてもよい。このとき、表示パネル901102の形状は、設置するもの形状に合わせたものとなってもよい。

40

【0913】

図86は、本発明に係る半導体装置を、列車車両と一体にして設けた例について示した図である。

【0914】

図86(a)は、列車車両のドア901201のガラスに表示パネル901202を設けた例について示した図である。従来の紙による広告に比べて、広告切替えの際に必要な人件費がかからないという利点がある。表示パネル901202は、外部からの信号により表示部で表示される画像の切り替えを瞬時に行なうことが可能であるため、たとえば、電車の乗降客の客層が入れ替わる時間帯ごとに表示パネルの画像を切り替えることがで

50

き、より効果的な広告効果が期待できる。

【0915】

図86(b)は、列車車両のドア901201のガラスの他に、ガラス窓901203、及び天井901204に表示パネル901202を設けた例について示した図である。このように、本発明に係る半導体装置は、従来では設置が困難であった場所に容易に設置することが可能であるため、効果的な広告効果を得ることができる。本発明に係る半導体装置は、外部からの信号により表示部で表示される画像の切り替えを瞬時に行なうことが可能であるため、広告切替え時のコスト及び時間が削減でき、より柔軟な広告の運用及び情報伝達が可能となる。

【0916】

なお、本発明に係る半導体装置は、図86で示したドア901201、ガラス窓901203、及び天井901204だけではなく、様々な場所に設置することができる。たとえば、つり革、座席シート、てすり、床等と一体にしてもよい。このとき、表示パネル901202の形状は、設置するもの形状に合わせたものとなってもよい。

【0917】

図87は、本発明に係る半導体装置を、旅客用飛行機と一体にして設けた例について示した図である。

【0918】

図87(a)は、旅客用飛行機の座席上部の天井901301に表示パネル901302を設けたときの、使用時の形状について示した図である。表示パネル901302は、天井901301とヒンジ部901303を介して一体に取り付けられており、ヒンジ部901303の伸縮により乗客は表示パネル901302の視聴が可能になる。表示パネル901302は乗客が操作することで情報を表示する機能を有する。広告又は娯楽手段として利用できる機能を有する。図87(b)に示すように、ヒンジ部を折り曲げて天井901301に格納することにより、離着陸時の安全に配慮することができる。なお、緊急時に表示パネルの表示素子を点灯させることで、情報伝達手段及び誘導灯としても利用可能である。

【0919】

なお、本発明に係る半導体装置は、図87で示した天井901301だけではなく、様々な場所に設置することができる。たとえば、座席シート、座席テーブル、肘掛、窓等と一体にしてもよい。多数の人が同時に視聴できる大型の表示パネルを、機体の壁に設置してもよい。このとき、表示パネル901302の形状は、設置するもの形状に合わせたものとなってもよい。

【0920】

なお、本実施形態において、移動体としては電車車両本体、自動車車体、飛行機車体について例示したがこれに限定されず、自動二輪車、自動四輪車(自動車、バス等を含む)、電車(モノレール、鉄道等を含む)、船舶等、様々なものに設置することができる。本発明に係る半導体装置は、外部からの信号により、移動体内における表示パネルの表示を瞬時に切り替えることが可能であるため、移動体に本発明に係る半導体装置を設置することにより、移動体を不特定多数の顧客を対象とした広告表示板、災害発生時の情報表示板、等の用途に用いることが可能となる。

【0921】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容(一部でもよい)は、別の図で述べた内容(一部でもよい)に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることができる。

【0922】

同様に、本実施の形態の各々の図で述べた内容(一部でもよい)は、別の実施の形態および実施例の図で述べた内容(一部でもよい)に対して、適用、組み合わせ、又は置き換え

10

20

30

40

50

などを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態および実施例の部分を組み合わせるにより、さらに多くの図を構成させることが出来る。

【0923】

なお、本実施の形態は、他の実施の形態および実施例で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態および実施例で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【実施例1】

【0924】

本実施例では、図1に示した表示装置が有する信号線駆動回路の、より具体的な構成について説明する。

【0925】

図14に、信号線駆動回路の回路図を一例として示す。図14に示す信号線駆動回路は、シフトレジスタ501と、サンプリング回路502と、第1のラッチ503と、第2のラッチ504と、第3のラッチ505と、レベルシフタ506と、バッファ507とを有している。なお本実施例では、記憶回路として第1のラッチ503、第2のラッチ504及び第3のラッチ505の、3つのラッチを有する信号線駆動回路を例に挙げているが、記憶回路の数はこれに限定されない。

【0926】

シフトレジスタ501は、複数のディレイ型フリップフロップ（DFF）508を有している。そしてシフトレジスタ501は、入力されたスタートパルス信号S-SP及びクロック信号S-CLKに従って、順次パルスがシフトしたタイミング信号を生成し、後段のサンプリング回路502に入力する。

【0927】

サンプリング回路502は複数の記憶素子（LAT）509を有している。そしてサンプリング回路502は、入力されたタイミング信号のパルスに従って、ビデオ信号を順にサンプリングし、記憶素子509にサンプリングしたビデオ信号のデータを書き込む。

【0928】

第1のラッチ503は複数の記憶素子（LAT）510を有し、第2のラッチ504は複数の記憶素子（LAT）511を有し、第3のラッチ505は複数の記憶素子（LAT）512を有する。記憶素子510、記憶素子511及び記憶素子512の数はそれぞれ、画素部における1ラインの画素数と同じが、それよりも多いことが望ましい。

【0929】

そして第1のラッチ503には書き込み用ラッチ信号WS₁及び読み出し用ラッチ信号RS₁が入力される。第2のラッチ504には書き込み用ラッチ信号WS₂及び読み出し用ラッチ信号RS₂が入力される。第3のラッチ505には書き込み用ラッチ信号WS₃及び読み出し用ラッチ信号RS₃が入力される。

【0930】

サンプリング回路502において記憶素子509に書き込まれたデータは、第1のラッチ503が有する記憶素子510、第2のラッチ504が有する記憶素子511または第3のラッチ505が有する記憶素子512に書き込まれ、保持される。記憶素子510、記憶素子511または記憶素子512へのデータの書き込みは、書き込み用ラッチ信号WS₁～WS₃によって制御される。

【0931】

そして記憶素子510、記憶素子511または記憶素子512において保持されているデータは、ビデオ信号として後段のレベルシフタ506にビデオ信号として入力される。レベルシフタ506へのビデオ信号の入力は、読み出し用ラッチ信号RS₁～RS₃によって制御される。

10

20

30

40

50

【0932】

レベルシフタ506は、入力されたビデオ信号の電圧の振幅を制御し、後段のバッファ507に入力する。バッファ507は入力されたビデオ信号の波形を整形し、画素部に入力する。

【0933】

なお、本実施例において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

10

【0934】

同様に、本実施例の各々の図で述べた内容（一部でもよい）は、別の実施の形態および実施例の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施例の図において、各々の部分に関して、別の実施の形態および実施例の部分の組み合わせることにより、さらに多くの図を構成させることが出来る。

【0935】

なお、本実施例は、他の実施の形態および実施例で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態および実施例で述べた内容は、本実施例への適用、組み合わせ、又は置き換えを自由に行うことができる。

20

【実施例2】

【0936】

本実施例では、図12に示した表示装置が有する信号線駆動回路の、より具体的な構成について説明する。

【0937】

図15に、信号線駆動回路の回路図を一例として示す。図15に示す信号線駆動回路は、シフトレジスタ601と、サンプリング回路602と、第1のラッチ603と、第2のラッチ604と、第3のラッチ605と、DA変換回路606とを有している。なお本実施例では、記憶回路として第1のラッチ603、第2のラッチ604及び第3のラッチ605の、3つのラッチを有する信号線駆動回路を例に挙げているが、記憶回路の数はこれに限定されない。

30

【0938】

シフトレジスタ601は、複数のディレイ型フリップフロップ（DFF）608を有している。そしてシフトレジスタ601は、入力されたスタートパルス信号S-SP及びクロック信号S-CLKに従って、順次パルスがシフトしたタイミング信号を生成し、後段のサンプリング回路602に入力する。

【0939】

サンプリング回路602は複数の記憶素子（LAT）609を有している。記憶素子609の数は、画素部における1ラインの画素数に、ビデオ信号のビット数を掛けた数と同じか、それよりも多いことが望ましい。なお図15ではビデオ信号のビット数が3である場合を例示しているが、ビデオ信号のビット数はこれに限定されない。そしてサンプリング回路602は、入力されたタイミング信号のパルスに従って、ビデオ信号を順にサンプリングし、記憶素子609にサンプリングしたビデオ信号のデータを書き込む。

40

【0940】

第1のラッチ603は複数の記憶素子（LAT）610を有し、第2のラッチ604は複数の記憶素子（LAT）611を有し、第3のラッチ605は複数の記憶素子（LAT）612を有する。記憶素子610、記憶素子611及び記憶素子612の数はそれぞれ、画素部における1ラインの画素数に、ビデオ信号のビット数を掛けた数と同じか、それ

50

よりも多いことが望ましい。

【0941】

そして第1のラッチ603には書き込み用ラッチ信号 WS_1 及び読み出し用ラッチ信号 RS_1 が入力される。第2のラッチ604には書き込み用ラッチ信号 WS_2 及び読み出し用ラッチ信号 RS_2 が入力される。第3のラッチ605には書き込み用ラッチ信号 WS_3 及び読み出し用ラッチ信号 RS_3 が入力される。

【0942】

サンプリング回路602において記憶素子609に書き込まれたデータは、第1のラッチ603が有する記憶素子610、第2のラッチ604が有する記憶素子611または第3のラッチ605が有する記憶素子612に書き込まれ、保持される。記憶素子610、記憶素子611または記憶素子612へのデータの書き込みは、書き込み用ラッチ信号 $WS_1 \sim WS_3$ によって制御される。

10

【0943】

そして記憶素子610、記憶素子611または記憶素子612において保持されているデータは、ビデオ信号として後段のDA変換回路606にビデオ信号として入力される。DA変換回路606へのビデオ信号の入力は、読み出し用ラッチ信号 $RS_1 \sim RS_3$ によって制御される。DA変換回路606は、入力されたデジタルのビデオ信号をアナログに変換し、後段の画素部に入力する。

【0944】

なお、本実施例において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

20

【0945】

同様に、本実施例の各々の図で述べた内容（一部でもよい）は、別の実施の形態および実施例の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施例の図において、各々の部分に関して、別の実施の形態および実施例の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

30

【0946】

なお、本実施例は、他の実施の形態および実施例で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態および実施例で述べた内容は、本実施例への適用、組み合わせ、又は置き換えを自由に行うことができる。

【実施例3】

【0947】

本実施例では、本発明の表示装置が有する、記憶回路内の記憶素子の構成について説明する。

40

【0948】

図20に、記憶素子の回路図を一例として示す。図20では、3つの記憶回路がそれぞれ有する記憶素子801～803の構成を例示している。記憶素子801の後段に記憶素子802、記憶素子802の後段に記憶素子803が接続されている。なお図12では各記憶回路が有する記憶素子を1つずつ示しているが、実際には1ラインに含まれる画素の数と同じか、それよりも多い数の記憶素子が、各記憶回路に設けられている。また信号線駆動回路においてビデオ信号をデジタルからアナログに変換する場合は、1ラインの画素数に、ビデオ信号のビット数を掛けた数と同じか、それよりも多い数の記憶素子を、各記憶回路に設ける。

【0949】

50

記憶素子 801 には書き込み用ラッチ信号 WS_1 及び読み出し用ラッチ信号 RS_1 が入力される。記憶素子 802 には書き込み用ラッチ信号 WS_2 及び読み出し用ラッチ信号 RS_2 が入力される。記憶素子 803 には書き込み用ラッチ信号 WS_3 及び読み出し用ラッチ信号 RS_3 が入力される。

【0950】

図 20 では、記憶素子 801 ~ 803 は同じ回路構成を有しているため、記憶素子 801 を例に挙げ、各記憶素子の構成についてより詳しく説明する。

【0951】

記憶素子 801 は、クロックインバータ 804、806、インバータ 805、スイッチ回路 807 を有している。クロックインバータ 804、806 の動作は、クロックインバータ 804、806 に入力される書き込み用ラッチ信号 WS_1 によって制御される。クロックインバータ 804 には、サンプリング回路から、サンプリングされたビデオ信号が入力される。クロックインバータ 804 の出力は、インバータ 805 に与えられる。インバータ 805 とクロックインバータ 806 は、一方の出力を一方の入力に互いに与えることで、フリップフロップ回路を構成している。またインバータ 805 の出力は、スイッチ回路 807 を介して、記憶回路の後段、例えば画素部の信号線、DA 変換回路などに与えられる。

【0952】

スイッチ回路 807 の動作は、スイッチ回路 807 に入力される読み出し用ラッチ信号 RS_1 によって制御される。図 20 には、スイッチ回路 807 が、トランスミッションゲート 808、インバータ 809 を有する例を示している。トランスミッションゲート 808 には、読み出し用ラッチ信号 RS_1 と、インバータ 809 によって反転させられた読み出し用ラッチ信号 RS_1 とが入力されており、これらの信号によってトランスミッションゲート 808 のスイッチングが制御されている。

【0953】

なお、本実施例において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【0954】

同様に、本実施例の各々の図で述べた内容（一部でもよい）は、別の実施の形態および実施例の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施例の図において、各々の部分に関して、別の実施の形態および実施例の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【0955】

なお、本実施例は、他の実施の形態および実施例で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態および実施例で述べた内容は、本実施例への適用、組み合わせ、又は置き換えを自由に行うことができる。

【実施例 4】

【0956】

本実施例では、本発明の表示装置の 1 つである、アクティブマトリクス型の発光装置が有する画素部の構成について説明する。

【0957】

アクティブマトリクス型の発光装置は、各画素に表示素子に相当する発光素子が設けられている。発光素子は自ら発光するため視認性が高く、液晶表示装置で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。本実施例では、発光素子

10

20

30

40

50

の1つである有機発光素子(OLED: Organic Light Emitting Diode)を用いた発光装置について説明するが、本発明は他の発光素子を用いた発光装置であっても良い。

【0958】

OLEDは、電場を加えることで発生するルミネッセンス(Electroluminescence)が得られる材料を含む層(以下、電界発光層と記す)と、陽極層と、陰極層とを有している。エレクトロルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とがあるが、本発明の発光装置は、上述した発光のうちの、いずれか一方の発光を用いていても良いし、または両方の発光を用いていても良い。

10

【0959】

本実施例の発光装置の画素部301の拡大図を図16(A)に示す。画素部301はマトリクス状に配置された複数の画素304を有している。またS1~Sxは信号線、V1~Vxは電源線、G1~Gyは走査線に相当する。本実施例の場合、画素304は、信号線S1~Sxと、電源線V1~Vxと、走査線G1~Gyとを1つずつ有している。

【0960】

画素304の拡大図を図16(B)に示す。図16(B)において、305はスイッチング用トランジスタである。スイッチング用トランジスタ305のゲート電極は、走査線Gj(j=1~y)に接続されている。スイッチング用トランジスタ305のソース領域とドレイン領域は、一方が信号線Si(i=1~x)に、もう一方が駆動用トランジスタ306のゲート電極にそれぞれ接続されている。また電源線Vi(i=1~x)と、駆動用トランジスタ306のゲート電極の間には、各画素が有する保持容量308が設けられている。

20

【0961】

保持容量308はスイッチング用トランジスタ305がオフの時、駆動用トランジスタ306のゲート電圧(ゲート電極とソース領域間の電位差)を保持するために設けられている。なお本実施例では保持容量308を設ける構成を示したが、本発明はこの構成に限定されず、保持容量308を設けなくても良い。

【0962】

また、駆動用トランジスタ306のソース領域とドレイン領域は、一方が電源線Vi(i=1~x)に接続され、もう一方は発光素子307に接続されている。発光素子307は陽極と陰極と、陽極と陰極との間に設けられた電界発光層とからなる。陽極が駆動用トランジスタ306のソース領域またはドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極が駆動用トランジスタ306のソース領域またはドレイン領域と接続している場合、陰極が画素電極、陽極が対向電極となる。

30

【0963】

発光素子307の対向電極と、電源線Viには、それぞれ所定の電圧が与えられている。

【0964】

走査線駆動回路から走査線G1~Gyに入力される選択信号のパルスに従って、走査線Gjが選択される、言い換えると走査線Gjに対応するラインの画素304が選択されると、該ラインの画素304において走査線Gjにゲート電極が接続されたスイッチング用トランジスタ305がオンになる。そして信号線Siにビデオ信号が入力されると、該ビデオ信号の電圧に従って駆動用トランジスタ306のゲート電圧が決まる。駆動用トランジスタ306がオンになった場合、電源線Viと発光素子307が電氣的に接続され、電流の供給により発光素子307が発光する。逆に、駆動用トランジスタ306がオフになった場合、電源線Viと発光素子307は電氣的に接続されないため、発光素子307への電流の供給は行われず、発光素子307は発光しない。

40

【0965】

なおスイッチング用トランジスタ305、駆動用トランジスタ306は、nチャンネル型

50

トランジスタでも p チャンネル型トランジスタでもどちらでも用いることができる。ただし駆動用トランジスタ 306 のソース領域またはドレイン領域が発光素子 307 の陽極と接続されている場合、駆動用トランジスタ 306 は p チャンネル型トランジスタであることが望ましい。また、駆動用トランジスタ 306 のソース領域またはドレイン領域が発光素子 307 の陰極と接続されている場合、駆動用トランジスタ 306 は n チャンネル型トランジスタであることが望ましい。

【0966】

またスイッチング用トランジスタ 305、駆動用トランジスタ 306 は、シングルゲート構造ではなく、ダブルゲート構造、やトリプルゲート構造などのマルチゲート構造を有していても良い。

10

【0967】

なお本発明は、図 16 に示した回路構成だけではなく、様々な回路構成を持った画素を有する表示装置に適用できる。本発明の表示装置が有する画素は、例えば、駆動用トランジスタの閾値電圧を補正できる閾値補正型の回路構成や、電流を入力することで駆動用トランジスタの閾値及び移動度を補正できる電流入力型の回路構成などを有していても良い。

【0968】

なお、本実施例において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることができる。

20

【0969】

同様に、本実施例の各々の図で述べた内容（一部でもよい）は、別の実施の形態および実施例の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、本実施例の図において、各々の部分に関して、別の実施の形態および実施例の部分を組み合わせることにより、さらに多くの図を構成させることができる。

【0970】

なお、本実施例は、他の実施の形態および実施例で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態および実施例で述べた内容は、本実施例への適用、組み合わせ、又は置き換えを自由に行うことができる。

30

【実施例 5】

【0971】

本実施例では、本発明の表示装置の 1 つである、アクティブマトリクス型の液晶表示装置が有する画素部の構成について説明する。

【0972】

本実施例の発光装置の画素部 401 の拡大図を図 17 に示す。図 17 において、画素部 401 には複数の画素 402 がマトリクス状に設けられている。また $S_1 \sim S_x$ は信号線、 $G_1 \sim G_y$ は走査線に相当する。本実施例の場合、画素 304 は、信号線 $S_1 \sim S_x$ と、走査線 $G_1 \sim G_y$ とを 1 つずつ有している。

40

【0973】

画素 402 は、スイッチング素子として機能するトランジスタ 403 と、表示素子に相当する液晶セル 404 と、保持容量 405 とを有している。液晶セル 404 は、画素電極と、対向電極と、画素電極と対向電極の間に教示された液晶とを有している。トランジスタ 403 のゲート電極は走査線 G_j ($j = 1 \sim y$) に接続されており、トランジスタ 403 のソース領域またはドレイン領域は、一方が信号線 S_i ($i = 1 \sim x$) に、他方が液晶セル 404 の画素電極に接続されている。また保持容量 405 が有する 2 つの電極は、一方が液晶セル 404 の画素電極に、他方がコモン電極に接続されている。コモン電極は液

50

晶セル404の対向電極に接続されていても良いし、他の走査線に接続されていても良い。

【0974】

走査線駆動回路から走査線G1~Gyに入力される選択信号のパルスに従って、走査線Gjが選択される、言い換えると走査線Gjに対応するラインの画素402が選択されると、該ラインの画素402において走査線Gjにゲート電極が接続されたトランジスタ403がオンになる。そして信号線駆動回路から信号線Siにビデオ信号が入力されると、該ビデオ信号の電圧に従って液晶セル404の画素電極と対向電極の間に電圧が印加される。液晶セル404は、画素電極と対向電極の間に印加される電圧の値に従って、その透過率が決まる。また液晶セル404の画素電極と対向電極の間の電圧は、保持容量405

10

【0975】

なお、本実施例において、様々な図を用いて述べてきたが、各々の図で述べた内容(一部でもよい)は、別の図で述べた内容(一部でもよい)に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【0976】

同様に、本実施例の各々の図で述べた内容(一部でもよい)は、別の実施の形態および実施例の図で述べた内容(一部でもよい)に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施例の図において、各々の部分に関して、別の実施の形態および実施例の部分の組み合わせることにより、さらに多くの図を構成させることが出来る。

20

【0977】

なお、本実施例は、他の実施の形態および実施例で述べた内容(一部でもよい)を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態および実施例で述べた内容は、本実施例への適用、組み合わせ、又は置き換えを自由に行うことができる。

【実施例6】

30

【0978】

本実施例では、1フレーム期間内において画素部にビデオ信号を入力するタイミングについて、図13を用いて説明する。

【0979】

図13(A)は、1フレーム期間を複数のサブフレーム期間SF1~SF6に分割して動作させる場合において、ビデオ信号を画素部に入力するタイミングを表すタイミングチャートである。横軸は時間を示し、縦軸は走査線駆動回路によって選択されるラインの走査方向を示している。図13(A)では、6ビットのビデオ信号を用い、1フレーム期間をビット数と同じ数である6つのサブフレーム期間に分割する場合を例に挙げている。ただし本発明においてビデオ信号のビット数は6に限定されない。

40

【0980】

サブフレーム期間SF1~SF6は、各画素にビデオ信号を入力するための書き込み期間Taをそれぞれ有する。書き込み期間Taでは、走査線駆動回路により各ラインの画素が順に選択される。そして選択されたラインの画素に、信号線駆動回路からビデオ信号が入力される。そしてビデオ信号の入力が終了したラインの画素から順に、ビデオ信号に従って表示が行われる。全てのラインの画素におけるビデオ信号の入力が終了すると、書き込み期間が終了する。なお1つの書き込み期間に1ビット分のビデオ信号が画素部に入力されるので、書き込み期間Taが全て終了して、初めて6ビットのビデオ信号を全て入力したことになる。

【0981】

50

そして1つの書き込み期間が終了すると、次のサブフレーム期間の書き込み期間が出現するまで、画素部に入力されたビデオ信号に従って、引き続き表示が行われる。次に別のサブフレーム期間に対応する書き込み期間が出現し、上記動作を繰り返す。そして全てのサブフレーム期間が順に出現することで、1フレーム期間が形成される。

【0982】

1フレーム期間内における全てのサブフレーム期間が出現すると、階調を有する画像を表示することができる。階調数は、各サブフレーム期間における表示素子の輝度を制御することで、決めることができる。例えば6ビットのビデオ信号で64階調を表示する場合、階調数を線形に変化させるならば、サブフレーム期間SF1～SF6の長さの比を、長い方から順に $2^5 : 2^4 : 2^3 : 2^2 : 2^1 : 2^0$ とする。

10

【0983】

なお上記動作では、画素が有する表示素子の輝度がビデオ信号に従って制御されているが、本発明はこの構成に限定されない。例えば、ビデオ信号に依らず、表示素子の輝度を強制的に最も低い状態にする非表示期間を設けても良い。なお上記非表示期間は必ずしも設ける必要はない。しかし、サブフレーム期間の長さが書き込み期間よりも短い場合に、上述したような非表示期間を設ける必要が生じる。非表示期間を設けることで、画素部において2行以上の画素に並行してビデオ信号を入力する必要がなくなる。

【0984】

なお一つのサブフレーム期間をさらに複数に分割して、動作させても良い。この場合、分割されたサブフレーム期間も書き込み期間Taをそれぞれ有する。

20

【0985】

次に、1フレーム期間に書き込み期間Taが1つだけ出現する場合について説明する。図13(B)は、ビデオ信号を画素部に入力するタイミングを表すタイミングチャートである。横軸は時間を示し、縦軸は走査線駆動回路によって選択されるラインの走査方向を示している。

【0986】

図13(B)では、書き込み期間Taにおいて、走査線駆動回路により各ラインの画素が順に選択される。そして選択されたラインの画素に、信号線駆動回路からアナログのビデオ信号が入力される。そして書き込み期間Taにおいてビデオ信号の入力が終了したラインの画素から順に、ビデオ信号に従って表示が行われる。全てのラインの画素におけるビデオ信号の入力が終了すると、書き込み期間が終了する。次に書き込み期間Taにおいて画素部に入力されたビデオ信号に従って、次のフレーム期間が出現するまで表示が行われる。

30

【0987】

なお図13(B)において書き込み期間Taの長さは、1フレーム期間に収まる長さであれば、設計者が適宜設定することができる。書き込み期間Taを1フレーム期間と同程度の長さにするすることで、ビデオ信号の書き込み時における信号線駆動回路の駆動周波数を低減でき、消費電力も低減できる。

【0988】

なお、本実施例において、様々な図を用いて述べてきたが、各々の図で述べた内容(一部でもよい)は、別の図で述べた内容(一部でもよい)に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

40

【0989】

同様に、本実施例の各々の図で述べた内容(一部でもよい)は、別の実施の形態および実施例の図で述べた内容(一部でもよい)に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施例の図において、各々の部分に関して、別の実施の形態および実施例の部分の組み合わせることにより、さらに多くの図を構成させることが出来る。

50

【0990】

なお、本実施例は、他の実施の形態および実施例で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態および実施例で述べた内容は、本実施例への適用、組み合わせ、又は置き換えを自由に行うことができる。

【実施例7】

【0991】

本実施例では、本発明の表示装置の一つである発光装置を例に挙げ、その外観について図18を用いて説明する。図18(A)は、第1の基板上に形成されたトランジスタ及び発光素子を、第1の基板と第2の基板の間にシール材で封止したパネルの上面図であり、図18(B)は、図18(A)のA-A'における断面図に相当する。

10

【0992】

第1の基板4001上に設けられた画素部4002と、信号線駆動回路4003と、走査線駆動回路4004とを囲むように、シール材4020が設けられている。また画素部4002、信号線駆動回路4003及び走査線駆動回路4004の上に、第2の基板4006が設けられている。よって画素部4002、信号線駆動回路4003及び走査線駆動回路4004は、第1の基板4001と第2の基板4006の間において、シール材4020により、充填材4007と共に密封されている。

20

【0993】

また第1の基板4001上に設けられた画素部4002、信号線駆動回路4003及び走査線駆動回路4004は、それぞれトランジスタを複数有している。図18(B)では、信号線駆動回路4003に含まれるトランジスタ4008と、画素部4002に含まれる駆動用トランジスタ4009及びスイッチング用トランジスタ4010とを例示している。

【0994】

また発光素子4011は、駆動用トランジスタ4009のソース領域またはドレイン領域と接続されている配線4017の一部を、その画素電極として用いている。また発光素子4011は、画素電極の他に対向電極4012と電界発光層4013を有している。なお発光素子4011の構成は、本実施例に示した構成に限定されない。発光素子4011から取り出す光の方向や、駆動用トランジスタ4009の極性などに合わせて、発光素子4011の構成は適宜変えることができる。

30

【0995】

また信号線駆動回路4003、走査線駆動回路4004または画素部4002に与えられる各種信号及び電圧は、図18(B)に示す断面図では図示されていないが、引き出し配線4014及び4015を介して、接続端子4016から供給されている。

【0996】

本実施例では、接続端子4016が、発光素子4011が有する対向電極4012と同じ導電膜から形成されている。また、引き出し配線4014は、配線4017と同じ導電膜から形成されている。また引き出し配線4015は、駆動用トランジスタ4009、スイッチング用トランジスタ4010、トランジスタ4008がそれぞれ有するゲート電極と、同じ導電膜から形成されている。

40

【0997】

接続端子4016は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0998】

なお、第1の基板4001、第2の基板4006として、ガラス、金属（代表的にはステンレス）、セラミックス、プラスチックを用いることができる。但し、発光素子4011からの光の取り出し方向に位置する第2の基板4006は、透光性を有していなければならない。よって第2の基板4006は、ガラス板、プラスチック板、ポリエステルフィ

50

ルムまたはアクリルフィルムのような透光性を有する材料を用いることが望ましい。

【0999】

また、充填材4007としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができる。本実施例では充填材4007として窒素を用いる例を示している。

【1000】

なお、本実施例において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

10

【1001】

同様に、本実施例の各々の図で述べた内容（一部でもよい）は、別の実施の形態および実施例の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、本実施例の図において、各々の部分に関して、別の実施の形態および実施例の部分の組み合わせることにより、さらに多くの図を構成させることが出来る。

【1002】

なお、本実施例は、他の実施の形態および実施例で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態および実施例で述べた内容は、本実施例への適用、組み合わせ、又は置き換えを自由に行うことができる。

20

【実施例8】

【1003】

本発明の表示装置は、消費電力を抑えることができるので、携帯電話、携帯型ゲーム機または電子書籍、ビデオカメラ、デジタルスチルカメラ等の、手で支えて用いる携帯用の電子機器が有する表示部として用いるのに最適である。

【1004】

その他、本発明の表示装置を用いることができる電子機器として、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）などが挙げられる。これら電子機器の具体例を図19に示す。

30

【1005】

図19(A)は携帯電話であり、本体2101、表示部2102、音声入力部2103、音声出力部2104、操作キー2105を有する。表示部2102に本発明の表示装置を用いることで、消費電力を抑えることができる携帯電話が得られる。

【1006】

図19(B)はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609、接眼部2610等を有する。表示部2602に本発明の表示装置を用いることで、消費電力を抑えることができるビデオカメラが得られる。

40

【1007】

図19(C)は映像表示装置であり、筐体2401、表示部2402、スピーカー部2403等を有する。表示部2402に本発明の表示装置を用いることで、消費電力を抑えることができる映像表示装置が得られる。なお、映像表示装置には、パーソナルコンピュータ用、TV放送受信用、広告表示用などの、映像を表示するための全ての映像表示装置

50

が含まれる。

【1008】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

【1009】

なお、本実施例において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

10

【1010】

同様に、本実施例の各々の図で述べた内容（一部でもよい）は、別の実施の形態および実施例の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施例の図において、各々の部分に関して、別の実施の形態および実施例の部分の組み合わせることにより、さらに多くの図を構成させることが出来る。

【1011】

なお、本実施例は、他の実施の形態および実施例で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態および実施例で述べた内容は、本実施例への適用、組み合わせ、又は置き換えを自由に行うことができる。

20

【図面の簡単な説明】

【1012】

【図1】本発明の表示装置の構成を示すブロック図。

【図2】本発明の表示装置における信号線駆動回路の動作を示す図。

【図3】本発明の表示装置における信号線駆動回路の動作を示す図。

【図4】本発明の表示装置における信号線駆動回路の動作を示す図。

【図5】本発明の表示装置の駆動方法を示すタイミングチャート。

【図6】本発明の表示装置の構成を示すブロック図。

30

【図7】データ比較部の構成を示すブロック図。

【図8】データ比較部の構成を示すブロック図。

【図9】本発明の表示装置の構成を示すブロック図。

【図10】データ比較部の構成を示すブロック図。

【図11】本発明の表示装置の構成を示すブロック図。

【図12】本発明の表示装置の構成を示すブロック図。

【図13】画素部にビデオ信号を入力するタイミングを示すタイミングチャート。

【図14】本発明の表示装置における信号線駆動回路の回路図。

【図15】本発明の表示装置における信号線駆動回路の回路図。

【図16】発光装置の画素部の構成を示す回路図。

40

【図17】液晶表示装置の画素部の構成を示す回路図。

【図18】本発明の表示装置の上面図及び断面図。

【図19】本発明の表示装置を用いた電子機器の図。

【図20】記憶素子の回路図。

【図21】データ比較部の構成を示すブロック図。

【図22】本発明に係る半導体装置の断面図の一例を説明する図。

【図23】本発明に係る半導体装置の断面図の一例を説明する図。

【図24】本発明に係る半導体装置の断面図の一例を説明する図。

【図25】本発明に係る半導体装置の画素レイアウトの一例を説明する図。

【図26】本発明に係る半導体装置の画素レイアウトの一例を説明する図。

50

- 【図27】本発明に係る半導体装置の画素レイアウトの一例を説明する図。
- 【図28】本発明に係る半導体装置の断面図の一例を説明する図。
- 【図29】本発明に係る半導体装置の周辺構成部材の一例を説明する図。
- 【図30】本発明に係る半導体装置の周辺構成部材の一例を説明する図。
- 【図31】本発明に係る半導体装置のパネル回路構成の一例を説明する図。
- 【図32】本発明に係る半導体装置の断面図の一例を説明する図。
- 【図33】本発明に係る半導体装置の駆動方法の一例を説明する図。
- 【図34】本発明に係る半導体装置の回路構成の一例を説明する図。
- 【図35】本発明に係る半導体装置の周辺構成部材の一例を説明する図。
- 【図36】本発明に係る半導体装置の回路構成の一例を説明する図。 10
- 【図37】本発明に係る半導体装置の回路構成の一例を説明する図。
- 【図38】本発明に係る半導体装置の回路構成の一例を説明する図。
- 【図39】本発明に係る半導体装置の断面図の一例を説明する図。
- 【図40】本発明に係る半導体装置の断面図の一例を説明する図。
- 【図41】本発明に係る半導体装置の断面図の一例を説明する図。
- 【図42】本発明に係る半導体装置の断面図の一例を説明する図。
- 【図43】本発明に係る半導体装置の上面図の一例を説明する図。
- 【図44】本発明に係る半導体装置の上面図の一例を説明する図。
- 【図45】本発明に係る半導体装置の上面図の一例を説明する図。
- 【図46】本発明に係る半導体装置の画素レイアウトと断面図の一例を説明する図。 20
- 【図47】本発明に係る半導体装置の画素レイアウトと断面図の一例を説明する図。
- 【図48】本発明に係る半導体装置の画素レイアウトと断面図の一例を説明する図。
- 【図49】本発明に係る半導体装置のタイミングチャートの一例を説明する図。
- 【図50】本発明に係る半導体装置のタイミングチャートの一例を説明する図。
- 【図51】本発明に係る半導体装置の回路構成の一例を説明する図。
- 【図52】本発明に係る半導体装置の回路構成の一例を説明する図。
- 【図53】本発明に係る半導体装置の回路構成の一例を説明する図。
- 【図54】本発明に係る半導体装置の回路構成の一例を説明する図。
- 【図55】本発明に係る半導体装置の回路構成の一例を説明する図。
- 【図56】本発明に係る半導体装置を製造するプロセスを説明する図。 30
- 【図57】本発明に係る半導体装置の断面図の一例を説明する図。
- 【図58】本発明に係る半導体装置の断面図の一例を説明する図。
- 【図59】本発明に係る半導体装置の断面図の一例を説明する図。
- 【図60】本発明に係る半導体装置の断面図の一例を説明する図。
- 【図61】本発明に係る半導体装置の表示素子の一例を説明する図。
- 【図62】本発明に係る半導体装置の表示素子の一例を説明する図。
- 【図63】本発明に係る半導体装置の構造の一例を説明する図。
- 【図64】本発明に係る半導体装置の構造の一例を説明する図。
- 【図65】本発明に係る半導体装置の構造の一例を説明する図。
- 【図66】本発明に係る半導体装置の構造の一例を説明する図。 40
- 【図67】本発明に係る半導体装置の構造の一例を説明する図。
- 【図68】本発明に係る半導体装置の回路構成の一例を説明する図。
- 【図69】本発明に係る半導体装置のタイミングチャートの一例を説明する図。
- 【図70】本発明に係る半導体装置のタイミングチャートの一例を説明する図。
- 【図71】本発明に係る半導体装置の駆動方法の一例を説明する図。
- 【図72】本発明に係る半導体装置の表示素子の一例を説明する図。
- 【図73】本発明に係る半導体装置の製造装置の一例を説明する図。
- 【図74】本発明に係る半導体装置の製造装置の一例を説明する図。
- 【図75】本発明に係る半導体装置の構造を説明する図。
- 【図76】本発明に係る半導体装置の構造を説明する図。 50

【図 7 7】	本発明に係る半導体装置の構造を説明する図。	
【図 7 8】	本発明に係る半導体装置の構造を説明する図。	
【図 7 9】	本発明に係る半導体装置の構造を説明する図。	
【図 8 0】	本発明に係る半導体装置の構造を説明する図。	
【図 8 1】	本発明に係る半導体装置を用いた電子機器を説明する図。	
【図 8 2】	本発明に係る半導体装置を用いた電子機器を説明する図。	
【図 8 3】	本発明に係る半導体装置を用いた電子機器を説明する図。	
【図 8 4】	本発明に係る半導体装置を用いた電子機器を説明する図。	
【図 8 5】	本発明に係る半導体装置を用いた電子機器を説明する図。	
【図 8 6】	本発明に係る半導体装置を用いた電子機器を説明する図。	10
【図 8 7】	本発明に係る半導体装置を用いた電子機器を説明する図。	
【符号の説明】		
【 1 0 1 3 】		
1 0 0	画素部	
1 0 1	走査線駆動回路	
1 0 2	信号線駆動回路	
1 0 3	シフトレジスタ	
1 0 4	サンプリング回路	
1 0 5	ラッチ	
1 0 6	ラッチ	20
1 0 7	ラッチ	
1 0 8	ラッチ	
1 1 0	データ比較部	
1 1 1	R A M	
1 1 2	R A M	
1 1 3	制御回路	
1 1 4	データフォーマット回路	
1 1 5	コンパレータ	
1 1 6	アドレスメモリ	
1 1 7	演算回路	30
1 1 8	P L L 回路	
1 1 9	信号制御回路	
1 2 0	カウンタ	
1 2 1	シフトレジスタ	
1 2 2	バッファ	
1 3 1	絶縁膜	
2 0 0	画素部	
2 0 1	走査線駆動回路	
2 0 2	信号線駆動回路	
2 0 3	シフトレジスタ	40
2 0 4	サンプリング回路	
2 0 5	ラッチ	
2 0 6	ラッチ	
2 0 7	ラッチ	
2 0 8	ラッチ	
2 0 9	D A 変換回路	
3 0 1	画素部	
3 0 4	画素	
3 0 5	スイッチング用トランジスタ	
3 0 6	駆動用トランジスタ	50

3 0 7	発光素子	
3 0 8	保持容量	
4 0 1	画素部	
4 0 2	画素	
4 0 3	トランジスタ	
4 0 4	液晶セル	
4 0 5	保持容量	
5 0 1	シフトレジスタ	
5 0 2	サンプリング回路	
5 0 3	ラッチ	10
5 0 4	ラッチ	
5 0 5	ラッチ	
5 0 6	レベルシフト	
5 0 7	バッファ	
5 0 8	ディレイ型フリップフロップ (D F F)	
5 0 9	記憶素子	
5 1 0	記憶素子	
5 1 1	記憶素子	
5 1 2	記憶素子	
6 0 1	シフトレジスタ	20
6 0 2	サンプリング回路	
6 0 3	ラッチ	
6 0 4	ラッチ	
6 0 5	ラッチ	
6 0 6	D A 変換回路	
6 0 8	ディレイ型フリップフロップ (D F F)	
6 0 9	記憶素子	
6 1 0	記憶素子	
6 1 1	記憶素子	
6 1 2	記憶素子	30
8 0 1	記憶素子	
8 0 2	記憶素子	
8 0 3	記憶素子	
8 0 4	クロックインバータ	
8 0 5	インバータ	
8 0 6	クロックインバータ	
8 0 7	スイッチ回路	
8 0 8	トランスミッションゲート	
8 0 9	インバータ	
2 0 2 3	発光ダイオード	40
2 1 0 1	本体	
2 1 0 2	表示部	
2 1 0 3	音声入力部	
2 1 0 4	音声出力部	
2 1 0 5	操作キー	
2 4 0 1	筐体	
2 4 0 2	表示部	
2 4 0 3	スピーカー部	
2 6 0 1	本体	
2 6 0 2	表示部	50

2 6 0 3	筐体	
2 6 0 4	外部接続ポート	
2 6 0 5	リモコン受信部	
2 6 0 6	受像部	
2 6 0 7	バッテリー	
2 6 0 8	音声入力部	
2 6 0 9	操作キー	
2 6 1 0	接眼部	
4 0 0 1	基板	
4 0 0 2	画素部	10
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 6	基板	
4 0 0 7	充填材	
4 0 0 8	トランジスタ	
4 0 0 9	駆動用トランジスタ	
4 0 1 0	スイッチング用トランジスタ	
4 0 1 1	発光素子	
4 0 1 2	対向電極	
4 0 1 3	電界発光層	20
4 0 1 4	配線	
4 0 1 5	配線	
4 0 1 6	接続端子	
4 0 1 7	配線	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 0	シール材	
1 0 1 0 1	基板	
1 0 1 0 2	絶縁膜	
1 0 1 0 3	導電層	30
1 0 1 0 4	絶縁膜	
1 0 1 0 5	半導体層	
1 0 1 0 6	半導体層	
1 0 1 0 7	導電層	
1 0 1 0 8	絶縁膜	
1 0 1 0 9	導電層	
1 0 1 1 0	配向膜	
1 0 1 1 2	配向膜	
1 0 1 1 3	導電層	
1 0 1 1 4	遮光膜	40
1 0 1 1 5	カラーフィルタ	
1 0 1 1 6	基板	
1 0 1 1 7	スペーサ	
1 0 1 1 8	液晶分子	
1 0 2 0 1	基板	
1 0 2 0 2	絶縁膜	
1 0 2 0 3	導電層	
1 0 2 0 4	絶縁膜	
1 0 2 0 5	半導体層	
1 0 2 0 6	半導体層	50

1 0 2 0 7	導電層	
1 0 2 0 8	絶縁膜	
1 0 2 0 9	導電層	
1 0 2 1 0	配向膜	
1 0 2 1 2	配向膜	
1 0 2 1 3	導電層	
1 0 2 1 4	遮光膜	
1 0 2 1 5	カラーフィルタ	
1 0 2 1 6	基板	
1 0 2 1 7	スペーサ	10
1 0 2 1 8	液晶分子	
1 0 2 1 9	配向制御用突起	
1 0 2 3 1	基板	
1 0 2 3 2	絶縁膜	
1 0 2 3 3	導電層	
1 0 2 3 4	絶縁膜	
1 0 2 3 5	半導体層	
1 0 2 3 6	半導体層	
1 0 2 3 7	導電層	
1 0 2 3 8	絶縁膜	20
1 0 2 3 9	導電層	
1 0 2 4 0	配向膜	
1 0 2 4 2	配向膜	
1 0 2 4 3	導電層	
1 0 2 4 4	遮光膜	
1 0 2 4 5	カラーフィルタ	
1 0 2 4 6	基板	
1 0 2 4 7	スペーサ	
1 0 2 4 8	液晶分子	
1 0 2 4 9	電極切り欠き部	30
1 0 3 0 1	基板	
1 0 3 0 2	絶縁膜	
1 0 3 0 3	導電層	
1 0 3 0 4	絶縁膜	
1 0 3 0 5	半導体層	
1 0 3 0 6	半導体層	
1 0 3 0 7	導電層	
1 0 3 0 8	絶縁膜	
1 0 3 0 9	導電層	
1 0 3 1 0	配向膜	40
1 0 3 1 2	配向膜	
1 0 3 1 4	遮光膜	
1 0 3 1 5	カラーフィルタ	
1 0 3 1 6	基板	
1 0 3 1 7	スペーサ	
1 0 3 1 8	液晶分子	
1 0 3 3 1	基板	
1 0 3 3 2	絶縁膜	
1 0 3 3 3	導電層	
1 0 3 3 4	絶縁膜	50

1 0 3 3 5	半導体層	
1 0 3 3 6	半導体層	
1 0 3 3 7	導電層	
1 0 3 3 8	絶縁膜	
1 0 3 3 9	導電層	
1 0 3 4 0	配向膜	
1 0 3 4 2	配向膜	
1 0 3 4 3	導電層	
1 0 3 4 4	遮光膜	
1 0 3 4 5	カラーフィルタ	10
1 0 3 4 6	基板	
1 0 3 4 7	スペーサ	
1 0 3 4 8	液晶分子	
1 0 3 4 9	絶縁膜	
1 0 4 0 1	走査線	
1 0 4 0 2	映像信号線	
1 0 4 0 3	容量線	
1 0 4 0 4	トランジスタ	
1 0 4 0 5	画素電極	
1 0 4 0 6	画素容量	20
1 0 5 0 1	走査線	
1 0 5 0 2	映像信号線	
1 0 5 0 3	容量線	
1 0 5 0 4	トランジスタ	
1 0 5 0 5	画素電極	
1 0 5 0 6	画素容量	
1 0 5 0 7	配向制御用突起	
1 0 5 1 1	走査線	
1 0 5 1 2	映像信号線	
1 0 5 1 3	容量線	30
1 0 5 1 4	トランジスタ	
1 0 5 1 5	画素電極	
1 0 5 1 6	画素容量	
1 0 5 1 7	電極切り欠き部	
1 0 6 0 1	走査線	
1 0 6 0 2	映像信号線	
1 0 6 0 3	共通電極	
1 0 6 0 4	トランジスタ	
1 0 6 0 5	画素電極	
1 0 6 1 1	走査線	40
1 0 6 1 2	映像信号線	
1 0 6 1 3	共通電極	
1 0 6 1 4	トランジスタ	
1 0 6 1 5	画素電極	
2 0 1 0 1	バックライトユニット	
2 0 1 0 2	拡散板	
2 0 1 0 3	導光板	
2 0 1 0 4	反射板	
2 0 1 0 5	ランプリフレクタ	
2 0 1 0 6	光源	50

2 0 1 0 7	液晶パネル	
2 0 2 0 1	バックライトユニット	
2 0 2 0 2	ランプリフレクタ	
2 0 2 0 3	冷陰極管	
2 0 2 1 1	バックライトユニット	
2 0 2 1 2	ランプリフレクタ	
2 0 2 1 3	発光ダイオード	
2 0 2 2 1	バックライトユニット	
2 0 2 2 2	ランプリフレクタ	
2 0 2 2 3	発光ダイオード	10
2 0 2 2 4	発光ダイオード	
2 0 2 2 5	発光ダイオード	
2 0 2 3 1	バックライトユニット	
2 0 2 3 2	ランプリフレクタ	
2 0 2 3 3	発光ダイオード	
2 0 2 3 4	発光ダイオード	
2 0 2 3 5	発光ダイオード	
2 0 3 0 0	偏光フィルム	
2 0 3 0 1	保護フィルム	
2 0 3 0 2	基板フィルム	20
2 0 3 0 3	P V A 偏光フィルム	
2 0 3 0 4	基板フィルム	
2 0 3 0 5	粘着剤層	
2 0 3 0 6	離型フィルム	
2 0 4 0 1	映像信号	
2 0 4 0 2	制御回路	
2 0 4 0 3	信号線駆動回路	
2 0 4 0 4	走査線駆動回路	
2 0 4 0 5	画素部	
2 0 4 0 6	照明手段	30
2 0 4 0 7	電源	
2 0 4 0 8	駆動回路部	
2 0 4 1 0	走査線	
2 0 4 1 2	信号線	
2 0 4 3 1	シフトレジスタ	
2 0 4 3 2	ラッチ	
2 0 4 3 3	ラッチ	
2 0 4 3 4	レベルシフタ	
2 0 4 3 5	バッファ	
2 0 4 4 1	シフトレジスタ	40
2 0 4 4 2	レベルシフタ	
2 0 4 4 3	バッファ	
2 0 5 0 0	バックライトユニット	
2 0 5 0 1	拡散板	
2 0 5 0 2	遮光板	
2 0 5 0 3	ランプリフレクタ	
2 0 5 0 4	光源	
2 0 5 0 5	光源	
2 0 5 1 0	バックライトユニット	
2 0 5 1 1	拡散板	50

2 0 5 1 2	遮光板	
2 0 5 1 3	ランプリフレクタ	
2 0 5 1 4	光源	
3 0 1 0 1	符号化回路	
3 0 1 0 2	フレームメモリ	
3 0 1 0 3	補正回路	
3 0 1 0 4	D A 変換回路	
3 0 1 1 2	フレームメモリ	
3 0 1 1 3	補正回路	
3 0 1 2 1	入力電圧	10
3 0 1 2 2	入力電圧	
3 0 1 2 3	出力輝度	
3 0 1 2 4	出力輝度	
3 0 1 3 1	入力映像信号	
3 0 1 3 2	出力映像信号	
3 0 1 3 3	信号	
3 0 2 0 1	トランジスタ	
3 0 2 0 2	補助容量	
3 0 2 0 3	表示素子	
3 0 2 0 4	映像信号線	20
3 0 2 0 5	走査線	
3 0 2 0 6	コモン線	
3 0 2 1 1	トランジスタ	
3 0 2 1 2	補助容量	
3 0 2 1 3	表示素子	
3 0 2 1 4	映像信号線	
3 0 2 1 5	走査線	
3 0 2 1 6	コモン線	
3 0 2 1 7	コモン線	
3 0 3 0 1	拡散板	30
3 0 3 0 2	冷陰極管	
3 0 3 1 1	拡散板	
3 0 3 1 2	光源	
4 0 1 0 0	画素	
4 0 1 0 1	トランジスタ	
4 0 1 0 2	液晶素子	
4 0 1 0 3	容量素子	
4 0 1 0 4	配線	
4 0 1 0 5	配線	
4 0 1 0 6	配線	40
4 0 1 0 7	対向電極	
4 0 1 1 0	画素	
4 0 1 1 1	トランジスタ	
4 0 1 1 2	液晶素子	
4 0 1 1 3	容量素子	
4 0 1 1 4	配線	
4 0 1 1 5	配線	
4 0 1 1 6	配線	
4 0 2 0 0	画素	
4 0 2 0 1	トランジスタ	50

4 0 2 0 2	液晶素子	
4 0 2 0 3	容量素子	
4 0 2 0 4	配線	
4 0 2 0 5	配線	
4 0 2 0 6	配線	
4 0 2 0 7	対向電極	
4 0 2 1 0	画素	
4 0 2 1 1	トランジスタ	
4 0 2 1 2	液晶素子	
4 0 2 1 3	容量素子	10
4 0 2 1 4	配線	
4 0 2 1 5	配線	
4 0 2 1 6	配線	
4 0 2 1 7	対向電極	
4 0 3 0 0	サブ画素	
4 0 3 0 1	トランジスタ	
4 0 3 0 2	液晶素子	
4 0 3 0 3	容量素子	
4 0 3 0 4	配線	
4 0 3 0 5	配線	20
4 0 3 0 6	配線	
4 0 3 0 7	対向電極	
4 0 3 1 0	サブ画素	
4 0 3 1 1	トランジスタ	
4 0 3 1 2	液晶素子	
4 0 3 1 3	容量素子	
4 0 3 1 5	配線	
4 0 3 1 6	配線	
4 0 3 1 7	対向電極	
4 0 3 2 0	画素	30
5 0 1 0 0	液晶層	
5 0 1 0 1	基板	
5 0 1 0 2	基板	
5 0 1 0 3	偏光板	
5 0 1 0 4	偏光板	
5 0 1 0 5	電極	
5 0 1 0 6	電極	
5 0 2 0 0	液晶層	
5 0 2 0 1	基板	
5 0 2 0 2	基板	40
5 0 2 0 3	偏光板	
5 0 2 0 4	偏光板	
5 0 2 0 5	電極	
5 0 2 0 6	電極	
5 0 2 1 0	液晶層	
5 0 2 1 1	基板	
5 0 2 1 2	基板	
5 0 2 1 3	偏光板	
5 0 2 1 4	偏光板	
5 0 2 1 5	電極	50

5 0 2 1 6	電極	
5 0 3 0 0	液晶層	
5 0 3 0 1	基板	
5 0 3 0 2	基板	
5 0 3 0 3	偏光板	
5 0 3 0 4	偏光板	
5 0 3 0 5	電極	
5 0 3 0 6	電極	
5 0 3 1 0	液晶層	
5 0 3 1 1	基板	10
5 0 3 1 2	基板	
5 0 3 1 3	偏光板	
5 0 3 1 4	偏光板	
5 0 3 1 5	電極	
5 0 3 1 6	電極	
5 0 4 0 0	液晶層	
5 0 4 0 1	基板	
5 0 4 0 2	基板	
5 0 4 0 3	偏光板	
5 0 4 0 4	偏光板	20
5 0 4 0 5	電極	
5 0 4 0 6	電極	
5 0 4 1 0	液晶層	
5 0 4 1 1	基板	
5 0 4 1 2	基板	
5 0 4 1 3	偏光板	
5 0 4 1 4	偏光板	
5 0 4 1 5	電極	
5 0 4 1 6	電極	
5 0 4 1 7	絶縁膜	30
5 0 5 0 1	画素電極	
5 0 5 0 3	突起物	
5 0 6 0 1	画素電極	
5 0 6 0 2	画素電極	
5 0 6 1 1	画素電極	
5 0 6 1 2	画素電極	
5 0 6 3 1	画素電極	
5 0 6 3 2	画素電極	
5 0 6 4 1	画素電極	
5 0 6 4 2	画素電極	40
5 0 7 0 1	画素電極	
5 0 7 0 2	画素電極	
5 0 7 1 1	画素電極	
5 0 7 1 2	画素電極	
5 0 7 3 1	画素電極	
5 0 7 3 2	画素電極	
5 0 7 4 1	画素電極	
5 0 7 4 2	画素電極	
6 0 1 0 5	トランジスタ	
6 0 1 0 6	配線	50

6 0 1 0 7	配線	
6 0 1 0 8	トランジスタ	
6 0 1 1 1	配線	
6 0 1 1 2	対向電極	
6 0 1 1 3	コンデンサ	
6 0 1 1 5	画素電極	
6 0 1 1 6	隔壁	
6 0 1 1 7	有機導電体膜	
6 0 1 1 8	有機薄膜	
6 0 1 1 9	基板	10
6 0 2 0 0	基板	
6 0 2 0 1	配線	
6 0 2 0 2	配線	
6 0 2 0 3	配線	
6 0 2 0 4	配線	
6 0 2 0 5	トランジスタ	
6 0 2 0 6	トランジスタ	
6 0 2 0 7	トランジスタ	
6 0 2 0 8	画素電極	
6 0 2 1 1	隔壁	20
6 0 2 1 2	有機導電体膜	
6 0 2 1 3	有機薄膜	
6 0 2 1 4	対向電極	
6 0 3 0 0	基板	
6 0 3 0 1	配線	
6 0 3 0 2	配線	
6 0 3 0 3	配線	
6 0 3 0 4	配線	
6 0 3 0 5	トランジスタ	
6 0 3 0 6	トランジスタ	30
6 0 3 0 7	トランジスタ	
6 0 3 0 8	トランジスタ	
6 0 3 0 9	画素電極	
6 0 3 1 1	配線	
6 0 3 1 2	配線	
6 0 3 2 1	隔壁	
6 0 3 2 2	有機導電体膜	
6 0 3 2 3	有機薄膜	
6 0 3 2 4	対向電極	
8 0 3 0 0	画素	40
8 0 3 0 1	スイッチング用トランジスタ	
8 0 3 0 2	駆動用トランジスタ	
8 0 3 0 3	容量素子	
8 0 3 0 4	発光素子	
8 0 3 0 5	信号線	
8 0 3 0 6	走査線	
8 0 3 0 7	電源線	
8 0 3 0 8	共通電極	
8 0 3 0 9	整流素子	
8 0 4 0 0	画素	50

8 0 4 0 1	スイッチング用トランジスタ	
8 0 4 0 2	駆動用トランジスタ	
8 0 4 0 3	容量素子	
8 0 4 0 4	発光素子	
8 0 4 0 5	信号線	
8 0 4 0 6	走査線	
8 0 4 0 7	電源線	
8 0 4 0 8	共通電極	
8 0 4 0 9	整流素子	
8 0 4 1 0	走査線	10
8 0 5 0 0	画素	
8 0 5 0 1	スイッチング用トランジスタ	
8 0 5 0 2	駆動用トランジスタ	
8 0 5 0 3	容量素子	
8 0 5 0 4	発光素子	
8 0 5 0 5	信号線	
8 0 5 0 6	走査線	
8 0 5 0 7	電源線	
8 0 5 0 8	共通電極	
8 0 5 0 9	消去用トランジスタ	20
8 0 5 1 0	走査線	
8 0 6 0 0	駆動用トランジスタ	
8 0 6 0 1	スイッチ	
8 0 6 0 2	スイッチ	
8 0 6 0 3	スイッチ	
8 0 6 0 4	容量素子	
8 0 6 0 5	容量素子	
8 0 6 1 1	信号線	
8 0 6 1 2	電源線	
8 0 6 1 3	走査線	30
8 0 6 1 4	走査線	
8 0 6 2 0	発光素子	
8 0 6 2 1	共通電極	
8 0 7 0 0	駆動用トランジスタ	
8 0 7 0 1	スイッチ	
8 0 7 0 2	スイッチ	
8 0 7 0 3	スイッチ	
8 0 7 0 4	容量素子	
8 0 7 1 1	信号線	
8 0 7 1 2	電源線	40
8 0 7 1 3	走査線	
8 0 7 1 4	走査線	
8 0 7 3 0	発光素子	
8 0 7 3 1	共通電極	
8 0 7 3 4	走査線	
1 0 0 5 0 6	不純物領域	
1 1 0 1 1 1	基板	
1 1 0 1 1 2	絶縁膜	
1 1 0 1 1 3	半導体層	
1 1 0 1 1 4	半導体層	50

1 1 0 1 1 5	半導体層	
1 1 0 1 1 6	絶縁膜	
1 1 0 1 1 7	ゲート電極	
1 1 0 1 1 8	絶縁膜	
1 1 0 1 1 9	絶縁膜	
1 1 0 1 2 1	サイドウォール	
1 1 0 1 2 2	マスク	
1 1 0 1 2 3	導電膜	
1 1 0 2 0 1	基板	
1 1 0 2 0 2	絶縁膜	10
1 1 0 2 0 3	導電層	
1 1 0 2 0 4	導電層	
1 1 0 2 0 5	導電層	
1 1 0 2 0 6	半導体層	
1 1 0 2 0 7	半導体層	
1 1 0 2 0 8	半導体層	
1 1 0 2 0 9	絶縁膜	
1 1 0 2 1 0	絶縁膜	
1 1 0 2 1 1	導電層	
1 1 0 2 1 2	導電層	20
1 1 0 2 2 0	トランジスタ	
1 1 0 2 2 1	容量素子	
1 1 0 3 0 1	基板	
1 1 0 3 0 3	導電層	
1 1 0 3 0 2	絶縁膜	
1 1 0 3 0 4	導電層	
1 1 0 3 0 6	半導体層	
1 1 0 3 0 7	半導体層	
1 1 0 3 0 8	半導体層	
1 1 0 3 0 9	導電層	30
1 1 0 3 1 0	導電層	
1 1 0 3 1 1	導電層	
1 1 0 3 1 2	導電層	
1 1 0 3 2 0	トランジスタ	
1 1 0 3 2 1	容量素子	
1 1 0 4 0 1	基板	
1 1 0 4 0 2	絶縁膜	
1 1 0 4 0 3	導電層	
1 1 0 4 0 4	導電層	
1 1 0 4 0 6	半導体層	40
1 1 0 4 0 7	半導体層	
1 1 0 4 0 8	半導体層	
1 1 0 4 0 9	導電層	
1 1 0 4 1 0	導電層	
1 1 0 4 1 1	導電層	
1 1 0 4 1 2	絶縁膜	
1 1 0 4 2 0	トランジスタ	
1 1 0 4 2 1	容量素子	
1 1 0 5 0 1	基板	
1 1 0 5 0 2	絶縁膜	50

1 1 0 5 0 3	導電層	
1 1 0 5 0 4	導電層	
1 1 0 5 0 5	不純物領域	
1 1 0 5 0 6	不純物領域	
1 1 0 5 0 7	不純物領域	
1 1 0 5 0 8	L D D領域	
1 1 0 5 0 9	L D D領域	
1 1 0 5 1 0	チャンネル形成領域	
1 1 0 5 1 1	絶縁膜	
1 1 0 5 1 2	導電層	10
1 1 0 5 1 3	導電層	
1 1 0 5 2 0	トランジスタ	
1 1 0 5 2 1	容量素子	
1 1 0 5 2 2	絶縁膜	
1 2 0 1 0 0	電極層	
1 2 0 1 0 2	電界発光層	
1 2 0 1 0 3	電極層	
1 2 0 1 0 4	絶縁膜	
1 2 0 1 0 5	絶縁膜	
1 2 0 1 0 6	絶縁膜	20
1 2 0 2 0 0	電極層	
1 2 0 2 0 1	発光材料	
1 2 0 2 0 2	電界発光層	
1 2 0 2 0 3	電極層	
1 2 0 2 0 4	絶縁膜	
1 2 0 2 0 5	絶縁膜	
1 2 0 2 0 6	絶縁膜	
1 3 0 1 0 0	背面投影型表示装置	
1 3 0 1 0 1	スクリーンパネル	
1 3 0 1 0 2	スピーカー	30
1 3 0 1 0 4	操作スイッチ類	
1 3 0 1 1 0	筐体	
1 3 0 1 1 1	プロジェクタユニット	
1 3 0 1 1 2	ミラー	
1 3 0 2 0 0	前面投影型表示装置	
1 3 0 2 0 1	投射光学系	
1 3 0 3 0 1	光源ユニット	
1 3 0 3 0 2	光源ランプ	
1 3 0 3 0 3	光源光学系	
1 3 0 3 0 4	変調ユニット	40
1 3 0 3 0 5	ダイクロイックミラー	
1 3 0 3 0 6	全反射ミラー	
1 3 0 3 0 8	表示パネル	
1 3 0 3 0 9	プリズム	
1 3 0 3 1 0	投射光学系	
1 3 0 4 0 0	変調ユニット	
1 3 0 4 0 1	ダイクロイックミラー	
1 3 0 4 0 2	ダイクロイックミラー	
1 3 0 4 0 3	全反射ミラー	
1 3 0 4 0 4	偏光ビームスプリッタ	50

1 3 0 4 0 5	偏光ビームスプリッタ	
1 3 0 4 0 6	偏光ビームスプリッタ	
1 3 0 4 0 7	表示パネル	
1 3 0 4 1 1	投射光学系	
1 3 0 5 0 1	ダイクロイックミラー	
1 3 0 5 0 2	ダイクロイックミラー	
1 3 0 5 0 3	赤色光用ダイクロイックミラー	
1 3 0 5 0 4	位相差板	
1 3 0 5 0 5	カラーフィルタ板	
1 3 0 5 0 6	マイクロレンズアレイ	10
1 3 0 5 0 7	表示パネル	
1 3 0 5 0 8	表示パネル	
1 3 0 5 0 9	表示パネル	
1 3 0 5 1 1	投射光学系	
1 8 0 1 0 0	表示装置	
1 8 0 1 0 1	画素部	
1 8 0 1 0 2	画素	
1 8 0 1 0 3	信号線駆動回路	
1 8 0 1 0 4	走査線駆動回路	
1 8 0 4 0 0	フレーム期間	20
1 8 0 4 0 1	画像	
1 8 0 4 0 2	中間画像	
1 8 0 4 1 2	中間画像	
1 8 0 4 1 3	中間画像	
1 9 0 1 0 1	陽極	
1 9 0 1 0 2	陰極	
1 9 0 1 0 3	正孔輸送領域	
1 9 0 1 0 4	電子輸送領域	
1 9 0 1 0 5	混合領域	
1 9 0 1 0 6	領域	30
1 9 0 1 0 7	領域	
1 9 0 1 0 8	領域	
1 9 0 1 0 9	領域	
1 9 0 2 6 0	搬送室	
1 9 0 2 6 1	搬送室	
1 9 0 2 6 2	ロード室	
1 9 0 2 6 3	アンロード室	
1 9 0 2 6 4	中間処理室	
1 9 0 2 6 5	封止処理室	
1 9 0 2 6 6	搬送手段	40
1 9 0 2 6 7	搬送手段	
1 9 0 2 6 8	加熱処理室	
1 9 0 2 6 9	成膜処理室	
1 9 0 2 7 0	成膜処理室	
1 9 0 2 7 1	成膜室	
1 9 0 2 7 2	プラズマ処理室	
1 9 0 2 7 3	成膜処理室	
1 9 0 2 7 4	成膜処理室	
1 9 0 2 7 6	成膜処理室	
1 9 0 3 8 0	蒸発源ホルダ	50

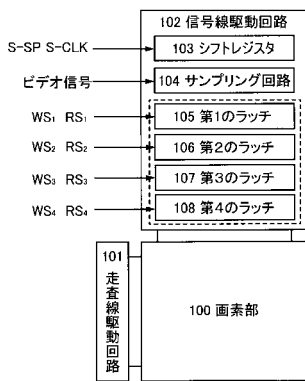
1 9 0 3 8 1	蒸発源	
1 9 0 3 8 2	距離センサ	
1 9 0 3 8 3	多関節アーム	
1 9 0 3 8 4	材料供給管	
1 9 0 3 8 6	基板ステージ	
1 9 0 3 8 7	基板チャック	
1 9 0 3 8 8	マスクチャック	
1 9 0 3 8 9	基板	
1 9 0 3 9 0	シャドーマスク	
1 9 0 3 9 1	天板	10
1 9 0 3 9 2	底板	
2 0 5 1 4 a	光源	
2 0 5 1 4 b	光源	
2 0 5 1 4 c	光源	
5 0 2 1 1 7	突起物	
5 0 2 1 1 8	突起物	
9 0 0 1 0 1	表示パネル	
9 0 0 1 0 2	画素部	
9 0 0 1 0 3	走査線駆動回路	
9 0 0 1 0 4	信号線駆動回路	20
9 0 0 1 1 1	回路基板	
9 0 0 1 1 2	コントロール回路	
9 0 0 1 1 3	信号分割回路	
9 0 0 1 1 4	接続配線	
9 0 0 2 0 1	チューナ	
9 0 0 2 0 2	映像信号増幅回路	
9 0 0 2 0 3	映像信号処理回路	
9 0 0 2 0 5	音声信号増幅回路	
9 0 0 2 0 6	音声信号処理回路	
9 0 0 2 0 7	スピーカー	30
9 0 0 2 0 8	制御回路	
9 0 0 2 0 9	入力部	
9 0 0 2 1 2	コントロール回路	
9 0 0 2 1 3	信号分割回路	
9 0 0 3 0 1	筐体	
9 0 0 3 0 2	表示画面	
9 0 0 3 0 3	スピーカー	
9 0 0 3 0 4	操作スイッチ	
9 0 0 3 1 0	充電器	
9 0 0 3 1 2	筐体	40
9 0 0 3 1 3	表示部	
9 0 0 3 1 6	操作キー	
9 0 0 3 1 7	スピーカー部	
9 0 0 4 0 1	表示パネル	
9 0 0 4 0 2	プリント配線基板	
9 0 0 4 0 3	画素部	
9 0 0 4 0 4	走査線駆動回路	
9 0 0 4 0 5	走査線駆動回路	
9 0 0 4 0 6	信号線駆動回路	
9 0 0 4 0 7	コントローラ	50

9 0 0 4 0 8	中央処理装置 (C P U)	
9 0 0 4 0 9	メモリ	
9 0 0 4 1 0	電源回路	
9 0 0 4 1 1	音声処理回路	
9 0 0 4 1 2	送受信回路	
9 0 0 4 1 3	フレキシブル配線基板 (F P C)	
9 0 0 4 1 4	インターフェース (I / F) 部	
9 0 0 4 1 5	アンテナ用ポート	
9 0 0 4 1 6	V R A M	
9 0 0 4 1 7	D R A M	10
9 0 0 4 1 8	フラッシュメモリ	
9 0 0 4 1 9	インターフェース (I / F) 部	
9 0 0 4 2 0	制御信号生成回路	
9 0 0 4 2 1	デコーダ	
9 0 0 4 2 2	レジスタ	
9 0 0 4 2 3	演算回路	
9 0 0 4 2 4	R A M	
9 0 0 4 2 5	入力手段	
9 0 0 4 2 6	マイク	
9 0 0 4 2 7	スピーカー	20
9 0 0 4 2 8	アンテナ	
9 0 0 5 0 1	表示パネル	
9 0 0 5 1 3	F P C	
9 0 0 5 3 0	ハウジング	
9 0 0 5 3 1	プリント基板	
9 0 0 5 3 2	スピーカー	
9 0 0 5 3 3	マイクロフォン	
9 0 0 5 3 4	送受信回路	
9 0 0 5 3 5	信号処理回路	
9 0 0 5 3 6	入力手段	30
9 0 0 5 3 7	バッテリー	
9 0 0 5 3 9	筐体	
9 0 0 6 0 0	携帯電話機	
9 0 0 6 0 1	本体 (A)	
9 0 0 6 0 2	本体 (B)	
9 0 0 6 0 3	筐体	
9 0 0 6 0 4	操作スイッチ類	
9 0 0 6 0 5	マイクロフォン	
9 0 0 6 0 6	スピーカー	
9 0 0 6 0 7	回路基板	40
9 0 0 6 0 8	表示パネル (A)	
9 0 0 6 0 9	表示パネル (B)	
9 0 0 6 1 0	蝶番	
9 0 0 7 1 1	筐体	
9 0 0 7 1 2	支持台	
9 0 0 7 1 3	表示部	
9 0 0 7 2 1	本体	
9 0 0 7 2 2	表示部	
9 0 0 7 2 3	受像部	
9 0 0 7 2 4	操作キー	50

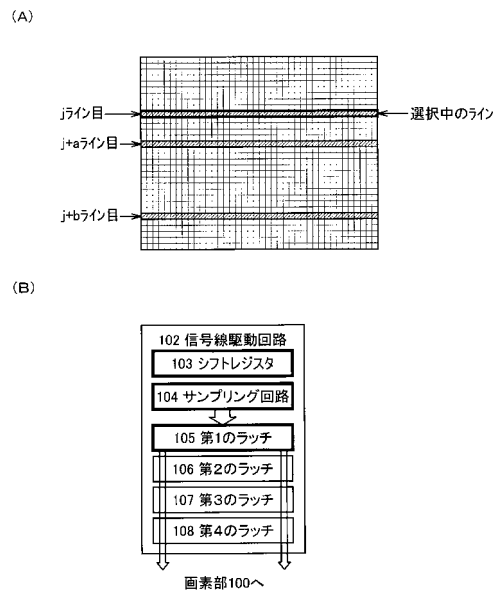
9 0 0 7 2 5	外部接続ポート	
9 0 0 7 2 6	シャッター	
9 0 0 7 3 1	本体	
9 0 0 7 3 2	筐体	
9 0 0 7 3 3	表示部	
9 0 0 7 3 4	キーボード	
9 0 0 7 3 5	外部接続ポート	
9 0 0 7 3 6	ポインティングデバイス	
9 0 0 7 4 1	本体	
9 0 0 7 4 2	表示部	10
9 0 0 7 4 3	スイッチ	
9 0 0 7 4 4	操作キー	
9 0 0 7 4 5	赤外線ポート	
9 0 0 7 5 1	本体	
9 0 0 7 5 2	筐体	
9 0 0 7 5 3	表示部 A	
9 0 0 7 5 4	表示部 B	
9 0 0 7 5 5	部	
9 0 0 7 5 6	操作キー	
9 0 0 7 5 7	スピーカ部	20
9 0 0 7 6 1	本体	
9 0 0 7 6 2	表示部	
9 0 0 7 6 3	イヤホン	
9 0 0 7 6 4	支持部	
9 0 0 7 7 1	筐体	
9 0 0 7 7 2	表示部	
9 0 0 7 7 3	スピーカ部	
9 0 0 7 7 4	操作キー	
9 0 0 7 7 5	記憶媒体挿入部	
9 0 0 7 8 1	本体	30
9 0 0 7 8 2	表示部	
9 0 0 7 8 3	操作キー	
9 0 0 7 8 4	スピーカー	
9 0 0 7 8 5	シャッター	
9 0 0 7 8 6	受像部	
9 0 0 7 8 7	アンテナ	
9 0 0 8 1 0	筐体	
9 0 0 8 1 1	表示部	
9 0 0 8 1 2	リモコン装置	
9 0 0 8 1 3	スピーカ部	40
9 0 0 9 0 1	表示パネル	
9 0 0 9 0 2	ユニットバス	
9 0 1 0 0 1	柱状体	
9 0 1 0 0 2	表示パネル	
9 0 1 1 0 1	車体	
9 0 1 1 0 2	表示パネル	
9 0 1 2 0 1	ドア	
9 0 1 2 0 2	表示パネル	
9 0 1 2 0 3	ガラス窓	
9 0 1 2 0 4	天井	50

- 9 0 1 3 0 1 天井
- 9 0 1 3 0 2 表示パネル
- 9 0 1 3 0 3 ヒンジ部
- 1 9 0 2 7 7 a ゲートバルブ
- 1 9 0 3 8 1 a 蒸発源
- 1 9 0 3 8 1 b 蒸発源
- 1 9 0 3 8 1 c 蒸発源
- 1 9 0 3 8 5 a 材料供給源
- 1 9 0 3 8 5 b 材料供給源
- 1 9 0 3 8 5 c 材料供給源

【図1】

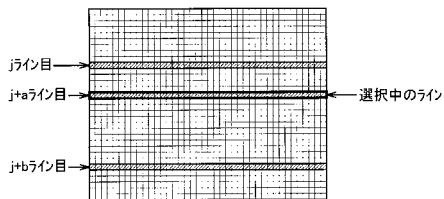


【図2】

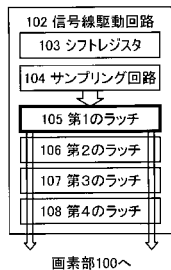


【 図 3 】

(A)

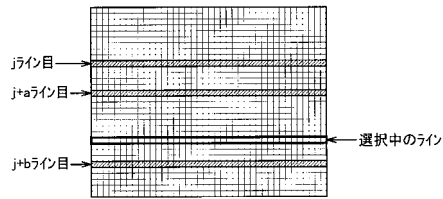


(B)

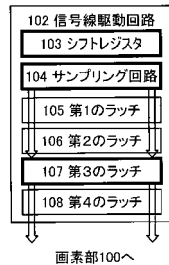


【 図 4 】

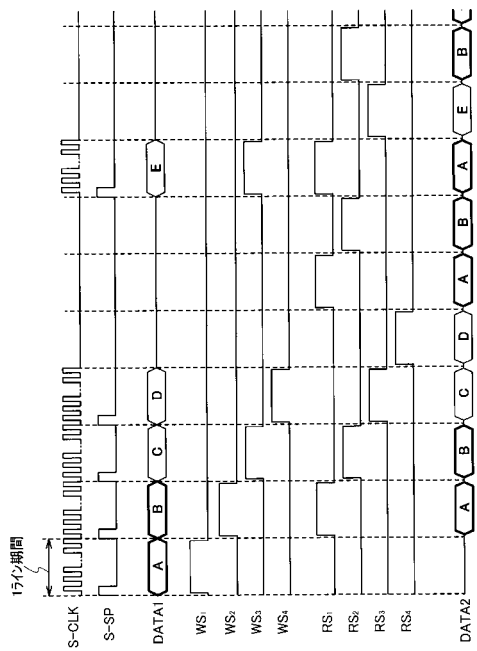
(A)



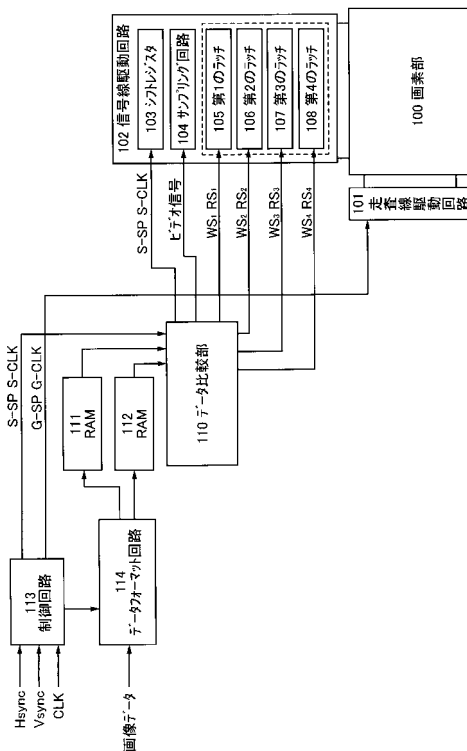
(B)



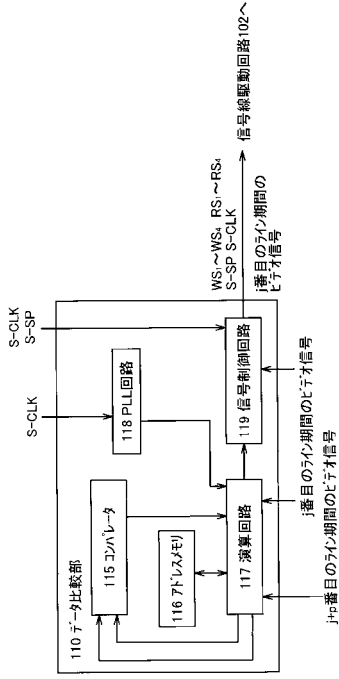
【 図 5 】



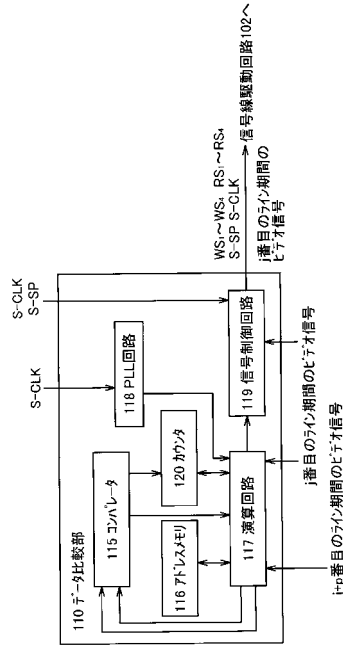
【 図 6 】



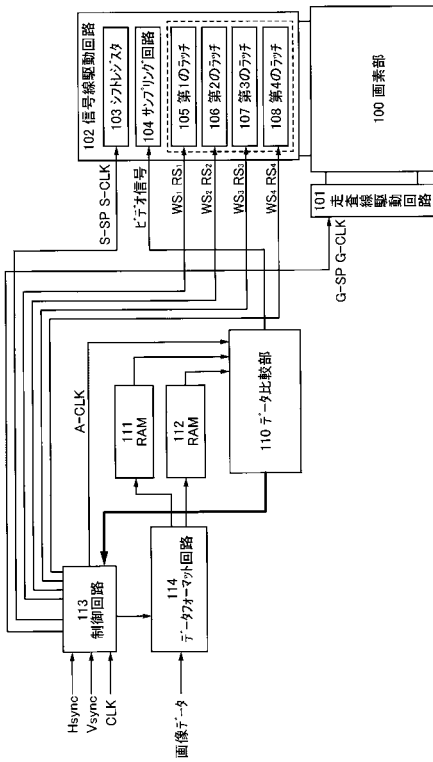
【 図 7 】



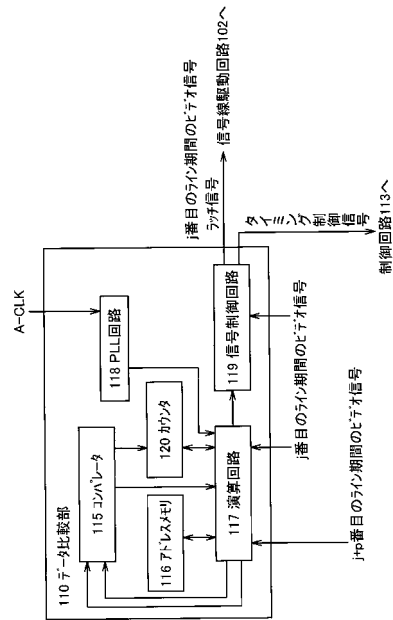
【 図 8 】



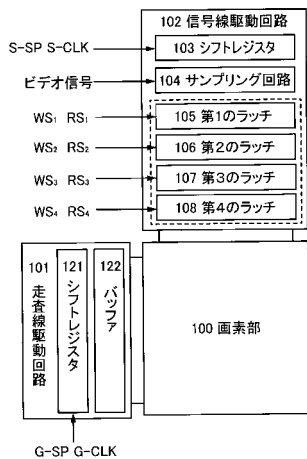
【 図 9 】



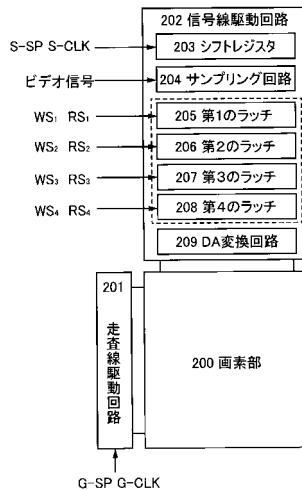
【 図 10 】



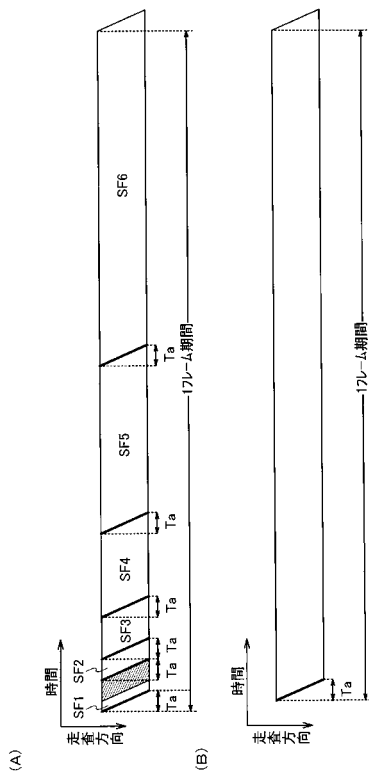
【図 1 1】



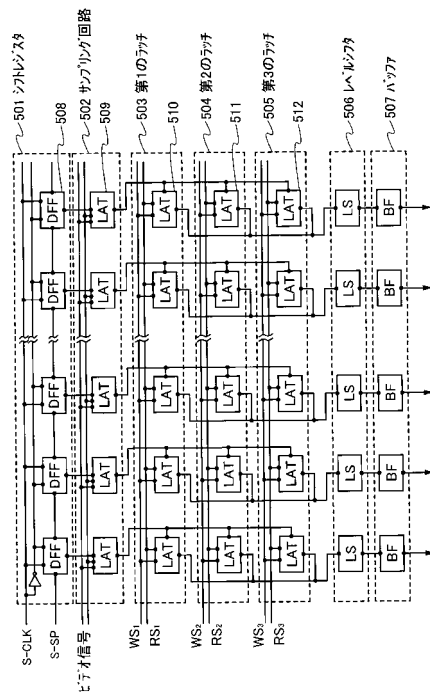
【図 1 2】



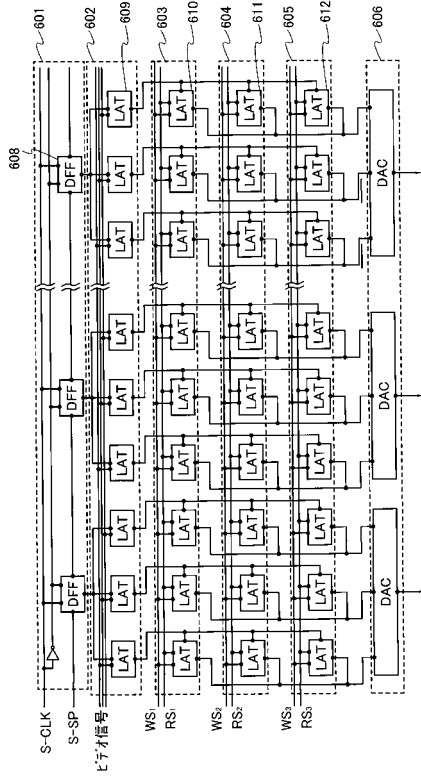
【図 1 3】



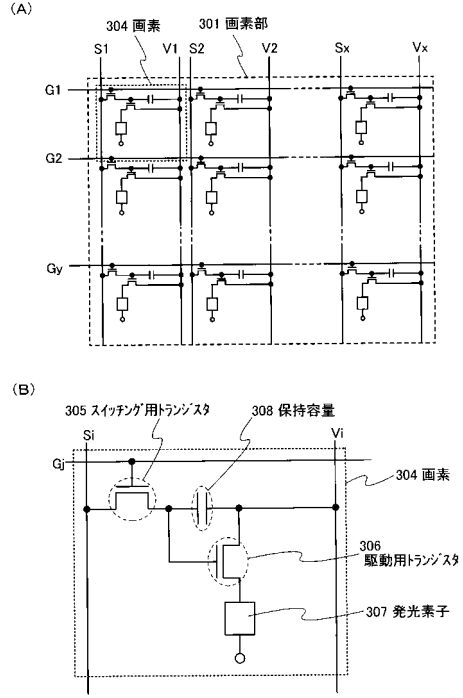
【図 1 4】



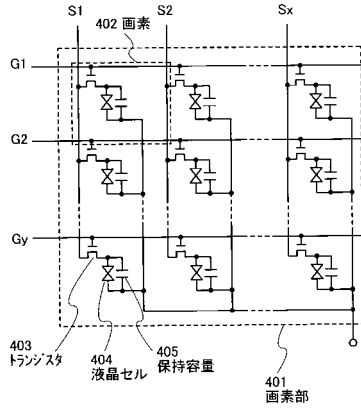
【図15】



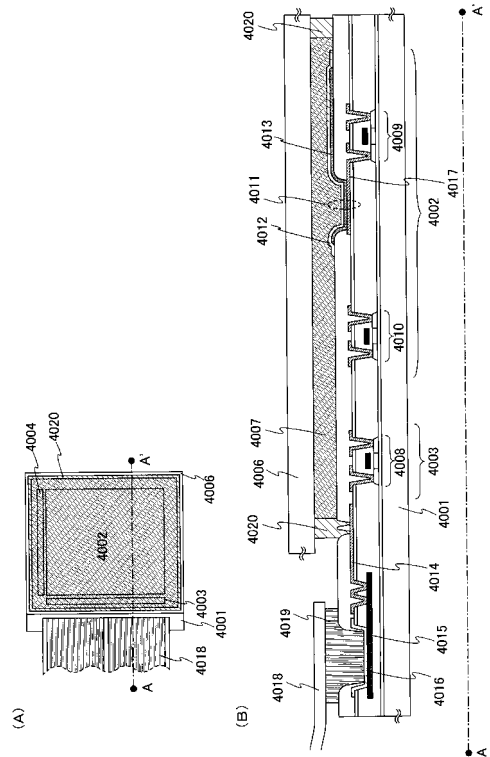
【図16】



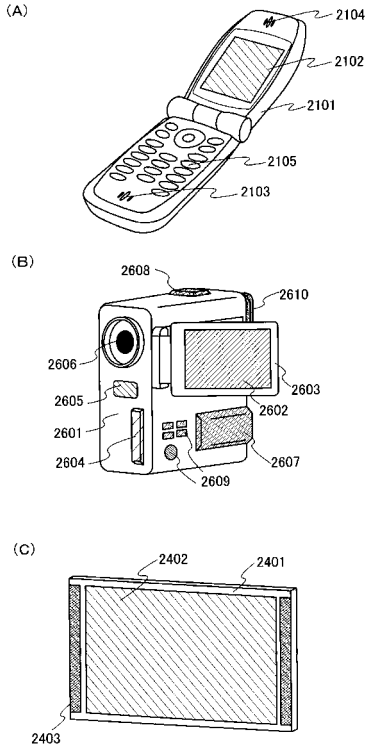
【図17】



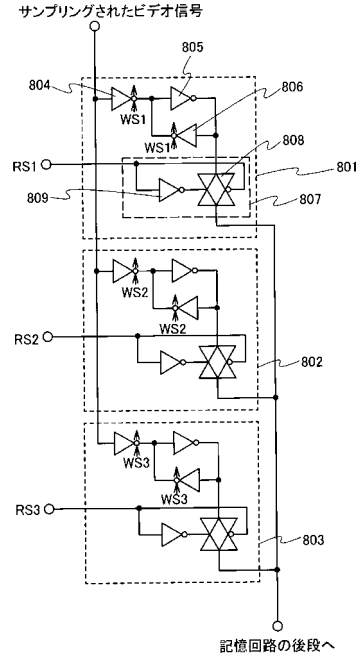
【図18】



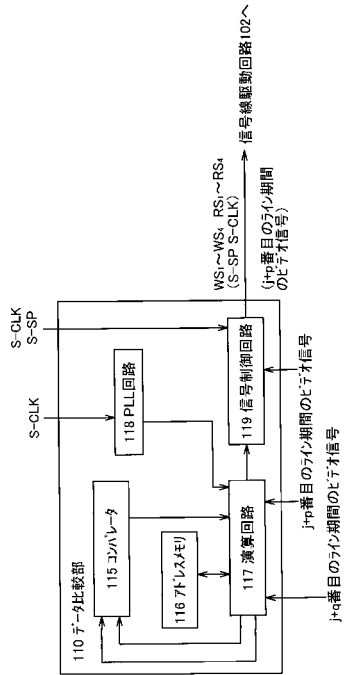
【図19】



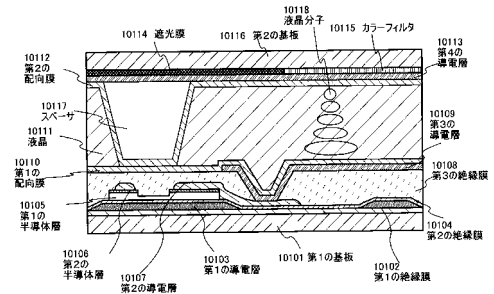
【図20】



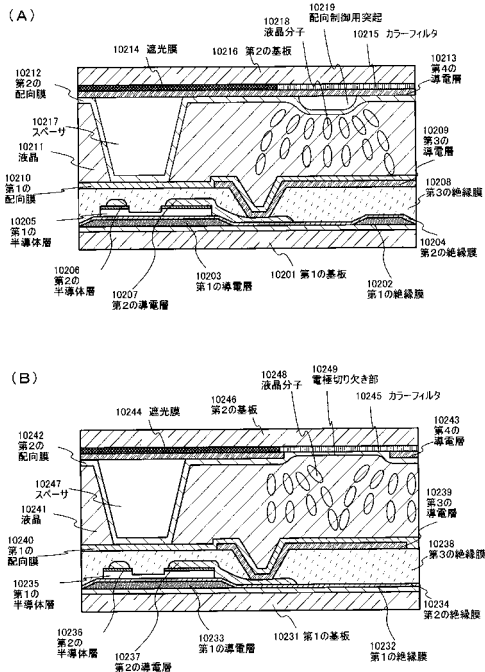
【図21】



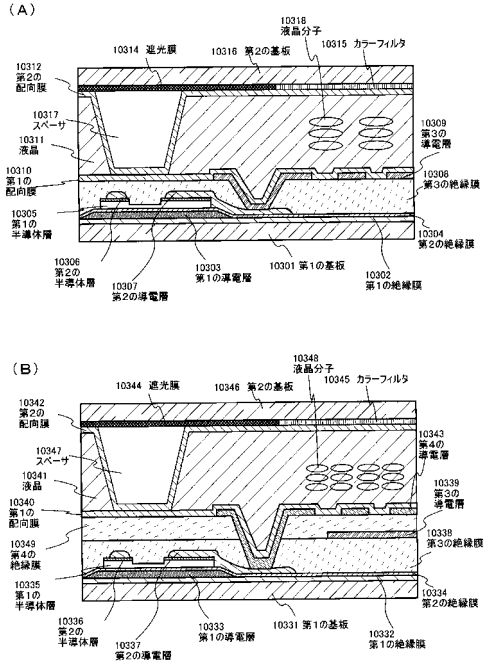
【図22】



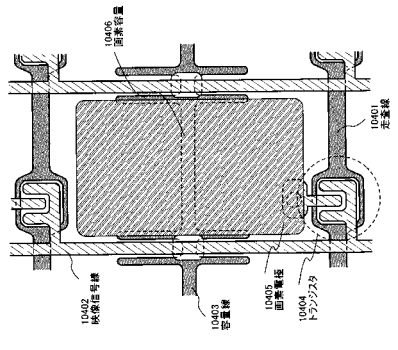
【図23】



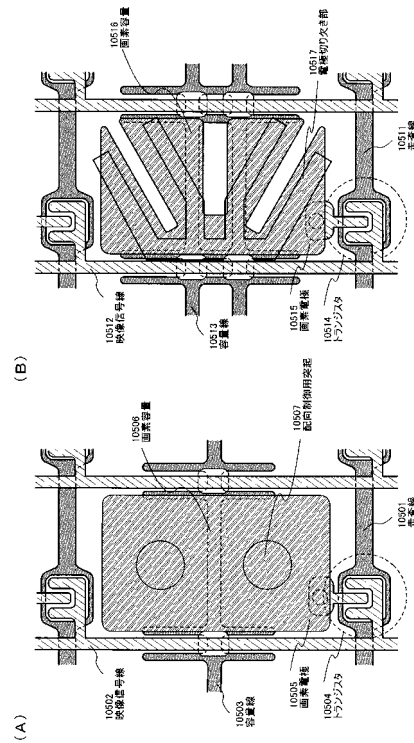
【図24】



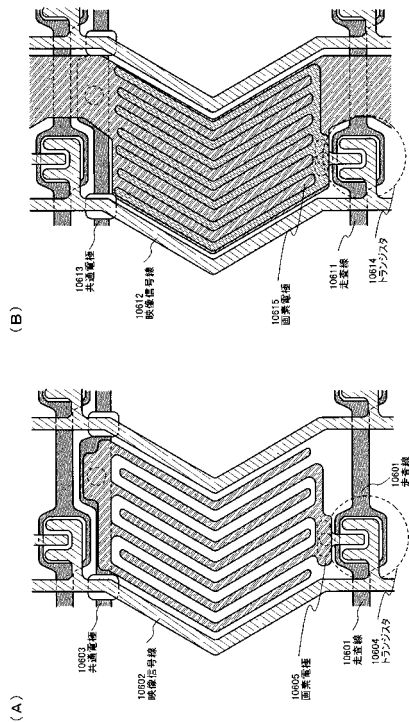
【図25】



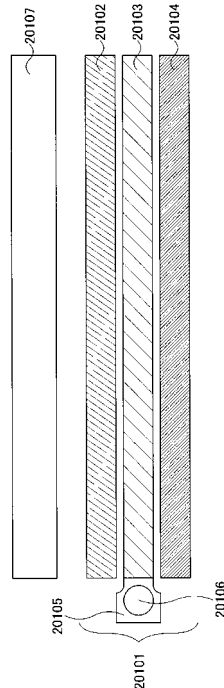
【図26】



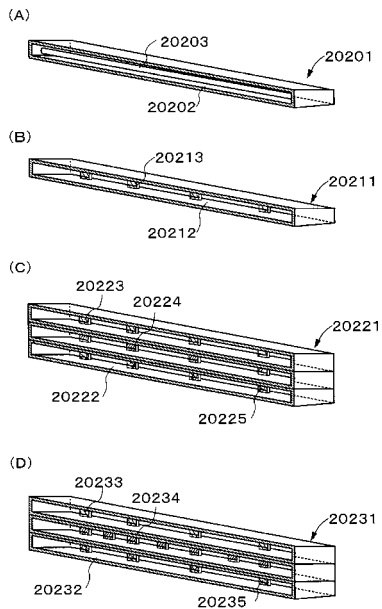
【図27】



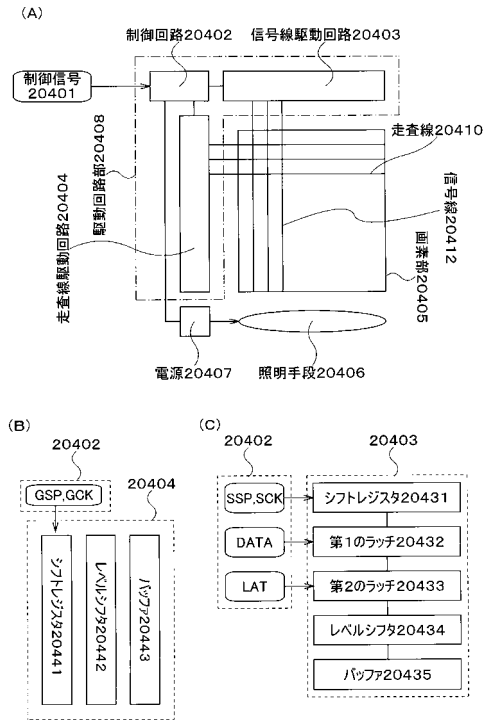
【図28】



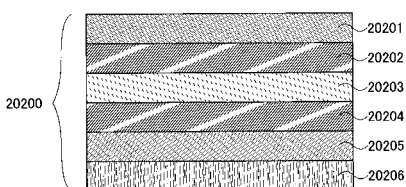
【図29】



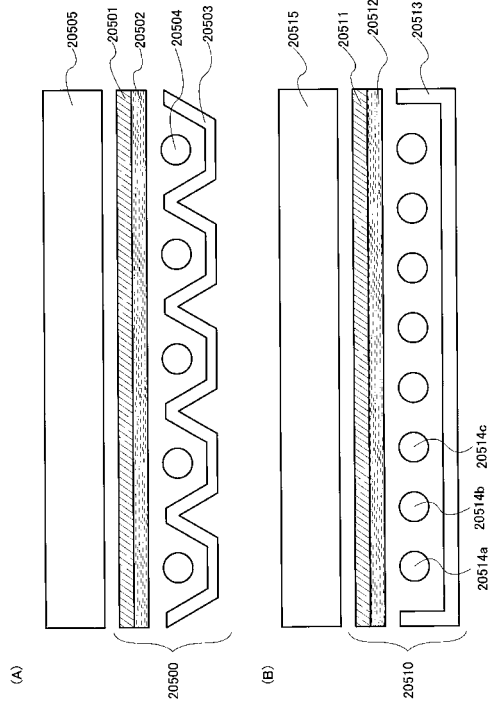
【図31】



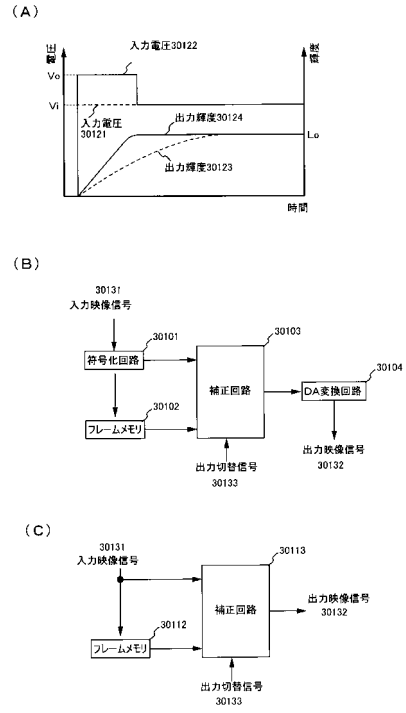
【図30】



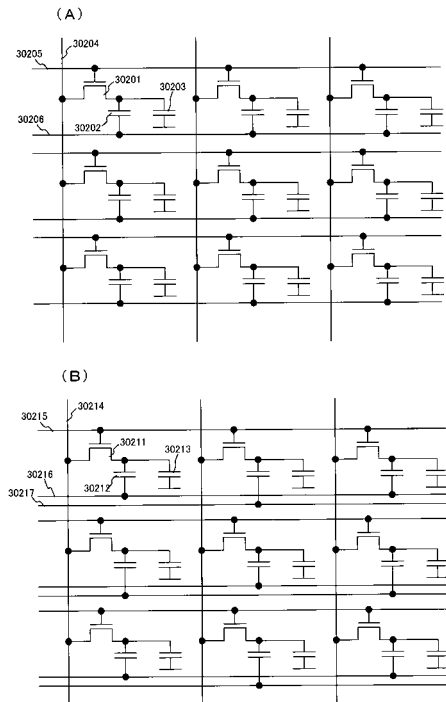
【図32】



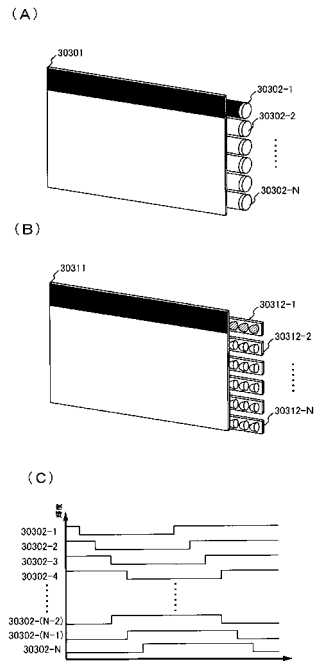
【図33】



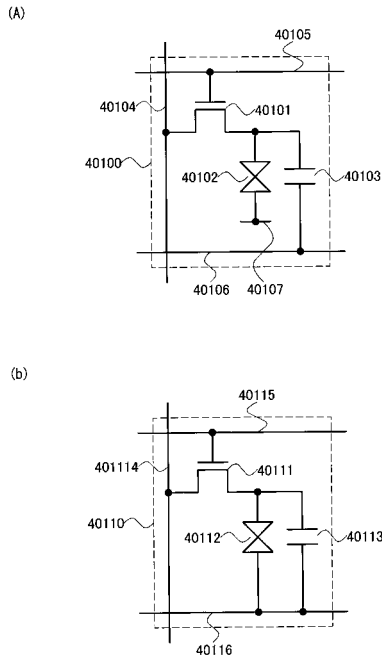
【図34】



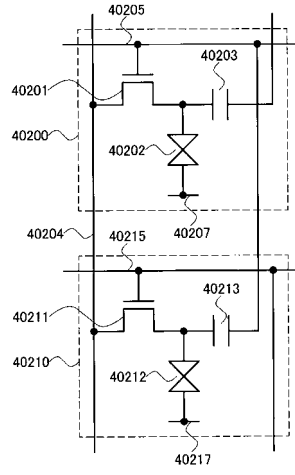
【図35】



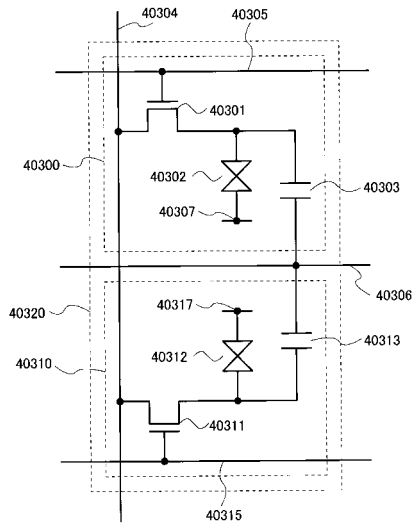
【 図 3 6 】



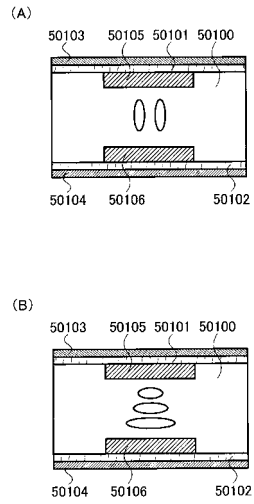
【 図 3 7 】



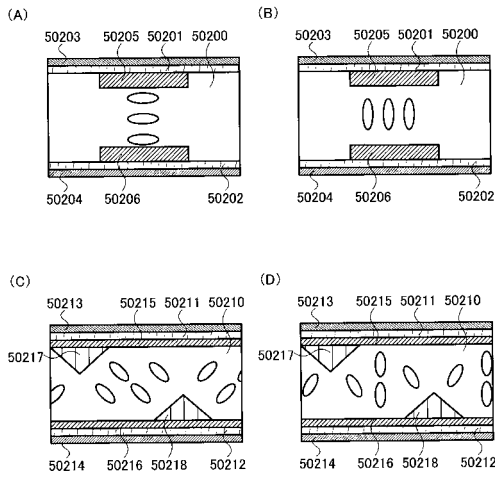
【 図 3 8 】



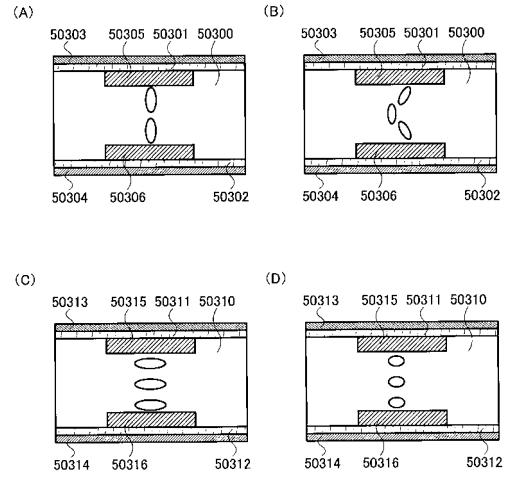
【 図 3 9 】



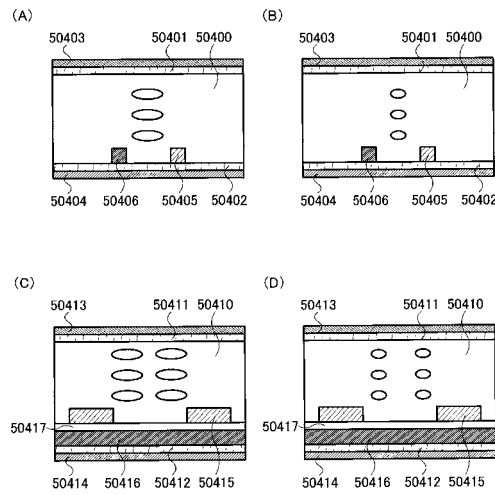
【 40 】



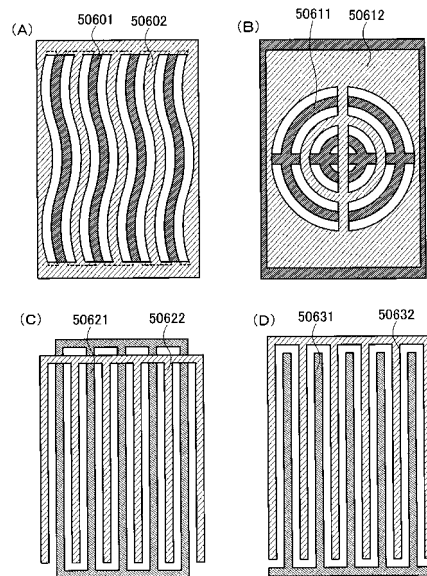
【 41 】



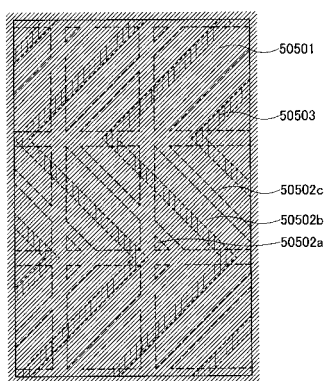
【 42 】



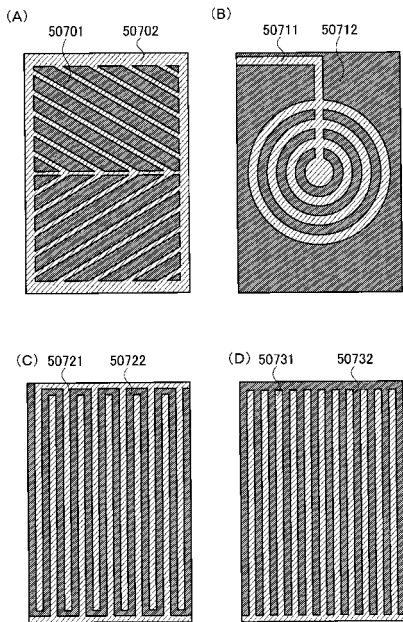
【 44 】



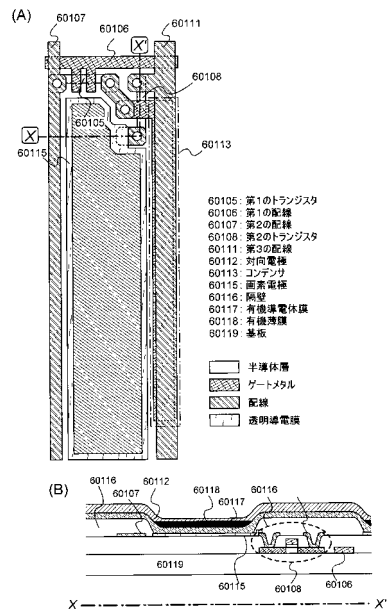
【 43 】



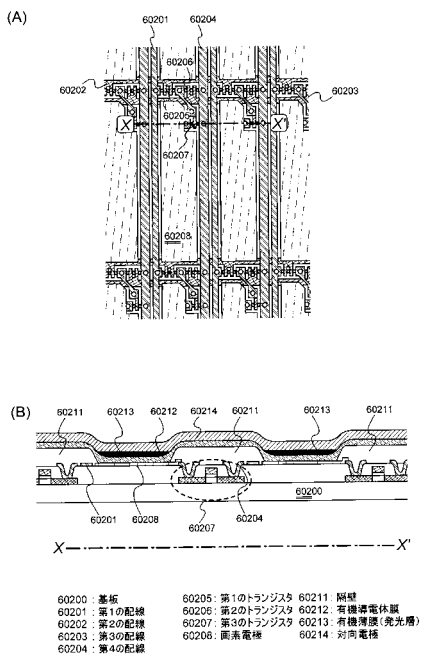
【図45】



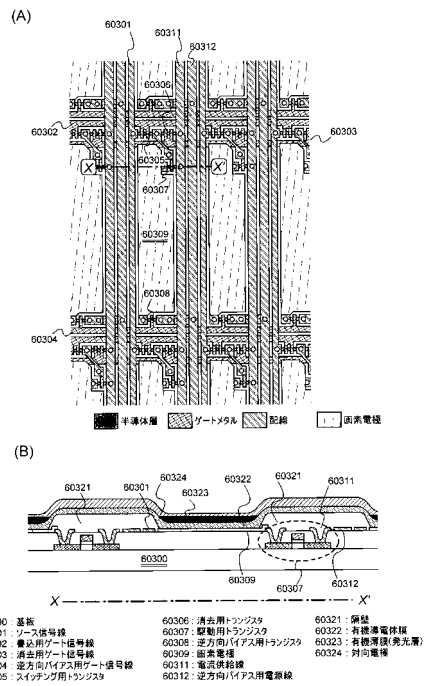
【図46】



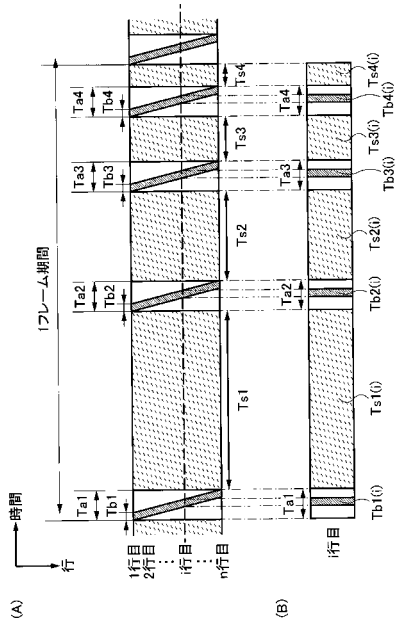
【図47】



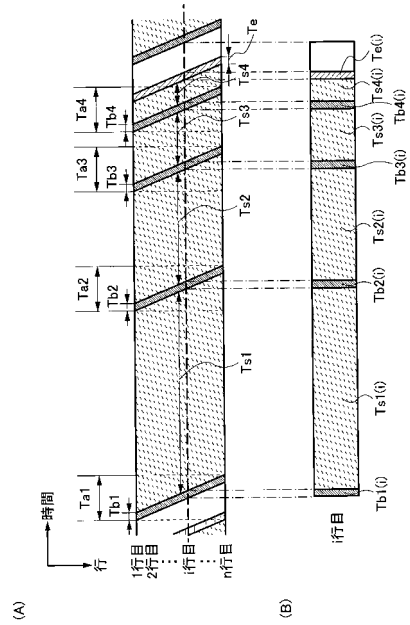
【図48】



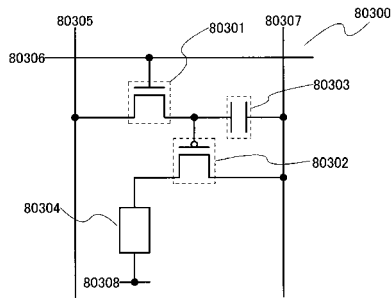
【 図 49 】



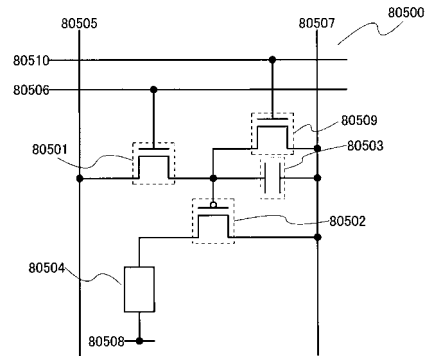
【 図 50 】



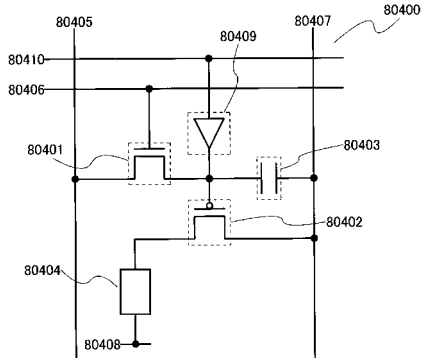
【 図 51 】



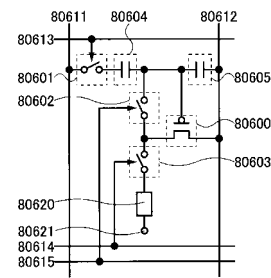
【 図 53 】



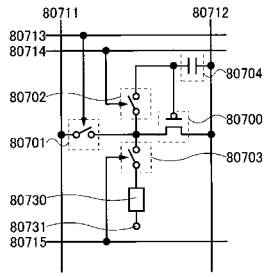
【 図 52 】



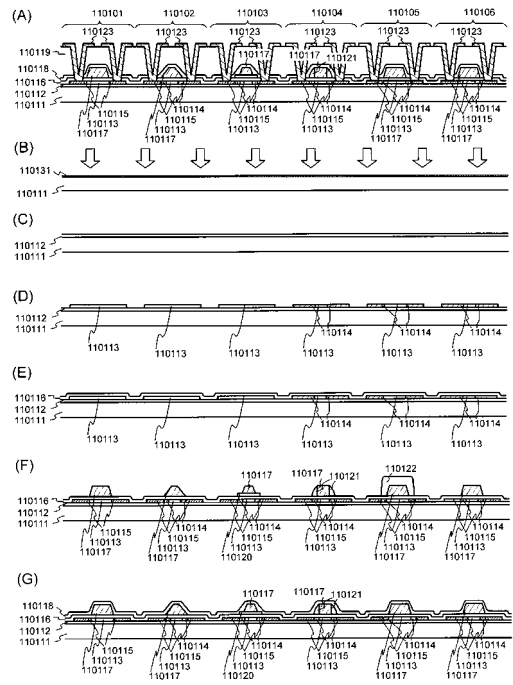
【 図 54 】



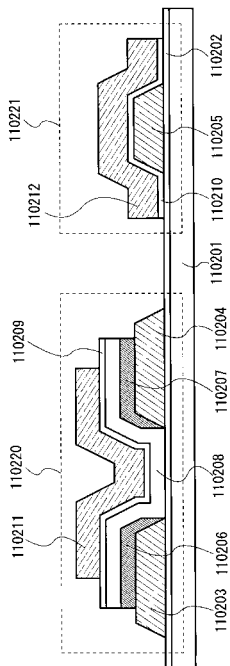
【 図 5 5 】



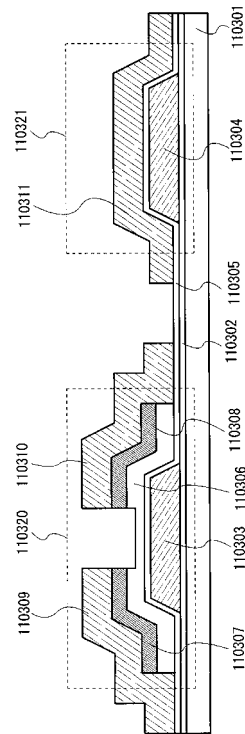
【 図 5 6 】



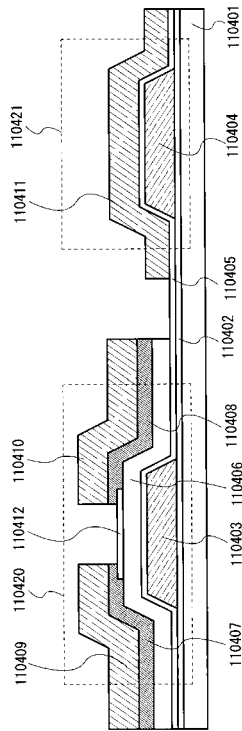
【 図 5 7 】



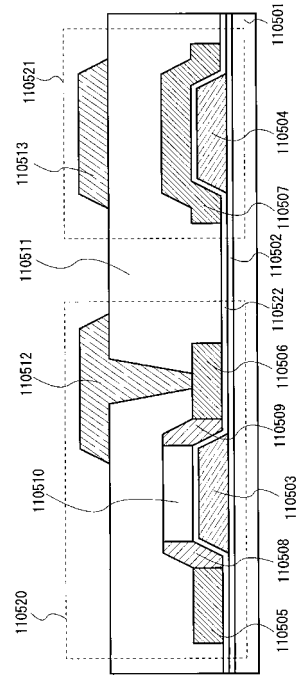
【 図 5 8 】



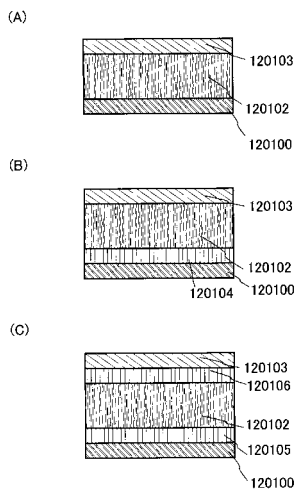
【 59 】



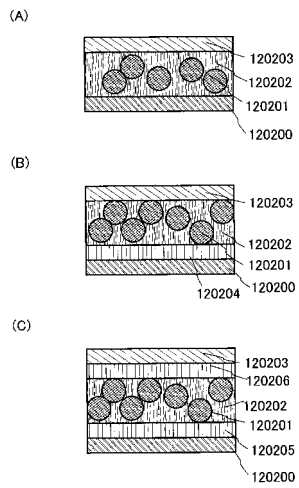
【 60 】



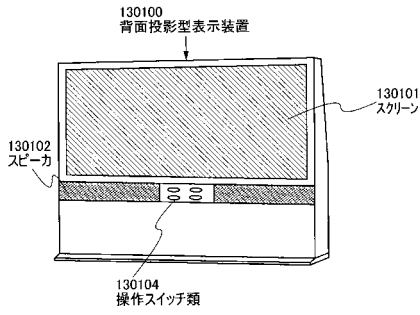
【 61 】



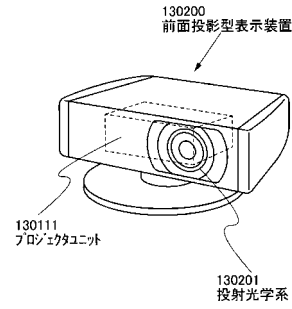
【 62 】



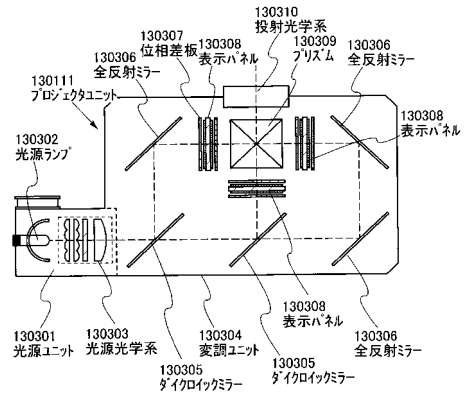
【図63】



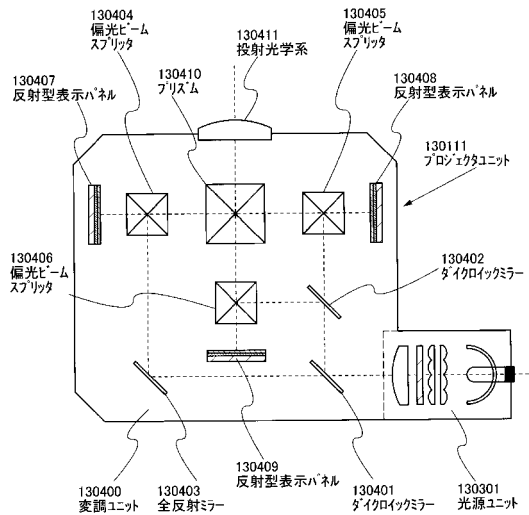
【図64】



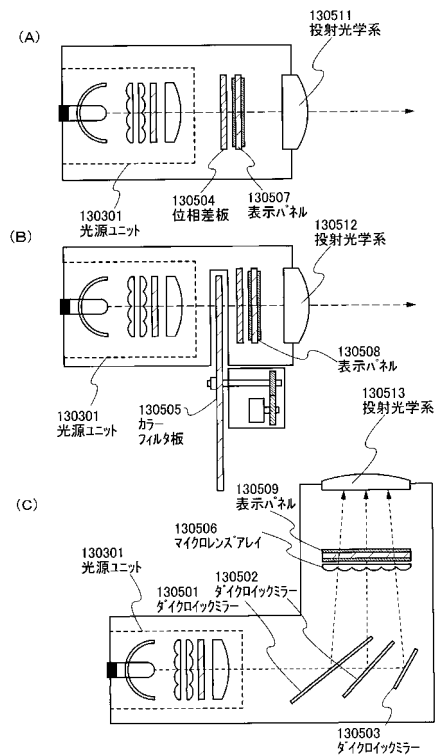
【図65】



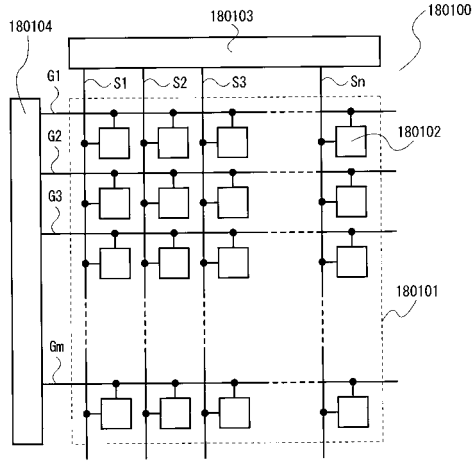
【図66】



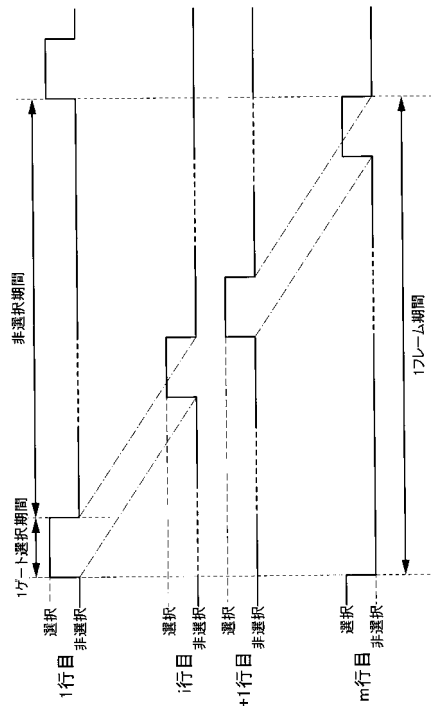
【図67】



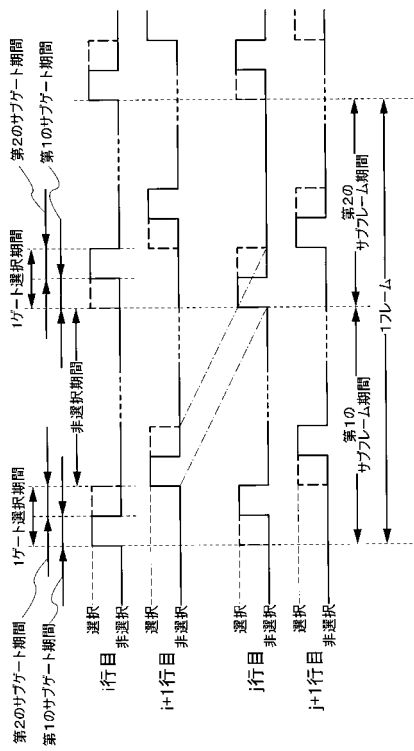
【図68】



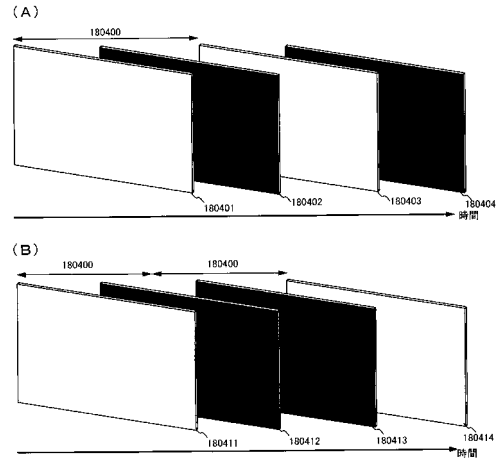
【図69】



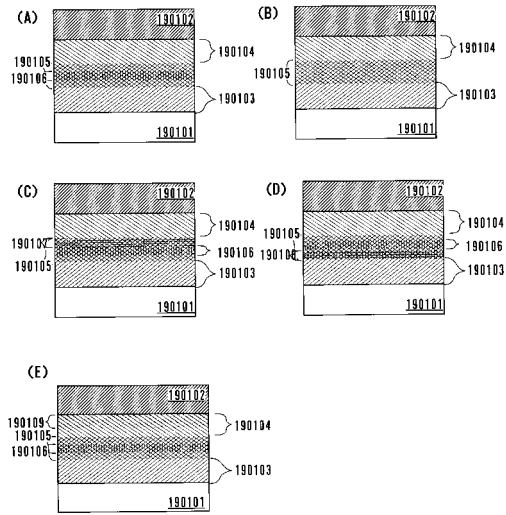
【図70】



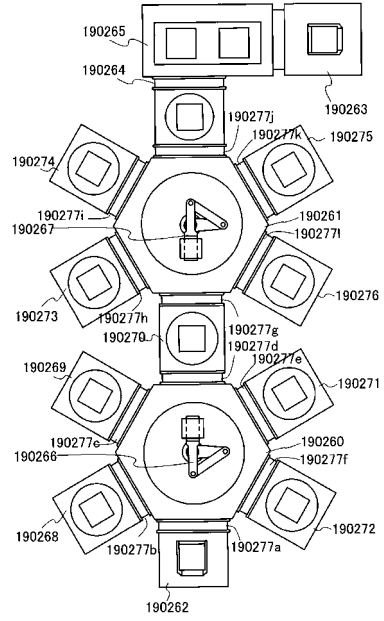
【図71】



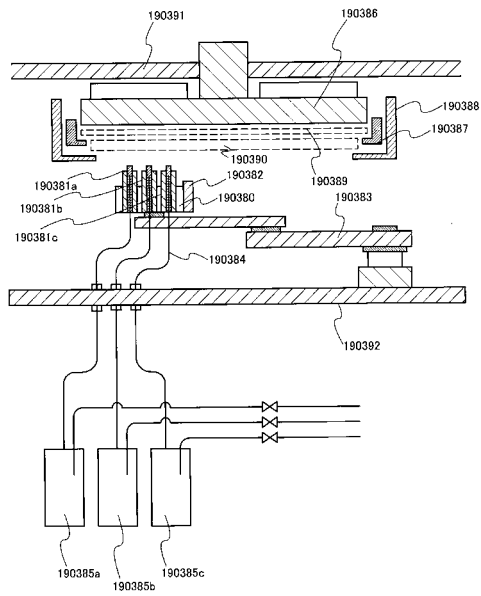
【図72】



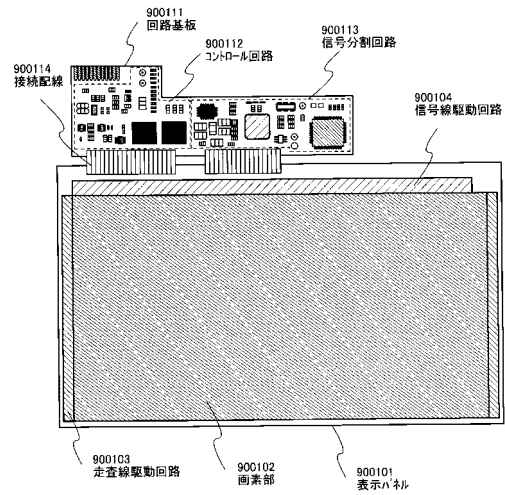
【図73】



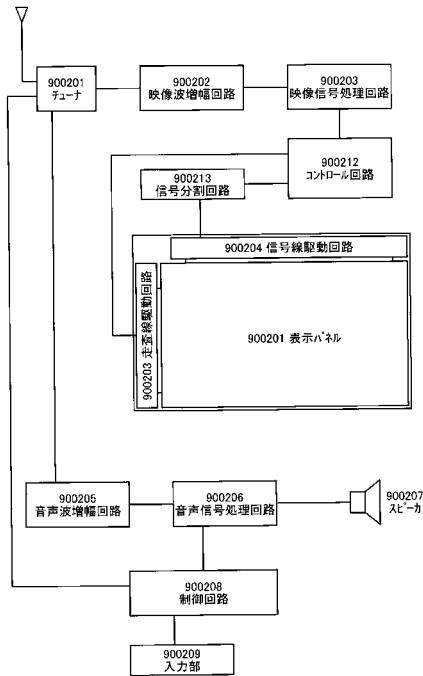
【図74】



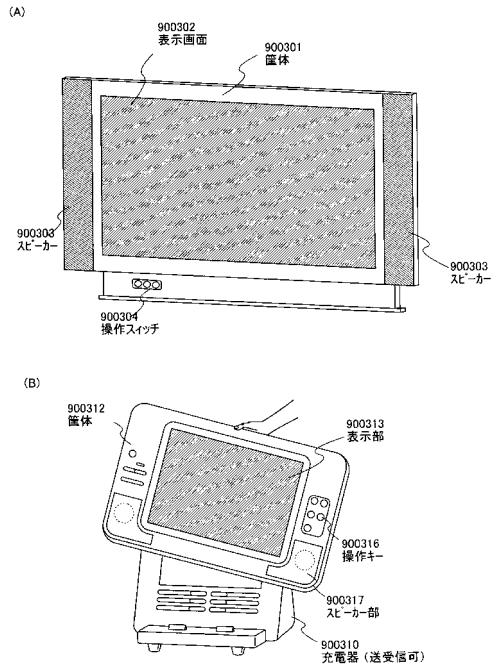
【図75】



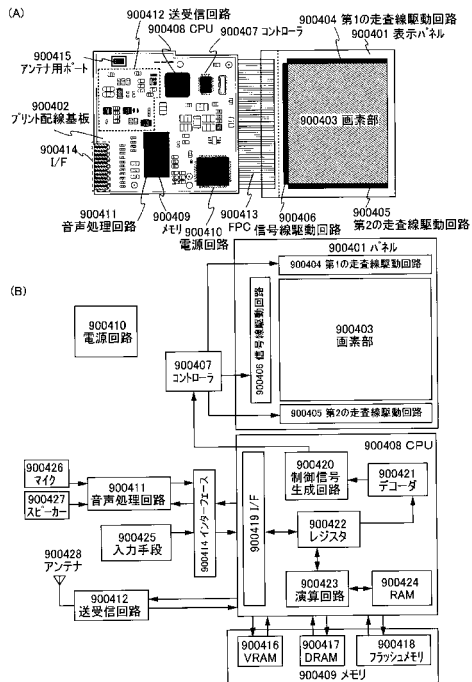
【図76】



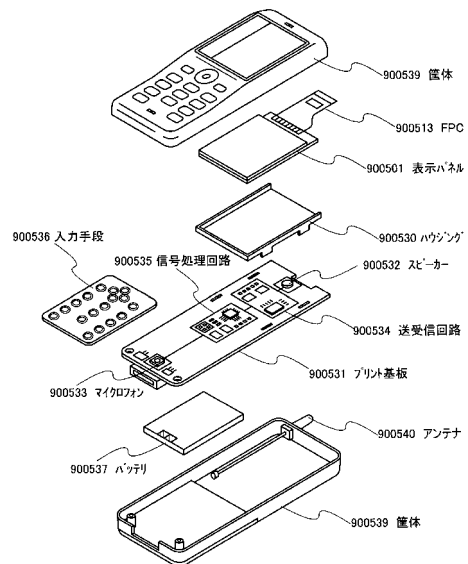
【図77】



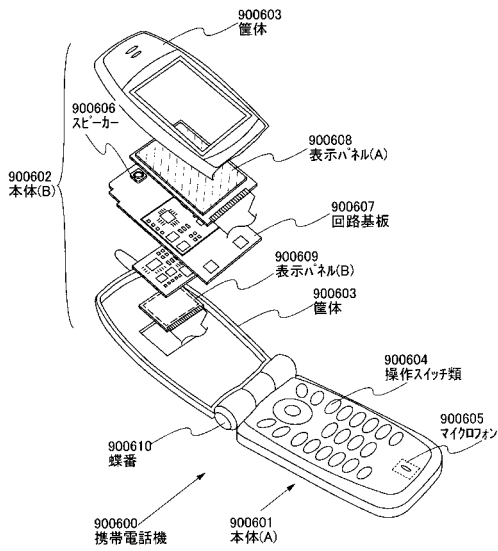
【図78】



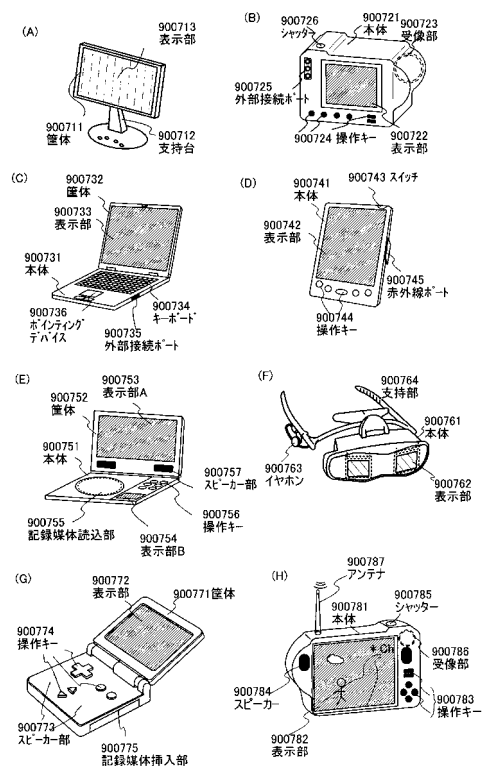
【図79】



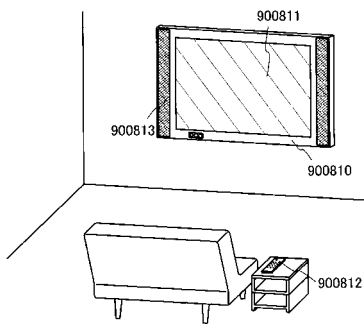
【図80】



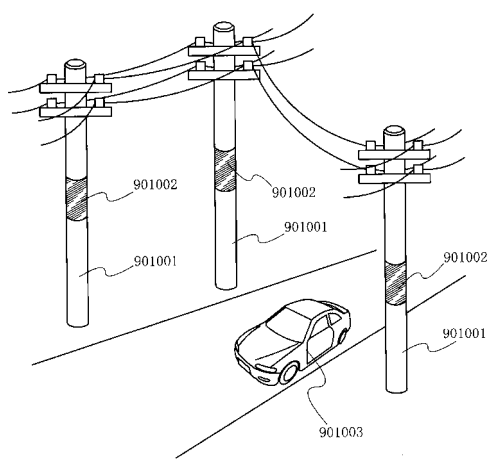
【図81】



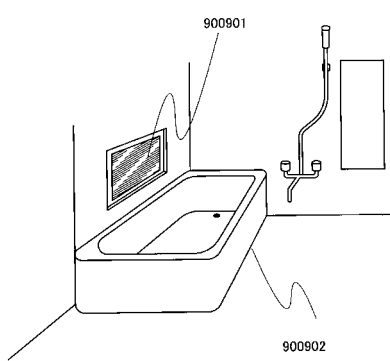
【図82】



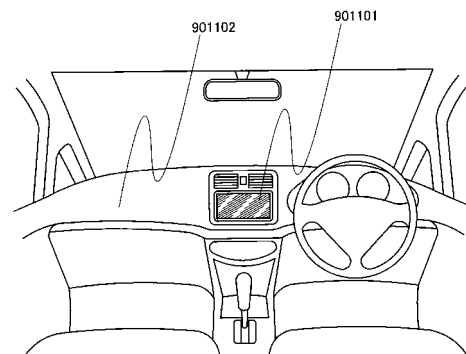
【図84】



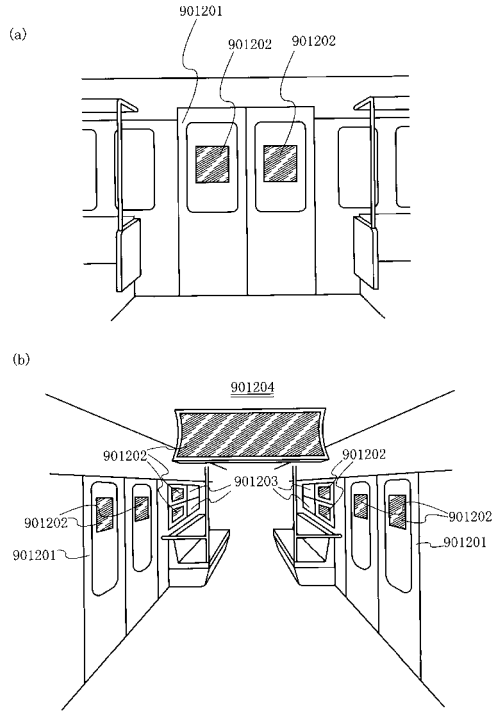
【図83】



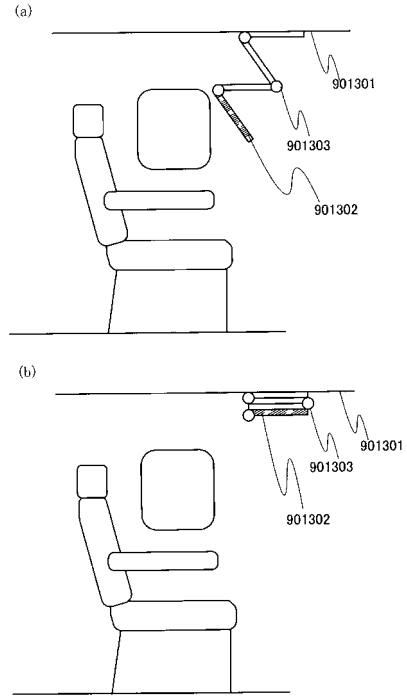
【図85】



【 86 】



【 87 】



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/133 5 5 0
G 0 2 F 1/133 5 0 5
G 0 9 G 3/20 6 1 2 U
G 0 9 G 3/20 6 2 3 D

(56)参考文献 特開平04 - 110994 (JP, A)
特開2005 - 326633 (JP, A)
特開2002 - 297094 (JP, A)
特開平09 - 159993 (JP, A)
特開平05 - 297827 (JP, A)
特開2007 - 017647 (JP, A)
特開2001 - 306014 (JP, A)
特開平11 - 327712 (JP, A)
特開2005 - 173618 (JP, A)
特開2000 - 227608 (JP, A)
特開2000 - 194305 (JP, A)
特開2003 - 323147 (JP, A)
特開2002 - 215092 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 2 0
G 0 2 F 1 / 1 3 3
G 0 9 G 3 / 3 6