

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6185311号
(P6185311)

(45) 発行日 平成29年8月23日(2017.8.23)

(24) 登録日 平成29年8月4日(2017.8.4)

(51) Int. Cl.	F 1		
G06F 1/30 (2006.01)	G06F	1/30	V
G06F 1/32 (2006.01)	G06F	1/32	Z
H03K 17/687 (2006.01)	H03K	17/687	A

請求項の数 3 (全 31 頁)

(21) 出願番号	特願2013-147161 (P2013-147161)	(73) 特許権者	000153878
(22) 出願日	平成25年7月15日(2013.7.15)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2014-38603 (P2014-38603A)		神奈川県厚木市長谷398番地
(43) 公開日	平成26年2月27日(2014.2.27)	(72) 発明者	徳永 肇
審査請求日	平成28年6月24日(2016.6.24)		栃木県栃木市都賀町升塚161-2 アド
(31) 優先権主張番号	特願2012-161932 (P2012-161932)		バンスト フィルム デバイス インク
(32) 優先日	平成24年7月20日(2012.7.20)		株式会社内
(33) 優先権主張国	日本国(JP)	審査官	境 周一
		(56) 参考文献	国際公開第2012/017843 (W O, A1) 米国特許出願公開第2013/0293 282 (US, A1)

最終頁に続く

(54) 【発明の名称】 電源制御回路、及び信号処理回路

(57) 【特許請求の範囲】

【請求項1】

第1のトランジスタと、

第2のトランジスタと、

第3のトランジスタと、

第1の容量素子と、

第2の容量素子と、を有し、

前記第1のトランジスタのソース及びドレインの一方は、前記第1の容量素子の一方の電極に電氣的に接続され、前記ソース及び前記ドレインの他方は、第1の電源線に電氣的に接続され、

前記第2のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのソース及びドレインの一方と、前記第1のトランジスタのゲートと電氣的に接続され、

前記第2のトランジスタの前記ソース及び前記ドレインの他方は、前記第1の電源線と電氣的に接続され、

前記第3のトランジスタの前記ソース及び前記ドレインの他方は、第2の電源線と電氣的に接続され、

前記第2のトランジスタのゲートは、第1の信号線と、前記第2の容量素子の一方の電極と電氣的に接続され、

前記第3のトランジスタのゲートは、第2の信号線と電氣的に接続され、

前記第1の容量素子の他方の電極は、前記第2の電源線と電氣的に接続され、

前記第 2 の容量素子の他方の電極は、前記第 2 の電源線と電氣的に接続され、
前記第 1 のトランジスタは、チャンネルが形成される酸化半導体膜を有する電源制御回路。

【請求項 2】

請求項 1 に記載の前記電源制御回路と、
前記第 1 の電源線及び前記第 2 の電源線に電氣的に接続された検知回路と、
前記電源制御回路を介して、前記第 2 の電源線と電氣的に接続された第 1 のプロセッサ及び第 2 のプロセッサ、並びに不揮発性記憶装置と、を有する信号処理回路。

【請求項 3】

請求項 2 において、
前記電源制御回路は、前記第 1 の電源線から前記第 1 のプロセッサへ電源供給または遮断の制御を行い、

前記検知回路は、前記第 1 の電源線の電位がハイレベル電位からローレベル電位へと変化したことを検知した場合には、前記第 2 のプロセッサに、検知信号を送信し、

前記第 2 のプロセッサは、前記検知信号が入力されると、前記第 1 のプロセッサのデータを、前記不揮発性記憶装置に保持するよう前記第 1 のプロセッサに、バックアップ指令を送信し、

前記第 1 のプロセッサは、前記バックアップ指令を受けて前記データを前記不揮発性記憶装置に送信し、

前記不揮発性記憶装置は、前記第 1 のプロセッサの前記データの保持を行う、信号処理回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電源の供給を停止してもデータの保持が可能な信号処理回路、またはその駆動方法に関する。

【背景技術】

【0002】

近年、半導体集積回路の高集積化及び大規模化に伴い、回路動作が複雑になっている。また、半導体集積回路のプロセスの微細化に伴い、トランジスタのリーク電流が増加し、半導体集積回路が動作していないときも、リーク電流により、余分な電力を消費してしまうことが問題となっている。

【0003】

そこで、近年、半導体集積回路に形成された複数の関連する回路ブロックごとに、電力の供給を行う、または電力の供給を遮断して、使用していない回路ブロックにおけるリーク電流による電力消費を抑えるパワーゲーティング（電源遮断）技術が提案されている。

【0004】

例えば、特許文献 1 には、ロジック回路と電源との間に MOS トランジスタで構成されたスイッチを設け、回路ブロックに対して一括して電力の供給及び電力供給の遮断を行い、SRAM 回路は、MOS トランジスタの基板電位を制御することで、リーク電流による電力消費を抑える半導体集積回路が記載されている。このようなパワーゲーティング技術により、半導体集積回路内で使用しない回路への電力供給を回路ブロックごとに遮断することができるため、リーク電流による余分な電力消費を抑えることが可能となる。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2003 - 132683 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

10

20

30

40

50

ところで、半導体集積回路は、ユーザーの操作等により電源がオフされる場合の他に、落雷等による停電や電源がコンセントから抜かれるなどによって、突然電源供給が遮断される場合がある。回路ブロックのデータが格納される記憶装置は、通常、SRAM等の揮発性の記憶装置を使用しており、回路ブロックに電源が供給されている状態で、突然電源供給が遮断されてしまうと、回路ブロックのデータは、電源供給の遮断とともに消滅してしまう。

【0007】

このようなことを防止するために、電源供給の遮断と同時にパワーゲーティング用のスイッチをオフにすることで、回路ブロックから、電源線へ電荷が流出することを抑制することもできるが、通常の半導体（例えば、シリコン）を用いたトランジスタでは、オフ状態でもリーク電流が流れてしまうため、完全に電荷の流出を遮断することはできないという問題が生じる。

10

【0008】

上記問題に鑑み、本発明の一態様では、消費電力を低減することができ、突然、電源供給が遮断した場合であっても、回路ブロックのデータの消滅を防止することができる電源制御回路を提供することを目的の一とする。また、当該電源制御回路を備えた信号処理回路を提供することを目的の一とする。

【課題を解決するための手段】

【0009】

本発明の一態様では、電源と、プロセッサなどの回路ブロックとの間において、電源供給または遮断を制御するための電源制御回路を設ける。電源制御回路は、回路ブロックへの電源供給、又は遮断を意図的に行うのみならず、突然、電源供給が遮断された場合に、回路ブロックのデータが消滅することを防止するために、電源の電位を保持することができる。電源制御回路によって保持された電源の電位を利用して、回路ブロックのデータを不揮発性の記憶装置に退避させることで、回路ブロックのデータが消滅することを防止することができる。このように、電源制御回路は、パワーゲーティング用のスイッチ、及び電源供給が突然遮断されてしまった場合に、電源の電位を保持するための回路として機能する。

20

【0010】

本発明の一態様に係る電源制御回路には、電源の供給または遮断を制御する第1のスイッチング素子が設けられている。また、第1のスイッチング素子のオンまたはオフを制御するスイッチング制御部が設けられ、当該スイッチング制御部には、第2及び第3のスイッチング素子が設けられている。また、第1のスイッチング素子がオフのときに、電源電位を保持する容量素子が、第1のスイッチング素子と、回路ブロックとの間に、並列に設けられている。

30

【0011】

スイッチング制御部において、第2のスイッチング素子がオンとなり、第3のスイッチング素子がオフとなることで、第1のスイッチング素子をオンとすることができ、第2のスイッチング素子がオフ、第3のスイッチング素子がオンとなることで、第1のスイッチング素子をオフとする。

40

【0012】

第1のスイッチング素子として、オフ電流が小さいトランジスタを用いることが好ましい。オフ電流が小さいトランジスタとして、例えば、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体にチャネルが形成されるトランジスタであることが好ましい。このような半導体としては、例えば、シリコンの2倍以上のバンドギャップを有することが好ましく、例えば、酸化ガリウムなどの酸化物半導体、窒化ガリウムなどの窒化物半導体、炭化シリコン、ガリウムヒ素などの化合物半導体が挙げられる。

【0013】

なお、本明細書等において、オフ電流とは、トランジスタがオフ状態のときに、ソースと

50

ドレインとの間に流れる電流をいう。nチャンネル型トランジスタ（例えば、しきい値電圧が0V乃至2V程度）では、ゲートとソースの間に印加される電圧が負の電圧の場合に、ソースとドレインとの間を流れる電流のことをいう。

【0014】

例えば、酸化物半導体を有するトランジスタはオフ電流が極めて小さいため、第1のスイッチング素子として適用することにより、回路ブロックから電源線へ電荷が流出することを抑制することができる。これにより、回路ブロックの動作が停止している間、電源から回路ブロックへ電源の供給を遮断しても、回路ブロックで記憶されているデータが消滅することを防止することができる。

【0015】

また、停電などにより、電源の供給が突然遮断された場合は、第3のスイッチング素子をオフとし、第2のスイッチング素子が一定時間オンとしてからオフとすることで、第1のスイッチング素子を確実にオフさせる。これにより、第1のスイッチング素子と、回路ブロックとの間に並列に接続された容量素子において、蓄積された電荷がリークすることを防止できるため、電源電位を回路ブロックに一定期間保持することができる。この間に、回路ブロックに保持されたデータを、不揮発性の記憶装置に退避させることで、回路ブロックのデータが、電源の遮断と同時に消滅することを防止することができる。

【0016】

本発明の一態様において、電源制御回路は、第1のスイッチング素子として機能する第1のトランジスタと、第2のスイッチング素子として機能する第2のトランジスタと、第3のスイッチング素子として機能する第3のトランジスタと、第1及び第2の容量素子と、

【0017】

電源制御回路は、第1及び第2の電源線と、第1乃至第3のトランジスタと、第1及び第2の容量素子と、を有し、第1のトランジスタのソース及びドレインの一方は、第1の容量素子の一对の電極のうち的一方と電気的に接続されてノードを構成し、ソース及びドレインの他方は、ハイレベル電位が与えられる第1の電源線と電気的に接続され、第2のトランジスタのソース及びドレインの一方は、第3のトランジスタのソース及びドレインの一方と、第1のトランジスタのゲートと電気的に接続され、第2のトランジスタのソース及びドレインの他方は、第1の電源線と電気的に接続され、第3のトランジスタのソース及びドレインの他方及び第1の容量素子の一对の電極のうち他方は、ローレベル電位が与えられる第2の電源線と電気的に接続される。

【0018】

上記構成では、第1のトランジスタとして、オフ電流が極めて小さいトランジスタを用いている。そのため、第1のトランジスタをオフ状態とすることにより、第1の電源線から、プロセッサなどの回路ブロックへ流れる電流を遮断することができる。これにより、回路ブロックで消費される電力を削減することができる。これにより、電源制御回路は、パワーゲーティング用のスイッチとして機能させることができる。

【0019】

信号処理回路は、第1及び第2の電源線と、第1及び第2の電源線に電気的に接続された検知回路及び電源制御回路と、電源制御回路を介して、第2の電源線と、電気的に接続された第1及び第2のプロセッサ、並びに不揮発性記憶装置と、を有し、電源制御回路は、第1の電源線から第1のプロセッサへ電源供給または遮断の制御を行い、検知回路は、第1の電源線の電位がハイレベル電位からローレベル電位へと変化したことを検知した場合には、第2のプロセッサに、検知信号を送信し、第2のプロセッサは、検知信号が入力されると、第1のプロセッサのデータを、不揮発性記憶装置に保持するよう第1のプロセッサに、バックアップ指令を送信し、第1のプロセッサは、バックアップ指令を受けてデータを不揮発性記憶装置に送信し、不揮発性記憶装置は、第1のプロセッサのデータの保持を行う。

【0020】

上記構成において、電源と、第1のプロセッサとの間に、電源制御回路を設けることにより、電源の供給が突然遮断した場合であっても、速やかに、第1のプロセッサから不揮発性記憶装置へデータを退避させることができるため、第1のプロセッサにおけるデータの消失を防止することができる。

【0021】

高速動作が要求される第1及び第2のプロセッサ等を、例えば、シリコンでなる層または基板を用いたトランジスタで形成し、当該トランジスタが形成された層の上に、電源制御回路を積層して形成することにより、信号処理回路の面積を縮小することができる。

【発明の効果】

【0022】

本発明の一態様によれば、消費電力を低減することができ、突然電源の供給が停止した場合であっても、回路ブロックのデータの消滅を防止することができる電源制御回路を提供することを目的の一とする。また、当該電源制御回路を備えた信号処理回路を提供することができる。

【図面の簡単な説明】

【0023】

【図1】電源制御回路を示す図。

【図2】電源制御回路の動作を説明する図。

【図3】信号処理回路を示すブロック図。

【図4】信号処理回路の動作を示すフローチャート。

【図5】電源制御回路の動作を説明する図。

【図6】電源制御回路の断面の一部を示す図。

【図7】不揮発性の記憶装置を示す図。

【図8】プロセッサを示すブロック図。

【図9】携帯用電子機器を示すブロック図。

【図10】メモリ回路を示すブロック図。

【図11】電子書籍を示すブロック図。

【発明を実施するための形態】

【0024】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0025】

なお、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れかわることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れかえて用いることができるものとする。

【0026】

「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限はない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【0027】

回路図上は独立している構成要素どうしが電氣的に接続しているように図示されている場合であっても、実際には、例えば配線の一部が電極としても機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

10

20

30

40

50

【 0 0 2 8 】

「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。また、「上」「下」の用語は説明の便宜のために用いる表現に過ぎない。

【 0 0 2 9 】

図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【 0 0 3 0 】

「第 1」、「第 2」、「第 3」などの序数詞は、構成要素の混同を避けるために付すものである。

【 0 0 3 1 】

(実施の形態 1)

本実施の形態では、電源制御回路を有する信号処理回路の一例について、図 1 及び図 2 を参照して説明する。

【 0 0 3 2 】

(電源制御回路の構成)

本発明の一態様に係る電源制御回路は、電源の供給または遮断を制御する第 1 のスイッチング素子と、第 1 のスイッチング素子のオン又はオフを制御するスイッチング制御部と、第 1 のスイッチング素子がオフのときに、電源電位を保持する容量素子と、を有する。スイッチング制御部は、第 2 のスイッチング素子及び第 3 のスイッチング素子を有する。

【 0 0 3 3 】

図 1 に示す電源制御回路 201 は、トランジスタ 101、トランジスタ 102、トランジスタ 103、容量素子 104、及び容量素子 105 を有する。また、プロセッサ 202 は、例えば、レジスタやキャッシュメモリ等の揮発性の記憶装置を一または複数有する。

【 0 0 3 4 】

第 1 のスイッチング素子として機能するトランジスタ 101 のソース及びドレインの一方は、容量素子 104 の一对の電極のうち的一方と、プロセッサ 202 と、電気的に接続され、ノード N1 を構成し、ソース及びドレインの他方は、第 1 の電位が与えられる第 1 の電源線 V1 と電気的に接続される。また、容量素子 104 の一对の電極のうち他方は、第 1 の電位よりも低い第 2 の電位が与えられる第 2 の電源線 V2 と電気的に接続されている。

【 0 0 3 5 】

第 2 のスイッチング素子として機能するトランジスタ 102 のソース及びドレインの一方は、第 3 のスイッチング素子として機能するトランジスタ 103 のソース及びドレインの一方と、トランジスタ 101 のゲートと電気的に接続され、ノード N2 を構成している。トランジスタ 102 のソース及びドレインの他方は、第 1 の電源線 V1 と電気的に接続されている。また、トランジスタ 103 のソース及びドレインの他方は、第 2 の電源線 V2 と電気的に接続されている。

【 0 0 3 6 】

トランジスタ 102 のゲートは、制御信号 S1 が入力される信号線と、容量素子 105 の一对の電極のうち的一方とが電気的に接続されてノード N3 を構成する。容量素子 105 をトランジスタ 102 のゲートに電気的に接続することにより、制御信号 S1 が入力される信号線からの電位の供給が停止しても、一定期間オンを保つことができる。また、トランジスタ 103 のゲートは、制御信号 S2 が入力される信号線と、電気的に接続される。容量素子 105 の一对の電極のうち他方は、第 2 の電源線 V2 と電気的に接続される。

【 0 0 3 7 】

トランジスタ 101 は、ノード N2 の電位に基づいてオン状態またはオフ状態が制御され、トランジスタ 102 は、制御信号 S1 に基づいてオン状態またはオフ状態が制御され、

10

20

30

40

50

トランジスタ103は、制御信号S2に基づいてオン状態またはオフ状態が制御される。

【0038】

トランジスタ101は、オフ電流が小さいトランジスタを用いることが好ましい。オフ電流が小さいトランジスタとして、例えば、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体にチャンネルが形成されるトランジスタであることが好ましい。このような半導体としては、例えば、シリコンの2倍以上のバンドギャップを有することが好ましく、例えば、酸化ガリウムなどの酸化物半導体、窒化ガリウムなどの窒化物半導体、炭化シリコン、ガリウムヒ素などの化合物半導体が挙げられる。

【0039】

トランジスタ101に用いる半導体は、電子供与体(ドナー)となる水または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより、高純度化された酸化物半導体(purified Oxide Semiconductor)であることが好ましい。高純度化された酸化物半導体は、i型(真性半導体)又はi型に限りなく近い。そのため、上記酸化物半導体を用いたトランジスタは、オフ電流が著しく小さいという特性を有する。また、酸化物半導体のバンドギャップは、2eV以上、好ましくは、2.5eV以上、より好ましくは3.0eV以上である。さらに、水または水素などの不純物濃度が十分に低減され、なおかつ酸素欠損が低減されることにより、高純度化された酸化物半導体を用いることにより、トランジスタのオフ電流を著しく小さくすることができる。

【0040】

具体的に、高純度化された酸化物半導体膜を用いたトランジスタのオフ電流が小さいことは、いろいろな実験により証明できる。例えば、チャンネル幅が $1 \times 10^6 \mu\text{m}$ でチャンネル長が $10 \mu\text{m}$ の素子であっても、ソースとドレイン間の電圧(ドレイン電圧)が1Vから10Vの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{A}$ 以下という特性を得ることができる。この場合、オフ電流をトランジスタのチャンネル幅で除した数値に相当するオフ電流密度は、 $100 \text{zA} / \mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流密度の測定を行った。当該測定では、上記トランジスタに高純度化された酸化物半導体膜をチャンネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流密度を測定した。その結果、トランジスタのソースとドレイン間の電圧が3Vの場合に、数十yA/ μm という、さらに低いオフ電流密度が得られることが分かった。従って、高純度化された酸化物半導体膜をチャンネル形成領域に用いたトランジスタは、シリコンを用いたトランジスタに比べてオフ電流が著しく小さいといえる。

【0041】

トランジスタ101として、酸化物半導体膜にチャンネルが形成されるトランジスタを用いることにより、ノードN1の電位が一定に保たれた後、トランジスタ101をオフ状態としても、トランジスタ101を介してリークする電荷量を著しく小さくすることができる。よって、ノードN1に電位を保持した後、トランジスタ101をオフ状態とすることにより、ノードN1の電位を長期間にわたり保持することができる。

【0042】

また、トランジスタ102及びトランジスタ103として、酸化物半導体膜にチャンネルが形成されるトランジスタを用いることにより、ノードN2の電位が一定に保たれた後、トランジスタ102又はトランジスタ103をオフ状態としても、トランジスタ102またはトランジスタ103を介してリークする電荷量を著しく小さくすることができる。よって、ノードN2の電位を保持した後、トランジスタ102またはトランジスタ103をオフ状態とすることにより、電源制御回路201で消費される電力を低減することができる。

【0043】

なお、トランジスタ102及びトランジスタ103は、酸化物半導体以外の半導体でなる層または基板にチャンネルが形成されるトランジスタとすることもできる。例えば、シリコ

10

20

30

40

50

ン層またはシリコン基板にチャネルが形成されるトランジスタとすることができる。

【0044】

なお、トランジスタ101～トランジスタ103は、酸化物半導体層を挟んで上下に2つのゲートを有していてもよい。一方のゲートには、トランジスタのオン状態またはオフ状態を制御するための制御信号が与えられ、他方のゲートは、電氣的に絶縁しているフローティングの状態であってもよいし、電位が他から与えられている状態であってもよい。後者の場合、一对のゲートに、同じ高さの電位が与えられていてもよいし、他方のゲートにのみ接地電位などの固定電位が与えられていてもよい。他方のゲートに与える電位の高さを制御することで、トランジスタのしきい値電圧を制御することができる。

【0045】

(電源制御回路の動作)

次に、プロセッサ202へ電源の供給の後、消費電力を削減するために電源の供給を停止し、再び電源を供給する場合の電源制御回路201の駆動方法について、図2を参照して説明する。

【0046】

(通常動作)

図2(A)に示す通常動作について説明する。図2(A)は、プロセッサ202に、電源(第1の電源線V1としてハイレベル電位)が与えられている状態を示している。トランジスタ102のゲートに、制御信号S1としてハイレベル電位が与えられることにより、トランジスタ102はオン状態となる。また、トランジスタ103のゲートに、制御信号S2としてローレベル電位が与えられることにより、トランジスタ103はオフ状態となる。よって、ノードN2の電位はハイレベル電位となり、トランジスタ101のゲートにハイレベル電位が与えられるため、トランジスタ101はオン状態となる。こうして、プロセッサ202に第1の電源線V1のハイレベル電位が与えられる。

【0047】

(回路ブロックへ電源供給停止動作)

図2(B)に示すプロセッサ202へ電源の供給を停止する動作について説明する。トランジスタ102のゲートに、制御信号S1としてローレベル電位が与えられることにより、トランジスタ102はオフ状態となる。また、トランジスタ103のゲートに、制御信号S2としてハイレベル電位が与えられることにより、トランジスタ103はオン状態となる。よって、ノードN2の電位はローレベル電位となり、トランジスタ101のゲートにローレベル電位が与えられるため、トランジスタ101はオフ状態となる。

【0048】

本実施の形態に示す電源制御回路201では、トランジスタ101として、オフ電流が極めて小さいトランジスタを用いている。そのため、トランジスタ101をオフ状態とすることにより、第1の電源線V1から、プロセッサ202へ流れる電流を遮断することができる。これにより、プロセッサ202で消費される電力を削減することができる。このように、電源制御回路201は、パワーゲーティング用のスイッチとして機能させることができる。

【0049】

(通常動作再開)

また、プロセッサ202において、通常動作を再開する際には、図2(A)に示すように、トランジスタ102のゲートに、制御信号S1としてハイレベル電位を与えることにより、トランジスタ102をオン状態とする。また、トランジスタ103のゲートに、制御信号S2としてローレベル電位を与えることにより、トランジスタ103をオフ状態とする。よって、ノードN3の電位はハイレベル電位となり、トランジスタ101のゲートにハイレベル電位が与えられるため、トランジスタ101はオン状態となる。こうして、プロセッサ202に第1の電源線V1のハイレベル電位が与えられ、通常動作が再開される。

【0050】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することが可能である。

【0051】

(実施の形態2)

本実施の形態では、プロセッサ202へ電源を供給した後、突然、電源の供給が停止した場合の信号処理回路200の駆動方法について、図3乃至図6を参照して説明する。

【0052】

図3に、電源制御回路201を含む信号処理回路200のブロック図を示す。信号処理回路200は、電源制御回路201と、プロセッサ202と、検知回路203と、プロセッサ204と、不揮発性の記憶装置205と、を有する。ここで、プロセッサ202は、信号処理回路200を含む電子機器の動作を制御するためのメインのプロセッサであり、プロセッサ204は、電子機器への電源の供給が停止した場合に動作するサブのプロセッサである。また、検知回路203、プロセッサ204、記憶装置205、及びプロセッサ202は、それぞれL1などの配線によって接続される。

10

【0053】

プロセッサ202は、キャッシュメモリ、レジスタ等の揮発性の記憶装置を一又は複数有する。

【0054】

記憶装置205は、ROM、EEPROM、フラッシュメモリ、磁気ディスク、光ディスク等の不揮発性の記憶装置を一又は複数有する。記憶装置205には、メインのプロセッサ202を動作させるためのプログラムや、サブのプロセッサ204を動作させるためのプログラムが格納されている。また、メインのプロセッサ202及びサブのプロセッサ204がプログラムを実行する際、各種データを一時的に格納するワークメモリとして使用される。また、メインのプロセッサ202の動作中に、突然、電源の供給が停止した場合、プロセッサ202に保持されているデータを保存するためのメモリとして使用される。

20

【0055】

検知回路203は、第1の電源線V1に電氣的に接続される。検知回路203は、第1の電源線V1の電位が、ハイレベル電位、ローレベル電位のいずれであるかを検知する。また、検知回路203は、検知された電位に基づき生成される第1の検知信号S3または第2の検知信号S4を、サブのプロセッサ204に送信する。検知回路203は、第1の電源線V1の電位がハイレベル電位からローレベル電位に変化したことを検知した場合は、第1の検知信号S3を、プロセッサ204に送信する。また、検知回路203は、第1の電源線V1の電位がローレベル電位からハイレベル電位に変化したことを検知した場合は、第2の検知信号S4を、プロセッサ204に送信する。

30

【0056】

プロセッサ204は、プロセッサ202の動作とは独立して動作する。また、プロセッサ204は、電源の供給が停止した場合であっても動作することができる。プロセッサ204は、検知回路203から送信された第1の検知信号S3を受信すると、メインのプロセッサ202内に保持されたデータを、記憶装置205にバックアップするように、プロセッサ202にバックアップ指令を出す。また、検知回路203から送信された第2の検知信号S4を受信すると、記憶装置205に保持されたデータを、プロセッサ202にロードするように、プロセッサ202及び記憶装置205にロード指令を出す。

40

【0057】

電源制御回路201は、実施の形態1に示す電源制御回路を適用することができる。

【0058】

(信号処理回路200の動作方法)

次に、信号処理回路200の動作方法について、図4乃至図5を参照して説明する。

【0059】

(突然の電源供給停止)

図4(A)に示すフローチャートのように、信号処理回路200に供給されていた電源が、突然、遮断される(ステップS301)。これにより、第1の電源線V1の第1の電位

50

がハイレベル電位からローレベル電位となる（ステップS302）。そして、電源制御回路201が動作する（ステップS303）。

【0060】

図5（A1）に、突然、電源の供給が停止した瞬間の電源制御回路201を示す。突然、電源の供給が停止すると、トランジスタ102のゲートに与えられていたハイレベル電位がローレベル電位となり、トランジスタ102がオフ状態となる。このとき、ノードN2に、電荷が残ったままトランジスタ102がオフ状態になってしまうと、トランジスタ101を完全にオフ状態にすることができなくなってしまう。

【0061】

図5（A2）に、トランジスタ101の電気的特性を示すグラフを示す。例えば、ノードN2に、電荷が残っている場合、トランジスタ101のゲートには、正の電位である V_{ga} が与えられてしまい、トランジスタ101をオフ状態とすることができなくなる。これにより、トランジスタ101には、リーク電流が流れてしまい、ノードN1の電位も変動してしまうため、プロセッサ202は、動作を維持できなくなってしまう。

10

【0062】

しかしながら、図5（B）に示すように、トランジスタ102のゲートには、容量素子105の一对の電極のうち一方が接続されたノードN3によって、電位が保持されている。これにより、トランジスタ102のゲートには、正の電位が与えられ続けるため、トランジスタ102がオフ状態となる時間を遅延させることができる。トランジスタ102がオフ状態となるまでの間に、ノードN2に残った電荷を第1の電源線V1へと移動させることにより、ノードN2の電位をローレベル電位とする。これにより、トランジスタ101をオフ状態とすることができる。

20

【0063】

トランジスタ101として、酸化物半導体膜にチャネルが形成されるトランジスタを用いている。当該トランジスタは、オフ電流が著しく小さいため、容量素子104によって保持されたノードN1の電位を長期間保持することができる。よって、ノードN1の電位の変動を抑制することができる。

【0064】

そして、ノードN1には、電源供給時の電位であるハイレベル電位が保持されているため、プロセッサ202には、電力が供給され続ける（図5（C）参照）。

30

【0065】

また、第1の電源線V1の電位がハイレベル電位からローレベル電位になると、検知回路203で、電位の変化が検知される。なお、ノードN1としてハイレベル電位が保持されることにより、配線L1もハイレベル電位が保たれている。よって、検知回路203は、配線L1から電源の供給を受けている。検知回路203で、電位の変化が検知されると、検知回路203では第1の検知信号S3を生成して、プロセッサ204に送信する（図4、ステップS304参照）。

【0066】

プロセッサ204は、第1の検知信号S3を受信すると、プロセッサ202に保持されているデータを、記憶装置205に保持するようにプロセッサ202にバックアップ指令を出す（図4、ステップS305参照）。

40

【0067】

バックアップ指令を受けたプロセッサ202は、プロセッサ202から記憶装置205へデータを保存する（図4、ステップS306参照）。

【0068】

記憶装置205へデータが保存されたら、記憶装置205は、プロセッサ202に、バックアップ終了通知を送信（図4、ステップS307参照）することで、信号処理回路200は、スタンバイモードとなる（図4、ステップS308参照）。

【0069】

（電源復帰動作）

50

図4(B)に示すフローチャートのように、信号処理回路200への電源の供給が再開される(ステップS311参照)。これにより、第1の電源線V1の第1の電位がローレベル電位からハイレベル電位となる(ステップS312参照)。このとき、制御信号S1もローレベル電位からハイレベル電位となるため、トランジスタ102がオン状態となる。また、トランジスタ103のゲートには、制御信号S2として、ローレベル電位が与えられるため、トランジスタ103はオフ状態となる。よって、ノードN2の電位はハイレベル電位となり、トランジスタ101のゲートにはハイレベル電位が与えられるため、トランジスタ101はオン状態となる。こうして、プロセッサ202に第1の電源線V1のハイレベル電位が与えられる(ステップS313参照)。

【0070】

また、第1の電源線V1の電位がローレベル電位からハイレベル電位になると、検知回路203で、電位の変化が検知される。検知回路203で、電位の変化が検知されると、検知回路203では第2の検知信号S4を生成して、プロセッサ204に送信する(ステップS314)。

【0071】

プロセッサ204は、第2の検知信号S4を受信すると、記憶装置205に保持されているデータを、プロセッサ202にロードするように、プロセッサ202及び記憶装置205にロード指令を出す(ステップS315)。そして、記憶装置205のデータを、プロセッサ202にロードする(ステップS316)。

【0072】

こうして、信号処理回路200のデータの復帰が完了する(ステップS317)。

【0073】

信号処理回路200において、電源制御回路201を設けることにより、信号処理回路200へ電源の供給が突然遮断された場合であっても、速やかに、プロセッサ202から記憶装置205へデータを退避させることができるため、プロセッサ202におけるデータの消失を防止することができる。

【0074】

また、パワーゲーティングを行っている最中に、突然、電源の供給が遮断された場合であっても、プロセッサ202に保持されたデータを速やかに記憶装置205へ退避させることができるため、プロセッサ202に保持されたデータの消滅を防止することができる。

【0075】

例えば、電源制御回路201のトランジスタ101として、シリコンを用いたトランジスタを用いた場合では、オフ電流は1pAとなる。また、容量素子104の容量を例えば1pFとすると、ノードN1で電源電位(例えば、VDD)を変化量1mV未満で保持できる期間は1msとなる。したがって、第1の電源線からの電源が突然遮断されてしまうと、プロセッサ202の動作は直ちに停止してしまうので、データは消滅してしまう。

【0076】

しかし、本発明の一態様では、電源制御回路201のトランジスタ101として、酸化物半導体を用いたトランジスタを用いているため、オフ電流を、100yAとすることができる。また、容量素子104の容量を例えば1pFとすると、ノードN1で電源電位を変化量1mV未満で保持できる期間は、 10^7 secとなる。したがって、この間に、プロセッサ202のデータを不揮発性の記憶装置205に保持することによって、突然電源の供給が停止した場合であってもプロセッサ202のデータの消滅を防止することができる。

【0077】

なお、実施の形態1に示す図1は、図3に示す信号処理回路200の一部を示している。したがって、図3に示す信号処理回路200において、プロセッサ202へ意図的に電源供給の遮断を行う場合には、実施の形態1に示すプロセッサ202へ電源供給停止動作を参照すればよい。

【0078】

10

20

30

40

50

以上説明したように、電源制御回路201は、プロセッサ202への電源供給または遮断を意図的に行うのみならず、突然、電源供給が遮断された場合に、プロセッサ202のデータが消滅することを防止するために、電源の電位を保持することができる。電源制御回路201によって保持された電源の電位を利用して、プロセッサ202のデータを不揮発性の記憶装置205に退避させることで、プロセッサ202のデータが消滅することを防止することができる。このように、電源制御回路201は、パワーゲーティング用のスイッチ、及び電源供給が突然遮断されてしまった場合に、電源の電位を保持するための回路として機能させることができる。

【0079】

(実施の形態3)

本実施の形態では、先の実施の形態に示す電源制御回路の断面の一部について、図6を参照して説明する。図6では、図3に示すプロセッサ202が有するトランジスタ510及び520上に、電源制御回路201が有するトランジスタ101及び容量素子104が、積層されている図を示す。

【0080】

なお、上記トランジスタ101及びトランジスタ510は、nチャネル型トランジスタであり、トランジスタ520は、pチャネル型トランジスタである場合について説明する。

【0081】

まず、下部に形成されたトランジスタ510及びトランジスタ520について説明する。

【0082】

n型のトランジスタ510は、半導体材料を含む基板500に設けられたチャネル形成領域501と、チャネル形成領域501を挟むように設けられた低濃度不純物領域502及び高濃度不純物領域503（これらを合わせて単に不純物領域とも呼ぶ）と、該不純物領域に接して設けられた金属間化合物領域507と、チャネル形成領域501上に設けられたゲート絶縁層504aと、ゲート絶縁層504a上に設けられたゲート電極層505aと、金属間化合物領域507と接して設けられたソース電極層506a及びドレイン電極層506bと、を有する。ゲート電極層505aの側面には、側壁絶縁層508aが設けられている。トランジスタ510を覆うように絶縁層521及び絶縁層522が設けられている。絶縁層521及び絶縁層522に形成された開口を通じて、ソース電極層506a及びドレイン電極層506bと、金属間化合物領域507とが接続されている。

【0083】

低濃度不純物領域502及び高濃度不純物領域503には、n型の導電性を付与する不純物が添加されている。n型を付与する不純物元素としては、リンやヒ素等を用いることができる。

【0084】

p型のトランジスタ520は、半導体材料を含む基板500に設けられたチャネル形成領域511と、チャネル形成領域511を挟むように設けられた低濃度不純物領域512及び高濃度不純物領域513（これらを合わせて単に不純物領域とも呼ぶ）と、該不純物領域に接して設けられた金属間化合物領域517と、チャネル形成領域511上に設けられたゲート絶縁層504bと、ゲート絶縁層504b上に設けられたゲート電極層505bと、金属間化合物領域517と接して設けられたソース電極層506c及びドレイン電極層506dと、を有する。ゲート電極層505bの側面には、側壁絶縁層508bが設けられている。トランジスタ520を覆うように絶縁層521及び絶縁層522が設けられている。絶縁層521及び絶縁層522に形成された開口を通じて、ソース電極層506c及びドレイン電極層506dと、金属間化合物領域517とが接続している。

【0085】

低濃度不純物領域512及び高濃度不純物領域513には、p型の導電性を付与する不純物が添加されている。p型を付与する不純物元素として、硼素、アルミニウム、ガリウム等を用いることができる。

【0086】

10

20

30

40

50

また、基板500には、トランジスタ510と、トランジスタ520のそれぞれを囲むように素子分離絶縁膜509が設けられている。

【0087】

基板500として、例えば、ガラス基板、セラミック基板、石英基板、サファイア基板等を用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板や、多結晶半導体基板、GaAs基板、InP基板、GaN基板、SiC基板、GaP基板、GaInAsP基板、ZnSe基板等の化合物半導体基板を用いることができる。

【0088】

図6では、トランジスタ510及びトランジスタ520が、半導体基板にチャンネルが形成されるトランジスタである場合について示すが、トランジスタ510及びトランジスタ520が、絶縁表面上に形成された半導体膜にチャンネルが形成されるトランジスタであってもよい。

10

【0089】

半導体膜は、非晶質シリコン、多結晶シリコン、単結晶シリコンなどを用いて形成される。非晶質シリコンは、CVD法やスパッタリング法などにより成膜され、多結晶シリコンは、非晶質シリコンにレーザビームを照射することにより結晶化される。また、単結晶シリコンは、単結晶シリコン基板に水素イオンを注入して表層部を剥離することにより形成される。

【0090】

半導体基板として、単結晶半導体基板を用いることにより、トランジスタ510及びトランジスタ520を、高速動作させることができる。なお、図6に図示しないが、先の実施の形態に示すプロセッサ202、プロセッサ204、及び検知回路203も、単結晶半導体基板に形成されることが好ましい。

20

【0091】

ゲート絶縁層504a、504b上に形成されたゲート電極層505a、505bの側面には、側壁絶縁層508a、508bが設けられている。基板500にn型の不純物を添加する際に、ゲート電極層505a及び側壁絶縁層508aをマスクとして用いることで、不純物濃度が異なる低濃度不純物領域502と、高濃度不純物領域503を、自己整合的に形成することができる。また、基板500にp型の不純物を添加する際に、ゲート電極層505b及び側壁絶縁層508bをそれぞれマスクとして用いることで、不純物濃度が異なる低濃度不純物領域512と、高濃度不純物領域513を、自己整合的に形成することができる。

30

【0092】

ゲート絶縁層504a及びゲート絶縁層504bは、CVD法、スパッタリング法、熱酸化法などにより、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコン等を用いて形成される。

【0093】

ゲート電極層505a、505bは、スパッタリング法やCVD法により、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジウム、スカンジウム等の金属材料、またはこれらを主成分とする合金材料を用いて形成される。

40

【0094】

側壁絶縁層508a、508bは、CVD法、スパッタリング法により、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコン等を用いて形成される。図6では、側壁絶縁層508a、508bは、積層構造で形成されている場合について示す。

【0095】

絶縁層521及び絶縁層522は、CVD法、スパッタリング法等により、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン等を用いて形成される。また、低温酸化(LTO: Low Temperature Oxidation)法により形成された酸化シリコンを用いてもよい。また、TEOS(Tetraethyl-Ortho-Silicate)若しくはシラン等と、酸素若しくは亜酸化窒素等とを反応させて形成した段差被

50

覆性のよい酸化シリコンを用いてもよい。なお、絶縁層522は、その表面の平坦性を高めるために研磨処理（例えば、化学的機械研磨（Chemical Mechanical Polishing：CMP）法）、ドライエッチング処理、プラズマ処理が行われることが好ましい。

【0096】

ソース電極層506a、ドレイン電極層506b、ソース電極層506c、及びドレイン電極層506dは、スパッタリング法やPECVD法により、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料、またはこれらを主成分とする合金材料を用いて形成される。

【0097】

絶縁層522上には、配線層523a～523cが形成されている。配線層523a～523cは、ソース電極層506aなどの記載を参酌できる。

【0098】

配線層523a～523c上に、絶縁層524が形成されている。絶縁層524は、絶縁層521などの記載を参酌できる。

【0099】

絶縁層524上には、電極層525が形成されている。電極層525は、トランジスタ101のゲートとして機能する。電極層525は、ソース電極層506aなどの記載を参酌できる。

【0100】

電極層525に絶縁層526が接して設けられている。絶縁層526は、電極層525上に絶縁膜を形成した後、電極層525の上面が露出するまで、CMP法などの研磨処理、ドライエッチング処理、プラズマ処理を行うことで形成される。

【0101】

電極層525及び絶縁層526上に、絶縁層527、絶縁層528、絶縁層529が形成されている。絶縁層526～529は、絶縁層521、522と同様の方法により、同様の材料を用いて形成される。本実施の形態では、電極層525、絶縁層526上に、3層の絶縁層を形成する例について示しているが、1層または2層であってもよいし、4層以上であってもよい。

【0102】

絶縁層529上には、酸化物半導体層530が設けられている。

【0103】

酸化物半導体層530は、少なくともインジウム（In）あるいは亜鉛（Zn）を含むことが好ましい。また、該酸化物半導体層を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（Ga）、スズ（Sn）、ハフニウム（Hf）、アルミニウム（Al）、ジルコニウム（Zr）のいずれか一または複数を含むことが好ましい。

【0104】

また、他のスタビライザーとして、ランタノイドである、ランタン（La）、セリウム（Ce）、プラセオジウム（Pr）、ネオジウム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）のいずれか一種または複数種を含んでいてもよい。

【0105】

例えば、酸化物半導体として、酸化インジウム、酸化ガリウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物（IGZOとも表記する）、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-L

10

20

30

40

50

a - Z n系酸化物、I n - P r - Z n系酸化物、I n - N d - Z n系酸化物、I n - S m - Z n系酸化物、I n - E u - Z n系酸化物、I n - G d - Z n系酸化物、I n - T b - Z n系酸化物、I n - D y - Z n系酸化物、I n - H o - Z n系酸化物、I n - E r - Z n系酸化物、I n - T m - Z n系酸化物、I n - Y b - Z n系酸化物、I n - L u - Z n系酸化物、四元系金属の酸化物であるI n - S n - G a - Z n系酸化物、I n - H f - G a - Z n系酸化物、I n - A l - G a - Z n系酸化物、I n - S n - A l - Z n系酸化物、I n - S n - H f - Z n系酸化物、I n - H f - A l - Z n系酸化物を用いることができる。

【0106】

なお、例えば、I n - G a - Z n系酸化物とは、I nとG aとZ nを含む酸化物という意味であり、I nとG aとZ nの比率は問わない。また、I nとG aとZ n以外の金属元素を含んでいてもよい。当該I n - G a - Z n系酸化物を用いたトランジスタは、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高い。

10

【0107】

例えば、I n : G a : Z n = 1 : 1 : 1 (= 1 / 3 : 1 / 3 : 1 / 3) あるいはI n : G a : Z n = 2 : 2 : 1 (= 2 / 5 : 2 / 5 : 1 / 5) の原子比のI n - G a - Z n系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、I n : S n : Z n = 1 : 1 : 1 (= 1 / 3 : 1 / 3 : 1 / 3) 、I n : S n : Z n = 2 : 1 : 3 (= 1 / 3 : 1 / 6 : 1 / 2) あるいはI n : S n : Z n = 2 : 1 : 5 (= 1 / 4 : 1 / 8 : 5 / 8) の原子比のI n - S n - Z n系酸化物やその組成の近傍の酸化物を用いるとよい。

20

【0108】

例えば、I n - S n - Z n系酸化物では比較的容易に高い移動度が得られる。しかしながら、I n - G a - Z n系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0109】

以下では、酸化物半導体膜の構造について説明する。

【0110】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、C A A C - O S (C A x i s A l i g n e d C r y s t a l l i n e O x i d e S e m i c o n d u c t o r) 膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜などをいう。

30

【0111】

まずは、C A A C - O S 膜について説明する。

【0112】

C A A C - O S 膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。従って、C A A C - O S 膜に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。

40

【0113】

C A A C - O S 膜を透過型電子顕微鏡 (T E M : T r a n s m i s s i o n E l e c t r o n M i c r o s c o p e) によって観察すると、明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、C A A C - O S 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0114】

C A A C - O S 膜を、試料面と概略平行な方向からT E Mによって観察 (断面T E M観察) すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、C A A C - O S 膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、C A A C - O S 膜の被形成面または上面と平行に配列する。

【0115】

50

一方、CAAC-OS膜を、試料面と概略垂直な方向からTEMによって観察（平面TEM観察）すると、結晶部において、金属原子が三角形または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0116】

断面TEM観察および平面TEM観察より、CAAC-OS膜の結晶部は配向性を有していることがわかる。

【0117】

CAAC-OS膜に対し、X線回折（XRD：X-Ray Diffraction）装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角（2θ）が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の（009）面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

10

【0118】

一方、CAAC-OS膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、2θが56°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の（110）面に帰属される。InGaZnO₄の単結晶酸化物半導体膜であれば、2θを56°近傍に固定し、試料面の法線ベクトルを軸（c軸）として試料を回転させながら分析（スキャン）を行うと、（110）面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC-OS膜の場合は、2θを56°近傍に固定してスキャンした場合でも、明瞭なピークが現れない。

20

【0119】

以上のことから、CAAC-OS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

【0120】

なお、結晶部は、CAAC-OS膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC-OS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OS膜の被形成面または上面の法線ベクトルと平行にならないこともある。

30

【0121】

また、CAAC-OS膜中の結晶化度が均一でなくてもよい。例えば、CAAC-OS膜の結晶部が、CAAC-OS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることもある。また、CAAC-OS膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【0122】

なお、InGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

40

【0123】

CAAC-OS膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる

50

要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

【0124】

また、CAAC-OS膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【0125】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

【0126】

また、CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0127】

次に、微結晶酸化物半導体膜について説明する。

【0128】

微結晶酸化物半導体膜は、TEMによる観察像では、明確に結晶部を確認することができない場合がある。微結晶酸化物半導体膜に含まれる結晶部は、1nm以上100nm以下、または1nm以上10nm以下の大きさであることが多い。特に、1nm以上10nm以下、または1nm以上3nm以下の微結晶であるナノ結晶（nc:nanocrystal）を有する酸化物半導体膜を、nc-OS（nanocrystalline Oxide Semiconductor）膜と呼ぶ。また、nc-OS膜は、例えば、TEMによる観察像では、結晶粒界を明確に確認できない場合がある。

【0129】

nc-OS膜は、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。従って、nc-OS膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-OS膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS膜は、結晶部よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折像が観測される。一方、nc-OS膜は、結晶部の大きさと近い結晶部より小さいプローブ径（例えば1nm以上30nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、スポットが観測される。また、nc-OS膜のナノビーム電子線回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。また、nc-OS膜のナノビーム電子線回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

【0130】

nc-OS膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。その

10

20

30

40

50

ため、nc-O S膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc-O S膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-O S膜は、CAAC-O S膜と比べて欠陥準位密度が高くなる。

【0131】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、CAAC-O S膜のうち、二種以上を有する積層膜であってもよい。

【0132】

なお、非晶質酸化物半導体膜は、不純物を取り込まれやすくキャリア密度が高くなる傾向があるため、比較的容易に、比較的高い電界効果移動度を得ることができる。

【0133】

また、平坦な表面上に酸化物半導体膜を成膜することにより、結晶性を高めることができる。酸化物半導体膜は、例えば、平均面粗さ(Ra)が1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下の表面上に形成するとよい。

【0134】

なお、Raは、JIS B0601:2001(ISO4287:1997)で定義されている算術平均粗さを曲面に対して適用できるように三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」で表現でき、以下の式にて定義される。

【0135】

【数1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

【0136】

ここで、指定面とは、粗さ計測の対象となる面であり、座標($x_1, y_1, f(x_1, y_1)$)、

($x_1, y_2, f(x_1, y_2)$)、($x_2, y_1, f(x_2, y_1)$)、($x_2, y_2, f(x_2, y_2)$)の4点で表される四角形の領域とし、指定面をxy平面に投影した長方形の面積を S_0 、基準面の高さ(指定面の平均の高さ)を Z_0 とする。Raは原子間力顕微鏡(AFM: Atomic Force Microscope)にて測定可能である。

【0137】

よって、絶縁層529において酸化物半導体層530が接して形成される領域に、平坦化処理を施すことが好ましい。平坦化処理としては、特に限定されないが、研磨処理(例えば、化学的機械研磨(Chemical Mechanical Polishing: CMP)法)、ドライエッチング処理、プラズマ処理を用いることができる。

【0138】

また、CAAC-O S膜を成膜するために、以下の条件を適用することが好ましい。

【0139】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度(水素、水、二酸化炭素および窒素など)を低減することが好ましい。また、成膜ガス中の不純物濃度を低減することが好ましい。具体的には、露点が-80以下、好ましくは-100以下である成膜ガスを用いる。

【0140】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を100以上740以下、好ましくは200以上500以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

【0141】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージ

10

20

30

40

50

を軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

【0142】

スパッタリング用ターゲットの一例として、多結晶のIn-Ga-Zn系酸化物ターゲットについて以下に示す。

【0143】

多結晶のIn-Ga-Zn系酸化物ターゲットは、 InO_x 粉末、 GaO_y 粉末および ZnO_z 粉末を所定のmol数比で混合し、加圧処理後、1000以上1500以下の温度で加熱処理をすることで得られる。なお、X、YおよびZは任意の正数である。ここで、 InO_x 粉末、 GaO_y 粉末および ZnO_z 粉末のmol数比は、例えば、2:2:1、8:4:3、3:1:1、1:1:1、4:2:3または3:1:2とする。なお、粉末の種類、およびその混合するmol数比は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

10

【0144】

酸化物半導体層530として、CAAC-OS膜を用いることにより、可視光や紫外光の照射による電気的特性の変動が低減されたトランジスタとすることができる。

【0145】

また、酸化物半導体層530は、成膜前、成膜時、成膜後において、水素や水などの不純物が含まれないようにすることが好ましい。例えば、絶縁層529に含まれる水素や水などを極力除去することや、酸化物半導体層530の成膜時に、水素や水が極力含まれないように成膜することが好ましい。また、酸化物半導体層530の成膜後には、酸化物半導体層530に含まれてしまった水素や水などを除去するために加熱処理(脱水化または脱水素化処理ともいう)を行ってもよい。さらに、酸化物半導体層530に含まれる水素や水を低減するために、酸化物半導体層530と接する絶縁膜も、水素や水が極力含まれないように成膜することが好ましい。また、絶縁膜の成膜後に、脱水化または脱水素化処理を行ってもよい。

20

【0146】

さらに、絶縁層527、絶縁層528の少なくとも一に、水素が透過することを防止する膜を用いることにより、下部のトランジスタ510及びトランジスタ520や、絶縁層524、絶縁層526等に含まれる水素が、酸化物半導体層530に到達することを防止することができる。水素が透過することを防止する膜として、窒化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜等を用いることが好ましい。また、絶縁層534として、水素が透過することを防止する膜を用いることにより、絶縁層535に含まれる水素が、酸化物半導体層530に到達することを防止することができる。

30

【0147】

また、酸化物半導体層530に含まれる酸素欠損を低減するために、酸化物半導体層530に酸素を供給する処理を行ってもよい。例えば、酸化物半導体層530と、酸素が過剰に含まれる絶縁膜とを接して設け、加熱処理を行うことで、酸素が過剰に含まれる絶縁膜から酸化物半導体層530に、酸素を供給することができる。酸化物半導体層530に酸素が供給されることにより、酸化物半導体層530に含まれる酸素欠損を低減することができる。また、酸化物半導体層530に脱水化または脱水素化処理を行った後、酸化物半導体層530に酸素を添加する処理を行ってもよい。酸素を添加する処理としては、例えば、イオン注入法、イオンドーピング法、プラズマ処理等により、酸素ラジカル、オゾン、酸素原子、酸素イオン等を、酸化物半導体層530に添加して行う。なお、酸素を添加する処理は、ゲート絶縁層532を介して行っても良い。

40

【0148】

このように、電子供与体(ドナー)となる水または水素などの不純物を低減し、なおかつ酸素欠損を低減することにより、高純度化された酸化物半導体(purified OS)を形成することができる。高純度化された酸化物半導体は、i型(真性半導体)又はi

50

型に限りなく近い。そのため、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタは、オフ電流を著しく小さくすることができる。

【0149】

また、酸化物半導体層530において、水素や水などの不純物や酸素欠損が低減されることにより、キャリアの発生を抑制することができる。キャリア密度が高まることを抑制することで、キャリア密度に起因して、トランジスタのしきい値電圧がマイナス方向にシフトしてしまうことを抑制することができる。そのため、トランジスタの他方のゲート電極に印加する電位によって、トランジスタのしきい値電圧を容易に制御することが可能となる。よって、信頼性の高いトランジスタとなる。

【0150】

酸化物半導体層530と接するように、ソース電極層531a及びドレイン電極層531bが形成されている。ソース電極層531aは、容量素子104の一对の電極のうち的一方として機能する。また、ドレイン電極層531bは、ゲート絶縁層532、絶縁層534、535に形成された開口を介して、配線層536と接続されている。

【0151】

ソース電極層531a及びドレイン電極層531bは、スパッタリング法やPECVD法により、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成される。また、ソース電極層531a及びドレイン電極層531bは、窒化タングステン、窒化タンタル、窒化チタン、窒化モリブデン等の窒化金属材料を用いて形成されていてもよい。また、ソース電極層531a及びドレイン電極層531bは、酸化インジウム酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウムスズ酸化物、酸化インジウム酸化亜鉛、酸化ケイ素を添加したインジウムスズ酸化物などの導電性材料を用いて形成されていてもよい。

【0152】

ソース電極層531a及びドレイン電極層531bは、チャネル長方向の断面において、その下端部が突出した領域を有する。このような形状は、絶縁層529及び酸化物半導体層530上に導電膜を形成した後、この導電膜にエッチングを複数行うことにより、形成することができる。ソース電極層531a及びドレイン電極層531bをこのような形状とすることにより、後に形成されるゲート絶縁層532のカバレッジを良好にすることができる。

【0153】

酸化物半導体層530、ソース電極層531a、及びドレイン電極層531b上に、ゲート絶縁層532が形成されている。

【0154】

ゲート絶縁層532は、スパッタリング法、MBE法、プラズマCVD法、パルスレーザー堆積法、ALD法により、酸化シリコン、酸化ガリウム、酸化アルミニウム、酸化窒化アルミニウム、酸化窒化シリコン、窒化酸化シリコン、または窒化シリコン等を用いて形成される。また、ゲート絶縁層532として、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート($HfSi_xO_y$ ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート($HfSiO_xN_y$ ($x > 0$, $y > 0$))、ハフニウムアルミネート($HfAl_xO_y$ ($x > 0$, $y > 0$))、酸化ランタンなどのhigh-k材料を用いることでゲートリーク電流を低減できる。また、ゲート絶縁層532は、上記の材料を用いて、単層構造または積層構造で形成される。

【0155】

酸化物半導体層530と重畳する領域に、ゲート電極層533aが形成され、ソース電極層531aと重畳する領域に、電極層533bが形成されている。電極層533bは、容量素子104の一对の電極のうち他方として機能する。

【0156】

10

20

30

40

50

ゲート電極層 5 3 3 a 及び電極層 5 3 3 b は、スパッタリング法や P E C V D 法により、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジウム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成される。また、ゲート電極層 5 3 3 a 及び電極層 5 3 3 b は、窒化タングステン、窒化タンタル、窒化チタン、窒化モリブデン等の窒化金属材料を用いて形成されていてもよい。また、ゲート電極層 5 3 3 a 及び電極層 5 3 3 b は、酸化インジウム酸化スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウムスズ酸化物、酸化インジウム酸化亜鉛、酸化ケイ素を添加したインジウムスズ酸化物などの導電性材料を用いて形成されていてもよい。

10

【 0 1 5 7 】

ゲート電極層 5 3 3 a、電極層 5 3 3 b 上に、絶縁層 5 3 4、絶縁層 5 3 5 が形成されている。絶縁層 5 3 4 及び絶縁層 5 3 5 は、絶縁層 5 2 1 ~ 5 2 2 と同様の形成方法により、同様の材料を用いて形成される。上述したように、絶縁層 5 3 4 及び絶縁層 5 3 5 の少なくとも一方に、水素や水などが透過することを防止する膜を用いてもよい。

【 0 1 5 8 】

ゲート絶縁層 5 3 2、絶縁層 5 3 4、及び絶縁層 5 3 5 にドレイン電極層 5 3 1 b に達する開口が設けられ、開口に、配線層 5 3 6 が設けられている。配線層 5 3 6 は、ソース電極層 5 3 1 a、ドレイン電極層 5 3 1 b と同様の形成方法により、同様の材料を用いて形成される。

20

【 0 1 5 9 】

さらに、絶縁層 5 3 5 及び配線層 5 3 6 上に、さらに絶縁膜や配線を有していてもよい。

【 0 1 6 0 】

なお、トランジスタ 5 2 0 が形成された層には、トランジスタ 5 2 0 の他、図 3 に示すプロセッサ 2 0 2、プロセッサ 2 0 4、検知回路 2 0 3 などが形成されている。トランジスタ 5 2 0 のように、シリコンなどの材料を用いて構成されたトランジスタは、高速動作が容易である。そのため、プロセッサ 2 0 2 やプロセッサ 2 0 4 で行われる演算処理を高速に行うことができる。

【 0 1 6 1 】

なお、先の実施の形態に示す電源制御回路 2 0 1 を形成する場合、電源制御回路 2 0 1 が有するトランジスタ 1 0 2 及びトランジスタ 1 0 3 は、図 6 に示す図において、トランジスタ 1 0 1 及び容量素子 1 0 4 と同じ層に形成することもできるし、トランジスタ 1 0 1 及び容量素子 1 0 4 が形成された層（例えば、絶縁層 5 3 5 及び配線層 5 3 6）上に形成することもできる。また、先の実施の形態に示す記憶装置 2 0 5 も、トランジスタ 1 0 1 及び容量素子 1 0 4 と同じ層に形成することもできるし、トランジスタ 1 0 1 及び容量素子 1 0 4 が形成された層上に形成することもできる。

30

【 0 1 6 2 】

酸化物半導体を用いたトランジスタは、シリコンを用いたトランジスタと比較して、積層して形成することが容易である。そのため、トランジスタ 1 0 1 及び容量素子 1 0 4 が形成された層の上に、トランジスタ 1 0 2 及びトランジスタ 1 0 3 を形成することによって、信号処理回路 2 0 0 の占める面積を縮小することができる。

40

【 0 1 6 3 】

次に、酸化物半導体にチャネルが形成されるトランジスタを用いて構成された記憶装置について、図 7 を参照して説明する。

【 0 1 6 4 】

図 7 に示す記憶装置は、m 本のワード線 W L と、n 本のビット線 B L と、メモリセルが縦 m 個（行）×横 n 個（列）のマトリクス状に設けられた複数の記憶素子 6 1 0 を有する。記憶素子 6 1 0 は、酸化物半導体にチャネルが形成されるトランジスタ 6 1 1 と、容量素子 6 1 2 によって構成される。

【 0 1 6 5 】

50

記憶素子610において、ビット線BLと、トランジスタ611のソース又はドレインの一方と、は電氣的に接続され、ワード線WLと、トランジスタ611のゲートと、は電氣的に接続され、トランジスタ611のソース又はドレインの他方と、容量素子612の一对の電極のうち的一方と、は電氣的に接続されている。

【0166】

上述したように、酸化物半導体にチャネルが形成されるトランジスタは、オフ電流が極めて小さいという特徴を有する。そのため、トランジスタ611をオフ状態とすることで、容量素子612の一对の電極のうち一方の電位（または、容量素子612に蓄積された電荷）を長期間にわたって保持することができる。

【0167】

次に、記憶素子610に、情報の書き込み及び保持を行う場合について説明する。

【0168】

まず、ワード線WLの電位を、トランジスタ611がオン状態となる電位とすることにより、トランジスタ611をオン状態とする。これにより、ビット線BLの電位が、容量素子612の一对の電極のうち一方に与えられる（書き込み）。その後、ワード線WLの電位をトランジスタ611がオフ状態となる電位として、トランジスタ611をオフ状態とすることにより、容量素子612の一对の電極のうち一方の電位が保持される（保持）。

【0169】

トランジスタ611のオフ電流は極めて小さいことにより、容量素子612の一对の電極のうち一方の電位（または容量素子612に蓄積された電荷）は長期間にわたって保持することができる。

【0170】

例えば、容量素子612の第1の端子の電位をV、容量素子612の容量をC、ビット線BLが有する容量成分（以下、ビット線容量とも呼ぶ）をCB、電荷が再分配される前のビット線BLの電位をVB0とすると、電荷が再分配された後のビット線BLの電位は、 $(CB \times VB0 + C \times V) / (CB + C)$ となる。従って、記憶素子610の状態として、容量素子612の第1の端子の電位がV1とV0（ $V1 > V0$ ）の2状態をとるとすると、電位V1を保持している場合のビット線BLの電位（ $= (CB \times VB0 + C \times V1) / (CB + C)$ ）は、電位V0を保持している場合のビット線BLの電位（ $= (CB \times VB0 + C \times V0) / (CB + C)$ ）よりも高くなることわかる。

【0171】

そして、ビット線BLの電位を所定の電位と比較することで、情報を読み出すことができる。

【0172】

このように、図7に示す記憶素子610は、トランジスタ611のオフ電流が極めて小さいという特徴から、容量素子612に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【0173】

このような記憶素子610を複数用いることにより、例えば、図3に示す不揮発性の記憶装置205を構成することができる。図7に示す記憶装置をプロセッサ202等の上に形成する場合、記憶素子610を構成するトランジスタ611及び容量素子612は、図6に示す電源制御回路201を構成するトランジスタ101及び容量素子104と同じ層に形成することができる。その上に、さらに記憶装置を積層して設けることもできるので、記憶装置の集積化を図ることができる。また、記憶装置の占める面積を縮小することができる。

【0174】

10

20

30

40

50

本実施の形態は、上記実施の形態と適宜組み合わせる実施することが可能である。

【0175】

(実施の形態4)

本実施の形態では、本発明の一態様に係る信号処理回路が備えるプロセッサの構成について説明する。

【0176】

図8に、本実施の形態のプロセッサの構成を示す。図8に示すプロセッサは、基板9900上に、ALU9901、ALU・Controller9902、Instruction・Decoder9903、Interrupt・Controller9904、Timing・Controller9905、Register9906、Register・Controller9907、Bus・I/F9908、書き換え可能なROM9909、ROM・I/F9910と、を主に有している。なお、ALUはArithmetic logic unitであり、Bus・I/Fはバスインターフェースであり、ROM・I/FはROMインターフェースである。ROM9909及びROM・I/F9910は、別チップに設けても良い。勿論、図8に示すプロセッサは、その構成を簡略化して示した一例にすぎず、実際のプロセッサはその用途によって多種多様な構成を有している。

10

【0177】

実施の形態1に示す信号処理回路200におけるメインのプロセッサ202及びサブのプロセッサ204として、図8に示すプロセッサを適用することができる。なお、メインのプロセッサ202と、サブのプロセッサ204とは、同じ構成でなくともよい。

20

【0178】

Bus・I/F9908を介してプロセッサに入力された命令は、Instruction・Decoder9903に入力され、デコードされた後、ALU・Controller9902、Interrupt・Controller9904、Register・Controller9907、Timing・Controller9905に入力される。

【0179】

ALU・Controller9902、Interrupt・Controller9904、Register・Controller9907、Timing・Controller9905は、デコードされた命令に基づき、各種制御を行なう。具体的にALU・Controller9902は、ALU9901の動作を制御するための信号を生成する。また、Interrupt・Controller9904は、プロセッサのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。Register・Controller9907は、Register9906のアドレスを生成し、プロセッサの状態に応じてRegister9906の読み出しや書き込みを行なう。

30

【0180】

また、Timing・Controller9905は、ALU9901、ALU・Controller9902、Instruction・Decoder9903、Interrupt・Controller9904、Register・Controller9907の動作のタイミングを制御する信号を生成する。例えば、Timing・Controller9905は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、クロック信号CLK2を上記各種回路に供給する。

40

【0181】

例えば、メインのプロセッサ202に対して、電源の供給の後、消費電力を削減するために電源の供給を停止し、再び電源を供給する場合には、以下のような動作を行う。ALU9901からの指示により、Register・Controller9907は、Register9906のデータを、記憶装置205に保持するように指令を出す。そして

50

、図2(B)に示すように、電源制御回路201におけるトランジスタ101をオフ状態とすることで、プロセッサ202は、第1の電源線V1からの電源の供給が停止される。しかしながら、電源制御回路201におけるノードN1に保持された電位によって、プロセッサ202は、動作が可能となる。

【0182】

このようにして、一時的にプロセッサへの電源の供給を停止した場合においても、電源制御回路201に保持された電位によって、電流の供給を行うことができるため、信号処理回路で消費される電力を削減することができる。具体的には、例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、プロセッサを停止することができ、それにより消費電力を低減することができる。

10

【0183】

本実施の形態では、プロセッサを例に挙げて説明したが、本発明の信号処理回路はプロセッサに限定されず、画像処理回路、DSP、FPGA等のLSIにも応用可能である。

【0184】

本実施の形態は、他の実施の形態と組み合わせることで実施することが可能である。

【0185】

(実施の形態5)

本発明の一態様に係る信号処理回路を用いることで、消費電力の低い電子機器を提供することが可能である。特に、電力の供給を常時受けることが困難な携帯用の電子機器の場合、本発明の一態様に係る消費電力の低い信号処理回路をその構成要素に追加することにより、連続使用時間が長くなるといったメリットが得られる。また、オフ電流が低いトランジスタを用いることで、オフ電流の高さをカバーするための冗長な回路設計が不要となるため、信号処理回路の集積度を高めることができ、信号処理回路を高機能化させることができる。

20

【0186】

本発明の一態様に係る信号処理回路は、表示装置、パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る信号処理回路を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。

30

【0187】

本発明の一態様に係る信号処理回路を、携帯電話、スマートフォン、電子書籍などの携帯用の電子機器に応用した場合について説明する。

【0188】

図9は、携帯用の電子機器のブロック図である。図9に示す携帯用の電子機器はRF回路421、アナログベースバンド回路422、デジタルベースバンド回路423、バッテリー424、電源回路425、アプリケーションプロセッサ426、フラッシュメモリ430、ディスプレイコントローラ431、メモリ回路432、ディスプレイ433、タッチセンサ439、音声回路437、キーボード438などより構成されている。ディスプレイ433は表示部434、ソースドライバ435、ゲートドライバ436によって構成されている。アプリケーションプロセッサ426はDSP428、インターフェース429、信号処理回路427を有している。信号処理回路427として、上記実施の形態で示した信号処理回路200を採用することによって、消費電力を低減することができる。また、一般的にメモリ回路432はSRAMまたはDRAMで構成されているが、メモリ回路432に図7で示した記憶装置を用いることによって、消費電力を低減することが可能になる。

40

50

【 0 1 8 9 】

図 1 0 に、メモリ回路 4 3 2 の構成をブロック図で示す。メモリ回路 4 3 2 は、記憶装置 4 4 2、記憶装置 4 4 3、スイッチ 4 4 4、スイッチ 4 4 5、及びメモリコントローラ 4 4 1 を有している。

【 0 1 9 0 】

まず、ある画像データが、携帯用の電子機器において受信されるか、またはアプリケーションプロセッサ 4 2 6 によって形成される。この画像データは、スイッチ 4 4 4 を介して記憶装置 4 4 2 に記憶される。そして、スイッチ 4 4 4 を介して出力された画像データは、ディスプレイコントローラ 4 3 1 を介してディスプレイ 4 3 3 に送られる。ディスプレイ 4 3 3 が、画像データを用いて画像の表示を行う。

10

【 0 1 9 1 】

静止画のように、表示される画像に変更がなければ、通常 3 0 H z ~ 6 0 H z 程度の周期で、記憶装置 4 4 2 から読み出された画像データが、スイッチ 4 4 5 を介して、ディスプレイコントローラ 4 3 1 に送られ続ける。ユーザーが画面に表示されている画像を書き換える操作を行ったとき、アプリケーションプロセッサ 4 2 6 は、新たな画像データを形成し、その画像データはスイッチ 4 4 4 を介して記憶装置 4 4 3 に記憶される。この新たな画像データの記憶装置 4 4 3 への記憶が行われている間にも、記憶装置 4 4 2 からスイッチ 4 4 5 を介して定期的に画像データが読み出される。

【 0 1 9 2 】

記憶装置 4 4 3 への新たな画像データの記憶が完了すると、次のフレーム期間より、記憶装置 4 4 3 に記憶された新しい画像データが読み出され、スイッチ 4 4 5、ディスプレイコントローラ 4 3 1 を介して、ディスプレイ 4 3 3 に上記画像データが送られる。ディスプレイ 4 3 3 では、送られてきた新しい画像データを用いて、画像の表示を行う。

20

【 0 1 9 3 】

この画像データの読み出しは、さらに次の新しい画像データが記憶装置 4 4 2 に記憶されるまで、継続される。このように、記憶装置 4 4 2、記憶装置 4 4 3 が交互に画像データの書き込みと読み出しを行い、ディスプレイ 4 3 3 は画像の表示を行う。

【 0 1 9 4 】

記憶装置 4 4 2、記憶装置 4 4 3 はそれぞれ別の記憶装置には限定されず、1つの記憶装置が有するメモリ領域を、分割して使用してもよい。

30

【 0 1 9 5 】

図 1 1 は電子書籍のブロック図である。電子書籍はバッテリー 4 7 1、電源回路 4 7 2、マイクロプロセッサ 4 7 3、フラッシュメモリ 4 7 4、音声回路 4 7 5、キーボード 4 7 6、メモリ回路 4 7 7、タッチパネル 4 7 8、ディスプレイ 4 7 9、ディスプレイコントローラ 4 8 0 によって構成される。上記実施の形態で示した信号処理回路をマイクロプロセッサ 4 7 3 に採用することで、消費電力を低減することが可能になる。

【 0 1 9 6 】

例えば、ユーザーが、書籍データ中の特定の箇所において、表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなどにより、当該箇所とそれ以外の箇所との違いを明確にするハイライト機能を利用する場合、書籍データのうちユーザーが指定した箇所のデータを記憶する必要がある。メモリ回路 4 7 7 は、上記データを一時的に記憶する機能を持つ。なお、上記データを長期に渡って保存する場合には、フラッシュメモリ 4 7 4 に上記データをコピーしておいても良い。

40

【 0 1 9 7 】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【 符号の説明 】

【 0 1 9 8 】

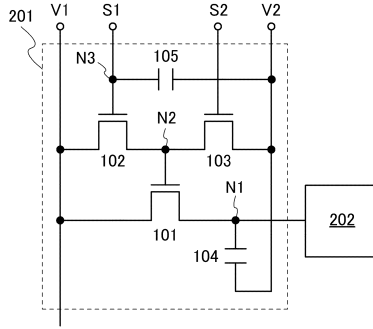
1 0 1 トランジスタ
1 0 2 トランジスタ
1 0 3 トランジスタ

50

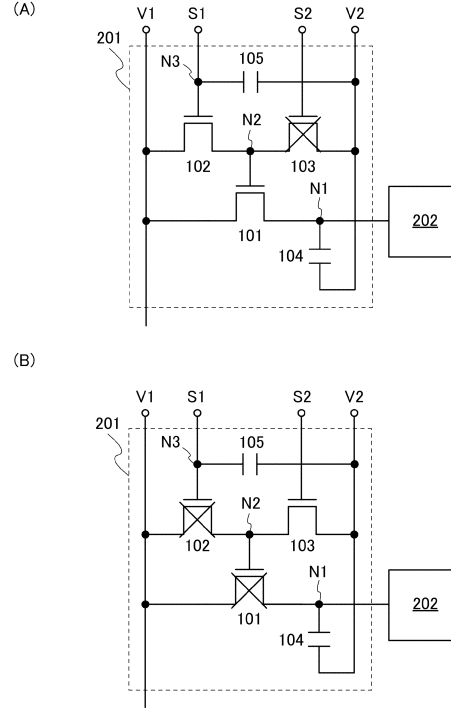
1 0 4	容量素子	
1 0 5	容量素子	
2 0 0	信号処理回路	
2 0 1	電源制御回路	
2 0 2	プロセッサ	
2 0 3	検知回路	
2 0 4	プロセッサ	
2 0 5	記憶装置	
4 2 1	R F 回路	
4 2 2	アナログベースバンド回路	10
4 2 3	デジタルベースバンド回路	
4 2 4	バッテリー	
4 2 5	電源回路	
4 2 6	アプリケーションプロセッサ	
4 2 7	信号処理回路	
4 2 8	D S P	
4 2 9	インターフェース	
4 3 0	フラッシュメモリ	
4 3 1	ディスプレイコントローラ	
4 3 2	メモリ回路	20
4 3 3	ディスプレイ	
4 3 4	表示部	
4 3 5	ソースドライバ	
4 3 6	ゲートドライバ	
4 3 7	音声回路	
4 3 8	キーボード	
4 3 9	タッチセンサ	
4 4 1	メモリコントローラ	
4 4 2	記憶装置	
4 4 3	記憶装置	30
4 4 4	スイッチ	
4 4 5	スイッチ	
4 7 1	バッテリー	
4 7 2	電源回路	
4 7 3	マイクロプロセッサ	
4 7 4	フラッシュメモリ	
4 7 5	音声回路	
4 7 6	キーボード	
4 7 7	メモリ回路	
4 7 8	タッチパネル	40
4 7 9	ディスプレイ	
4 8 0	ディスプレイコントローラ	
5 0 0	基板	
5 0 1	チャネル形成領域	
5 0 2	低濃度不純物領域	
5 0 3	高濃度不純物領域	
5 0 4 a	ゲート絶縁層	
5 0 4 b	ゲート絶縁層	
5 0 5 a	ゲート電極層	
5 0 5 b	ゲート電極層	50

5 0 6 a	ソース電極層	
5 0 6 b	ドレイン電極層	
5 0 6 c	ソース電極層	
5 0 6 d	ドレイン電極層	
5 0 7	金属間化合物領域	
5 0 8 a	側壁絶縁層	
5 0 8 b	側壁絶縁層	
5 0 9	素子分離絶縁膜	
5 1 0	トランジスタ	
5 1 1	チャネル形成領域	10
5 1 2	低濃度不純物領域	
5 1 3	高濃度不純物領域	
5 1 7	金属間化合物領域	
5 2 0	トランジスタ	
5 2 1	絶縁層	
5 2 2	絶縁層	
5 2 3 a	配線層	
5 2 3 c	配線層	
5 2 4	絶縁層	
5 2 5	電極層	20
5 2 6	絶縁層	
5 2 7	絶縁層	
5 2 8	絶縁層	
5 2 9	絶縁層	
5 3 0	酸化物半導体層	
5 3 1 a	ソース電極層	
5 3 1 b	ドレイン電極層	
5 3 2	ゲート絶縁層	
5 3 3 a	ゲート電極層	
5 3 3 b	電極層	30
5 3 4	絶縁層	
5 3 5	絶縁層	
5 3 6	配線層	
6 1 0	記憶素子	
6 1 1	トランジスタ	
6 1 2	容量素子	
9 9 0 0	基板	
9 9 0 1	A L U	
9 9 0 2	A L U ・ C o n t r o l l e r	
9 9 0 3	I n s t r u c t i o n ・ D e c o d e r	40
9 9 0 4	I n t e r r u p t ・ C o n t r o l l e r	
9 9 0 5	T i m i n g ・ C o n t r o l l e r	
9 9 0 6	R e g i s t e r	
9 9 0 7	R e g i s t e r ・ C o n t r o l l e r	
9 9 0 8	B u s ・ I / F	
9 9 0 9	R O M	
9 9 1 0	R O M ・ I / F	

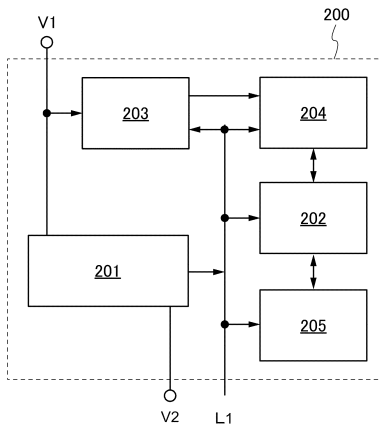
【図1】



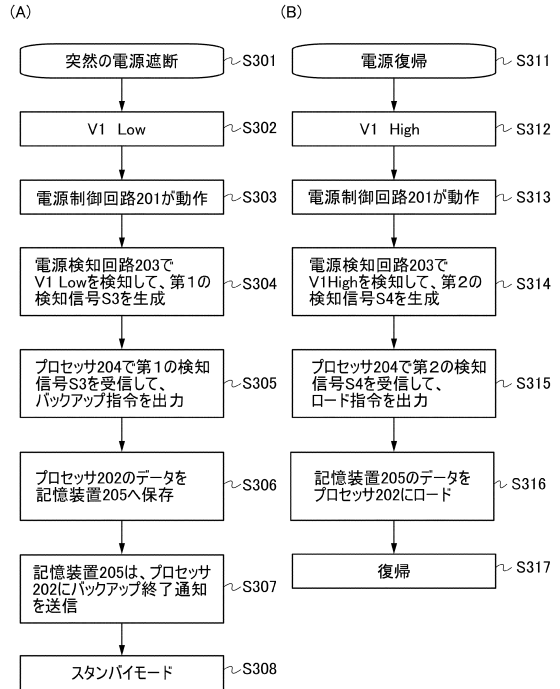
【図2】



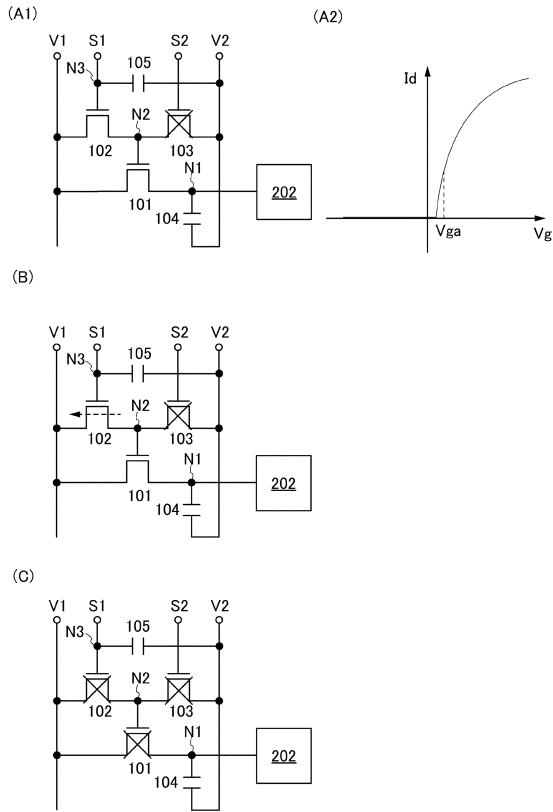
【図3】



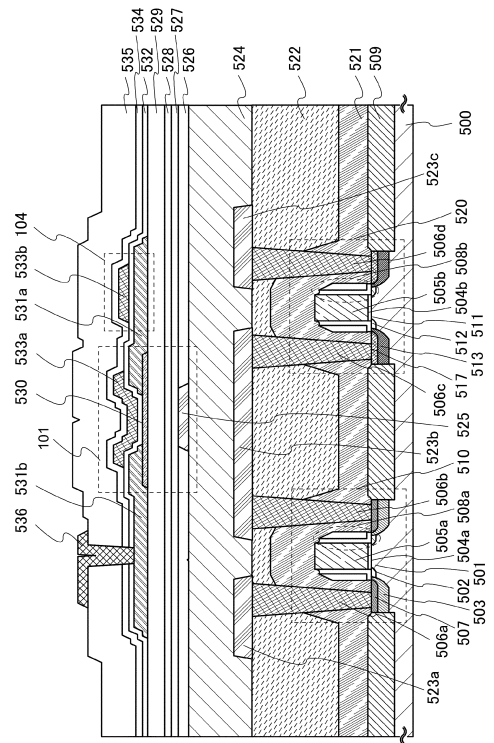
【図4】



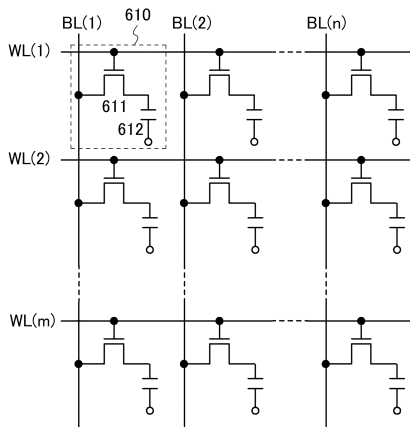
【 図 5 】



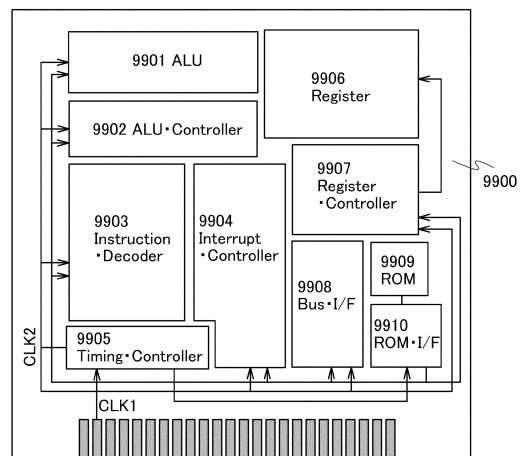
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

G 0 6 F	1 / 2 6 - 1 / 3 2
H 0 1 L	2 7 / 0 0 - 2 9 / 9 6
H 0 3 K	1 7 / 0 0 - 1 7 / 9 8