

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 23/48
H01L 21/66
G01R 31/316

(45) 공고일자 2000년03월 15일
(11) 등록번호 10-0249537
(24) 등록일자 1999년 12월 27일

(21) 출원번호	10-1996-0029162	(65) 공개번호	특 1997-0008536
(22) 출원일자	1996년 07월 19일	(43) 공개일자	1997년 02월 24일
(30) 우선권 주장	95-186022 1995년 07월 21일	일본(JP)	

(73) 특허권자 닛뽕덴끼 가부시끼가이샤 가네꼬 히사시
일본 도오교도 미나또꾸 시바 5초메 7방 1고

(72) 발명자 시마다 유조
일본국 도오교도 미나또꾸 시바 5초메 7방 1고 닛뽕덴끼 가부시 끼가이샤 나
이
센바 나오지
일본국 도오교도 미나또꾸 시바 5초메 7방 1고 닛뽕덴끼 가부시 끼가이샤 나
이
다카하시 노부아끼
일본국 도오교도 미나또꾸 시바 5초메 7방 1고 닛뽕덴끼 가부시 끼가이샤 나
이

(74) 대리인 박해선, 윤여범

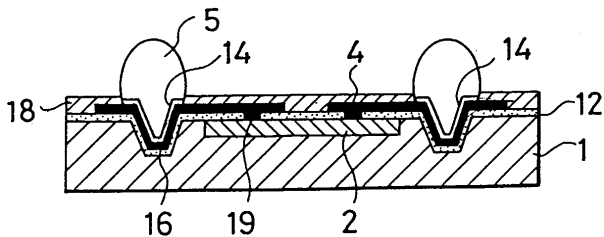
심사관 : 양희용

(54) 반도체 장치 및 그 제조 방법

요약

본 발명은, 하나 이상의 오목부(16)가 형성된 반도체 기판(1) 및 적어도 상기 오목부(16)의 표면을 피복하는 도전층(4)을 특징으로 하는 하나 이상의 불범프를 구비하는 반도체장치를 제공하는데, 상기 불범프는 상기 오목부(16)내의 상기 도전층(4)상에 형성된다. 본 반도체장치는 반도체 기판(1)에 형성되며 반도체장치의 전기적 성능을 테스트하는 기능이 제공된 테스터를 추가적으로 구비함으로써 프로브 카드로 동작할 수 있다. 오목부(16)는 리소그래피 기술에 의해 형성될 수 있기 때문에, 종래의 반도체장치보다 더 높은 정확성으로 불범프(5)를 적소에 위치시킬 수 있다.

대표도



명세서

도면의 간단한 설명

도1a 내지 도1d는 도2a와 도2b에 도시된 종래의 프로브 카드를 제조하는 각 공정 단계를 도시하는 종래의 프로브 카드의 횡단면도.

도2a는 웨이퍼 칩을 위한 불범프를 도시한 종래의 프로브 카드의 평면도.

도2b는 테스터를 위한 불범프를 도시한 도2a의 종래의 프로브 카드의 저면도.

도3은 본 발명의 실시예 1에 따라 제조된 반도체장치의 횡단면도.

도4a 내지 도4h는 도3에 도시된 반도체장치를 제조하는 각 공정 단계를 도시한 반도체장치의 횡단면도.

도5는 본 발명의 실시예 2에 의해 제조된 반도체장치의 횡단면도.

도6는 본 발명의 실시예 1에 의해 제조된 프로브 카드의 횡단면도.

- 도7는 본 발명의 실시예 2에 의해 제조된 프로브 카드의 횡단면도.
 도8는 본 발명의 실시예 3에 의해 제조된 프로브 카드의 횡단면도.
 도9는 본 발명의 실시예 4에 의해 제조된 프로브 카드의 횡단면도.
 도10은 본 발명의 실시예 5에 의해 제조된 프로브 카드의 횡단면도.
 도 11a는 본 발명의 실시예 6에 의해 제조된 프로브 카드의 횡단면도.
 도 11b는 도 11a의 a 부분을 확대한 횡단면도.

*** 도면의 주요부분에 대한 부호의 설명**

- | | |
|-------------|--------------|
| 1 : 반도체 기판 | 2 : 테스터 디바이스 |
| 4 : 도전층 | 4a : 회로 패턴 |
| 5 : 불범프 | 6 : 광 방사 장치 |
| 8 : 반도체 칩 | 10, 19 : 스루홀 |
| 12 : 금속 산화막 | 16 : 오목부 |
| 18 : 보호막 | |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 LSI 칩을 구비하는 반도체장치에 관한 것이며, 특히, LSI 칩의 표면에 대한 불범프의 향상된 위치설정에 관한 것이다. 본 발명은 또한 이러한 반도체장치를 제조하는 방법에 관한 것이다.

LSI 칩을 내장한 종래의 반도체장치는 회로가 형성되고 알루미늄과 같은 재료로 된 도전성 패드가 형성되는 평면을 가지고 있다. 또한, 불범프가 형성될 땀납 재료를 설치하기 위해 중간 도전층으로서 패드상에 박막이 형성된다. 이 박막은, 예를 들면 Cr-Cu-Au 로 이루어지고, 증착법 또는 스퍼터링법에 의해 형성된다. 예를 들면, Pb-Sn 족 땀납으로 만들어진 불범프가 상기 박막상에 장착된다.

금속 산화막 및 폴리이미드막과 같은 유기막이 회로가 형성되는 반도체장치의 표면 보호를 위한 패시베이션(Passivation)막으로 사용된다.

웨이퍼 상에 형성된 IC 칩을 각각의 칩으로 절단하기 전에 예상되는 전기적 성능을 테스트할 때, IC 칩 테스트에 프로브 카드(probe card)가 자주 사용된다. 프로브 카드중의 하나가 일본 특허공개공보 제3-126240호에 제안되어있다. 1a도 내지 1d도 및 2a도와 2b도를 참조하여 이하에서 프로브 카드를 설명한다. 1a도 내지 1d도에는 프로브 카드를 제조하는 개별 단계가 도시된다. 2a도는 완성된 프로브 카드의 평면도이며, 2b도는 그 저면도이다.

먼저, 도1a 에 도시된 것처럼, p형 또는 n형 실리콘 기판(21)이 준비된다. 1b 도에 도시된 것처럼, 웨이퍼 칩상에 형성된 패드와 정렬하여 에칭함으로써 불범프(22a)그룹이 실리콘 기판(21)의 상부 표면상에 형성된다. 이와 유사하게, 불범프(22b)는 불범프(22a)와는 독립적으로 테스터의 단자와 정렬하여 에칭함으로써 실리콘 기판(21)의 하부 표면상에 형성된다. 그 후에, 1c도에 도시된 것처럼, B, Al, In 및 Ga 와 같은 +3 가의 원자를 가진 어셉터(acceptor)불순물(23)또는 As, Sb 및 P 와 같은 +5 가의 원자를 가진 도우너(donor)불순물이 불범프(22a 및 22b)에 주입되어 불범프(22a) 및(22b)의 저항값을 감소시킨다. 그후에, 1d도, 2a도 및 2b도에 도시된 것처럼, 불범프(22a 및 22b)를 전기적으로 서로 접속시키기 위해 도전 배선(24)이 배치된다. 또한, 불범프(22a 및 22b)를 제외한 실리콘 기판(21)의 표면 상부에 산화막이 형성되어 저항값을 증가시킨다. 2a도에 도시된 것처럼, 고주파를 보상하기 위해 실리콘 기판(21)상에 도전 배선(24)과 전기적으로 접속된 보상 회로(25)가 제공된다.

그후에, 테스트될 IC 칩이 설치되는 X-Y 좌표가 적소에 위치된다. IC 칩의 패드상에 불범프(22a)를 압착시켜 서로 전기적으로 접속시킴으로써, 패드는 도전 배선(24)과 불범프(22b)를 통해서 테스터의 단자에 전기적으로 접속된다. 그러므로, IC 칩의 전기적 성능이 테스트될 수 있다.

발명이 이루고자 하는 기술적 과제

프로브 카드로서 동작하는 전술한 종래의 반도체장치는 불범프와 IC 칩의 패드 사이에서 접속 결함을 갖는다.

반도체장치의 평평한 표면상에 불범프를 형성할 때, 패드상에 형성될 도전성 패드와 도전박막은 높은 정확성으로 적소에 위치될 필요가 있다. 이러한 위치 정확성이 얻어질 수 없다면, 불범프가 소망위치를 벗어난 곳에 형성되어 불범프의 접속시 고정확성과 고신뢰성을 얻는 것이 상당히 어려워지거나 거의 불가능해진다. 불범프가 고정확성으로 적소에 위치될 수 있다 하더라도, 불범프를 고정시키기 위한 지그 및/또는 장비를 준비할 필요가 있으며, 이러한 것들은 비용을 증가시키고 처리량을 저하시킨다.

볼범프와 반도체장치 사이의 접촉에 있어서, 볼범프가 도체를 통해서 장치와 평평하게 접촉하기 때문에, 정착력에 문제가 발생한다. 그러므로, 반도체장치가 패키지 또는 모듈 기판에 접속할 때, 장치와 이러한 패키지 또는 모듈 기판 사이의 열 팽창 계수의 차이 때문에 볼범프상에 응력이 발생하여, 장치에 결함이 생길 수 있다. 전술한 종래의 프로브 카드에서는, 에칭에 의해 실리콘 기판에 실리콘 돌출부가 형성되어 웨이퍼 칩의 패드와 접촉하여 전기적으로 접속된다. 그러나, 에칭에 의해 마이크로미터 단위의 돌출부의 높이를 제어하는 것은 매우 어렵다. 그러므로, 에칭 공정으로는 더 작은 높이의 더 많은 수의 핀을 가진 칩을 처리하는 프로브 카드를 제조할 수 없게 된다.

또한, 실리콘 돌출부는 절대적으로 실리콘 기판에 필수적이기 때문에, 하나의 돌출부에만이라도 결함이 생기면, 결함있는 돌출부를 포함하여 하나의 Ic 칩에 사용되는 전체 프로브 카드에 결함이 생기는 것이다. 결함있는 돌출부를 수리하는 것은 불가능하기 때문에, 결함있는 돌출부를 포함한 프로브 카드는 전체가 폐기되어야 한다. 또한, 웨이퍼의 일부가 테스트되지 않으므로, 재테스트를 수행해야 할 필요가 있다.

실리콘 기판(21)에 작은 높이의 많은 돌출부가 형성된 경우, 볼범프(22a 및 22b)의 저항값을 감소시키기 위해 실리콘 기판(21)으로 주입되는 불순물(23)은 인접 돌출부 사이에서 PNP 또는 NPN 형 기생 트랜지스터를 형성할 수 있다. 이 기생 트랜지스터는 실리콘 기판(21)에 누설 전류를 발생시킬 수 있어서, 결과적으로 칩의 전기적 성능을 정확하게 테스트하는 것이 불가능해진다.

전술한 종래의 프로브 카드는 두가지 기능을 갖는데, 그중 하나는 웨이퍼칩의 패드와 접촉하여 전기적 접속을 형성하는 것이며, 다른 하나는 테스터와 접속하는 것이다. 그러므로, 웨이퍼 테스트를 위하여는 프로브 카드와 테스터가 둘다 요구되었다. 테스터는 일반적으로 고가이므로, 제조 비용을 증가시킨다.

일반적으로, 결함이 발견된 칩은 칩에 결함이 있다는 것을 명백하게 보여줄수 있도록 마킹(marking)된다. 그러나 종래의 프로브 카드는 이러한 기능을 갖지 못했다.

종래의 반도체장치의 전술한 문제점에 비추어, 본 발명의 목적은 볼범프가 고정확성으로 적소에 위치되고, 볼범프가 고정확력으로 기판에 단단히 고정되며, 테스터없이 반도체장치의 전기적 성능을 테스트할 수 있는 프로브 카드로 사용될수 있는 반도체장치를 제공하는 것이다. 또한, 본 발명의 목적은 이러한 반도체장치를 제조하는 방법을 제공하는 것이다.

발명의 구성 및 작용

본 발명은, 하나이상의 오목부가 형성되어 있는 반도체 기판 및 적어도 상기 오목부의 표면을 피복하는 도전층을 가지며, 상기 오목부내의 상기 도전층상에 형성된 볼범프를 갖는 반도체장치를 제공한다.

전술한 반도체장치는 반도체 기판내에 형성된 테스터 디바이스를 더 구비함으로써 프로브 카드로 사용될 수 있다. 테스터 디바이스는 반도체장치의 전기적 성능을 테스트하는 기능을 갖는다.

본 발명은 또한 상부 및 하부 표면중의 하나에 하나이상의 오목부가 형성된 반도체 기판, 적어도 상기 오목부의 표면을 피복하는 도전층, 상기 오목부내의 도전층상에 형성된 볼범프, 상기 반도체 기판의 다른 하나의 표면에 형성된 회로 패턴으로서 상기 반도체 기판에 형성된 쓰루홀(through hole)을 통하여 상기 도전층에 전기적으로 접속된 회로 패턴, 및 상기 회로패턴과 전기적으로 접속하도록 상기 회로패턴 상에 형성되며 반도체장치의 전기적 성능을 테스트하는 기능을 가진 테스터 디바이스를 구성하여 상기 반도체 장치가 프로브 카드로 동작할 수 있게 하는 반도체 칩을 구비하는, 볼범프를 가진 반도체장치를 제공한다.

본 발명은 또한, 상부 또는 하부 표면중의 하나에 하나이상의 오목부가 형성된 반도체 기판, 적어도 상기 오목부의 표면을 피복하는 도전층, 상기 오목부 내의 상기 도전층상에 형성된 볼범프, 상기 반도체 기판의 다른 하나의 표면에 형성되며 상기 반도체 기판에 형성된 쓰루홀을 통하여 상기 도전층에 전기적으로 접속된 회로 패턴, 상기 반도체 기판의 상기 다른 하나의 표면아래에 형성된 테스터 디바이스로서, 반도체장치를 프로브 카드로 사용할 수 있도록 반도체장치의 전기적 성능을 테스트하는 기능을 가진 테스터 디바이스, 상기 테스터 디바이스에 의해 결함이 발견된 반도체장치에 광을 방사하도록 설계된 광 방사 장치, 및 상기 회로 패턴에 전기적으로 접속되도록 상기 회로 패턴상에 형성되며 상기 테스터 디바이스의 사양을 바꾸는 기능을 갖도록 설계된 반도체 칩을 구비하는 것을 특징으로 하는, 볼범프를 가진 반도체장치를 제공한다.

본 발명은 또한, (a)반도체장치의 전기적 성능을 테스트하기 위한 테스터 디바이스를 제조하는 단계, (b)반도체 기판의 표면에 오목부를 형성하는 단계, (c)상기 반도체 기판을 금속 산화층으로 피복하는 단계, (d)상기 금속 산화층에 쓰루홀을 형성하는 단계, (e)상기 쓰루홀을 통하여 상기 테스터 디바이스와 전기적으로 접속되어 있는 도전층을 상기 금속 산화층 상부에 형성하는 단계, (f)상기 오목부를 제외한 상기 반도체 기판의 상부에 보호막을 형성하는 단계 (g)상기 오목부내의 상기 도전층 상부에 도전박막을 형성하는 단계, 및 (h)상기 오목부를 덮는 볼범프를 형성하는 단계를 구비하는 것을 특징으로 하는, 볼범프를 가진 반도체장치를 제조하는 방법을 제공한다.

상기 오목부의 형성은 볼범프를 정확한 위치에 형성시킬수 있게 한다. 또한, 상기 오목부는, 볼범프에 대하여 평면일때보다 더 넓은 영역에서 기판과 접촉하도록 하기 때문에, 볼범프와 기판 사이의 정착력을 증가시킬 수 있다.

회로가 형성될 반도체장치의 표면을 보호하기 위한 목적으로, 표면에 산화막 또는 중합 수지막을 형성할 수도 있다. 실리콘 기판이 사용될 때, 밀러 지수가(100)인 표면을 에칭하는 것이 바람직하다. 상기 오목부가 상기 반도체 기판의(100)표면에 형성되는 경우, 상기 오목부가 상기 반도체 기판의(100)표면에 형성되는 경우, 상기 오목부를 4변형 피라미트로 형성할 수 있다. 따라서, 볼범프는 4 변형 피라미트의 정상에 공동으로 중심을 가질 수 있으므로, 볼범프는 매우 정확한 위치에 위치된다.

반도체장치는, 반도체 기판에 테스터 디바이스를 더 형성함으로써 프로브 카드로 사용될 수 있으므로, 테

스터로 사용될 수 있다. 예를 들면, 오목부에 형성된 수리가능한 볼범프는 프로브 카드의 접촉부로 사용된다. 그러므로, 프로브 카드와 테스터를 모두 준비할 필요가 없다.

또한, 반도체장치는 테스터 디바이스의 사양을 변경할 수 있다. 이러한 반도체장치는 매우 작은 크기의 프로브 카드를 얻는 것을 가능하게 한다.

도3 및 도 4a 내지 도4h를 참조하여, 이하에서 본 발명에 의한 실시예 1에 대해 설명한다. 반도체 기판(1)은 LSI 칩으로 이루어지며 4.5 mm X 12.0 mm의 크기이다. 반도체 기판(1)에는 역사다리꼴 형의 오목부(16)가 형성된다. 회로 영역(2)에는, 전술한 바와 같이, 반도체장치의 전기적 성능을 테스트하는 테스터와 같은 회로가 형성된다.

반도체 기판(1)은 회로영역(2)을 서로 절연시켜서 회로영역(2)을 보호하는 금속 산화막(12)으로 피복된다. 본 실시예에서, 반도체 기판(1)은 실리콘 칩으로 이루어지기 때문에, 금속 산화막(12)은 실리콘 이산화물(SiO₂)로 만들어진다. 금속 산화막(12)은 도전 배선(4)으로 차례로 피복되어 도전 배선(14)이 오목부(16)를 전체적으로 피복하도록 한다. 도전 배선(4)은 알루미늄으로 만들어진다. 도전 배선(4)은 금속 산화층(12)에 형성된 스루홀(19)을 통해 회로영역(2)과 전기적으로 접속된다.

Cr-Cu-Au 로 만들어진 도전박막(14)은 오목부(16)내의 알루미늄 도전 배선(4)을 피복하도록 형성된다. 볼범프(5)는 상기 오목부(16)상에 형성된다. 볼범프(5)바로 아래의 도전박막(14)은 볼범프(5)의 금속화 및 접속 특성을 향상시킨다. 반도체 기판(1)은 또한 표면 보호를 위해 폴리이미드로 만들어진 보호막(18)으로 피복된다. 그러나, 볼범프(5)는 보호막(18)으로 피복되지 않는다.

전술한 반도체장치의 제조를 위해, 다음 공정이 선택된다.

먼저, 도4a에 도시된 바와 같이, 반도체 실리콘 웨이퍼가 준비되고, 회로영역(2)이 반대 확산 공정 기술을 사용하여 반도체 기판(1)에 형성된다.

그후에, 도4b에 도시된 바와 같이, 테스트될 반도체장치의 패드와 정렬하여 반도체 기판(1)에 오목부(16)가 형성된다. 반도체 기판(1)을 이루는 실리콘의 밀러지수가(100)인 표면으로 이루어지고, 오목부(16)는 에칭에 의해 형성된다. 에칭은 리소그래피 기술을 사용하여 마스크로 사용하는 레지스트와 함께 KOH 용액으로 수행된다. 오목부(16)는 역사다리꼴 형태이고 반도체 기판(1)의 표면에서 0.1 X 0.1 mm의 사각형 영역을 갖는다. 오목부(16)의 횡단면 영역은 반도체 기판(1)의 깊이 방향으로 갈수록 면적이 작아진다. 오목부(16)는 0.08 mm의 깊이를 갖는다.

그후에, 도4c에 도시된 바와 같이, 반도체 기판(1)의 표면은 회로영역(2)을 서로 절연시켜서 회로영역(2)을 보호하기 위해 실리콘 이산화물로 이루어진 금속 산화막(12)으로 피복된다. 그후에, 금속 산화막(12)을 통과하는 스루홀(19)이 형성된다.

그후에, 도4d에 도시된 바와 같이, 스퍼터링 또는 증착법에 의해 금속 산화막(12)상에 알루미늄으로 만들어진 도전 배선(4)이 형성된다. 이렇게 형성된 도전 배선(4)은 금속 산화막(12)을 통과하여 형성된 스루홀(19)을 통해서 회로영역(2)과 전기적으로 접속한다. 그후에, 도4e 에 도시된 바와 같이, 오목부를 제외한 알루미늄 도전 배선(4)상에 폴리이미드 수지로 이루어진 보호막(18)이 형성된다. 도4f 에 도시된 바와 같이, 오목부(16)내의 알루미늄 도전 배선(4)상에 스퍼터링, 증착, 전기분해 도금 또는 비전기분해 도금에 의해 Cr-Cu-Au 로 만들어진 박막(14)이 형성된다. 도전박막(14)을 형성하는 목적은 볼-범퍼(5)의 금속화, 습윤성 및 점착성을 향상시키기 위한 것이다. 또한, 박막(14)은 장벽 금속으로도 사용된다.

그후에, 도4g 에 도시된 바와 같이, 볼범프(5)가 오목부(16)상에 형성된다. 볼범프(5)는 다음과 같이 형성된다. 먼저, 주성분으로 Pb-Sn을 구비하는 땀납한 볼(ball)이 오목부(16)상에 배치된다. 그후에, 이 땀납한 볼은 녹는 점까지 가열된다. 땀납한 볼을 녹임으로써, 기판 금속에 단단하게 접속된 볼범프가 형성될 수 있다. 그후에, 도4h에 도시된 바와 같이, 리드(3)가 반도체 기판(1)에 접속되어 반도체 기판(1)에 전력을 공급한다. 이로써, 반도체장치가 완성된다.

본 발명의 전술한 실시예 1은 볼범프가 매우 정확한 위치에서 기판 금속과 높은 점착력으로 설치되어 저가의 고신뢰성 반도체장치를 제공한다.

즉, 오목부의 형성시, 마스크를 사용하여 에칭을 수행하므로, 오목부를 설계 위치에 정확하게 형성시킬 수 있다. 또한, 오목부는 고정확성으로 적소에 위치되기 때문에, 다음 단계에서 형성될 볼범프도 또한 고정확성으로 위치될 수 있다. 볼범프는 납땀 금속을 통하여 오목부에 고정된다. 납땀 금속이 오목부에 접촉하는 더 넓은 영역을 얻을 수 있기 때문에, 볼범프를 오목부에 높은 점착력으로 고정시키는 것이 가능하다. 또한, 볼범프의 형성시 볼과 땀납 재료를 비교적 쉽게 고정시킬 수 있다는 것은 결과적으로 전체 비용을 감소시켜서 생산성을 증가시킨다. 산화막이 오목부와 볼범프를 서로 전기적으로 절연시키기 때문에, 볼범프사이에는 누선이 발생하지 않는다.

그러므로, 본 발명에서는 리소그래피 기술에 의해 오목부가 형성되기 때문에, 종래의 공정에 의해 형성된 볼범프를 가진 반도체장치와 비교하여 높이가 낮고 더 많은 수의 핀들을 배치시키기 쉬우며 균일한 볼범프를 형성하기가 보다 용이해진다. 그러므로, 볼범프가 패키지 모듈에 접속될 때 매우 정확한 접촉부를 기대할 수 있다.

도5 로 돌아가서, 이하에서는 본 발명의 실시예 2 에 의해 제조되는 반도체장치를 설명한다. 반도체 기판(1)은 Ga-As 쪽으로 이루어진다. 반도체 기판(1)에는 역사다리꼴 형태의 오목부(16)가 형성된다. 인접한 오목부(16)사이의 반도체 기판(1)에는 회로영역(2)이 형성된다. 회로영역(2)에는, 전술한 바와 같이, 반도체장치의 전기적 성능을 테스트하기 위한 테스터와 같은 회로가 형성된다.

반도체 기판(1)은 감광성을 가진 폴리이미드, 에폭시 또는 벤조사이클로 부탄(benzocyclobutene)으로 이루어진 보호막(18)으로 피복된다. 보호막(18)은 도전 배선(4)으로 피복되어 도전배선(4)이 오목부(16)를 전체적으로 피복한다. 도전 배선(4)은 알루미늄으로 만들어진다. 도전 배선(4)은 보호막(18)을 통하여 형성된 스루홀(19)을 통해 회로영역(2)과 전기적으로 접속한다. 보호막(18)은 노출 또는 성장 단계를 포

함하는 리소그래피 기술에 의해 형성된다.

Cr-Cu-Au 로 이루어진 도전박막(14)은 오목부(16)내의 알루미늄 도전 배선(4)을 피복하도록 형성된다. 그 후에, 볼범프(5)가 오목부(16)상에 형성된다.

볼범프(5)는 다음과 같이 형성된다. 먼저, 스크린 프린팅에 의해, 주 성분으로서 Pb-Sn 을 포함한 일정량의 땀납 금속이 도전박막(14)이 피복된 오목부(16)내에 채워진다. 그 후에, 니켈, 구리, 금 또는 땀납과 같은 금속으로 도금된 프라스틱 볼 또는 도전성 수지로 만들어진 볼이 오목부(16)내에 채워진다. 땀납 금속은 녹는점까지 가열되고 녹은 땀납 금속에 의해 볼범프(5)가 형성된다.

전술한 실시예 2 는 또한 가격을 낮출 수 있다. 또한, 열적 팽창 계수가 다른 재료가 모듈과의 접속시에 사용되는 경우에도, 수지 볼을 사용하면 열적 응력에 대해 매우 내성이 있는 접속을 얻을 수 있다. 다른 효과에 대해서는, 실시예 2 는 실시예 1 과 동일한 효과를 갖는다.

이하에서, 본 발명에 의한 프로브 카드를 도6 내지 도11b 를 참조하여 설명한다.

도6은 본 발명의 실시예 3 에 의해 만들어진 프로브 카드를 도시한다. 도6은 반도체 기판(1)의 하부 표면상에 형성되는 도전박막(4)과 보호막(18)을 명백하게 도시하지 않았다는 것에 주목해야 한다. 이 때문에, 도7 내지 도11b 에도 그들을 도시하지 않았다.

도6 에 도시된 프로브 카드는 도 4a 내지 도4h 에 도시된 단계와 동일한 단계로 제조된다. 리드(3)를 통해서 전력이 프로브 카드에 공급된다. 테스트 디바이스와 같은 반도체장치로 구성된 회로영역(2)을 사용함으로써, 테스트 디바이스를 포함하는 프로브 카드가 얻어질 수 있으므로, 프로브 카드는 그 자체로 테스트로 사용된다. 전술한 구조를 가진 프로브 카드는 다음과 같은 효과가 있다.

- A. 프로브 카드가 테스트 디바이스를 구비하기 때문에, 고가의 테스트가 불필요하다.
- B. 프로브 카드는 테스트될 장치가 만들어지는 재료와 동일한 재료로 만들어지기 때문에, 재료의 차이로 인한 응력이 발생되지 않는다. 결과적으로, 쉬프트 및 접촉 불량 발생하지 않는다.
- C. 오목부가 리소그래피 기술에 의해 적소에 형성되기 때문에, 작은 높이의 핀을 더 많이 형성할 수 있다. 오목부가 고정확성으로 소망위치에 위치될 수 있으며 볼범프가 이러한 오목부에 형성되기 때문에, 볼범프는 테스트될 장치에 매우 정확하게 접촉될 수 있다.
- D. 산화막이 오목부를 서로 절연시키고 볼범프들을 서로 절연시키므로, 볼범프들 사이에는 누슨이 발생하지 않는다. 결과적으로, 전기적으로 매우 정확한 테스트가 행해질 수 있다.
- E 도1b 내지 도1d 에 도시된 종래의 볼범프와는 달리, 본 발명의 볼 범프는 수리가 가능하다. 그러므로, 종래에는 프로브 카드를 새 프로브 카드로 교환해야 하는 반면에, 본 발명에 따라 제조된 프로브 카드는 단지 결함있는 볼범프를 새로운 볼범프로 교환함으로써 수리될 수 있다.
- F 본 발명에 따라 제조된 프로브 카드는 테스트를 준비할 필요가 없으므로, 종래의 자동-프로브보다 평방면적당의 장비 배열에 대한 효율이 더 크다.
- G. 본 발명에 따라 제조된 프로브 카드는 반도체장치를 제조하는 종래의 방법에 의해 더 쉽게 제조될 수 있다. 즉, 이러한 프로브를 제조하는데 고도의 기술이 필요하지는 않다.

도7 을 참조하여, 본 발명의 실시예 4 에 따라 제조된 프로브 카드를 이하에서 설명한다. 도시된 프로브 카드는 광 방사 장치(6)가 회로영역(2)내에 형성되어 있는 것을 제외하고는 도6 에 도시된 실시예 3 에 따라 제조된 프로브 카드와 동일한 구조를 갖는다. 본 실시예에서, 반도체 기판(1)은 GaAs 로 만들어진다. 광 방사 장치(6)는 확산 공정에 의해 쉽게 제조될 수 있다.

광 방사 장치(6)는 전기 성능에 대한 반도체장치의 테스트 시에 결함있는 반도체장치를 마킹하는 표시기로 사용된다. 반도체장치에 결함이 발견되면, 광 방사 장치(6)는 광(7)을 결함있는 반도체장치에 방사하여, 결함있는 반도체장치를 마킹한다. 특히, 프로브 카드가 반도체장치에 결함이 있는지 여부를 판단할 수 있게 한다.

도8 로 돌아가서, 본 발명의 실시예 5 에 따라 제조된 프로브 카드를 이하에서 설명한다. 먼저, 오목부(16)를 반도체 기판(1)의 하부 표면에 형성한 후, 볼범프(5)를 오목부(16)에 형성한다. 그 후에, 도전 배선(4)이 반도체 기판(1)의 상부 표면상의 패턴(4a)에 형성된다. 회로 패턴(4a)은 반도체 기판(1)을 통과하여 형성된 쓰루홀(4b)을 통해서 오목부(16)내에 형성된 도전 배선(4)에 전기적으로 접속된다. 반도체 칩(8)이 도전 배선(4)상에 위치하고, 볼범프(9)를 통해 도전 배선(4)과 전기적으로 접속하여 테스트로 사용되는 전기 회로를 구성한다. 마지막으로, 도전 배선(4)으로 이루어진 회로패턴(4a)에 리드(3)가 접속된다. 반도체 칩(8)은 테스트의 사양을 바꾸는 기능을 가지며, 수리에 의해 사양의 변경을 수행한다.

그러므로, 실시예 5 에 따라 제조된 프로브 카드는 테스트용 전기 회로를 제공한다. 그러므로, 테스트 디바이스가 완성되기 전에 반도체 칩(8)에 의해 테스트용 전기 회로를 갖는 것이 가능하므로, 테스트 디바이스가 긴급하게 필요할 때 편리하다.

도9 로 돌아가서, 본 발명의 실시예 6 에 따라 제조된 프로브 카드를 설명한다. 이러한 프로브 카드는 실시예 6 의 프로브 카드가 반도체 칩(8)대신에 광 방사 장치(6)의 바로 아래에 쓰루홀(10)이 형성되어 있는 것을 제외하면 도8 에 도시된 실시예 5 의 프로브 카드의 구조와 동일한 구조를 갖는다. 쓰루홀(10)은 레이저 또는 에칭에 의해 형성된다.

테스트된 반도체장치에 결함이 발견되면, 광 방사 장치(6)는 광(7)을 결함있는 반도체장치에 방사하여, 결함있는 반도체장치를 마킹한다. 즉, 프로브 카드는 결함있는 반도체장치를 마킹하는 표시기로도 사용된다.

도10 으로 돌아가서, 본 발명의 실시예 7 에 따라 제조된 프로브 카드를 이하에서 설명한다. 여기에 도시된 프로브 카드는 레이저와 같은 광(7)이 결함있는 반도체장치를 마킹하기 위해 통과하는 쓰루홀(10)이

반도체 기판(1)의 중심에 형성되는 것을 제외하면, 도3 에 도시된 실시예 1 에 따라 제조된 프로브 카드의 구조와 동일한 구조를 갖는다. 이 프로브 카드도 또한 결합있는 반도체장치를 마킹하는 표시기로 사용될 수 있다.

도11a 와 도11b 를 참조하여, 본 발명의 실시예 8 에 따라 제조된 프로브 카드를 설명한다. 실시예 8 은 실시예 4 및 실시예 5 를 함께 결합하여 얻어진 구조를 갖는다. 테스트 디바이스의 사양을 바꾸기 위한 장치(11)는 볼범프(9)를 통하여 반도체 기판(1)의 상부 표면상에 설치되며, 회로영역(2)과 광 방사 장치(6)는 반도체 기판(1)의 하부 표면아래에 형성된다. 프로브 카드는 두가지의 기능을 갖는데, 그중 하나는 테스트 디바이스의 사양을 바꾸는 기능이며, 다른 하나는 테스트에 의해 결합이 발견된 반도체장치를 마킹하는 기능이다.

도11b 는 대문자 "A" 로 표시된 도11a 의 일부의 확대도이며, 반도체 기판(1)의 상부 및 하부 표면상에 형성된 도전 배선(4)과 전기적으로 서로 접속하기 위한 구조를 도시한다. 프로브 카드의 제조 공정은 도4a 내지 도4h 의 단계와 유사하다.

먼저, 회로영역(2)이 형성된 표면 바로 아래의 반도체 기판(1)에 오목부(16)를 형성한다. 그후에, 레이저를 사용하거나 에칭에 의하여 반도체 기판(1)의 상부 표면과 오목부(16)를 통하게 함으로써 쓰루홀(17)을 형성한다. 그후에, 금속 산화막(2)을 형성하여 오목부(16)와 쓰루홀(17)을 반도체 기판(1)과 전기적으로 절연시킨다. 그후에, 알루미늄으로 된 도전 배선(4)이 스퍼터링 또는 증착에 의해 금속 산화막(12)상에 패터닝된다. 그후에, 보호막(18)(도시되지 않음)이 오목부(16)를 제외하여 형성된다.

보호막(18)상에는 전기분해 도금 또는 비전기분해 도금에 의해 도전박막인 Ni 층(14a)과 Au 층(14b)이 형성된다. 마지막으로, 볼범프(5)가 오목부(16)내에 형성된다. 그러므로, 본 실시예의 프로브 카드가 반도체 확산 공정에 의해 기본적으로 쉽게 제조될 수 있다.

전술한 실시예에 따라 제조되는 반도체장치와 프로브 카드에서, 보호막은 폴리이미드 수지로 만들어지지만, 반도체장치 또는 프로브 카드가 제조될 수 있는 재료는 이들에 한정되지 않는다. 예를 들면, 에폭시 수지 및 벤조사이클로부탄과 같은 유기 재료 또는 다양한 금속 산화막과 같은 무기 재료로 만들어질 수 있다.

도전박막(14)은 실시예 1 및 2 의 반도체장치에서 도전박막(14)을 이루는 Cr-Cu-Au 대신에 Ti-Au 또는 Ni-Au 로 만들어질 수 있다.

또한, 볼범프(5)는 전술한 실시예에서 사용된 Pb-Sn 을 포함하는 땀납 재료대신에 주성분으로 Sn-Ag, Sn-Zn, Au-Sn, Au 또는 In 을 포함한 땀납 금속을 사용하여 형성될 수 있다.

발명의 효과

전술한 실시예를 고려하면, 본 발명은 다음의 효과를 제공한다.

오목부가 리소그래피 기술을 사용하여 형성되기 때문에, 볼범프는 모듈과 매우 정확하게 접촉하므로 매우 정확한 위치에 위치될 수 있다. 그러므로, 매우 높은 정착성을 갖는 매우 신뢰성있는 볼범프를 구비하는 저가의 반도체장치를 얻을 수 있다. 즉, 마스크링 후에 에칭함으로써 오목부가 형성되기 때문에, 오목부는 소망 위치에 정확하게 위치될 수 있다. 따라서, 그 다음 단계에서 형성되는 볼범프는 매우 정확한 위치에 위치될 수 있다.

볼범프는 땀납 재료를 사용하여 오목부의 표면에 고정된다. 볼범프와 땀납 재료를 접촉하기 위한 넓은 영역이 얻어질 수 있으므로, 볼범프와 땀납 재료 사이의 높은 정착력을 얻을 수 있다. 볼범프의 형성 시에 볼과 땀납 재료를 고정시키는 것이 비교적 쉽기 때문에, 전체 제조 비용을 감소시킬 수 있다.

오목부와 볼범프가 산화막에 의해 각각 전기적으로 서로 절연되어 있기 때문에, 볼범프들 사이에는 누슨이 발생하지 않는다.

볼범프가 수지로 만들어진 경우, 볼범프와 모듈사이의 접촉은 다른 열 팽창 계수를 가진 재료들 사이에서도 열 응력에 대해 매우 내성이 있는 접촉이 이루어진다.

전술한 바와 같이, 본 발명에 따라 제조된 반도체장치는 테스트의 기능을 가진 프로브 카드로 사용될 수 있다. 그러므로, 반도체장치의 전기적 성능을 테스트하기 위한 테스트를 별도로 준비할 필요가 없다. 또한, 프로브 카드로 사용되는 반도체장치는 테스트 사양의 변화에 적응할 수 있다. 또한, 이 반도체장치는 종래의 것보다 더 작은 크기의 프로브 카드를 제공할 수 있다.

프로브 카드의 제조는 반도체 확산 공정에 의해 쉽게 달성될 수 있으므로, 고도의 기술이 필요하지 않다. 따라서, 프로브 카드로 사용하는 반도체장치는 저가로 제조될 수 있다. 전술한 실시예는 원-칩(1-chip)구조에 대하여 설명하고 있지만, 본 발명은 다중-칩 및 웨이퍼-대-웨이퍼 검사에도 적용될 수 있다.

프로브 카드로 사용하는 반도체장치는 볼범프를 통해 테스트되는 장치와 접촉하므로, 접촉 길이를 짧게 할 수 있다. 결과적으로, 고주파를 포함한 전기적 성능의 테스트가 고속으로 수행될 수 있다. 따라서, 프로브 카드로 사용하는 상기 반도체장치는 테스트가 패키지로 조립되지 않으면 수행될 수 없는 종류의 테스트도 수행할 수 있다.

(57) 청구의 범위

청구항 1

(2 회 정정)하나 이상의 오목부(16)가 형성된 반도체 기판(1); 적어도 상기 오목부의 표면을 피복하고 있는 도전층(4); 상기 오목부 내의 상기 도전층 상에 형성된 도전박막(14); 끝 부분이 상기 도전박막의 끝 부분과 인접하도록 상기 도전층 상에 형성된 보호막(18); 및 상기 오목부 내의 상기 도전박막 상에 형성된 볼범프(5)를 구비하는 반도체장치로서, 상기 반도체 기판(1)내에 형성되고 상기 반도체장치가 프로브

카드로서 동작하도록 반도체 장치의 전기적 성능을 테스트하는 기능을 가지는 테스터 디바이스(2)를 더 구비하는 것을 특징으로 하는 반도체장치.

청구항 2

(2 회 정정)제1 항에 있어서, 상기 도전박막(14)은 Ti-Cu, Ni-Au 및 Cr-Cc-Au 중의 하나로 이루어지는 것을 특징으로 하는 반도체장치.

청구항 3

(2 회 정정)제1 항에 있어서, 상기 반도체 기판(1)은 실리콘으로 만들어지면, 상기 오목부(16)는 밀러지 수가(100)인 표면 상에 형성되는 것을 특징으로 하는 반도체장치.

청구항 4

(정정)제1 항에 있어서, 상기 도전층(4)은 상기 반도체 기판(1)상부에 형성되는 것을 특징으로 하는 반도체장치.

청구항 5

(2 회 정정)제1 항에 있어서, 상기 도전층(14)의 아래에 형성된 금속 산화막(12)을 더 구비하는 것을 특징으로 하는 반도체장치.

청구항 6

(2 회 정정)제1 항에 있어서, 상기 볼범프(5)는 주성분으로 Pb-Sn, Sn-Ag, Sn-Zn, Au-Sn, Au 및 In 중의 하나를 포함하는 납땜 재료를 사용하여 형성되는 것을 특징으로 하는 반도체장치.

청구항 7

(2 회 정정)제1 항에 있어서, 상기 반도체 기판(1)은 GaAs 로 만들어지며, 상기 테스터 디바이스(2)는 그 내부에 상기 테스터 디바이스(2)에 의해 결함이 발견된 반도체 장치에 광(7)을 방사하기 위한 광 방사 장치(6)를 구비하는 것을 특징으로 하는 반도체장치.

청구항 8

(2 회 정정)제1 항에 있어서, 상기 반도체 기판(1)에는 광(7)이 통과하거나 프로브가 삽입되는 하나 이상의 쓰루홀(10)이 형성되어 있는 것을 특징으로 하는 반도체장치.

청구항 9

(2 회 정정)상면 및 하면중 어느 한 면에 하나 이상의 오목부(16)가 형성된 반도체 기판(1); 적어도 상기 오목부의 표면을 피복하는 도전층(4); 상기 오목부 내의 상기 도전층 상에 형성된 볼범프(15); 및 상기 반도체 기판(1)의 다른 한 면에 형성되어 있고 상기 반도체 기판(1)에 형성된 쓰루홀(4b)을 통하여 상기 도전층(4)에 전기적으로 접속된 회로 패턴(4a)을 구비하는 반도체장치로서, 반도체 장치의 전기적 성능을 테스트하는 기능을 갖는 테스터 디바이스를 구성하여 상기 반도체 장치가 프로브 카드로서 작동하도록 하며 상기 회로 패턴에 전기적으로 접속되어 상기 회로 패턴 상에 설치된 반도체 칩(8)을 더 구비하는 것을 특징으로 하는 반도체장치.

청구항 10

(2 회 정정)제9 항에 있어서, 상기 반도체 칩(8)은 상기 테스터 디바이스(2)의 사양을 변화시키는 기능을 갖도록 설계된 것을 특징으로 하는 반도체장치.

청구항 11

(2 회 정정)제9 항에 있어서, 상기 반도체 칩 대신에 광 방사 장치(6)을 더 구비하고, 상기 반도체 기판(1)에 쓰루홀(10)을 더 형성하며, 상기 광 방사 장치(6)는 상기 쓰루홀(10)에 정렬되어 설치되며 결함이 발견된 반도체장치에 상기 쓰루홀(10)을 통하여 광(7)을 방사하는 것을 특징으로 하는 반도체장치.

청구항 12

(2 회 정정)반도체장치에 있어서, 하나 이상의 오목부(16)가 형성된 반도체 기판(1); 상기 반도체 기판 내에 형성된 회로 패턴(4a); 적어도 상기 오목부의 표면을 피복하는 도전층(4); 상기 오목부 내의 상기 도전층 상에 형성된 볼범프(5); 상기 반도체 기판 내에 형성되며 상기 반도체장치가 프로브 카드로서 작동하도록 반도체 장치의 전기적 성능을 테스트하는 기능을 갖는 테스터 디바이스(2); 상기 테스터 디바이스에 의하여 결함이 발견된 반도체장치에 광(7)을 방사하도록 설계된 광 방사 장치(6); 및 상기 회로 패턴과 전기적으로 접속되도록 상기 회로 패턴 상에 설치되고 상기 테스터 디바이스(2)의 사양을 변화시키는 기능을 갖도록 설계된 반도체 칩(8)을 구비하고, 상기 회로 패턴(4a)은 상기 반도체 기판(1)내에 형성된 쓰루홀(4b)을 통하여 상기 도전층(4)에 전기적으로 접속되는 것을 특징으로 하는 반도체장치.

청구항 13

(2 회 정정)하나 이상의 볼범프를 갖는 반도체장치를 제조하는 방법에 있어서, 반도체 장치의 전기적 성능을 테스트하는 테스터 디바이스(2)를 제조하는 단계; 반도체 기판(1)의 표면에 오목부(16)를 형성하는 단계; 상기 반도체 기판(1)을 금속 산화층(12)으로 피복하는 단계; 상기 금속 산화층(12)에 쓰루홀(19)을 형성하는 단계; 상기 쓰루홀(19)을 통하여 상기 테스터 디바이스(2)와 전기적으로 접속된 도전층(4)을 상기 금속 산화층(12)상부에 형성하는 단계; 상기 오목부(16)를 제외한 상기 반도체 기판(1)상부에 보호층(18)을 형성하는 단계; 상기 오목부(16)내의 상기 도전층(4)상부에 도전박막(14)을 형성하는 단계; 및

상기 오목부(16)를 덮는 볼범프(5)를 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 제조 방법.

도면

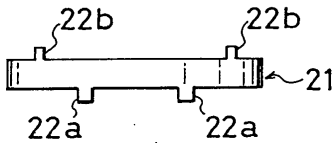
도면 1a

종래기술



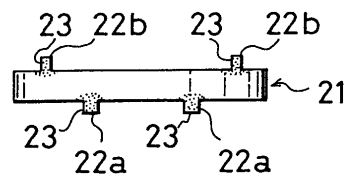
도면 1b

종래기술



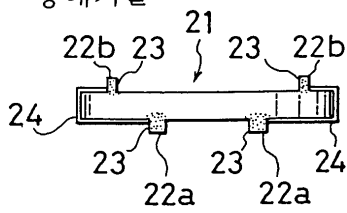
도면 1c

종래기술



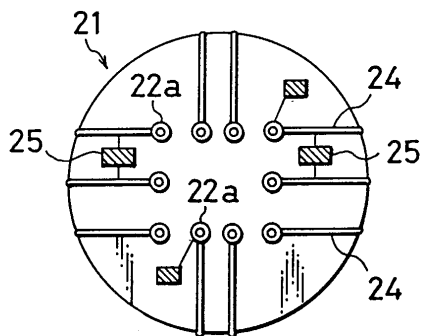
도면 1d

종래기술

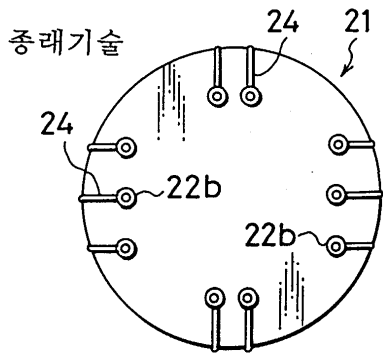


도면 2a

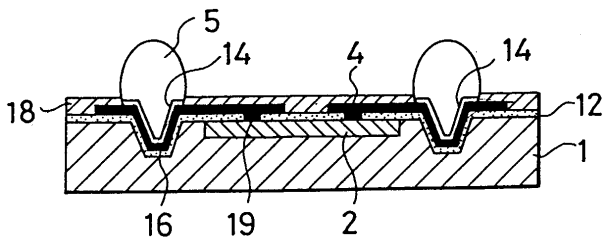
종래기술



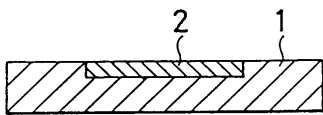
도면2b



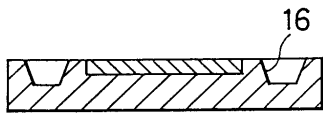
도면3



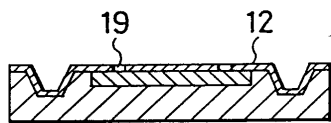
도면4a



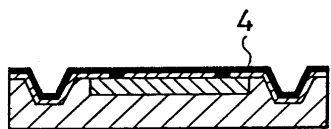
도면4b



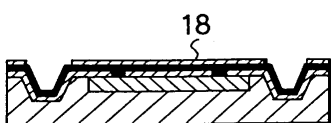
도면4c



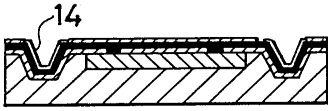
도면4d



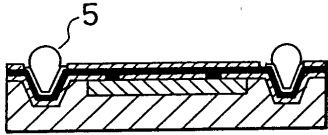
도면4e



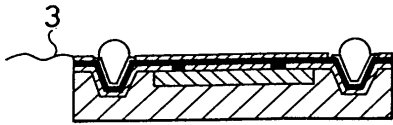
도면4f



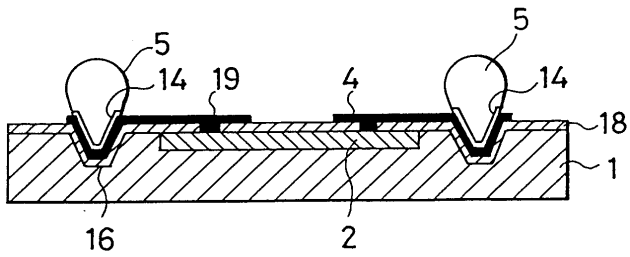
도면4g



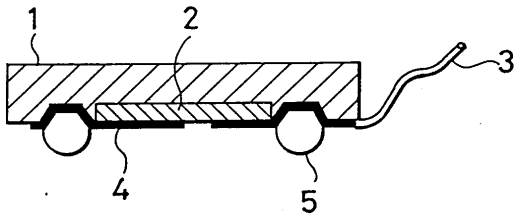
도면4h



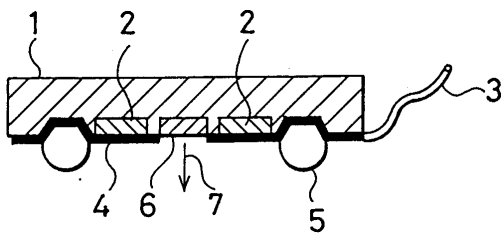
도면5



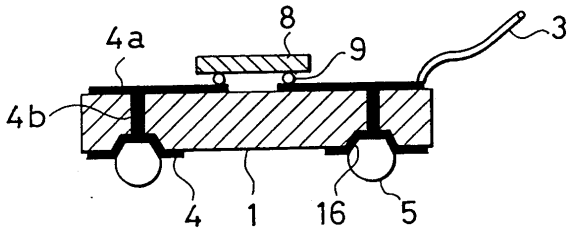
도면6



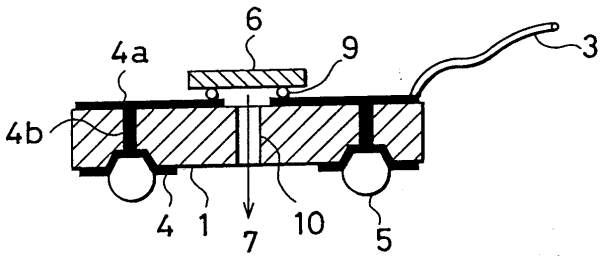
도면7



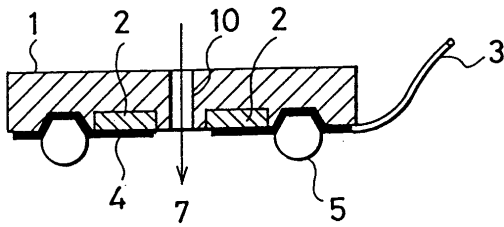
도면8



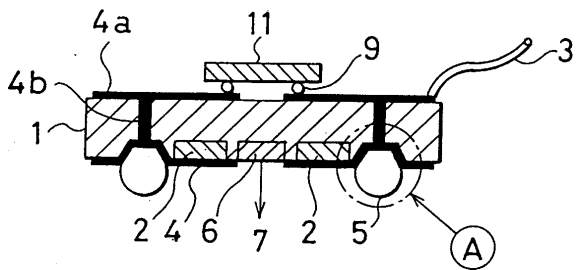
도면9



도면10



도면11a



도면11b

