(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[5]
H01L 23/492

(45) 공고일자 1990년07월05일
(11) 공고번호 90-004719

(21) 출원번호	특1987-0700748	(65) 공개번호	특1988-0701020
(22) 출원일자	1987년08월19일	(43) 공개일자	1988년04월13일
(86) 국제출원번호	PCT/US 86/002519	(87) 국제공개번호	WO 87/04010
(86) 국제출원일자	1986년11월24일	(87) 국제공개일자	1987년07월02일

(30) 우선권주장 811239 1985년12월20일 미국(US)
(71) 출원인 휴우즈 에어크라프트 캄파니 에이.더블유.카람벨라스
미합중국 90045-0066 캘리포니아주 로스 앤젤리스 휴우즈 테라스 7200

(72) 발명자 패트로우, 닐스 이.
미합중국 90277 캘리포니아주 레돈도 비취 애비뉴 에프 500에이

(74) 대리인 이세진, 장수길, 최종왕

심사관 : 유환열 (책자공보 제1929호)

(54) 칩 인터페이스 메사

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

칩 인터페이스 메사

[도면의 간단한 설명]

제1도는 반도체 다이 정상부의 메사를 도시한 본 발명의 측면사시도이다. 메사는 상부에 도전성 메사 인터페이스 패드를 갖고 있고, 칩의 상부 표면의 경계 영역 상에서 칩 인터페이스 패드들과 정렬되는 측벽내에서 절단된 노치들을 갖고 있다.

제2도는 메사 노치들의 피막된 도전성 벽들을 칩 인터페이스 패드와 접속시키는 땜납 방울을 도시한 본 발명의 단면도이다.

제3도는 도전성 통로에 의해 메사의 측벽내의 노치에 각각 접속되는 확대된 메사 인터페이스 패드들의 어레이를 도시한 본발명의 평면도이다.

[발명의 상세한 설명]

[발명의 배경]

1. 관련 특허 출원 참조

본 특허 출원은 닐스 이. 패트로우(Nils E. Patrow)가 발명하여 휴우즈 에어크라프트 캄파니에 양도한 '반전 칩 캐리어'라는 명치으이 계류중인 특허 출원에 관련된다.

2. 발명 분야

본 발명은 다수의 집적 회로상에 존재하는 마이크로 일렉트로닉 부품들의 초 조밀 초대규모 집적 및 웨이퍼 규모 합성(Ultra-Dense, Extremely Large Scale Integration and wafer scale synthesis)에 관한 것이다. 양호한 실시예의 특수 촛점은 매우 높은 신호 처리 능력 및 매우 큰 메모리 용량을 갖고 있는 다중-칩 VHSIC하이브리드(hybrid)를 가능케 하는 능동(active)마이크로일렉트로닉 회로 소자들의 평평한 직교공간 최적화이다.

3. 배경 정보

과거 40년에 걸쳐, 전자 산업은 전자 부품의 성능 면에서 상당한 발전을 보여왔다. 열-이온(thermoionic) 장치로부터 고상(solid state) 다이오드 및 트랜지스터로의 전이는 강력한 디지탈 컴퓨터를 구성하기 위해서 회로를 소형화하기 위한 열띤 노력의 제1단계였다. 제2 혁신 단계는 개별

고상 장치들을 단일 하우징을 공유한 소형 단일 회로로 통합하는 것을 포함하였다. 집적 회로 출현 전에, 트랜지스터와 같은 부품들은 플라스틱 케이스 내에 각각 캡슐화(encapsulate)되거나 금속 캔(can)내에 각 수용되었다. 이 단일 소자들은 일반적으로 회로 기판상에 장착되었고, 납땜와이어에 의해 함께 접속된 다수의 리드(lead)들을 각각 갖고 있었다. 제1 세대 집적 회로는 절연 기판상에 용착된 금속 및 유전막으로 된 몇 개의 교호층 상에 다수의 개별 능동 소자들을 함께 결합시켰다. 이 이전의 집적회로(박막 하이브리드라고 칭함)는 단일체이지만 매우 강력하고 조밀하게 팩(pack)된 반도체 칩 또는다이를 포함하는 현재 집적회로의 전신이었다. 이 반도체 칩은 몇 개의 수평층들을 수직으로 통과하는 작은 금속 상호 접속부 또는 비아(via)에 의해 함께 접속되는 다수의 박층들이형성되는 물질의 기부 또는 기판을 포함한다. 실리콘, 게르마늄 도는 비소화 칼륨과 같은 반도체 물질은 상이한 전기적 특성을 갖고있는 신중히 선택된 미세 영역들을 형성하기 위해서 화학적으로 변형될 수 있다. 현재, 이 별개의 영역들의 높은 정밀도로 제조되고, 각각의 영역은 100만분의 1인치 미만을 측정할 수 있다. 상이한 도전율을 나타내는 몇 개의 영역들은 수학적 계산을 실행하거나 정보를 저장하는 것을 도울 수 있는 장치를 형성하기 위해서 함께 그룹화 될 수 있다. 1개의 모놀리딕(monolithic)칩의 다수의 층들중 1개의 층내의 현미경학적으로 작은 영역들이 이 그룹들은 20-30년 전의 개별적으로 팩키지된 부품들의 최신 유사물(modemanalog)이다.

각각의 전자 부품 단계가 계산 속도 메모리 용량을 향상시켰을 때, 이 부품들의 팩키징은 더욱 더 중요하게 되었다. 반도체 물질 및 장치의 제조 또는 소형화에 관련된 문제점을 해결하는 기술적 장점은 수반되는 팩키징 문제점을 동시에 발생시킨다. 회로 부품들이 점점 더 작은 크기로
축소될수록, 각각의 부품 억세싱 문제점은 더욱 악화된다. 집적 회로가 다수의 별개의 능동 소자들이 연필 지우개 직경보다 작은 공간을 점유하도록 조밀하게 팩될 때, 작은 회로 소자의 큰 회로망과 외계(outside world) 사이의 전기 신호의 형태로 정보를 변환시킬 때 포함된 어려움들은 커지게 된다.

설계자가 단일 시스템 내에 다수의 집적 회로를 함께 접속시키고저 할 때 다른 복잡한 문제가 발생된다. 연필 지우개 폭보다 짧고 2/100인치 (0.05㎝)두께 미만인 반도체 칩은 전형적으로 폭이 약 4인치(10.2㎝)인 반도체 물질의 얇은 원형 웨이퍼상에 수백개가 동시에 제조된다. 모든 별도칩들을 웨이퍼 상에 결합시키기 위한 최근의 시도는 웨이퍼 규모 집적이라는 용어를 발생시켰다.

1개의 웨이퍼상에 대략 1백만개의 능동 부품들을 각각 포함하는 수십개, 수백개 또는 수천개 또는 수백만개의 강력한 별개의 칩들을 결합시킬 수 있는 전자 장치는 전자공학 분야내의 굉장한 기술적 도약을 이룩하게 되었다.

집적 회로 및 다중 집적 회로 어레이 설계 및 제조시에 당면한 가장 심각한 문제점들 중에는 집적 회로의 내부 회로로부터 외계로의 억세스 지점인 소규모 단자 또는 패드를 접속시키기 위해 가는 필라멘트 와이어를 사용한다는 해로운 결과가 있다. 이 약하고 매우 가벼운 게이지(gauge) 접속 와이어들의 직경은 전형적으로 1/1000인치 (0.0025㎝)이다. 이 와이어 또는 리드들을 칩의 도전성 외부 단자에 부착시키기 위한 한가지 통상적인 기술은 열압착법(thermocompression bonding)이다. 이 처리 공정은 집적 회로 다이 상의 열 및 응력의 인가 수단을 포함한다. 본딩 웨지(bonding wedge)라고 부르는 매우작은 뚫지형 탐침 또는 공구는 현미경을 통해 관찰되어야 하고, 도전성 패드상에 본드될 와이어상에 안내된다. 패드는 통상적으로 패드를 구성하는 금속 물질을 연화시키기 위해서 가열 장치 상에 배치되는 반도체 칩 또는 다이의 주변부에 배치된다. 본딩 웨지는 네일헤드(nailhead) 또는 볼 본더(ball bonder)라고 불리워지는데, 압착 공구는 중심을 통해 패드에 와이어를 공급하는 유리 모세관으로 구성된다. 화염은 모세관의 개방 단부 외부로 돌출하는 와이서의 단부를 용융시켜, 와이어의 직경의 약 2배의 직경을 갖고 있는 볼을 형성한다. 그다음, 와이어는 모세관내에서 수축되고, 볼은 오리피스(orifice)에 대향하여 넉넉하게 지지되지만, 모세관은 패드상에서 이동되어 상당한 힘이 가해진다. 압력은 네일헤드와 유사한 형내로 된 평평한 열악착물로 볼을 변형시킨다. 그다음, 모세관은 패드로부터 다시 당겨지고 다이 상의 패드에 부착되는 와이어를 용융시키기 위해 화염이 다시 사용된다. 와이어 및 접촉 패드는 전형적으로 금 또는 알루미늄으로 제조된다.

열악착이 수년간의 제조에 걸쳐 유용한 것으로 증명되었지만, 이 방법은 많은 단점을 갖고 있다. 수동 또는 고가의 자동화 장비로 와이어 및 패드를 본딩할 때 발생된 막대한 비용을 제외하고라도, 압착과 같은 소정의 기계적 다수의 주위 환경 요인에의해 야기된 고장을 일으키기 쉽다. 소정의 제조 공정이 완전하지 않기 때문에, 몇 개의 와이어 본드는 제조후에 고장나게 된다. 접속부의 단 1%가 부적합하더라도, 불량 접속부를 갖고 있는 칩을 포함하는 전체 시스템은 결과적으로 완전하게 동작할 수 없게 된다. 온도 변화로 인한 접속물질의 상이한 팽창 및 수축률은 본드를 파괴하게 된다. 주위 환경은 금속 접속부를 부식 및 파괴할 수 있는 산화와 같은 화학처리를 개시하게 되는 화합물을 포함할 수 있다. 부속 부품의 장치, 취급 또는 사용중에 발생한 진동은 이 와이어 브릿지들을 떨어뜨릴 수 있다.

전자 장치의 수명에 걸쳐 완전한 와이어 본드를 유지하는 문제점외에, 1개의 칩 또는 다수의 칩의 어레이의 접속부의 이 모우드(mode)는 모든 본드들이 완전히 제조되고 절대로 파괴되지 않더라도 문제점들이 뒤따른다. 다수의 칩들을 접속시키기 위해 필요한 다수의 와이어 본드들은 시스템 회로내의 도전성 통로의 길이를 길게 만든다. 이 도체들은 전력을 소모하는데, 그 이유는 이 도체들이 저항성 성분들이기 때문이다. 이 가열에 의해 야기된 증가된 주위 온도는 관련된 집적 회로의 동작을 감쇠시킬 수 있다. 이 와이어들은 불필요한 인덕턴스 및 캐패시턴스를 정확히 평형화된 회로내로 주입 시킨다. 도체들 사이의 누화는 전체 시스템의 성능을 심하게 감쇠시킬 수 있다. 긴 통로내의 시간 지연은 계산 능력을 감소시킨다.

최악의 문제점은 와이어들이 칩 또는 다수의 칩의 어레이 부분을 함께 접속시키기 위해 사용될 때 소요되는 공간이 크다는 것이다. 거의 동일 면내에 존재하는 2배의 지점들을 접속시키는 와이어의 각각의 스팬(span)은 루우프식 파라볼릭(parabolic) 만곡 와이어를 필요로 한다. 와이어가 만곡될 수 있는 크기는 파열에 대한 와이어의 취약성 및 민감성에 의해 제한된다. 부수적으로, 와이어 본딩 공구의 크기는 열압착부를 수용하는 접촉지점들 사이의 최소 공간을 요구한다. 이 와이어의 루우프

는 칩 전개(deployment)의 수평 밀도에 제한을 가하는데, 그 이유는 각각의 루우프용 최소 공간이 각각의 인접 칩 사이에 제공되어야 하기 때문이다. 종래의 와이어 본딩 기술은 다이의 두께의 2배 이상의 다이 전극 제한을 부여한다. 다이의 높이가 20/1000인치(0.05cm)정도이면, 와이어 본드를 제조 하기에 적합한 간격을 제공하기 위해서 50밀 (0.127cm)정도가 소요된다. 또한, 와이어 본드를 수용하는 패드들은 다이 상의 귀중한 공간을 소모한다. 각각의 패드는 와이어 본드 공구에 의해 전달된 큰 압력을 허용하기에 충분히 크고 튼튼해야 한다. 와이어 본드들은 다이의 표현상의 귀중한 수평 표면적을 소모할 뿐만아니라, 다이의 면상의 공간을 차지한다. 접속 와이어의 루우프 부분은 다이 표면 상에 멀리 연장될 수 있고, 칩 어레이 면들의 몇가지 레벨의 스택킹(stacking)을 배제한다. 접속 와이어들이 활성 다이 표면 위 또는 아래에서 공간을 소모하면, 능동 회로에 수직하게 연장되는 수직 또는 직교 공간은 와이어를 돌출시키기 위해 보존되어야 한다. 이 노출된 와이어들은 조립 공정중의 물리적 충격, 진동, 온도의 극대화 및 손상을 포함하는 다수의 주위 환경 위험의 영향을 받기 쉽다.

이전의 마이크로회로 접속 및 웨이퍼 규모 집적 발명은 다양한 해결 방법을 사용하여 수백만개의 능동 회로 부품들을 결합 및 접속시킬 때의 전개 및 팩키징 문제점을 해결하고저 하였다. 호톤(Hoton)의 미합중국 특허 제2,850,681호 내에는, 강성 절연 물질로 제조된 다수의 웨이퍼, 각각의 웨이퍼에 고착된 도체 및 이 웨이프들 상의 전기 부품들 사이의 접속부들의 결합을 포함하는 전기 장치용 소형 구조가 도시되어 있다.

비저(Vizzer)의 미합중국 특허 제3,107,319호 내에는, 모듈러부품 인쇄 회로 접속기가 도시되어 있다. 이 발명은 스프링 장하(spring loaded) 단자들에 의해 유지되는 회로 접속기 소자들의 삽입을 위한 단부 슬롯트를 갖고 있는 인쇄 회로 기판에 부착되는 모듈러 부품 기부 블록을 사용한다.

엘리오트(Elliott)의 미합중국 특허 제3,271,507호 내에는, 금표면에 본드되는 반도체 웨이퍼를 수용하는 채널을 갖고 있는 절연 세라믹 기판을 포함하는 반도체용 플랫 팩키지(flat package)가 기술되어 있다.

고갈(Gogal)의 미합중국 특허 제4,288,841호 내에는, 한 쌍의 칩 캐비티(cavity)를 갖고 있는 다층 세라믹 샌드위치 구조를 구성하는 이중 캐비티 칩 캐리어를 포함하는 반도체 장치가 기술되어 있다. 이 발명은 이 구조가 상이한 단자 패턴을 갖는 2개의 집적 회로들을 접속시키기에 유용하다는 것을 청구하고 있다.

미네티(Minetti)의 미합중국 특허 제4,332,341호 내에는, 기판과 접촉 부재를 본드시키기 위해 고체 땜납을 사용하는 회로 팩키지를 형성하는 방법이 기술되어 있다. 미네티의 세라믹 칩 캐리어는 캐스텔레이션(castellation)들이 캐리어 표면의 연부에 형성된 세라믹 본체를 포함한다. 다층 접촉 부재들은 집적 회로칩으로부터의 리드들에 접속되는 접촉패드에 결합된다.

홀(Hall) 등의 미합중국 특허 제4,352,449호 내에는, 지지 기판 상에 장착된 매크로 부품 (macrocomponent)을 사용하는 회로 팩키지를 제조하는 방법이 기술되어 있다. 부품과 기판 사이의 충분한 여유도를 유지하고 고 신뢰성 본드를 달성하기 위해서, 홀은 부품 또는 기판 상에 패드를 접촉시키기 위해 인가되는 대형(massive) 땜납 예형(preform)들을 사용한다. 이 발명은 또한 칩 캐리어 상에 패드를 접촉시키기 위해 20 내지 40밀(0.05 내지 0.1cm)의 직경을 갖고 있는 납-주석 땜납 구(sphere)의 본딩을 포함한다.

라너드(Larnerd) 등의 미합중국 특허 제3,811,186호 내에는, 도체들이 기판에 부착될 때 기판 도체 상에 마이크로회로 장치를 정렬 및 지지하기 위한 방법이 기술되어 있다. 장치와 이들에 대응하는 도체들 사이에 배치된 성형된 가요성 절연 물질은 도체들이 적합하게 정렬된 후 도체들을 부착시키기 위해 열로 함께 용융될 수 있는 단자들을 지지한다.

비비트(Beavitt) 등의 미합중국 특허 제3,824,801호 내에는, 덮개와 칩을 지지하는 기부내에 형성된 캐비티 사이에 본드된 다수의 도체들을 포함하는 집적 회로 팩키지가 기술되어 있다. 이 캐비티는 기부와 절연물질의 덮개 사이에 고착되는 탄성 물질의 도전성 스트립(strip)들 사이의 제 위치에 유지되는 칩용 캐리어로서 작용한다.

하기스(Hargis)의 미합중국 특허 제3,864,810호 내에는 납땜 가능한 외부 접속부들을 갖고 있는 무도선반전(leadless inverted) 칩 캐리어와 같은 소형 세라믹 장치 셋트를 제조하기 위한 처리공정이 기술되어 있다. 기부 시이트(sheet) 상의 몇 개의 세라믹 물질층을 화이어(fire)한 후, 하기스는 칩 단자들 자체보다 더욱 용이하게 외부 장치에 접속되는 칩용 리드를 제공하기 위해서 에폭시 수지 내에 매입 또는 캡슐화시킴으로써 세라믹 캐리어 상에 칩을 장착시킨다.

페니로(Perrino)의 미합중국 특허 제3,868,724호 내에는 가용성 테이프 상에 다수의 리드 셋트를 형성함으로써 제조되는 집적 회로 칩용 접속 구조가 기술되어 있다. 이 리드들은 텝프내에 형성된 구멍을 관통하고, 집적 회로 칩 상의 접촉부들의 패턴에 대응하는 패턴으로 배열되는 접촉부내에서 종단된다. 칩들은 접촉부에 본드된 후 에폭시 캡슐물로 둘러싸여 진다.

하틀로드(Hartleroad)등은 칩들을 자동적이고 자기적으로 정렬시키고 이들을 위해 놓여 있는 리드 프레임 구조에 본드시키는 이송(transfer)탐침이 한 단부 상에 반도체 플립(flip)칩을 배치 시키기 위한 방법 및 장치에 대해서 설명하였다. 위치 설정 장치의 기다란 홈의 한 단부내에 플립 칩을 배치시키고, 이들을 본딩전에 칩을 적합하게 배치시키도록 자력을 사용하여 안내 레일상에 이송하기 위한 이들의 방법은 미합중국 특허 제3,937,386호의 주제이다.

혼(Honn) 등의 미합중국 특허 제4,074,342호 내에는, 캐리어, 회로 트랜스포저(transposer)와 LSI 장치를 상호 접속시키기 위해 납땜 기술을 사용하는 대규모 집적 회로용 전기 팩키지가 기술되어 있다. 혼 전기 팩키지는 반도체 물질과 유사한 열팽창 계수를 갖는 캐리어, 표준 단자핀 어레이 및 트랜스포저를 포함하는데, 이들은 다수의 팩키징 물질의 상이한 열팽창에 의해 야기되는 납땜 접합부상의 기계적 응력을 제거하는 것을 청구하고 있다.

이노우에(Inoue)의 미합중국 특허 제4,143,456호 내에는, 반도체 장치 절연 방법이 기술되어 있다. 이 발명은 도전성 패턴을 갖고 있는 회로 기판 및 칩을 포함하는 반도체 장치용 보호 덮개를 사용한다. 이노우에는 알루미늄 와이어로 회로 기판 패턴의 다이 본드된 부분에 공융(eutectic) 또는 전기적으로 접속된 접착제로 칩을 고정시킨다.

앤드류스(Andrews) 등의 미합중국 특허 제4,147,889호 내에는, 도금 또는 본드된 납땜가능한 도전성 트레이스(trace) 및 통로를 갖고 있는 가요성 장착 플랜지를 갖는 얇은 유전성 접시형 칩 캐리어가 기술되어 있다. 이 트레이스 및 통로들은 전기적으로 접지되고 구조적 완전성(integrity)을 제공하는 도금 또는 본드된 방열판과 결합된다.

어곤(Ugon)의 미합중국 특허 제4,264,917호 내에는, 집적 회로 장치용 지지 부재, 외부 출력 단자, 및 출력 도체 어레이로 구성되는 출력 패드 및 전기 절연 캡슐 덮개를 갖고 있는 집적 회로 장치용 플랫 팩키지가 기술되어 있다. 이 방명은 두께 및 표면적이 감소되어 있는 1개 이상의 접적 회로용 팩키지를 제공하도록 지지 웨이퍼 상에 배열된 접촉 아일런드를 포함한다.

상술한 발명들 중 어느것도, 와이어 본드와 같은 칩 상호접속에 제공되는 칩 어셈블리의 높은 부분으로부터 발생되는 소모된 평평하고 직교하는 공간의 문제점을 해결하지 못한다. 이 종래의 방법 또는 장치들 중 어느것도, 능동 반도체 부품들의 초고밀도를 달성하는 모든 복잡한 형태들을 제공하는 효율적이고 포괄적인 해결 방법을 제공하지 못한다. 이 문제점에 대한 이러한 해결 방법은 근 30년 동안 반도체 및 집적 회로 산업이 오랫동안 느껴온 필요한 경험을 만족시키게 되었다.

다이의 평평하고 직교하는 공간의 상당한 부분을 낭비하지 않고서 유효한 인트라-칩(intra-chip) 및 칩-칩 상호접속부를 제조하기 위한 실용적으로 신뢰할 수 있는 장치는 마이크로 일렉트로닉스 분야내의 주요한 발전을 이룩하게 되었다. 반도체 다이의 제조자들은 현재 기술 상태를 매우 능가하는 속도로 정보를 처리할 수 있고 오늘날의 대부분의 조밀하게 팩된 설계보다 많은 양의 데이터를 저장할 수 있는 집적 회로를 제조하기 위해 이러한 혁신적인 설계를 사용할 수 있었다. 이러한 발명은 이상적으로 다양한 계산 시스템과 상호작용하여 동작하기에 접합하게 되었고, 광범위한 동작 조건 및 시스템 응용에 걸쳐 일관적이고 신뢰성 있게 실행하게 되었다. 또한, 초 대규모 집적 마이크로 회로는 슈퍼컴퓨터 및 궤도 방어 시스템(orbital defense system)의 엄격한 요구를 만족시키게 되었다. 항공우주 마이크로일렉트로닉 설계자들이 우주 방어 시스템용 궤도내의 매우 강력하고 매우 소형인 집적 회로를 전개할 수 있게 하는 발명은 전자공학 분야내의 주요한 기술적 발전을 이룩하게 되었다.

[발명의 요약]

본 발명의 목적은 이 주요한 기술적 발전을 달성하는 것을 돕기 위한 것이다. 패트로우 칩 인터페이스 메사(Patraw Chip Interface Mesa)는 이전의 개별 접속된 다중 집적 회로 시스템을 소형화하는 신호 처리 및 메모리 용량을 갖는 단일 온-웨이퍼(on-wafer) 칩 어레이를 형성하기 위해서 집적 회로 설계자들이 집적 회로들을 함께 접속시킬 수 있게 한다. 본 발명은 다음에 설명 및 청구한 웨이퍼 규모 합성 기술을 사용하여 현재 기술 상태로 초 대규모 집적(VLSI)능력을 능가하여 더 높은 범위의 초 조밀 초 대규모 집적(ELSI)으로 확장시킨다.

칩 인터페이스 메사는 유전 물질로 제조되고, 이것이 위에 놓이는 반도체 다이 보다 약간 작은 크기를 갖고 있는 장방형 형태를 갖는다. 메사는 장방형 단면을 갖고, 능동 회로의 최상 레벨을 갖고 있는 다이의 상부에 에폭시될 수 있다. 메사의 둘레에는 도전 물질층으로 피막되는 수직 채널 또는 노치(nothc)들이 배치된다. 메사의 상부면은 도전성 영역의 어레이 또는 종래의 본드 패드보다 큰 외부 인터페이스 패드를 포함한다. 이 외부 인터페이스 패드들은 얇은 도전성 통로에 의해 메사의 측벽상의 노치에 전기적으로 결합된다. 메사내의 각각의 노치는 반도체 칩 상의 도전성이 칩 인터페이스 패드와 정렬된다. 칩 인터페이스 패드는 메사에 본드되는 칩의 상부 표면의 주변수 상에 전개된다. 가열된 납땜 또는 그외의 다른 용이하게 변형가능한 도전 물질의 방울은 메사 상으로부터의 각각의 노치내에 배치되고, 메사와 칩 인터페이스 패드 사이의 전기적 링크(link)를 형성하는데, 그 이유는 땜납이 패드와 노치의 수직별들과 결합하기 때문이다.

이 마이크로일렉트로닉 팩키징 형태는 칩의 능동회로 상의 직교 공간으로 인트라-칩 및 칩-칩 상호접속부를 다시 보냄으로써 긴 루우프식 와이어 본드를 거의 제거하는 패트로우 반전 칩 캐리어의 중요한 개량 및 정련을 이룩한다. 모든 바람직하지 못한 와이어 결합기들은 대응 칩 패드와 상대 관계인 노치내부에 튼튼하고 용이하게 형성된 땜납 방울(droplet) 접속부에 의해 대체된다. 인트라-칩 및 칩-칩 상호접속부를 능동 회로 상의 공간내에 재배치 시키면, 집적 회로 어셈블리용 팩키징 공간이 최적화되고, 인접 칩들 사이의 와이어 본드에 의해 1회 소모된 공간의 절약으로 인해 설계자가 반도체 장치용 이론적 밀도 한계에 도달할 수 있게 된다.

본 발명은 능동 반도체 회로용 다중 칩 어레이의 거의 모든 평평한 공간을 보존하고, 능동 회로의 면 위 또는 이것에 직교하는 크기로 비효율적 상호 접속 공간을 제거한다. 이 중요한 새로운 집적 회로 어셈블리 설계는 팩키징 기준을 최적화시킬 뿐만아니라, 최소의 고가의 인터-칩 공간을 다수의 평행 레벨의 인접칩들을 스택킹한다. 다수의 칩들을 함께 접속시킴으로써, 웨이퍼상의 다수의 반도체 다이들은 전(full)웨이퍼 규모 재구성을 실현하기 위해서 결합될 수 있다.

그러므로, 본 발명의 목적은 바람직하지 못하고 신뢰할 수 없는 와이어 본드를 완전히 제거하는 마이크로일렉트로닉 상호접속용 장치를 제공하기 위한 것이다.

본 발명의 다른 목적은 소정의 크기 내에서 능동 집적 회로 장치의 밀도를 최대화시키는 초소형 전자 부품 상호접속용 장치를 제공하기 위한 것이다.

본 발명의 또 다른 목적은 이전에 불가능한 웨이퍼 규모 합성 설계를 실용적이고 가격면에서 효율적으로 되게 하기 위해서 1개의 칩내에 회로들을 접속시키거나 다수의 상이한 칩들내에 회로들을 접속시키는 간단하고 신뢰할 수 있는 수단을 제공하기 위한 것이다.

본 발명의 다른 목적은 현재 시판중인 다이 및 기존 팩키징기술을 사용하여 다수의 반도체 다이들을 접속시키는 수단을 제공하기 위한 것이다.

본 발명의 또 다른 목적은 상호 접속 와이어들을 모두 제거함으로써 발생되는 전달 지연 시간의 상당한 감소로 인해 시스템 속도가 증가된 칩 어레이를 제공하기 위한 것이다.

본 발명의 다른 목적은 다수의 긴 와이어 본드들의 제거가 일차낭비적 용량성 로딩(loading)소오스를 제거하기 위하여 때문에 설계자가 상당한 전력 소모 감소의 장점을 취할 수 있게 하는 칩 캐리어를 제공하는 것이다.

본 발명의 또 다른 목적은 용이하게 검서, 조사, 번-인(burn-int) 및 수리될 수 있는 칩 캐리어 상에 다수의 칩들을 함께 장치하는 방법을 제공하기 위한 것이다.

본 발명의 다른 목적은 칩-칩 입/출력 필요성을 최소화시키는 칩 전개 기법을 제공하기 위한 것이다.

본 발명의 또다른 목적은 칩 인터페이스 메사의 측벽들 내에 배치된 노치내에 땜납 방울을 배치시킴으로써 상호 접속부를 물리적 손상으로부터 보호하는 집적 회로들을 결합시키기 위한 기술을 제공하기 위한 것이다.

다음에 청구된 본 발명의 다른 목적은 집적 회로 어셈블리 내에 다수의 긴 와이어 접속기를 결합시키는 종래의 장치에 의해 발생되는 해로운 부수적인 캐패시턴스 및 인덕턴스를 제거하는 마이크로일렉트로닉 상호접속용 장치를 제공하는 것이다.

또한, 본 발명의 목적은 궤도 주위환경내에 경제적으로 배치될 수 있는 시스템을 제조하기 위해서 집적회로 시스템들의 크기를 감소시키기 위한 것이다.

이하, 첨부 도면을 참조하여 본 발명에 대해서 상세하게 기술하겠다.

[양호한 실시예의 설명]

제1도는 인터페이스 메사 밀 칩 어셈블리(10)을 사시도로 도시한 것이다. 메사(12)는 도우프되지 않은 실리콘으로 제조되고, 상부 표면(14) 및 측벽(16)을 갖고 있다. 메사(12)는 메사의 길이 및 폭에 각각 평행한 제1 및 제2 평면축을 갖고 있다. 메사의 횡축은 2개의 평면축에 수직하고, 메사의 높이를 스팬시킨다. 측벽(16)은 연마적으로 연삭되고, 화학적으로 에칭되거나 메사(12)내로 레이저 드릴(drill)된 수직 채널인 노치(18)을 포함한다. 양호한 실시예 내에서, 칩의 능동 회로와 동일 평면내에 있지않고 직교하는 공간내에서 칩 상호접속을 실행하는 이 수직 도체 장치들은 메사(12)의 가장 좁은 크기를 가로질러 횡방향으로 연장되는 V-형 홈들이다. 노치면들은 구리와 같은 도전 물질층으로 피막된다. 본 발명의 최상, 모우드는 노치(18)을 피막하기 위해 본 분야내에 공지되어 있는 증착 기술을 사용한다. 메사(12)의 상부는 도전성 통로(20)에 의해 노치(18)의 도전성 피막에 결합되는 도전성 메사 인터페이스 패드(22)의 어레이를 포함한다. 이 패드들은 편리한 외부 접속 장치를 메사-칩 어셈블리(10)에 제공하기 위해서 종래의 와이어본드 패드의 크기에 비해 확대되어 있다.

제2도는 메사(12) 및 2 내지 4 밀(0.005 내지 0.01cm)에 정렬된 후의 반도체 다이 또는 칩(24)를 도시한 것이다. 칩(24) 및 메사(12)는 메사와 칩의 길이 및 폭 크기에 평행하게 각각 연장되는 2개의 평면축들이 거의 평행하도록 정렬된다. 각각의 노치(18)은 메사(12)로 인해 도시되어 있지 않은 도전성 통로(27)을 통해 반도체 기판상의 능동 회로(25)에 접속되는 칩 인터페이스(28) 상에 거의 중심이 맞추어져 있다. 메사(12)를 칩(24)에 영구적으로 부착시키기 위해 종래의 에폭시가 사용될 수 있다. 칩(24)와 메사(12) 사이의 기계적 지지와 전기적 결합은 때납 방울(26)에의해 제공된다. 종래의 가열된 납-주석 땜납은 노치(18)의 면들이 땜납 웨트가능(wettable)하게 되기 위해서 CrCuAu 또는 CuAu 로 처리된 이후 용융 땜납내에 메사(12)를 담금으로써 노치(18)내에 윅크(sick)된다. 또한, 칩 인터페이스 패드(28)은 웨팅 물질로 미리 처리된다. 납땜 공정은 제2도에 도시한 눈물 방울 형태를 달성하기 위해서 가열 질소 대기내에서 실행된다. 노치(18)은 메사(12)를 패드(28)을 통해 칩(24)에 전기적으로 결합시키게 되는 도전 물질의 덩어링(mass) 또는 방울(28)을 수용하게 되는 소정의 형태로 성형될 수 있다. 수백 또는 수천개의 이 땜납 방울 접속부를 동시에 형성하기 위해 자동화 제조공정이 사용될 수 있다. 노치(18)의 도전성 표면과 칩 인터페이스 패드(28) 사이의 전기적 결합을 형성할 수 있는 소정의 합금 또는 도전성 기판은 본 발명의 본질을 벗어나지 않고서 사용될 수 있다.

제3도는 완전한 메사-칩 어셈블리(10)을 평면도로 도시한 것이다. 이 도면은 실제 188밀×220밀(0.48㎝×0.56㎝) 등속 호출 메모리 칩용 전형적인 배열을 나타낸다. 접촉 패드(22)는 29 내지 25밀 스퀘어(square)이다. 이 패드들은 종래 설계의 4밀 스퀘어 칩 패드에 비해 크다. 본 발명에 의해 제공된 증가도니 표면적은 칩을 외부장치에 더욱 용이하게 접속시키게 하고, 또한 칩의 검사 능력과 입력 및 출력패드 접속부의 검사능력을 더욱 향상시킨다. 또한, 납땜 접합부의 연성은 침상의 전기부품들의 동작중에 발생되는 열량을 변화시킴으로써 야기되는 열적 차이로부터 발생되는 기계적 응력을 보상한다. 이 설계의 다른 큰 장점은 땜납 방울(26)이 이전의 풀립-칩 팩키징 설계에 비해 완전히 가시적이라는 것이다. 본 발명의 선택적인 실시예내에서, 노치(18)은 평평한 메사 상부 표면(14)에 수직하게 배치될 필요가 없다. 노치들은 이 노치들이 메사(12)용으로 적합한 기계적 지지 및 전기적 결합을 제공하는 한 경사질 수 있고, 상향 막곡될 수 있거나, 소정의 유용한 형태로 형성될 수 있다. 땜납 방울(26)의 다른 큰 장점은 패트로우 반전 칩 캐리어내에 사용된 것과 같은 칩 캐리어내의 복잡하고 고가인 내부 상호 접속부들이 패트로우 칩 인터페이스 메사내에서 완전히 제거된다는 것이다.

관련된 계류중인 특허 출원서내에 상세하게 기술되어 있는 패트로우 반전 칩 캐리어는 본 분야에 숙련된 설계자들이 현재 시판중인 칩을 취할 수 있고, 이 칩을 이 새로운 캐리어내에 배치시키며, 베어(bare)다이 크기에 비해 평면적을 단지 3% 증가시킬 경우에 능동 회로의 크기를 65% 증가시킬 수 있게 한다. 패트로우 칩 인터페이스 메사는 모든 와이어 본드들을 완전히 제거함으로써 표면적비를

크게 증가시킨다. 종래의 제조 기술내에서 요구된 거의 모든 인터-칩 간격은 칩과 외계 사이의 전기적 상호접속부를 형성하기 위해 칩의 능동회로의 면에 수직으로 연장되는 메사 리셉터클(receptacle)내에 땜납 방울을 사용함으로써 제거된다.

지금까지, 양호한 실시예를 참조하여 본 발명에 대하여 상세하게 기술하였지만, 본 분야에 숙련된 기술자들은 본 발명의 원리 및 범위를 벗어나지 않고서 본 발명을 여러 가지 형태로 변형 및 개량할 수 있다.

(57) 청구의 범위

청구항 1

최장 평면 크기에 평행하게 연장되는 제1평면축, 제2최장평면 크기에 평행하게 연장되는 제2평면축, 제1과 제2평면축에 수직하게 연장되는 횡축, 횡축에 거의 수직하게 연장되는 최장 및 최단 평면 크기에 의해 제한된 평평한 메사 상부 표면, 횡축에 평행하게 배치된 다수의 평평한 주위벽, 평평한 부위벽 거의 근처에 배치된 다수의 수직 전기적 결합기장치, 평평한 메사 상부벽 상에 배치된 다수의 메사 인터페이스 도전성 단자, 및 치의 길이 및 폭의 2개의 최장크기에 대응하는 2개의 평면 크기를 갖고 있는 반도체 칩을 갖고 있고, 다수의 수직 전기적 결합기 장치가 횡축에 거의 평행한 수직크기를 각각 갖고 있고 결합기 장치의 수직 크기를 따라 연장되는 도전성 피막을 각각 갖고 있으며, 평평한 메사 상부표면 상에 배치된 다수의 메사 인터페이스 도전성 단자들이 평평한 메사 상부표면에 기계적으로 결합되는 다수의 도전성 통로에 전기적으로 결합되어 있고, 다수의 도전성 통로가 수직 전기적 결합기 장치에 선택적 및 전기적으로 결합되어 있으며, 반도체 칩이 능동 회로의 최상부 층을 포함하는 2개의 평면 크기에 의해 제한된 상부칩 표면을 갖고 있고 상부 칩 표면상에 전개되고 능동회로의 최상부 층을 둘러싸는 다수의 칩 인터페이스 장치를 갖고 있고, 다수의 칩 인터페이스 장치가 능동회로에 선택적으로 접속되고 상부 칩 표면이 주변부에 배치되어 있으며, 반도체 칩이 상부 칩 표면이 거의 인접하도록 기계적으로 결합되어 있고, 다수의 칩 인터페이스 장치가 다수의 메사-칩 전기 접속 장치에 의해 수직 전기적 결합기 장치에 선택적 및 전기적으로 결합되어 있는 유전물질로 제조된 메사 부재로 구성되는 것을 특징으로 하는 마이크로일렉트로닉 상호접속장치.

청구항 2

제1항에 있어서, 메사 부재가 도우프되지 않은 실리콘으로 제조되는 것을 특징으로 하는 장치.

청구항 3

제1항에 있어서, 수직 전기적 결합기 장치가 메사 부재의 평평한 주위벽내에 절단되고 땜납으로 미리 틴되고 땜납-웨팅제로 미리 피막된 V-형 노치인 것을 특징으로 하는 장치.

청구항 4

제1항에 있어서 메사 인터페이스 전도성 단자들이 화학 증착 처리에 의해 평평한 메사 상부 표면상에 배치된 금속 패드인 것을 특징으로 하는 장치.

청구항 5

제1항에 있어서, 도전성 통로들이 화학 증착 처리에 의해 평평한 메사 상부 표면상에 배치된 금속스트립인 것을 특징으로 하는 장치.

청구항 6

제1항에 있어서, 칩 인터페이스 장치들이 도전성 본드 패드인 것을 특징으로 하는 장치.

청구항 7

제1항에 있어서, 각각의 수직 전기적 결합기 장치가 단지 1개의 메사-칩 전기 접촉 장치에 전기적으로 각각 결합되는 것을 특징으로 하는 장치.

청구항 8

제1항에 있어서, 각각의 수직 전기적 결합기 장치가 단지 1개의 칩 인터페이스 장치와 거의 정렬되는 것을 특징으로 하는 장치.

청구항 9

제1항에 있어서, 메사-칩 전기 접촉 장치가 칩 인터펭스 장치 및 수직 전기적 결합기 장치와 전기적 통신 관계로 배치된 땜납 방울인 것을 특징으로 하는 장치.

청구항 10

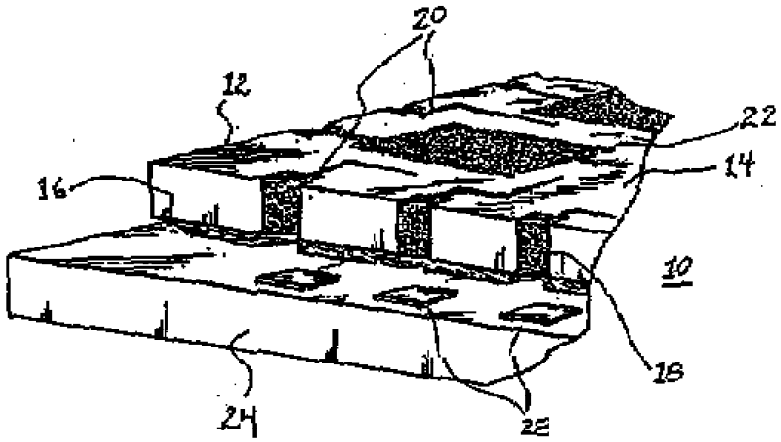
제1항에 있어서, 메사 부재와 칩이 에폭시 접착제 층에 의해 기계적으로 결합되는 것을 특징으로 하는 장치.

청구항 11

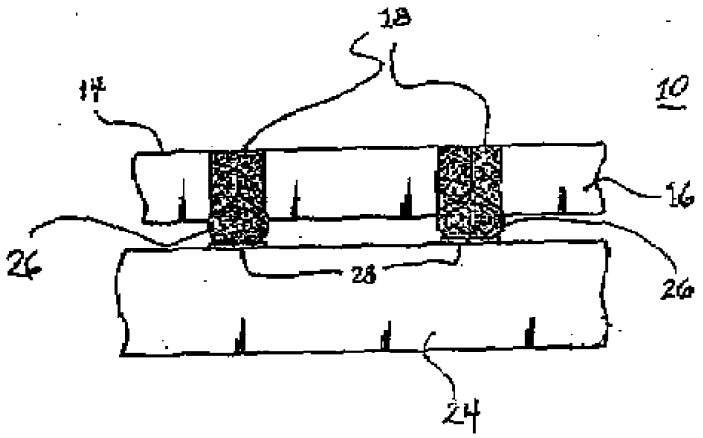
제1항에 있어서, 메사 부재가 2개의 칩의 평면 크기보다 약간 작은 제1 및 제2평면 크기를 갖고 있는 것을 특징으로 하는 장치.

도면

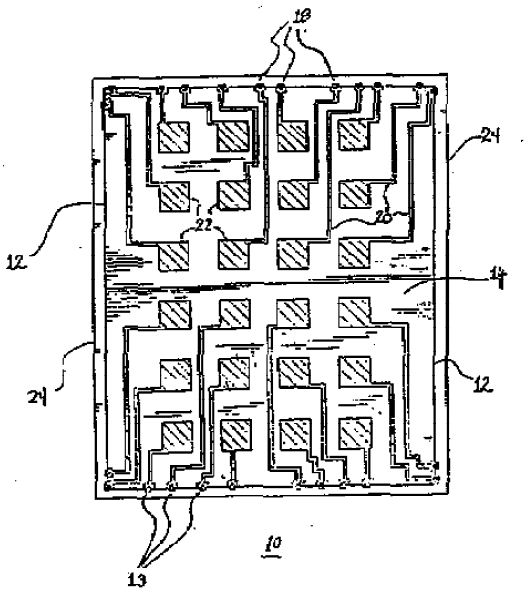
도면1


20
12
22
16
14
10
18
24
26

도면2


18
14
10
16
26
28
26
24

도면3


18
24
22
28
12
14
12
24
10
13