

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-219526
(P2010-219526A)

(43) 公開日 平成22年9月30日 (2010.9.30)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 J	5 F 0 3 3
HO 1 L 23/52 (2006.01)	HO 1 L 25/08 Z	
HO 1 L 25/065 (2006.01)	HO 1 L 21/88 T	
HO 1 L 25/07 (2006.01)		
HO 1 L 25/18 (2006.01)		

審査請求 有 請求項の数 13 O L 外国語出願 (全 13 頁)

(21) 出願番号 特願2010-49223 (P2010-49223)
 (22) 出願日 平成22年3月5日 (2010.3.5)
 (31) 優先権主張番号 61/158, 260
 (32) 優先日 平成21年3月6日 (2009.3.6)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 12/631, 346
 (32) 優先日 平成21年12月4日 (2009.12.4)
 (33) 優先権主張国 米国 (US)

(71) 出願人 500262038
 台湾積體電路製造股▲ふん▼有限公司
 Taiwan Semiconductor Manufacturing Company, Ltd.
 台湾新竹科學工業園區新竹市力行六路八號
 8, Li-Hsin Rd. 6, Hsinchu Science Park, Hsinchu, Taiwan 300-77, R. O. C.

(74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄

最終頁に続く

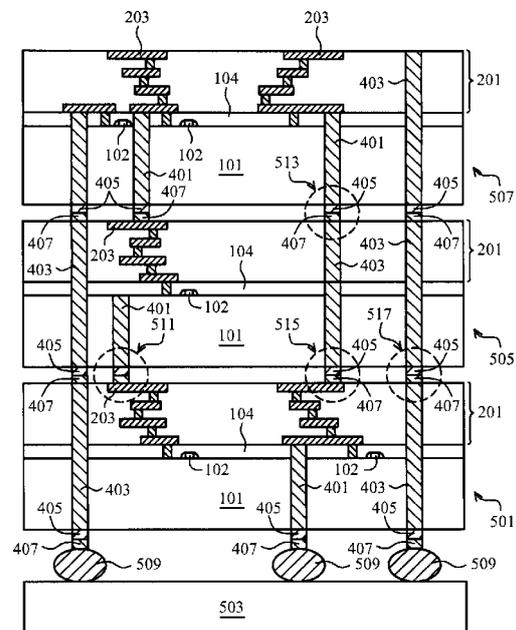
(54) 【発明の名称】 半導体デバイスおよび半導体デバイスの製造方法

(57) 【要約】 (修正有)

【課題】シリコン貫通ビア (TSV)を用いて半導体ダイ接続部を作製するシステムおよび方法を提供する。

【解決手段】隣接するダイ501、505、507同士の間のダイ接続部に対して低抵抗経路を確立するとともに、複数のダイの間の貫通チャネルに対して低抵抗経路を提供するために、ビアファーストのTSV401およびピアラストのTSV403の両方を用いて半導体ダイが製造される。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

半導体デバイスであって、
 第 1 基板と、
 第 1 複数誘電体層と、
 前記第 1 基板と前記第 1 複数誘電体層の 1 つ以上とを通過して延伸する第 1 ピアと、
 前記第 1 基板と前記第 1 複数誘電体層の 2 つ以上とを通過して延伸する第 2 ピアとを含み、
 前記第 2 ピアは、前記第 1 ピアよりもより多くの前記第 1 複数誘電体層を通過して延伸する、半導体デバイス。

【請求項 2】

前記第 1 基板上に配置されるアクティブデバイスと、
 前記アクティブデバイスの上の複数の金属化層とを更に含み、前記第 1 基板に最も近い第 1 金属化層は、前記第 1 ピアを前記アクティブデバイスに電氣的に接続する、請求項 1 に記載の半導体デバイス。

【請求項 3】

前記アクティブデバイスと比べて、前記第 1 基板の反対側に位置する導電層を更に含み、前記導電層は前記第 1 ピアと電氣的に接触する、請求項 2 に記載の半導体デバイス。

【請求項 4】

第 2 基板と、
 第 2 複数誘電体層と、
 前記第 2 基板と前記第 2 複数誘電体層の 1 つ以上とを通過して延伸する第 3 ピアと、
 前記第 2 基板と前記第 2 複数誘電体層の 2 つ以上とを通過して延伸する第 4 ピアとを含み、
 前記第 4 ピアは、前記第 3 ピアよりもより多くの前記第 2 複数誘電体層を通過して延伸し、
 前記第 4 のピアは前記第 2 のピアに電氣的に接続される、請求項 1 に記載の半導体デバイス。

【請求項 5】

前記第 3 ピアは、前記第 1 複数誘電体層内に配置される金属化層を通過して前記第 1 ピアに電氣的に接続される、請求項 4 に記載の半導体デバイス。

【請求項 6】

第 1 基板を含む第 1 半導体ダイと、
 前記第 1 半導体ダイを通過して延伸する第 1 導電ピアと、
 前記第 1 半導体ダイを部分的に通過して延伸する第 2 導電ピアとを含み、前記第 2 導電ピアは前記第 1 基板を通過して延伸する、半導体デバイス。

【請求項 7】

前記第 1 基板の上の複数の誘電体層を更に含み、前記第 2 導電ピアは、前記第 1 基板に隣接して配置される単一の誘電体層を通過して延伸する、請求項 6 に記載の半導体デバイス。

【請求項 8】

前記第 1 基板上のアクティブデバイスを更に含み、前記アクティブデバイスは、金属化層を通過して前記第 2 導電ピアに電氣的に接続される、請求項 6 に記載の半導体デバイス。

【請求項 9】

第 2 基板を含む第 2 半導体ダイと、
 前記第 2 半導体ダイを通過して延伸し、前記第 2 導電ピアに電氣的に接続される第 3 導電ピアと、
 前記第 2 半導体ダイを通過してより短く延伸し、前記第 2 基板を通過して延伸する第 4 導電ピアとを含む、請求項 6 に記載の半導体デバイス。

【請求項 10】

半導体デバイスの製造方法であって、前記方法は、
 第 1 基板を提供するステップと、
 前記第 1 基板の上に 1 つ以上の第 1 誘電体層を形成するステップと、

10

20

30

40

50

前記第 1 基板および前記 1 つ以上の第 1 誘電体層を通る第 1 導電ビアを形成するステップと、

前記 1 つ以上の第 1 誘電体層および前記第 1 導電ビアの上に複数の第 2 誘電体層を形成するステップと、

前記第 1 基板、前記 1 つ以上の第 1 誘電体層、および前記複数の第 2 誘電体層を通る第 2 導電ビアを形成するステップとを含む、方法。

【請求項 1 1】

前記第 1 基板上にアクティブデバイスを形成するステップと、

前記アクティブデバイスの上に第 1 金属化層を形成するステップとを更に含み、前記第 1 金属化層は前記アクティブデバイスを前記第 1 導電ビアに電氣的に接続する、請求項 1 0 に記載の方法。

10

【請求項 1 2】

前記第 1 導電ビアを形成するステップは、

前記基板の第 1 の側内に開口を形成するステップと、

前記開口に導電材料を充填するステップと、

前記第 1 の側と反対の前記基板の第 2 の側を薄化し、前記導電材料を露出するステップとを更に含む、請求項 1 0 に記載の方法。

【請求項 1 3】

前記第 2 導電ビアに、第 2 基板を通して延伸する第 3 導電ビアを接続するステップを更に含む、請求項 1 0 に記載の方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

この出願は、2009年3月6日に出願された、「3次元システムインパッケージ構造 (Three-Dimensional System-in-Package Architecture)」という名称を有する米国仮特許出願連続番号第 61 / 158 , 260 号の利益を請求し、当該仮特許出願はここに参照により援用される。

【0002】

本発明は、半導体デバイスを接続するためのシステムおよび方法に関し、より詳細には、ビアファースト (via-first) のシリコン貫通ビア (through-silicon via; TSV) とピアラスト (via-last) のTSVとを用いてシステムインパッケージ (SiP) 構成においてダイを接続するためのシステムおよび方法に関する。

30

【背景技術】

【0003】

一般的に、シリコン貫通ビア (TSV) は、電氣的接続をシステムインパッケージ (SiP) 構造内に形成し、半導体ダイ基板を通して複数の半導体ダイを接続するように用いられている。これらのTSVを形成する1つの方法は、半導体ダイの金属化層の形成前に基板を貫通するようにTSVを形成するビアファースト法として知られている。TSVは、基板の近くの金属化層に電氣的に接続される。しかし、このような接続は実際には、基板上に配置されたアクティブデバイスへの接続のための低抵抗経路を維持している間、(たとえば、電力を他のダイに供給するための) 如何なる貫通接続の抵抗も増加させる。この抵抗には、ダイの他方の側に到達するよう電気が必ず通る金属化層の抵抗も必ず含まれる。

40

【0004】

この貫通抵抗 (feedthrough resistance) を低下させるために、ピアラスト法として知られている別の方策を用いることができる。この方法では、金属化層がまず基板の上に形成され、TSVが基板および金属化層の両方を通して延在するように形成される。この方策によって、金属化層からの抵抗を加えることなく、ダイを通る直線経路が可能になる。しかし、このようなTSVは、ダイの一方の側からダイの他方の側 (および他のダイ) までの抵抗を低下しつつも、自身が配置されるダイ上のアクティブデバイスへの抵抗を増加させる。なぜならば、電気信号は、ピアラストTSVに沿って半導体ダイ中を通して伝わり、さら

50

に、アクティブデバイスに到着するよう金属化層を通して戻らなければならないからである。

【0005】

よって、アクティブデバイスへの接続について抵抗を増加させることなく貫通抵抗を低下することができるシステムが必要とされている。

【発明の概要】

【発明が解決しようとする課題】

【0006】

システムインパッケージ（SiP）構造においてシリコン貫通ビア（TSV）のハイブリッド構造を提供する本発明の実施例によって、これらの問題およびその他の問題は概して解決または解消され、技術的な利点が概して達成される。

10

【課題を解決するための手段】

【0007】

本発明の実施例に基づいて、半導体デバイスは、第1の側および第1の側と対向する第2の側を有する基板と、基板の第1の側の上に配置される第1導電領域とを含む。第1導電ビアが、第1導電領域を通して延伸することなく基板の第2の側から第1導電領域に延伸し、第2導電ビアが、基板の第2の側から第1導電領域を通して延伸する。

【0008】

本発明の別の実施例に基づいて、半導体デバイスは、第1基板と第1金属化領域とを含む第1半導体ダイを含み、第1基板は、第1の側と第2の側とを含む。第1導電ビアが、第1基板の第2の側から第1基板の第1の側に延伸し、第1金属化領域で終端する。第2導電ビアが、第1半導体ダイを通して延伸する。

20

【0009】

本発明のさらに別の実施例に基づいて、半導体デバイスを製造する方法は、第1基板を提供し、第1基板を通るように第1導電ビアを形成するステップを含む。第1導電領域が第1基板の上に形成され、第2導電ビアが第1基板および第1導電領域の両方を通るように形成される。

【発明の効果】

【0010】

本発明の実施例の利点は、ビアファーストのTSVを通じて、隣接するダイの接続部に対して低抵抗経路を提供しながら、ピアラストのTSVを通じて、複数のダイの接続部に対して貫通チャンネル（feedthrough channel）も提供することができることである。TSVの正確な使用法に依って異なるTSVを設けることで、相互接続部の全体的な抵抗を低下することができる。

30

【0011】

ここで、本発明およびその利点のより完全な理解のために、添付の図面に関連して以下の説明を参照する。

【図面の簡単な説明】

【0012】

【図1】本発明の実施例に基づいてビアファーストのシリコン貫通ビア（TSV）を形成する開始ステップを示す図である。

40

【図2】本発明の実施例に基づいてラインプロセスの最終段階を示す図である。

【図3】本発明の実施例に基づいてピアラストのTSVを形成する開始ステップを示す図である。

【図4】本発明の実施例に基づくウエハの薄化を示す図である。

【図5】本発明の実施例に基づいて複数のダイをビアファーストおよびピアラストのTSVのハイブリッド構造に接続することを示す図である。

【発明を実施するための形態】

【0013】

異なる図面における対応する数字および符号は一般的に、特に指定のない限り、対応す

50

る部分を指す。これらの図面は、実施例の対応する局面を明確に例示するよう描かれるが、必ずしも尺度決めされて描かれているわけではない。

【0014】

本発明の実施例の作製および使用を以下に論じる。しかしながら、本発明は、幅広い様々な文脈において具現化され得る多くの適用可能な発明概念を提供すると理解されるべきである。論じられる具体的な実施例は単に、この発明を作製および使用するための具体的な方法を例示するのみであり、この発明の範囲を限定するものではない。

【実施例】

【0015】

本発明は、特定の文脈において、本発明の実施例、即ちビアファーストのシリコン貫通ビア (TSV) とピアラストのTSVとのハイブリッド構造を有する3次元システムインパッケージ (SiP) 構造に関して説明される。しかし、本発明は、他のタイプの電氣的接続にも適用され得る。

【0016】

図1を参照して、アクティブデバイス102と層間誘電体 (interlayer dielectric; ILD) 104とを有する基板101が示される。この基板は、第1の側105と、第1の側105と反対側の第2の側107と、その中に形成されるビアファーストのTSVビア103とを有する。基板101は、ドーブまたは非ドーブのバルクシリコン、またはシリコンオンインシュレータ (silicon-on-insulator; SOI) 基板のアクティブ層を含み得る。一般的に、SOI基板は、例えばシリコン、ゲルマニウム、シリコンゲルマニウム、SOI、シリコンゲルマニウムオンインシュレータ (silicon germanium-on-insulator; SGOI)、またはそれらの組み合わせなどの半導体材料の層を含む。用いられ得る他の基板は、多層基板、傾斜基板 (gradient substrate)、またはハイブリッド配向基板 (hybrid orientation substrate) を含む。

【0017】

アクティブデバイス102は、2つのトランジスタとして図1に表される。しかし、当業者には認識されるであろうように、例えばコンデンサ、レジスタ、インダクタ、high-kメタルゲートデバイスなどのさまざまなアクティブデバイスを用いて、設計における所望の構造上および機能上の必要条件を作り出すことができる。アクティブデバイス102は、任意の好適な方法を用いて、基板101の表面内または基板の表面上のいずれかに形成され得る。

【0018】

ILD104は、当該技術においてILD104を形成するために公知であるとともに使用されている、化学気相成長、スパッタリング、または任意の他の方法によって基板101およびアクティブデバイス102の上に形成される。ILD104は、典型的には、平坦化された表面を有し得、酸化ケイ素からなり得るが、例えばhigh-k材料などの他の材料も代替的に用いられ得る。随意であるが、ILD104は、アクティブデバイス102内において、基板101に歪み (strain) を与えるように形成されてもよく、これにより、当該技術において公知のように、アクティブデバイス102の全体的な性能が向上することになる。

【0019】

ビアファーストのTSV (via-first TSV) 103は、まず好適なフォトレジスト (図示せず) を塗布して現像し、次いでILD104と基板101とをエッチングして開口を形成することで形成され得る。この段階の開口は、少なくともアクティブデバイス102よりも更に基板101内に延伸し、完成した基板101の最終的な所望の厚さよりも少なくとも大きい深さまで延伸するよう形成される。よって、この深さは、第1基板101の全体設計に依存するが、基板101の表面から約1 μ m~約700 μ m間、例えば約50 μ m下であり得る。開口は、約1 μ m~約100 μ m間、例えば約6 μ mの直径を有するよう形成され得る。

【0020】

一旦この開口が形成されると、開口は、バリア層と導電材料とで充填され、これによりビアファーストのTSV 1 0 3を形成することができる。バリア層は、例えば窒化チタンのような導電材料を含み得るが、例えば窒化タンタル、チタン、または誘電材料などの他の材料が代替的に用いられてもよい。バリア層は、例えばプラズマ化学気相成長法(PECVD)といった化学気相成長(CVD)を用いて形成され得る。しかし、他の代替的なプロセス、例えばスパッタリングまたは有機金属化学気相成長法(MOCVD)も代替的に用いられてもよい。バリア層は、ビアファーストのTSV 1 0 3のための開口の下部形状に合致するように形成される。

【0021】

導電材料は、銅を含み得るが、例えばアルミニウム、合金、ドーパされたポリシリコン、それらの組み合わせなどの他の好適な材料も代替的に用いることができる。導電材料は、シード層を堆積して、シード層上に銅を電気めっきし、ビアファーストのTSV 1 0 3のための開口を充填および過剰充填することによって形成することができる。一旦ビアファーストのTSV 1 0 3のための開口が充填されれば、ビアファーストのTSV 1 0 3のための開口の外部の余分なバリア層と余分な導電材料とが、例えば化学機械研磨(chemical mechanical polishing; CMP)の研削プロセスによって除去される。しかしながら、任意の好適な除去プロセスが用いられてもよい。

10

【0022】

図2は、金属化層201をILD104、基板101、およびビアファーストのTSV103の上に形成することを示す。金属化層201は、基板101、アクティブデバイス102、ILD104、およびビアファーストのTSV103の上に形成され、さまざまなアクティブデバイス102を接続して機能回路網を形成するように設計されている。金属化層201は、誘電材料と導電材料とが交互に重なった層から形成され、任意の好適なプロセス(例えば、堆積、ダマシン(damascene)、デュアルダマシン(dual damascene)など)によって形成され得る。実施例では、ILD104によって基板101から分離された少なくとも4つの金属化層が存在するが、金属化層201の明確な数は、半導体ダイの全体設計に少なくとも部分的に依存する。

20

【0023】

接触パッド203は、回路網(アクティブデバイス102および金属化層201を含む)から他のデバイス(例えば下記において図5に関して述べられるような他の半導体ダイ)への接続を提供するために、金属化層201の上層内に形成され得る。接触パッド203は、アルミニウムを含み得、金属化層201の下層から接続部に接触するようにアルミニウム層を適合させて堆積することで形成され得る。一旦アルミニウム層が堆積されると、フォトレジストが次いでこの層の上に形成される。次いで、アルミニウム層はエッチングされて、これにより接触パッド203を形成する。

30

【0024】

図3は、ビアラストのTSV(via-last TSV)301の形成を示している。ビアラストのTSV301は、好適なフォトレジスト(図示せず)を塗布して現像し、次いで金属化層201、ILD104、および基板101の少なくとも一部をエッチングすることで形成され得る。ビアファーストのTSV103に類似したビアラストのTSV301は、少なくともアクティブデバイス102よりも更に基板101内に延伸し、基板101の最終的な所望の高さより大きい深さまで延在するように形成される。よって、基板101の表面からのビアラストのTSV301の深さは、デバイスの全体設計に依存するが、約1 μm ~約700 μm の間、例えば約50 μm であり得る。また、ビアラストのTSV301は、約1 μm ~約100 μm の間、例えば約6 μm の直径を有し得る。

40

【0025】

随意であるが、ビアラストの接触パッド(図示せず)がさらに、他のデバイスへの外部接続を提供するためにビアラストのTSV301の上に形成されてもよい。ビアラストの接触パッドは、図2に関連して上述した接触パッド203に類似の態様かつ類似の材料で形成することができる。しかし、ビアラストの接触パッドを形成する任意の好適な材料およ

50

び方法が代替的に用いられてもよい。

【0026】

図4は、ビアファーストのTSV103とピアラストのTSV301とを露出させてビアファーストのTSV401とピアラストのTSV403とを形成するための基板101の薄化を示している。基板101を薄化するには、基板101の第2の側107の部分が除去され、これによりビアファーストのTSV103およびピアラストのTSV301内に位置する導電材料が露出する。この除去は、例えば化学機械研磨(CMP)のような研削プロセスによって行うことができるが、例えばエッチングなどの他の好適なプロセスも代替的に用いられ得る。

【0027】

しかし、当業者ならば認識するであろうように、上述のビアファーストのTSV401およびピアラストのTSV403を形成する方法は、単に1つの例示的な実施例であり、本発明をこれらの方法にのみ限定するよう意図されるものではない。他の好適な方法が代替的に用いられ得る。例えば、ビアファーストのTSV103およびピアラストのTSV301のための開口は、基板101の第2の側107の薄化の後まで誘電材料で充填され得る。この時点で、誘電材料が除去されて導電材料に置き換えられ得る。ビアファーストのTSV401とピアラストのTSV403とを形成するのに、この実施例、または代替的には任意の他の好適な実施例が用いられ得る。

【0028】

基板101の第2の側107の一部の除去後、洗浄エッチングが行われ得る。この洗浄エッチングは、CMP後、基板101を洗浄および研磨するよう意図されたものである。また、この洗浄エッチングはさらに、基板101を研削するCMPプロセス中に生じ得る応力を解放する助けをする。この洗浄エッチングはHNO₃を用い得るが、他の好適なエッチング液が代替的に用いられてもよい。

【0029】

さらに、例えば酸化銅などの残っている研磨残留物を除去する洗浄プロセスの後、導電層405が、ビアファーストのTSV401とピアラストTSV403とに電気的接続して基板101の第2の側107上に形成され得る。導電層405は、アルミニウムを含み得、スパッタ堆積プロセスによって形成され得る。しかし、例えばニッケルまたは銅などの他の材料、および例えば電気めっきまたは無電解めっきなどの他の形成プロセスも代替的に用いられ得る。導電層405は、例えば約2μmなど、約1μm~約3μmの間の厚さで形成され得る。

【0030】

導電層405の形成の後、無電解ニッケル金(Electroless Nickel Gold; ENIG)プロセスが行なわれ、これにより基板101から導電層405に対向するENIG層407を形成する。ENIGプロセスは、基板101から他のデバイス(図5に関連して以下に説明される)への接触部の形成のために均一な金属表面処理を提供する。ENIGプロセスは、導電層405を洗浄することと、基板をジンケート活性溶液(zincate activation solution)に浸すことと、導電層405上にニッケルの無電解めっきを施すことと、ニッケル上に金の無電解めっきを施すこととを含み得る。ENIG層407は、約2μmと約4μmとの間の厚さ、たとえば約3μm、に形成され得る。一旦形成されると、導電層405とENIG層407とは、好適なフォトリソグラフィプロセスによってパターンングされ、不要な材料は図4に示されるように好適なエッチングプロセスによって除去される。

【0031】

なお、上述の導電層405およびENIG層407は、基板101の薄化された第2の側107に沿って用いられることができる、単に1つの潜在的なプロセスにより形成される。代替的には、基板101の第2の側107は、ビアファーストのTSV401とピアラストのTSV403とが基板101の第2の側107の表面から離れるよう延伸するように窪みが設けられてもよい。また、ビアファーストのTSV401もしくはピアラストのTSV403を保護するためにパッシベーション層が形成されてもよく、または再配線層(redistribu

10

20

30

40

50

tion layer) もしくは他のタイプの好適な相互接続部が基板 101 の第 2 の側 107 上に代替的に形成されてもよい。

【0032】

図 5 は、図 1 ~ 4 に関連して記載したプロセスを用いて形成される第 1 ダイ 501 が、パッケージ基板 503、第 2 ダイ 505、および第 3 ダイ 507 とともに SiP 構造内に集積される本発明の実施例を示している。パッケージ基板 503 は、出力/入力 I/O と、電力と、接触パンプ 509 によるビアファーストの TSV 401 およびピアラストの TSV 403 への接地接続とを提供する。パッケージ基板 503 は、信号、電力、および接地を第 1 ダイ 501、第 2 ダイ 505、および第 3 ダイ 507 に与えつつ搭載され得るプリント回路基板 (printed circuit board; PCB)、IC パッケージ、または他の基板であってもよい。

10

【0033】

接触パンプ 509 は、スズのような材料、または銀、無鉛のスズ、もしくは銅などの他の好適な材料を含み得る。接触パンプ 509 がスズはんだパンプである実施例では、接触パンプ 509 はまず、例えば蒸着法、電気めっき法、プリント法、はんだ転写法、ボール搭載 (ball placement) 法などの一般的に用いられている方法によってスズ層を約 100 μm の厚さに形成することによって形成され得る。一旦スズ層が構造上に形成されると、材料を所望のパンプ形状にするためにリフロー処理が行われ得る。

【0034】

第 2 ダイ 505 と第 3 ダイ 507 も、図 1 ~ 図 4 を参照して記載したように、第 1 ダイ 501 と同様に形成され得る。例えば、この実施例では、第 2 ダイ 505 および第 3 ダイ 507 の両方は、ビアファーストの TSV 401、ピアラストの TSV 403、および接触パッド 203 を含み得る。また、ビアファーストの TSV 401 およびピアラストの TSV 403 の正確な数、設置、および位置は必ず SiP の全体設計に少なくとも部分的に依存するが、ビアファーストの TSV 401 は、接触パッド 203 (第 1 囲み領域 511 によって示される)、または隣接するダイのピアラストの TSV 403 (第 2 囲み領域 513 によって示される) のいずれかへの接続を提供するように配置される。また、ピアラストの TSV 403 は、接触パッド 203 (第 3 囲み領域 515 によって示される)、または他のピアラストの TSV 403 (第 4 囲み領域 517 によって示される) のいずれかへの接続を提供するように配置される。

20

30

【0035】

しかし、当業者ならば認識するであろうように、任意の数の好適なダイを相互接続するのに用いられ得る多くの組合せが存在し、上述の実施例は本発明を限定するよう意図されるものではない。本発明の範囲内に存在する限り、どのようなダイの好適な組み合わせ (電力および信号経路を提供する任意の数のビアファーストの TSV 401 およびピアラストの TSV 403 を有するダイ、これらのいずれも含まないダイ) でも用いられ得、これらの全ての組合せは、本発明の範囲内に含まれると完全に意図されるものである。また、再配線層またはインターポーザー (図示せず) が、第 1 ダイ 501 と、第 2 ダイ 505 と、第 3 ダイ 507 との間の接続部 (たとえば導電層 405 および ENIG 層 407) の適切な位置合わせを確実にするように形成または配置され得る。

40

【0036】

ビアファーストの TSV 401 およびピアラストの TSV 403 の組合せを用いることで、ビアファーストの TSV 401 およびピアラストの TSV 403 の両方の利点が活用され、ビアファーストの TSV 401 によって、隣接するダイの接続部について低抵抗経路を提供しながら、ピアラストの TSV 403 によって、複数のダイの接続部について貫通チャネル (feedthrough channel) も提供することができる。TSV の正確な使用法に依って適切な TSV を提供することで、相互接続部の全体の抵抗が低下され得る。

【0037】

例えば、ビアファーストの TSV 401 およびピアラストの TSV 403 の両方を含む図 5 に示されたような SiP の第 3 ダイ 507 内のアクティブデバイス 102 の 1 つへの、パッケ

50

ージ基板 5 0 3 との間の相互接続経路の抵抗は、以下の式 1 によって計算され得る。

$$\text{相互接続抵抗} = R' + (n-1)R'' \quad (1)$$

式中、nは、ダイの数であり、

Rは、各ダイの金属化層の抵抗であり、

R'は、各ダイのピアファーストのTSVの抵抗であり、

R''は、各ダイのピアラストのTSVの抵抗である。

言い換えると、第3ダイ507上のアクティブデバイス102の1つへの抵抗経路は、第1ダイ501および第2ダイ505を通して延伸する2つのピアラストのTSV403の抵抗と第3ダイ507のピアファーストのTSV401の抵抗とである。

【0038】

これは、ピアファーストのTSV401またはピアラストのTSV403のいずれかのみを通じて第3ダイ507上のアクティブデバイス102の1つへの接続を提供する標準の先行技術の構造よりも、3次元システムインパッケージ(3D SiP)構造についてさらに費用対効果の高い解決策を提供する。ピアファーストのTSV401のみの場合では、第3ダイ507上のアクティブデバイス102に達するには、抵抗経路は、以下の式2に要約されるように第1ダイ501のピアファーストのTSV401、第1ダイ501の金属化層201、第2ダイ505のピアファーストのTSV401、第2ダイ505の金属化層201、および第3ダイ507のピアファーストのTSV401の抵抗を含むことになる。

$$\text{ピアファーストのTSV抵抗} = (n-1)R + nR' \quad (2)$$

ピアラストのTSV403のみの場合では、第3ダイ507上のアクティブデバイス102の1つに達する抵抗経路は、以下の式3に要約されるように、第1ダイ501、第2ダイ505、および第3ダイ507の各々のピアラストのTSV403を通した抵抗と、第3ダイ507の金属化層201の抵抗とを含むことになる。

$$\text{ピアラストのTSV抵抗} = R + nR'' \quad (3)$$

本発明およびその利点が詳述されたが、特許請求の範囲によって規定される本発明の精神及び範囲を逸脱しない限りにおいては、様々な変化、代替、変更が可能であるということは理解されるべきである。例えば、別個のダイをともに接続するために、ピアファーストのTSVとピアラストのTSVの異なる組合せが用いられてもよい。別の例として、ピアファーストのTSVとピアラストのTSVとを形成するのに用いられる任意の数の方法も代替的に用いられてもよい。

【0039】

さらに、本出願の範囲は、本明細書中に記載される主題、手段、方法、およびステップのプロセス、機械、製造、および構成の特定の実施例に限定されるようには意図されていない。当業者ならば本発明の開示から、ここで記載される対応する実施例と実質的に同じ機能を実行するとともに実質的に同じ結果を達成する既存または後に開発されることになる主題、手段、方法、またはステップのプロセス、機械、製造、構成が、本発明に従って利用され得るということを容易に理解するであろう。したがって、特許請求の範囲は、それらの範囲において、このような主題、手段、方法、またはステップのプロセス、機械、製造、構成を含むよう意図される。

【符号の説明】

【0040】

- 101 基板
- 102 アクティブデバイス
- 103 TSVピア
- 104 層間誘電体
- 105 基板の第1の側
- 107 基板の第2の側
- 201 金属化層
- 203 接触パッド
- 301 ピアラストのシリコン貫通ピア(via-last TSV)

10

20

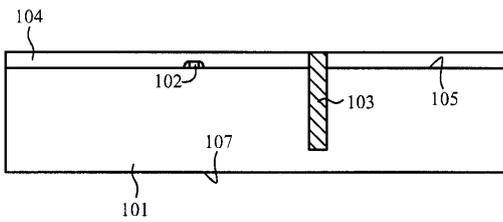
30

40

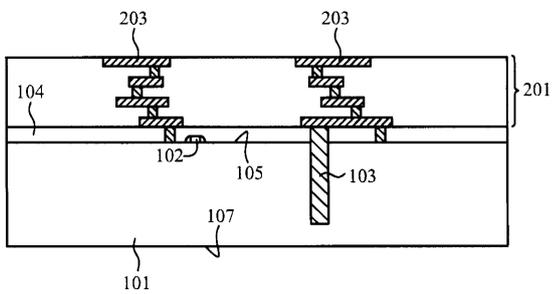
50

- 4 0 1 ビアファーストのTSV
- 4 0 3 ビアラストのTSV
- 4 0 5 導電層
- 4 0 7 ENIG層
- 5 0 1 第1ダイ
- 5 0 3 パッケージ基板
- 5 0 5 第2ダイ
- 5 0 7 第3ダイ
- 5 0 9 接触パンプ
- 5 1 1、5 1 3、5 1 5、5 1 7 囲み領域

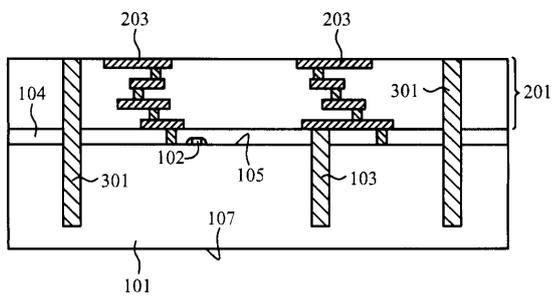
【 図 1 】



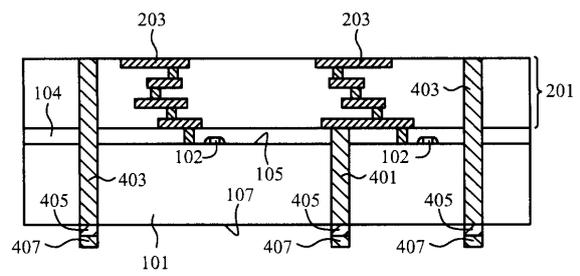
【 図 2 】



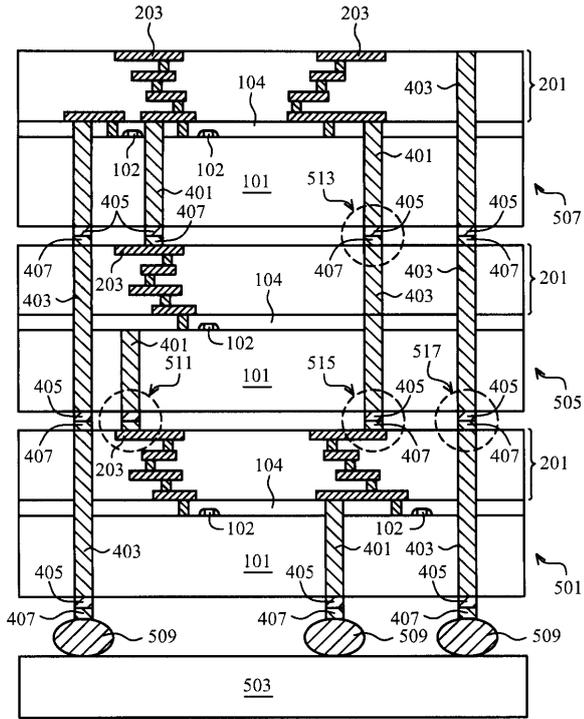
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

(74)代理人 100083703

弁理士 仲村 義平

(74)代理人 100096781

弁理士 堀井 豊

(74)代理人 100109162

弁理士 酒井 将行

(74)代理人 100111246

弁理士 荒川 伸夫

(74)代理人 100124523

弁理士 佐々木 真人

(72)発明者 羅 明 健

台湾新竹市東區公道五路二段385號6F之2

(72)発明者 吳 國 雄

台湾竹北復興六路13號12樓

Fターム(参考) 5F033 GG01 GG03 HH08 JJ04 JJ08 JJ11 JJ18 JJ32 JJ33 KK08
KK11 LL01 MM01 MM02 MM30 NN07 PP06 PP11 PP12 PP15
PP27 PP28 PP33 QQ07 QQ08 QQ09 QQ48 RR04 SS08 SS11
VV07 XX09

【外国語明細書】

2010219526000001.pdf