



(12) 发明专利

(10) 授权公告号 CN 102484471 B

(45) 授权公告日 2015.04.01

(21) 申请号 201080038479.8

G02F 1/133(2006.01)

(22) 申请日 2010.10.05

G09G 3/20(2006.01)

(30) 优先权数据

H03K 17/00(2006.01)

2009-249631 2009.10.30 JP

H03K 19/094(2006.01)

(85) PCT国际申请进入国家阶段日

2012.02.29

(56) 对比文件

JP 特开 2006-237624 A, 2006.09.07, 说明书第 [0001]-[0041], [0066]-[0093] 段、说明书附图图 1-32.

(86) PCT国际申请的申请数据

PCT/JP2010/067814 2010.10.05

JP 特开 2006-237624 A, 2006.09.07, 说明书第 [0001]-[0041], [0066]-[0093] 段、说明书附图图 1-32.

(87) PCT国际申请的公布数据

W02011/052368 EN 2011.05.05

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川

JP 特开 2009-251205 A, 2009.10.29, 说明书第 [0030]-[0031] 段、附图图 9.

CN 101135791 A, 2008.03.05, 全文.

(72) 发明人 早川昌彦

审查员 刘凤娇

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 陈华成

(51) Int. Cl.

H03K 17/687(2006.01)

权利要求书3页 说明书13页 附图10页

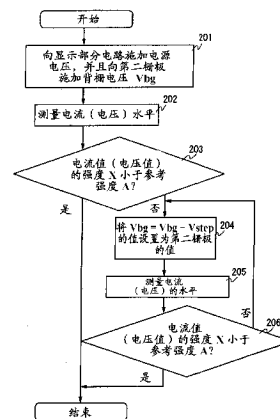
(54) 发明名称

驱动器电路、包括该驱动器电路的显示设备和包括该显示设备的电子设备

(57) 摘要

一个目的是当将使用非晶半导体形成其沟道的薄膜晶体管用于仅使用 n 沟道晶体管或 p 沟道晶体管形成的驱动器电路时,提供一种驱动器电路,其中根据阈值电压的改变程度补偿阈值电压。该驱动器电路包括单极晶体管,该单极晶体管包含布置在半导体层上下的第一栅极和第二栅极,它们之间提供有绝缘层,在该驱动器电路中,用于控制晶体管的切换的第一信号输入到第一栅极,用于控制晶体管的阈值电压的第二信号输入到第二栅极,并且根据包括在晶体管的源极和漏极之间流动的电流在内的电流消耗的值控制所述第二信号。

CN 102484471 B



1. 一种驱动器电路,包括:
第一晶体管 ;和
第二晶体管,所述第一晶体管和所述第二晶体管均具有相同的传导类型,并且所述第一晶体管和所述第二晶体管中的每一个包括:
第一栅极 ;
所述第一栅极上的第一绝缘层 ;
所述第一绝缘层上的氧化物半导体层 ;
所述氧化物半导体层上的第二绝缘层 ;和
所述第二绝缘层上的第二栅极,
其中所述第一晶体管的第一端子被电连接到第一导线,
其中所述第一晶体管的第二端子被电连接到所述第二晶体管的第一端子,
其中所述第二晶体管的第二端子被电连接到第二导线,
其中用于控制所述第一晶体管和所述第二晶体管中的至少一个的切换的第一信号被输入到所述第一晶体管和所述第二晶体管中的至少一个的第一栅极,
其中用于控制所述第一晶体管的阈值电压和所述第二晶体管的阈值电压的第二信号被输入到所述第一晶体管的第二栅极和所述第二晶体管的第二栅极,
其中根据在所述第一导线和所述第二导线之间流动的电流的值控制所述第二信号,以及
其中所述电流包括所述第一晶体管以及所述第二晶体管的泄漏电流。
2. 如权利要求 1 所述的驱动器电路,
其中所述第一晶体管和所述第二晶体管是 n 沟道晶体管。
3. 如权利要求 1 所述的驱动器电路,
其中所述第一晶体管和所述第二晶体管是 p 沟道晶体管。
4. 如权利要求 1 所述的驱动器电路,
其中从背栅电压控制电路提供所述第二信号,所述背栅电压控制电路用于根据所述电流的值的改变程度补偿施加到所述第一晶体管的第二栅极和所述第二晶体管的第二栅极的电压的电平。
5. 如权利要求 4 所述的驱动器电路,其中所述背栅电压控制电路包括:
电流值检测电路,被配置为检测所述电流的值 ;
校正电压存储器电路,被配置为存储用于根据所述电流的值进行补偿的电压 ;和
校正电压输出电路,被配置为向所述第一晶体管的第二栅极和所述第二晶体管的第二栅极输出用于进行补偿的电压。
6. 一种包括如权利要求 1 所述的驱动器电路的显示设备。
7. 一种包括如权利要求 6 所述的显示设备的电子设备。
8. 一种用于操作驱动器电路的方法,所述驱动器电路包括第一晶体管和第二晶体管,所述第一晶体管和所述第二晶体管中的每一个包括第一栅极、第二栅极和在所述第一栅极和第二栅极之间的氧化物半导体层,所述方法包括:
将用于控制所述第一晶体管和所述第二晶体管中的至少一个的切换的第一信号输入到所述第一晶体管和所述第二晶体管中的所述至少一个的第一栅极,

将用于控制所述第一晶体管的阈值电压和所述第二晶体管的阈值电压的第二信号输入到所述第一晶体管的第二栅极和所述第二晶体管的第二栅极，

其中所述第一晶体管的第一端子被电连接到第一导线，

其中所述第一晶体管的第二端子被电连接到所述第二晶体管的第一端子，

其中所述第二晶体管的第二端子被电连接到第二导线，

其中根据在所述第一导线和所述第二导线之间流动的电流的值控制所述第二信号，

其中所述电流包括所述第一晶体管以及所述第二晶体管的泄漏电流，

其中所述第一晶体管和所述第二晶体管具有相同的传导类型。

9. 如权利要求 8 所述的用于操作驱动器电路的方法，

其中所述第一晶体管和所述第二晶体管是 n 沟道晶体管。

10. 如权利要求 8 所述的用于操作驱动器电路的方法，

其中所述第一晶体管和所述第二晶体管是 p 沟道晶体管。

11. 如权利要求 8 所述的用于操作驱动器电路的方法，

其中从背栅电压控制电路提供所述第二信号，所述背栅电压控制电路用于根据所述电流的值的改变程度，补偿施加到所述第一晶体管的第二栅极和所述第二晶体管的第二栅极的电压的电平。

12. 如权利要求 11 所述的用于操作驱动器电路的方法，

其中所述背栅电压控制电路包括电流值检测电路、校正电压存储器电路和校正电压输出电路，

其中所述电流值检测电路检测所述电流的值，

其中所述校正电压存储器电路存储用于根据所述电流的值进行补偿的电压，以及

其中所述校正电压输出电路向所述第一晶体管的第二栅极和所述第二晶体管的第二栅极输出用于进行补偿的电压。

13. 如权利要求 8 所述的用于操作驱动器电路的方法，

其中显示设备包括所述驱动器电路。

14. 如权利要求 13 所述的用于操作驱动器电路的方法，

其中电子设备包括所述显示设备。

15. 一种用于控制第一晶体管的阈值电压和第二晶体管的阈值电压的方法，所述第一晶体管和所述第二晶体管中的每一个设置在驱动器电路中，并且所述第一晶体管和所述第二晶体管中的每一个包括第一栅极、第二栅极和氧化物半导体层，该方法包括：

向所述驱动器电路输入电源电压；

向所述第一晶体管的第二栅极和所述第二晶体管的第二栅极输入信号；

测量在第一导线和第二导线之间流动的电流的值；以及

根据所述电流的值控制所述信号，

其中所述第一晶体管的第一端子被电连接到所述第一导线，

其中所述第一晶体管的第二端子被电连接到所述第二晶体管的第一端子，

其中所述第二晶体管的第二端子被电连接到所述第二导线，

其中所述电流包括在所述第一晶体管以及所述第二晶体管的泄漏电流，以及

其中所述第一晶体管和所述第二晶体管具有相同的传导类型。

16. 如权利要求 15 所述的用于控制第一晶体管的阈值电压和第二晶体管的阈值电压的方法，

其中所述第一晶体管和所述第二晶体管是 n 沟道晶体管。

17. 如权利要求 15 所述的用于控制第一晶体管的阈值电压和第二晶体管的阈值电压的方法，

其中所述第一晶体管和所述第二晶体管是 p 沟道晶体管。

18. 如权利要求 15 所述的用于控制第一晶体管的阈值电压和第二晶体管的阈值电压的方法，

其中从背栅电压控制电路提供所述信号，所述背栅电压控制电路用于根据所述电流的值的改变程度补偿施加到所述第一晶体管的第二栅极和所述第二晶体管的第二栅极的电压的电平。

19. 如权利要求 18 所述的用于控制第一晶体管的阈值电压和第二晶体管的阈值电压的方法，

其中所述背栅电压控制电路包括电流值检测电路、校正电压存储器电路和校正电压输出电路，

其中所述电流值检测电路检测所述电流的值，

其中所述校正电压存储器电路存储用于根据所述电流的值进行补偿的电压，以及

其中所述校正电压输出电路向所述第一晶体管的第二栅极和所述第二晶体管的第二栅极输出用于进行补偿的电压。

20. 如权利要求 15 所述的用于控制第一晶体管的阈值电压和第二晶体管的阈值电压的方法，

其中显示设备包括所述驱动器电路。

21. 如权利要求 20 所述的用于控制第一晶体管的阈值电压和第二晶体管的阈值电压的方法，

其中电子设备包括所述显示设备。

驱动器电路、包括该驱动器电路的显示设备和包括该显示设备的电子设备

技术领域

[0001] 本发明涉及驱动器电路。本发明还涉及包括驱动器电路的显示设备,以及包括该显示设备的电子设备。

背景技术

[0002] 诸如液晶电视的大显示设备变得普遍,显示设备需要更高的附加值,并且已经进行了这方面的开发。具体地说,已经积极开发了用于使用薄膜晶体管(TFT)在与像素部分相同的衬底上形成驱动器电路(诸如,扫描线驱动器电路)的技术,所述薄膜晶体管的沟道区域使用非晶半导体(特别地,氧化物半导体)形成。

[0003] 其沟道区域使用非晶半导体形成的薄膜晶体管通常被用于仅使用n沟道晶体管或p沟道晶体管形成的驱动器电路。例如,给出了专利文献1中公开的结构。

[0004] [参考文献]

[0005] [专利文献1] 日本公开专利申请 No. 2005-251348。

发明内容

[0006] 当使用非晶半导体形成其沟道区域的薄膜晶体管被用于仅使用n沟道晶体管或p沟道晶体管形成的驱动器电路时,由于阈值电压的改变等,晶体管可以成为耗尽型(也被称为常导通)晶体管。在使用常导通晶体管的情况下,存在功耗增加并且来自晶体管的泄漏电流引发诸如异常输出信号的故障的问题。

[0007] 阈值电压的变化程度在某些情况下随着衬底而改变。在事先采取防止晶体管变为常导通晶体管的情况的对策的电路设计中,可能存在难以相对于改变采取对策的问题。因此,需要采用不论使得薄膜晶体管常导通的阈值电压的改变程度如何,不会引发故障和功耗增加的驱动器电路的电路设计。

[0008] 作为其阈值电压可被控制的薄膜晶体管的例子,给出了至少包括下面四个端子的元件:第一栅极端子(也被称为第一栅极);第二栅极端子(也被称为第二栅极);漏极端子(也被称为漏极);和源极端子(也被称为源极)。包括所述四个端子的薄膜晶体管具有在漏极区域和源极区域之间的沟道区域,并且电流可以通过沟道区域在漏极区域和源极区域之间流动。在包括所述四个端子的薄膜晶体管中,第一栅极和第二栅极被布置在沟道区域上下。用于控制薄膜晶体管的导通和不导通的切换的信号(也被称为第一信号)被提供给第一栅极。用于控制薄膜晶体管的阈值电压的信号(也被称为第二信号)被提供给第二栅极。

[0009] 在包括所述四个端子的薄膜晶体管中,在某些情况下,连接到用于提供高电源电势V_{dd}的导线的端子被描述为漏极端子,连接到用于提供低电源电势V_{ss}的导线的端子被描述为源极端子。在本说明书中,源极端子被称为第一端子,而漏极端子被称为第二端子。提供给第一栅极和第二栅极的信号可被颠倒。即,第一信号可被提供给第二栅极,并且第二

信号可被提供给第一栅极。

[0010] 图 8A 是示出包括所述四个端子的薄膜晶体管的结构的例子的截面图。如图 8A 所示,如下形成薄膜晶体管 900:在衬底 907 上设置第一栅极 901;在第一栅极 901 上设置栅极绝缘膜 902;在栅极绝缘膜 902 上设置氧化物半导体膜 903;将使用导电膜形成的源极端子 904A 和漏极端子 904B 设置成覆盖氧化物半导体膜 903 的一部分;将绝缘层 905 设置成覆盖氧化物半导体膜 903、源极端子 904A 和漏极端子 904B;和在绝缘层 905 上设置第二栅极 906。

[0011] 图 8B 示出了图 8A 所示的薄膜晶体管 900 的电路符号,其中第一栅极 901 和第二栅极 906 被布置在沟道区域上下。如图 8B 所示,薄膜晶体管 900 包括第一栅极 901、第二栅极 906、源极端子 904A 和漏极端子 904B。在薄膜晶体管 900 中,用于控制源极端子 904A 和漏极端子 904B 之间的导通和不导通的切换的第一信号 G1 被输入到第一栅极 901,并且用于控制薄膜晶体管的阈值电压的第二信号 G2 被输入到第二栅极 906。注意,图 8B 所示的薄膜晶体管 900 的符号表示以四个端子控制的薄膜晶体管。

[0012] 第一信号 G1 是执行源极端子 904A 和漏极端子 904B 之间的电控制(切换)的信号。第二信号 G2 是控制薄膜晶体管的阈值电压的信号。在 n 沟道晶体管中,第二信号 G2 作为通过施加负电压,将耗尽型(常导通)晶体管改变为增强型(常截止)晶体管的信号。注意,第二信号 G2 在下面还被称为背栅电压(back-gate voltage)Vbg。

[0013] 图 9 是示出图 8A 和 8B 所示的 n 沟道薄膜晶体管的漏极电流 I_d 和栅极电压 V_g 之间的关系的图。图 9 的曲线 911 示出了在耗尽型晶体管情况下的关系。即使在通过第一信号 G1 施加于第一栅极的电压为 0V 时,也有漏极电流 I_d 流动。在诸如驱动器电路的使用多个薄膜晶体管形成的电路中,即使当施加于第一栅极的电压为 0V 时,即,即使当驱动器电路未被驱动时,流动电流也被积累,导致不能被忽略的功耗增加。在另一方面,当向背栅(back gate)施加负电压时,如图 9 中的曲线 912 所示,曲线 911 移向正侧,从而使得晶体管可以是增强型晶体管。在增强型晶体管中,当通过第一信号 G1 施加于第一栅极的电压是 0V 时,漏极电流 I_d 是小的;因此,可以减小驱动器电路的功耗。然而,如曲线 913 所示,在通过使得背栅电压 Vbg 在负方向上较大,曲线 911 移向正侧的情况下,当第一信号使得薄膜晶体管导通时,需要给第一栅极施加较高的电压。因此,引发功耗的增加。另外,在某些情况下,驱动器电路会出现故障。

[0014] 图 10 示出了作为包括在驱动器电路中的电路的例子,使用多个 n 沟道晶体管形成的自举式反相器(bootstrap-type inverter)电路。图 10 所示的反相器电路包括薄膜晶体管 921、薄膜晶体管 922、薄膜晶体管 923、薄膜晶体管 924 和电容器 925。导线 926 提供高电源电势 V_{dd} ,并且导线 927 提供低电源电势 V_{ss} 。薄膜晶体管 921 到薄膜晶体管 924 的第二栅极被连接到用于提供背栅电压 Vbg 的导线 928。作为第一信号的输入信号 I_n 被提供给薄膜晶体管 921 和 923 的第一栅极。从薄膜晶体管 924 和薄膜晶体管 923 彼此连接的节点输出输出信号 O_{out} 。

[0015] 如参考图 9 所述,在图 10 所示的反相器电路包括耗尽型晶体管的情况下,使导线 926 和导线 927 导通;因此,大量的泄漏电流流动。即使当给每个薄膜晶体管施加背栅电压使得晶体管成为增强型晶体管并且泄漏电流减小时,取决于输入信号 I_n 的电压,薄膜晶体管 921 和薄膜晶体管 923 不被导通,并且引发故障。另外,当输入信号 I_n 的电压为高时,

功耗增加。

[0016] 本发明的一个实施例的目的是：当其沟道使用非晶半导体形成的薄膜晶体管被用于仅使用 n 沟道晶体管或 p 沟道晶体管形成的驱动器电路时，提供一种驱动器电路，在该驱动器电路中，阈值电压根据所述晶体管变为耗尽型晶体管的阈值电压的改变程度进行补偿；由此，可以抑制故障和功耗的增加。

[0017] 本发明的一个实施例是一种驱动器电路，其包括单极晶体管，所述单极晶体管包括布置在半导体层上下的第一栅极和第二栅极，在它们之间提供有绝缘层。在该驱动器电路中，用于控制所述晶体管的切换的第一信号被输入到第一栅极，并且用于控制所述晶体管的阈值电压的第二信号被输入到第二栅极。根据包括在所述晶体管的源极和漏极之间流动的电流的电流消耗值控制第二信号。

[0018] 根据本发明的一个实施例，可以提供如下描述的驱动器电路：根据阈值电压的改变程度补偿阈值电压，从而使得当可以变为耗尽型晶体管的薄膜晶体管用于仅使用 n 沟道晶体管或 p 沟道晶体管形成的驱动器电路时，可以抑制故障和功耗的增加。

[0019] 注意，本说明书中的“单极电路”指包括具有相同传导类型的晶体管元件的电路。具体地说，本说明书中的“单极电路”指包括 n 沟道晶体管的电路或包括 p 沟道晶体管的电路。

附图说明

[0020] 在附图中：

[0021] 图 1 是示出显示设备的例子的框图；

[0022] 图 2 是基于背栅电压的当前值（电压值）的改变的设置操作的流程图；

[0023] 图 3A 到 3C 是示出包括在移位寄存器电路中的电路的例子的图；

[0024] 图 4 是移位寄存器的时序图的例子；

[0025] 图 5 是示出显示设备的例子的横截面图；

[0026] 图 6A 是示出信号线驱动器（源极驱动器）电路的例子的框图，并且图 6B 是其时序图的例子；

[0027] 图 7A 到 7C 中的每一个是示出显示设备的例子的图；

[0028] 图 8A 是示出薄膜晶体管的例子的横截面图，并且图 8B 是其电路符号的例子；

[0029] 图 9 是示出薄膜晶体管的 I_d - V_g 特性和背栅电压 V_{bg} 之间的关系的图；

[0030] 图 10 是示出使用单极（n 沟道）晶体管的自举型反相器电路的电路图；以及

[0031] 图 11 是示出背栅电压和电流消耗之间的关系的图。

具体实施方式

[0032] 下面，将参考附图描述本发明的实施例和例子。注意本发明可以以各种不同方式实现，并且本领域技术人员容易理解本发明的模式和细节可以以各种方式改变，而不脱离本发明的精神和范围。因此，本发明不应被认为局限于对实施例和例子的下列描述。注意，在下面描述的本发明的结构中，在不同附图中公共地使用表示相同部分的附图标记。

[0033] 注意，在某些情况下，在实施例中图中示出的每个结构的层或区域的大小、厚度等出于简化的目的放大了。因此，本发明的实施例不限于这些比例。

[0034] 注意,在本说明书中,使用诸如“第一”、“第二”、“第三”和“第 n 个”(N 是自然数)的术语,以便避免组件之间的混淆,并且不限于组件的编号。

[0035] (实施例 1)

[0036] 在这个实施例中,将描述驱动器电路附近的电路的框图。图 1 示出了显示设备的驱动器电路的例子。

[0037] 这个实施例中的驱动器电路 100 包括显示部分驱动器电路 101 和控制电路 102。

[0038] 显示部分驱动器电路 101 包括例如栅极线驱动器电路 103A 和信号线驱动器电路 103B。栅极线驱动器电路 103A 和信号线驱动器电路 103B 中的每一个都是驱动包括多个像素的显示部分 104 的驱动器电路。栅极线驱动器电路 103A、信号线驱动器电路 103B 和显示部分 104 使用形成在衬底 105 上的薄膜晶体管形成。

[0039] 注意包括在栅极线驱动器电路 103A、信号线驱动器电路 103B 和显示部分 104 中的薄膜晶体管是单极晶体管,特别地,是 n 沟道薄膜晶体管。作为 n 沟道薄膜晶体管,优选地使用氧化物半导体被用于半导体层的薄膜晶体管。氧化物半导体被用于薄膜晶体管的半导体层,从而使得与基于硅的半导体材料(诸如非晶硅)相比,可以增加场效应迁移率。注意,例如,可以使用氧化锌(ZnO)或氧化锡(SnO₂)作为氧化物半导体。另外,可以向 ZnO 添加 In、Ga 等。

[0040] 作为氧化物半导体,可以使用由 InM₃(ZnO)_x(x > 0) 表示的薄膜。注意,M 表示从镓(Ga)、铁(Fe)、镍(Ni)、锰(Mn)和钴(Co)中选择的一种或多种金属元素。作为例子,M 可以是 Ga,或除了 Ga 之外,可以包括上述金属元素,例如,M 可以是 Ga 和 Ni 或 Ga 和 Fe。另外,在氧化物半导体中,在某些情况下,除了作为 M 包含的金属元素之外,可以包含过渡金属元素(诸如 Fe 或 Ni),或过渡金属的氧化物作为杂质元素。例如,可以将基于 In-Ga-Zn-O 的膜用于氧化物半导体层。

[0041] 作为氧化物半导体膜(InM₃(ZnO)_x(x > 0)膜),可以替代基于 In-Ga-Zn-O 的膜,使用 M 是不同金属元素的 InM₃(ZnO)_x(x > 0)膜。作为氧化物半导体,除了上述之外,可以使用下列氧化物半导体中的任意一种:基于 In-Sn-Zn-O 的氧化物半导体;基于 In-Al-Zn-O 的氧化物半导体;基于 Sn-Ga-Zn-O 的氧化物半导体;基于 Al-Ga-Zn-O 的氧化物半导体;基于 Sn-Al-Zn-O 的氧化物半导体;基于 In-Zn-O 的氧化物半导体;基于 Sn-Zn-O 的氧化物半导体;基于 Al-Zn-O 的氧化物半导体;基于 In-O 的氧化物半导体;基于 Sn-O 的氧化物半导体;和基于 Zn-O 的氧化物半导体。

[0042] 栅极线驱动器电路 103A 和信号线驱动器电路 103B 包括单极晶体管。该单极晶体管包括第一栅极和第二栅极。如图 8A 所示,第一栅极被布置在半导体层之下,在它们之间提供有绝缘层,并且第二栅极被布置在半导体层之上,在它们之间提供有绝缘层。注意,第一栅极和第二栅极的位置可以颠倒。

[0043] 在本说明书中描述的包括在驱动器电路中的晶体管是如图 8A 所示至少包括第一栅极、第二栅极、漏极和源极的四个端子的元件,并且电流可以通过沟道区域在漏极和源极之间流动。输入到第一栅极的第一信号是用于控制晶体管的切换的信号。输入到第二栅极的第二信号是用于控制晶体管的阈值电压的信号。注意,第二信号在某些情况下被称为背栅电压 V_{bg}。

[0044] 控制电路 102 提供用于控制显示部分驱动器电路 101 的信号。显示部分驱动器电

路 101 被驱动以便在显示部分 104 中执行显示。控制电路 102 包括信号产生电路 106 和背栅电压控制电路 107。信号产生电路 106 通过显示部分驱动器电路 101 输出用于在显示部分 104 中执行面板显示的信号。背栅电压控制电路 107 控制包括在显示部分驱动器电路中的单极晶体管的阈值电压。

[0045] 信号产生电路 106 通过导线向显示部分驱动器电路 101 输出用于在显示部分 104 中执行面板显示的脉冲信号。脉冲信号通过栅极线驱动器电路 103A 和信号线驱动器电路 103B, 并且输出到显示部分 104。特别地, 信号产生电路 106 如下操作: 作为电源电压的高电源电势 V_{dd} 和低电源电势 V_{ss} 被提供给栅极线驱动器电路 103A 和信号线驱动器电路 103B; 产生用于栅极线驱动器电路的开始脉冲 SP 和时钟信号 CK, 并且将其输出到栅极线驱动器电路 103A, 和 / 或产生用于信号线驱动器电路的开始脉冲 SP 和时钟信号 CK, 并且将其输出到信号线驱动器电路 103B。注意, 信号产生电路 106 可以产生另一个信号, 诸如图像信号或锁存信号。

[0046] 背栅电压控制电路 107 包括电流值检测电路 108、判断电路 109、校正电压存储器电路 110 和校正电压输出电路 111。

[0047] 在电流值检测电路 108 中, 在每个给定周期测量电流值, 并且将其输出到判断电路 109。电流值检测电路 108 中的测量不限于电流值, 并且可以检测与电流值检测电路 108 串联连接的固定值电阻器的两个端子的电压值。示出了用于提供电源电势 (V_{dd} 、 V_{ss}) 的导线和用于提供时钟信号和开始脉冲的导线被连接到电流值检测电路 108 的结构; 然而, 电流值检测电路 108 的结构不限于此。例如, 可以仅给电流值检测电路 108 提供用于提供电源电势的导线。电源电势是直流信号, 并且因此容易地检测由于泄漏电流而导致的电流值增加, 这是优选的。

[0048] 背栅电压设置处理开始的定时, 即, 在电流值检测电路 108 中测量电流值或电压值的时间段 (也被称为电流值测量周期) 可以在提供驱动器电路 100 的功率之后, 或可以是在驱动器电路 100 操作时的每个给定周期。

[0049] 判断电路 109 判断在电流值检测电路 108 中测量的电流值或电压值的强度 X 是否小于事先设置的参考值的强度 A 。在强度 X 大于强度 A 的情况下, 在电流值测量周期内在背栅电压 V_{bg} 的值下, 在包括在驱动器电路中的晶体管的源极和漏极之间流动的电流大, 包括在驱动器电路中的多个单极晶体管的 I_d - V_g 特性为常导通, 电流消耗大, 所述电流消耗包含在包括在显示部分驱动器电路 101 中的晶体管的源极和漏极之间流动的电流。

[0050] 注意虽然在这个实施例中使用电流值或电压值表示强度 X , 但是可以将使用另一种物理值表示的强度 X 与参考值的强度 A 进行比较。

[0051] 在不执行晶体管的切换的情况下, 会发生电流消耗的减小。例如, 当使得背栅电压极低并且将其施加到第二栅极时, 电流消耗减小, 并且不能获得所希望的脉冲波形图案。因此, 当设置背栅电压时, 优选地施加足够高的电压, 例如, 晶体管确实变为耗尽型晶体管的电压, 作为背栅电压设置处理开始时的背栅电压的初始值。如上所述, n 沟道晶体管中的背栅电压的初始值被设置为足够高, 从而使得即使当由于晶体管已经成为阈值电压极度偏向高电势侧的增强型晶体管, 正常操作困难时, 也可以设置晶体管的的操作可以更稳定的背栅电压。

[0052] 校正电压存储器电路 110 是用于设置背栅电压 V_{bg} 的电路。校正电压存储器电路

110 基于判断电路 109 的判断结果, 设置并且存储从校正电压输出电路 111 作为背栅电压 V_{bg} 输出的电压的电平。特别地, 在判断电路 109 的结果是强度 $X \geq$ 强度 A 的情况下, 将事先设置的 V_{step} 添加到 V_{bg} 的值的值, 即, $V_{bg} - V_{step}$ 的值被存储为 V_{bg} 的新值。在另一方面, 在判断电路 109 的结果是强度 $X <$ 强度 A 的情况下, 存储该设置处理中的 V_{bg} 的值, 并且结束 V_{bg} 设置处理的操作。

[0053] 存储在校正电压存储器电路 110 中的背栅电压 V_{bg} 的值从校正电压输出电路 111 作为背栅电压 V_{bg} 输出。换言之, 在预期的背栅电压设置处理周期的时间段中, 基于存储在校正电压存储器电路 110 中的背栅电压 V_{bg} 的值, 从校正电压输出电路 111 持续输出恒定的背栅电压 V_{bg} 。

[0054] 校正电压存储器电路 110 优选地包括非易失存储器设备。当不供电时, 存储在校正电压存储器电路 110 中的背栅电压 V_{bg} 被存储在非易失存储器设备中; 因此, 可以从校正电压输出电路 111 输出具有与不供电之前的背栅电压相同的值的背栅电压 V_{bg} 。因此, 当驱动器电路 100 的电源被接通时, 可以立刻输出该背栅电压 V_{bg} , 而没有背栅电压设置处理。

[0055] 优选地, 使用形成在衬底上的晶体管形成信号产生电路 106 和背栅电压控制电路 107, 所述衬底不是栅极线驱动器电路 103A、信号线驱动器电路 103B 和显示部分 104 被形成在其上的衬底。作为例子, 使用单晶半导体形成的晶体管优选地用于信号产生电路 106 和背栅电压控制电路 107。使用单晶半导体形成的晶体管的阈值电压的偏移小; 因此, 不容易发生故障, 并且可以输出稳定的信号。

[0056] 注意, 高电源电势指具有高于参考电势的电势的信号, 而低电源电势指具有低于或等于参考电势的电势的信号。优选地, 高电源电势和低电源电势中的每一个是晶体管可以操作, 并且劣化、击穿或功耗不成为问题的电势。参考电势指地电势 GND 等。

[0057] 注意, 电压在许多情况下指给定电势和参考电势 (例如, 地电势) 之间的电势差。因此, 电压、电势和电势差可被分别称为电势、电压和电压差。

[0058] 将参考图 2 所示的流程图描述图 1 所示的驱动器电路中的背栅电压控制电路 107 的操作。另外, 将描述本实施例中的即使在包括在驱动器电路中的晶体管具有常导通状态的变化变化的情况下, 也具有较少的功耗和较少的故障的驱动器电路。

[0059] 首先, 电源电压被施加到显示部分驱动器电路, 并且背栅电压 V_{bg} 被施加到第二栅极 (图 2, 步骤 201)。可以事先在图 1 所示的校正电压存储器电路 110 中设置施加到第二栅极的背栅电压 V_{bg} 的初始值。另选地, 当不被供电时存储在校正电压存储器电路 110 中的背栅电压 V_{bg} 可被原样输出。背栅电压 V_{bg} 被从图 1 所示的校正电压输出电路 111 施加到包括在驱动器电路中的晶体管的第二栅极。

[0060] 接着, 在图 1 所示的背栅电压控制电路 107 中的电流值检测电路 108 中, 测量流动通过由信号产生电路 106 提供的导线的电流水平或串联连接的固定值电阻器的两个端子的电压电平 (图 2, 步骤 202)。如上所述, 当晶体管是耗尽型晶体管时, 在电流值检测电路中检测到的电流值 (或电压值) 比增强型晶体管大。

[0061] 然后, 在图 1 所示的判断电路 109 中, 判断该电流值或电压值的强度 X 是否小于参考值的强度 A (图 2, 步骤 203)。此时, 在通过步骤 201 中的背栅电压 V_{bg} 的施加, 晶体管变为增强型晶体管, 并且该电流值或电压值的强度 X 小于参考值的强度 A 的情况下, 判断包括流过晶体管的泄漏电流在内的电流消耗小; 因此该设置处理中的背栅电压 V_{bg} 的值被存储

在校正电压存储器电路 110 中。

[0062] 在另一方面,在判断电路 109 中,在该电流值或电压值的强度 X 大于或等于参考值的强度 A 的情况下,判断包括流过包含在显示部分驱动器电路 101 中的晶体管的泄漏电流在内的电流消耗大。在该情况下,将事先设置的 V_{step} 添加到背栅电压的值,即, $V_{bg}-V_{step}$ 的值设置为 V_{bg} 的新值,并且将其施加到第二栅极(图 2,步骤 204)。

[0063] 根据用于设置背栅电压 V_{bg} 的连续操作的次数,设置用于设置背栅电压 V_{bg} 的 V_{step} 的电平。

[0064] 接着,以类似于步骤 202 的方式,在图 1 所示的背栅电压控制电路 107 中的电流值检测电路 108 中,测量由来自信号产生电路 106 的导线提供的电流水平或电压电平(图 2,步骤 205)。

[0065] 然后,以类似于步骤 203 的方式,在图 1 所示的判断电路 109 中,执行电流值或电压值是否小于参考值的判断(图 2,步骤 206)。此时,在晶体管通过步骤 204 中的背栅电压 V_{bg} 的施加变为增强型晶体管,并且电流值或电压值的强度 X 小于参考值的强度 A 的情况下,判断包括流过晶体管的泄漏电流在内的电流消耗小;因此,该设置处理中的背栅电压 V_{bg} 的值被存储在校正电压存储器电路 110 中。

[0066] 为了实现驱动器电路的更稳定的正常操作,优选地,进一步将事先设置的额外电压(裕度)添加到被判断为将在电流消耗中减小的背栅电压 V_{bg} 的值,并且将添加有该额外电压的值存储在校正电压存储器电路 110 中。以类似的方式,在背栅电压 V_{bg} 具有裕度的情况下,即使在 TFT 特性由于背栅电压设置处理的长的时间间隔而在某个程度上改变时,也可以以更大的确定性实现正常操作。

[0067] 另外,在判断电路 109 中,在电流值或电压值的强度 X 大于或等于参考值的强度 A 的情况下,判断包括流过包含在显示部分驱动器电路 101 中的晶体管的泄漏电流在内的电流消耗大。在该情况下,步骤返回图 2 所示的步骤 204,并且继续下一个步骤。

[0068] 根据上述操作,当可以成为耗尽型晶体管的薄膜晶体管被用于显示部分驱动器电路中的仅使用 n 沟道晶体管或 p 沟道晶体管形成的驱动器电路时,根据阈值电压的改变程度补偿阈值电压,从而可以抑制故障或功耗的增加。

[0069] 接着,图 3A 到 3C 示出了包括在显示部分驱动器电路中的移位寄存器的结构的例子。

[0070] 图 3A 所示的移位寄存器包括第一到第 N 脉冲输出电路 10_1 到 10_N(N 是大于或等于 3 的自然数)。在图 3A 所示的移位寄存器中的第一到第 N 脉冲输出电路 10_1 到 10_N 中,分别从第一导线 11、第二导线 12、第三导线 13 和第四导线 14 提供第一时钟信号 CK1、第二时钟信号 CK2、第三时钟信号 CK3 和第四时钟信号 CK4。开始脉冲 SP1(第一开始脉冲)从第五导线 15 输入到第一脉冲输出电路 10_1。来自前一级的脉冲输出电路的信号(这种信号被称为前级信号 $OUT(n-1)$)被输入第二或后级的第 n 脉冲输出电路 10_n(n 是大于或等于 2 并且小于或等于 N 的自然数)。来自该下一级之后的一级的第三脉冲输出电路 10_3 的信号被输入到第一脉冲输出电路 10_1。类似地,来自该下一级之后的一级的第 $(n+2)$ 脉冲输出电路 10_($n+2$) 的信号(这种信号被称为后级信号 $OUT(n+2)$)被输入到第二或后级的第 n 脉冲输出电路 10_n。因此,从相应级的脉冲输出电路,输出将被输入到后级和/或前级之前的级的脉冲输出电路的第一输出信号 $OUT(1)$ (SR) 到 $OUT(N)$ (SR) 和将被电连接到不同

导线等的第二输出信号 OUT(1) 到 OUT(N)。另外,背栅电压 Vbg 从背栅电压控制电路 107 通过第六导线 16 提供给相应级的脉冲输出电路。注意如图 3A 所示,由于后级信号 OUT(n+2) 不被输入到移位寄存器的最后两级,因此例如,第二开始脉冲 SP2 和第三开始脉冲 SP3 可被分别从第七导线 17 和第八导线 18 输入到对应的最后两级。另选地,信号可被在内部产生。例如,可以提供不对显示部分的脉冲输出产生贡献的第 (n+1) 脉冲输出电路 10_(n+1) 和第 (n+2) 脉冲输出电路 10_(n+2) (这种电路也被称为哑级),并且可以从哑级产生对应于第二开始脉冲 (SP2) 和第三开始脉冲 (SP3) 的信号。

[0071] 注意,第一到第四时钟信号 (CK1) 到 (CK4) 中的每一个是以规则间隔在 H 电平信号和 L 电平信号之间振荡的信号。另外,第一到第四时钟信号 (CK1) 到 (CK4) 被顺序延迟 1/4 周期。在这个实施例中,通过第一到第四时钟信号 (CK1) 到 (CK4) 控制脉冲输出电路的驱动。注意,在某些情况下,取决于时钟信号输入的驱动器电路,时钟信号还被称为 GCK 或 SCK,并且在下面的描述中,时钟信号被称为 CK。

[0072] 注意,当明确地描述“A 和 B 连接”时,其中包括 A 和 B 电连接的情况,A 和 B 功能连接的情况,以及 A 和 B 直接连接的情况。此处,A 和 B 中的每一个是一个对象(例如,设备、元件、电路、导线、电极、端子、导电膜或层)。因此,另一个元件可被安插在具有图中和文本中所示的连接关系的元件之间,而限于预定的连接关系,例如,图中和文本中所示的连接关系。

[0073] 第一到第 N 脉冲输出电路 10_1 到 10_N 中的每一个包括第一输入端子 21、第二输入端子 22、第三输入端子 23、第四输入端子 24、第五输入端子 25、第一输出端子 26、第二输出端子 27 和第六输入端子 28 (见图 3B)。

[0074] 第一输入端子 21、第二输入端子 22 和第三输入端子 23 被电连接到第一到第四导线 11 到 14 中的任意一个。例如,在图 3A 和 3B 的第一脉冲输出电路 10_1 中,第一输入端子 21 电连接到第一导线 11;第二输入端子 22 电连接到第二导线 12;并且第三输入端子 23 电连接到第三导线 13。在第二脉冲输出电路 10_2 中,第一输入端子 21 电连接到第二导线 12;第二输入端子 22 电连接到第三导线 13;并且第三输入端子 23 电连接到第四导线 14。

[0075] 在图 3A 和 3B 的第一脉冲输出电路 10_1 中,开始脉冲被输入到第四输入端子 24;后级信号 OUT(3) 被输入到第五输入端子 25;第一输出信号 OUT(1) (SR) 从第一输出端子 26 输出;第二输出信号 OUT(1) 从第二输出端子 27 输出;并且背栅电压 Vbg 从第六输入端子 28 输入。

[0076] 接下来,参考图 3C 描述脉冲输出电路的特定电路结构的例子。

[0077] 在图 3C 中,第一晶体管 31 的第一端子电连接到导线 51。第一晶体管 31 的第二端子电连接到第九晶体管 39 的第一端子。第一晶体管 31 的栅极电极电连接到第四输入端子 24。第二晶体管 32 的第一端子电连接到电源线 53。第二晶体管 32 的第二端子电连接到第九晶体管 39 的第一端子。第二晶体管 32 的栅极电极电连接到第四晶体管 34 的栅极电极。第三晶体管 33 的第一端子电连接到第一输入端子 21。第三晶体管 33 的第二端子电连接到第一输出端子 26。第四晶体管 34 的第一端子电连接到电源线 53。第四晶体管 34 的第二端子电连接到第一输出端子 26。第五晶体管 35 的第一端子电连接到电源线 53。第五晶体管 35 的第二端子电连接到第二晶体管 32 的栅极电极和第四晶体管 34 的栅极电极。第五晶体管 35 的栅极电极电连接到第四输入端子 24。第六晶体管 36 的第一端子电连接到导线

51。第六晶体管 36 的第二端子电连接到第二晶体管 32 的栅极电极和第四晶体管 34 的栅极电极,并且第六晶体管 36 的栅极电极电连接到第五输入端子 25。第七晶体管 37 的第一端子电连接到导线 51。第七晶体管 37 的第二端子电连接到第八晶体管 38 的第二端子。第七晶体管 37 的栅极电极电连接到第三输入端子 23。第八晶体管 38 的第一端子电连接到第二晶体管 32 的栅极电极和第四晶体管 34 的栅极电极。第八晶体管 38 的栅极电极电连接到第二输入端子 22。第九晶体管 39 的第一端子电连接到第一晶体管 31 的第二端子和第二晶体管 32 的第二端子。第九晶体管 39 的第二端子电连接到第三晶体管 33 的栅极电极和第十晶体管 40 的栅极电极。第九晶体管 39 的栅极电极电连接到导线 51。第十晶体管 40 的第一端子电连接到第一输入端子 21。第十晶体管 40 的第二端子电连接到第二输出端子 27。第十晶体管 40 的栅极电极电连接到第九晶体管 39 的第二端子。第十一晶体管 41 的第一端子电连接到电源线 53。第十一晶体管 41 的第二端子电连接到第二输出端子 27。第十一晶体管 41 的栅极电极电连接到第二晶体管 32 的栅极电极和第四晶体管 34 的栅极电极。第一到第十一晶体管 31 到 41 的第二栅极电连接到用于提供背栅电压 V_{bg} 的导线 52。

[0078] 在图 3C 中,第三晶体管 33 的栅极电极、第十晶体管 40 的栅极电极以及第九晶体管 39 的第二端子的连接点被称为节点 NA。另外,第二晶体管 32 的栅极电极、第四晶体管 34 的栅极电极、第五晶体管 35 的第二端子、第六晶体管 36 的第二端子、第八晶体管 38 的第一端子、以及第十一晶体管 41 的栅极电极的连接点被称为节点 NB。

[0079] 在图 3C 中的脉冲输出电路是第一脉冲输出电路 10_1 的情况下,第一时钟信号 CK1 被输入到第一输入端子 21;第二时钟信号 CK2 被输入到第二输入端子 22;第三时钟信号 CK3 被输入到第三输入端子 23;开始脉冲 SP 被输入到第四输入端子 24;后级信号 OUT(3) 被输入到第五输入端子 25;第一输出信号 OUT(1) (SR) 从第一输出端子 26 输出;第二输出信号 OUT(1) 从第二输出端子 27 输出;并且判断信号 JS 被输入到第六输入端子 28。

[0080] 图 4 示出了包括图 3C 所示的多个脉冲输出电路的移位寄存器的时序图。注意当移位寄存器被包括在扫描线驱动器电路中时,图 4 的周期 61 对应于垂直回描周期,并且图 4 的周期 62 对应于栅极选择周期。

[0081] 当包括在驱动器电路中的晶体管是耗尽型晶体管时,导线 51 和导线 53 导通,导致泄漏电流。在作为例子使用多个图 3A 到 3C 和图 4 所示的 n 沟道晶体管制造的驱动器电路中,可以通过施加背栅电压 V_{bg} 减小由于这种泄漏电流导致的功耗。另外,通过施加背栅电压 V_{bg} ,薄膜晶体管可以是不中断驱动器电路的操作的增强型晶体管,而不是其阈值电压极其偏向高电势侧的增强型晶体管。因此,当可以成为耗尽型晶体管的薄膜晶体管被用于显示部分驱动器电路中的仅使用 n 沟道晶体管或 p 沟道晶体管形成的驱动器电路时,阈值电压被根据阈值电压的改变程度进行补偿,从而可以抑制故障或功耗的增加。

[0082] 该实施例可以适当地与在其它实施例中描述的任意结构组合。

[0083] (实施例 2)

[0084] 在这个实施例中,将参考图 5 描述上面实施例中描述的驱动器电路和包括被该驱动器电路控制的显示部分的显示设备的横截面图。另外,在这个实施例中,将描述液晶显示设备的例子作为该显示设备;然而,本发明可用于包括发光元件(诸如有机 EL 元件)的其它显示设备,或用于包括电泳元件的电子纸的驱动器电路。注意,除了显示设备的驱动器电路之外,上面实施例中描述的结构可被应用于不同设备,诸如用于光学扫描仪的驱动器电

路。

[0085] 图 5 示出作为本发明的一个实施例的液晶显示设备。在图 5 的液晶显示设备中, 设置有包括薄膜晶体管 701 和电容器 702 的像素部分的衬底 706、包括薄膜晶体管 703 的驱动器电路部分、像素电极层 704 和作为取向膜的绝缘层 705、以及设置有作为取向膜的绝缘层 707 的对置衬底 710、对置电极层 708、作为彩色滤光器的着色层 709 彼此面对, 液晶层 711 被定位在衬底之间。衬底 706 在与液晶层 711 相反的一侧上设置有偏振板 (包括偏振器的层, 也被简称为偏振器) 712a, 并且对置衬底 710 在与液晶层 711 相反的一侧上设置有偏振板 712b。第一端子 713、连接电极 714 和用于连接的端子电极 715 被提供在用于栅极导线的端子部分中, 并且用于连接的第二端子 716 和端子电极 717 被提供在用于源极导线的端子部分中。

[0086] 在驱动器电路部分的薄膜晶体管 703 中, 半导体层 723 被设置在栅极电极层 721 和栅极绝缘层 722 上, 氧化绝缘层 724 被设置在半导体层 723 上, 并且导电层 718 被设置在氧化物半导体层 724 上。漏极电极层 719b 电连接到与栅极电极层 721 在相同步骤中形成的导电层 720。在像素部分中, 薄膜晶体管 701 的漏极电极层电连接到像素电极层 704。

[0087] 将氧化物半导体用于薄膜晶体管导致制造成本的减少。使用氧化物半导体形成的薄膜晶体管具有高的场效应迁移率, 并且适合用于显示设备的像素部分和驱动器电路中。在另一方面, 即使在不添加外来的杂质时, 氧化物半导体也往往由于缺少氧造成的空穴欠缺具有 n 型导电性。当氧化绝缘膜被形成为与氧化物半导体层接触时, 可以获得具有稳定电特性的薄膜晶体管。即使使氧化物半导体具有 n 型导电性, 从而形成常导通薄膜晶体管, 在本实施例的驱动器电路中, 也根据阈值电压的改变程度补偿阈值电压; 因此, 可以抑制故障和功耗的增加。

[0088] 注意虽然在这个实施例中描述了实施例 1 的使用薄膜晶体管中的氧化物半导体形成其半导体层的薄膜晶体管的例子, 在实施例 1 中描述的结构中, 可以成为包括在驱动器电路中的耗尽型晶体管的薄膜晶体管具有第一栅极和第二栅极。因此, 例如, 当使用非晶硅形成的薄膜晶体管的半导体层有意或无意地包含赋予 n 型导电性的杂质时, 实施例 1 中描述的结构可用于常导通薄膜晶体管。

[0089] 采用其结构与实施例 1 相同或大体相同的驱动器电路, 当可以成为耗尽型晶体管的薄膜晶体管被用于显示部分驱动器电路中的仅使用 n 沟道晶体管或 p 沟道晶体管形成的驱动器电路时, 根据阈值电压的改变程度补偿阈值电压, 从而可以抑制故障或功耗的增加。

[0090] 该实施例可适当地与在其它实施例中描述的任意结构组合。

[0091] (实施例 3)

[0092] 在这个实施例中, 下面将描述在相同衬底上形成至少某些驱动器电路和提供在像素部分中的薄膜晶体管的例子。注意, 可以如实施例 2 中的横截面图所示形成在该衬底上形成的薄膜晶体管。

[0093] 信号线驱动器电路包括移位寄存器 5601 和开关电路 5602。开关电路 5602 包括多个开关电路 5602_1 到 5602_N (N 是自然数)。开关电路 5602_1 到 5602_N 中的每一个包括多个薄膜晶体管 5603_1 到 5603_k (k 是自然数)。下面描述薄膜晶体管 5603_1 到 5603_k 是 n 沟道 TFT 的例子。

[0094] 使用开关电路 5602_1 作为例子描述信号线驱动器电路中的连接关系。薄膜晶体

管 5603_1 到 5603_k 的第一端子分别连接到导线 5604_1 到 5604_k。薄膜晶体管 5603_1 到 5603_k 的第二端子分别连接到信号线 S1 到 Sk。薄膜晶体管 5603_1 到 5603_k 的栅极连接到导线 5605_1。

[0095] 移位寄存器 5601 具有通过向导线 5605_1 和导线 5605_2 到 5605_N 顺序输出 H 电平信号（也被称为 H 信号或高电源电势电平的信号），顺序选择开关电路 5602_1 到 5602_N 的功能。

[0096] 开关电路 5602_1 具有控制导线 5604_1 到 5604_k 和信号线 S1 到 Sk 之间的传导状态的功能（第一端子和第二端子之间的电连通性），即，控制是否将导线 5604_1 到 5604_k 的电势提供给信号线 S1 到 Sk 的功能。以这种方式，开关电路 5602_1 起选择器的功能。以类似方式，薄膜晶体管 5603_1 到 5603_k 具有分别控制导线 5604_1 到 5604_k 和信号线 S1 到 Sk 之间的传导状态的功能，即，分别将导线 5604_1 到 5604_k 的电势提供给信号线 S1 到 Sk 的功能。以这种方式，每个薄膜晶体管 5603_1 到 5603_k 起开关的功能。

[0097] 视频信号数据 (DATA) 被输入到每个导线 5604_1 到 5604_k。在许多情况下，视频信号数据 (DATA) 是对应于图像数据或图像信号的模拟信号。

[0098] 接着，参考图 6B 中的时序图描述图 6A 中的信号线驱动器电路的操作。图 6B 示出了信号 Sout_1 到 Sout_N 和信号 Vdata_1 到 Vdata_k 的例子。信号 Sout_1 到 Sout_N 是从移位寄存器 5601 输出的信号的例子。信号 Vdata_1 到 Vdata_k 是输入到导线 5604_1 到 5604_k 的信号的例子。注意，信号线驱动器电路的一个操作周期对应于显示设备中的一个栅极选择周期。例如，一个栅极选择周期被划分为周期 T1 到 TN。周期 T1 到 TN 中的每一个是视频信号数据 (DATA) 写到所选择行内的像素的周期。

[0099] 在周期 T1 到 TN 中，移位寄存器 5601 顺序地向导线 5605_1 到 5605_N 输出 H 电平信号。例如，在周期 T1 中，移位寄存器 5601 向导线 5605_1 输出 H 电平信号。然后，薄膜晶体管 5603_1 到 5603_k 导通，从而使导线 5604_1 到 5604_k 和信号线 S1 到 Sk 传导。此时，Data(S1) 到 Data(Sk) 被分别输入到导线 5604_1 到 5604_K。Data(S1) 到 Data(Sk) 分别通过薄膜晶体管 5603_1 到 5603_k 写到所选择的行内的第一到第 k 列内的像素。以这种方式，在周期 T1 到 TN，视频信号数据 (DATA) 以 k 个列顺序写到所选择行内的像素。

[0100] 当视频信号数据 (DATA) 被如上所述以多个列写到像素时，可以减少视频信号数据 (DATA) 的数目或导线的数目。由此，可以减少与外部电路的连接的数目。另外，当以多个列将视频信号写到像素时，可以延长写入时间；因此，可以防止视频信号的不充分的写入。

[0101] 描述扫描线驱动器电路的结构。扫描线驱动器电路可以包括移位寄存器、缓冲器等。另外，扫描线驱动器电路在某些情况下可以包括电平转换器。在扫描线驱动器电路中，当时钟信号 (CLK) 和开始脉冲信号 (SP) 被输入到移位寄存器时，产生选择信号。产生的选择信号在缓冲器中缓冲并且放大，结果信号被提供给对应的扫描线。一行像素中的晶体管的栅极电极被连接到扫描线。由于一行像素中的晶体管必须同时导通，因此使用可以提供大量电流的缓冲器。

[0102] 在本实施例中的驱动器电路中采用在上面实施例中描述的控制电路，从而根据阈值电压的改变程度补偿阈值电压。因此，可以抑制故障或功耗的增加。

[0103] 该实施例可以适当地与在其它实施例中描述的任意结构组合。

[0104] （实施例 4）

[0105] 在这个实施例中,将描述电子设备的例子,每个电子设备在显示部分中包括在上面实施例中描述的显示设备。

[0106] 在上面实施例中在每个图中描述的内容(或内容部分)可被应用于各种电子设备。特别地,其可被应用于电子设备的显示部分。作为这种电子设备,存在照相机,诸如视频摄像机和数字照相机、护目镜类型的显示器、导航系统、音频再现设备(例如,汽车音频设备或音频组件装置)、计算机、游戏机、便携式信息终端(例如,移动计算机、移动电话、便携式游戏机或电子书阅读器)、提供有记录介质的图像再现设备(特别地,再现诸如数字万用盘(DVD)的记录介质的内容,并且具有用于显示再现的图像的显示器的设备)等。

[0107] 图 7A 示出了一个显示器,其包括壳体 1011、支架 1012 和显示部分 1013。图 7A 所示的显示器具有在显示部分上显示各种类型的信息(例如,静态图像、运动图像和文本图像)的功能。注意,图 7A 所示的显示器不限于具有这种功能。图 7A 所示的显示器可以具有各种功能。

[0108] 图 7B 示出了一个照相机,其包括主体 1031、显示部分 1032、图像接收部分 1033、操作键 1034、外部连接端口 1035 和快门按钮 1036。图 7B 所示的照相机具有拍摄静态图像的功能,并且可以具有拍摄运动图像的功能。注意,图 7B 所示的照相机不限于具有这些功能。图 7B 所示的照相机可以具有各种功能。

[0109] 图 7C 示出了一个计算机,其包括主体 1051、壳体 1051、显示部分 1053、键盘 1054、外部连接端口 1055 和指点设备 1056。图 7C 所示的计算机具有在显示部分上显示各种类型的信息(例如,静态图像、运动图像和文本图像)的功能。注意,图 7C 所示的计算机不限于具有这种功能。图 7C 所示的显示器可以具有各种功能。

[0110] 在上面实施例中描述的显示设备被用在本实施例中的显示部分中,从而可以根据阈值电压的改变程度补偿阈值电压。因此,可以抑制故障或功耗的增加,这导致较低功耗和较高显示质量的电子设备。

[0111] 该实施例可以适当地与在其它实施例中描述的任意结构组合。

[0112] [例子]

[0113] 图 11 是横轴表示连接到驱动器电路的导线中的施加于第二栅极的背栅电压 V_{bg} , 并且纵轴表示用于提供高电源电势 V_{dd} 和低电源电势 V_{ss} 的导线中的电流消耗的图。在图 11 中,菱形表示用于提供高电源电势的导线内的电流消耗(下面称为 I_{svdd}),并且三角表示用于提供低电源电势的导线内的电流消耗(下面称为 I_{svss})。图 11 中的提供高电源电势 V_{dd} 和低电源电势 V_{ss} 的驱动器电路的结构对应于图 3A 到 3C 所示的驱动器电路的结构。

[0114] 如图 11 所示,当背栅电压 V_{bg} 移向小于 0V 的负侧时,电流消耗减小。在图 11 中 I_{svdd} 和 I_{svss} 在从 -3.5V 到 -2.0V 的范围中显著减小。包括在驱动器电路中的晶体管的阈值电压移动,并且耗尽型晶体管改变为增强型晶体管,从而使得电流消耗减小。当晶体管改变为增强型晶体管时,泄漏电流减小。当以驱动器电路的脉冲输出的波形检查电流消耗时,驱动器电路在从 -7.0V 到 -3.5V 的范围中(优选地,-6.0V 到 -4.0V;该范围在图 11 中被以箭头 1101 表示)正常操作。在该情况下,在参考图 1 和图 2 在实施例 1 中描述的背栅电压设置处理中,当使用 I_{svdd} 时,参考值的强度 A 被事先设置为 1.5mA,并且当使用 I_{svss} 时,被设置为 4.0mA。当背栅电压 V_{bg} 为 -3.5V 时,电流值的强度 X 小于参考值的强度 A ;因此,背栅电压 V_{bg} 可被设置为 -3.5V。

[0115] 注意,在这个例子中描述了参考图 1 和图 2 在实施例 1 中描述的背栅电压设置处理中判断电流消耗的减小的结构;然而,如从图 11 可见,为了以更大的确定性实现驱动器电路的正常操作,优选地,将大约 -1.5V 的额外电压(裕度)添加到被判断为电流消耗减小的背栅电压 V_{bg} 的值,从而背栅电压 V_{bg} 为 -5.0V 。

[0116] 如从图 11 可见,当背栅电压的施加值小于或等于 -7.0V 时,电流消耗进一步减小。由不能执行切换的晶体管引起电流消耗的减小。当检查驱动器电路的脉冲输出的波形时,在背栅电压的施加值小于或等于 -7.0V 的情况下,无法获得所希望的脉冲波形。因此,当设置背栅电压时,优选地事先施加高电压,例如,在图 11 的情况下 0V ,作为背栅电压的初始值。

[0117] 这个例子可以适当地与在实施例中描述的任意结构组合。

[0118] 本申请基于序列号为 2009-249631 的 2009 年 10 月 30 日提交日本专利局的日本专利申请,该申请的全部内容通过引用包含于此。

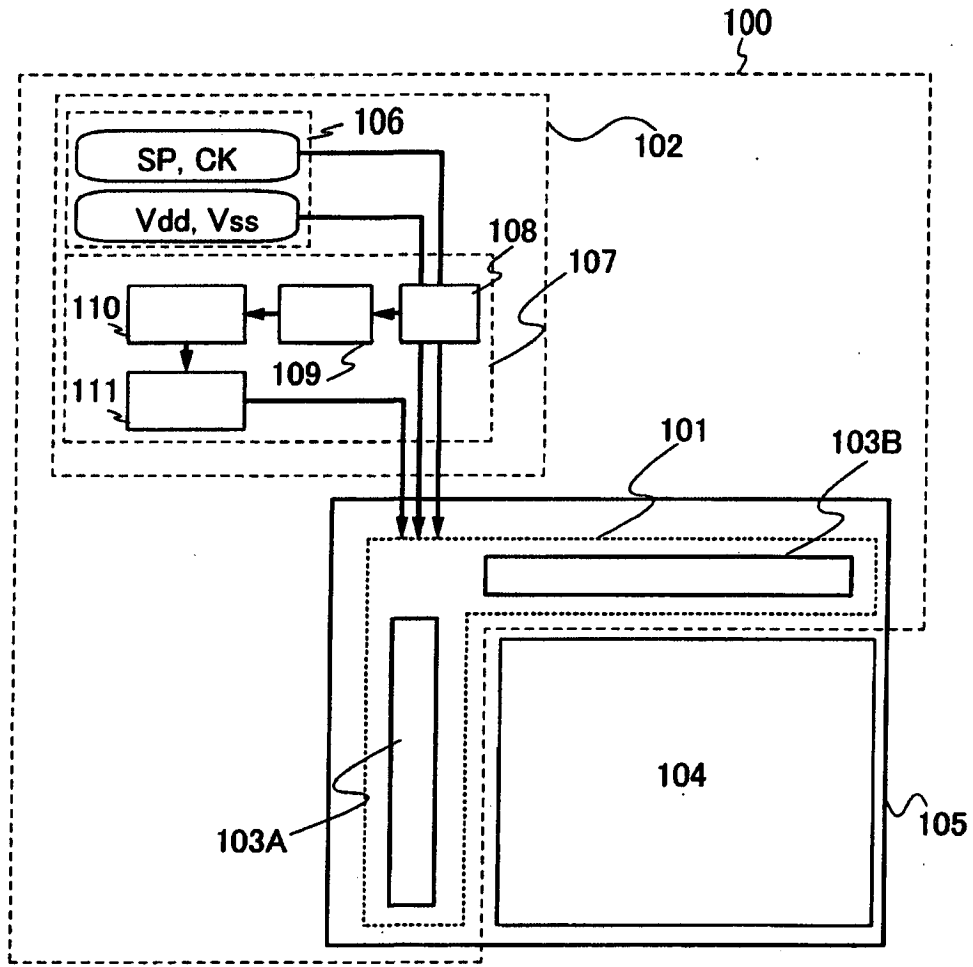


图 1

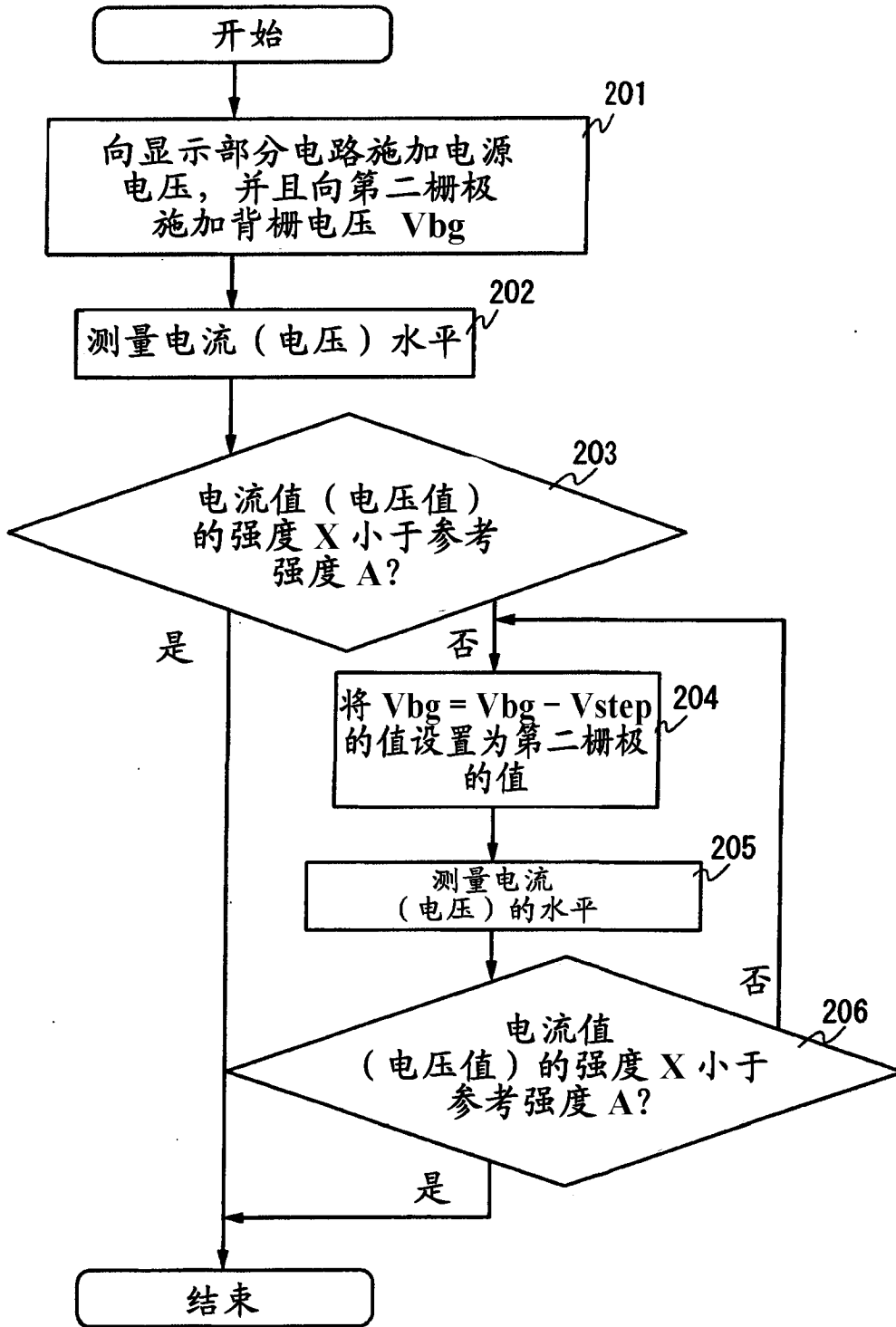


图 2

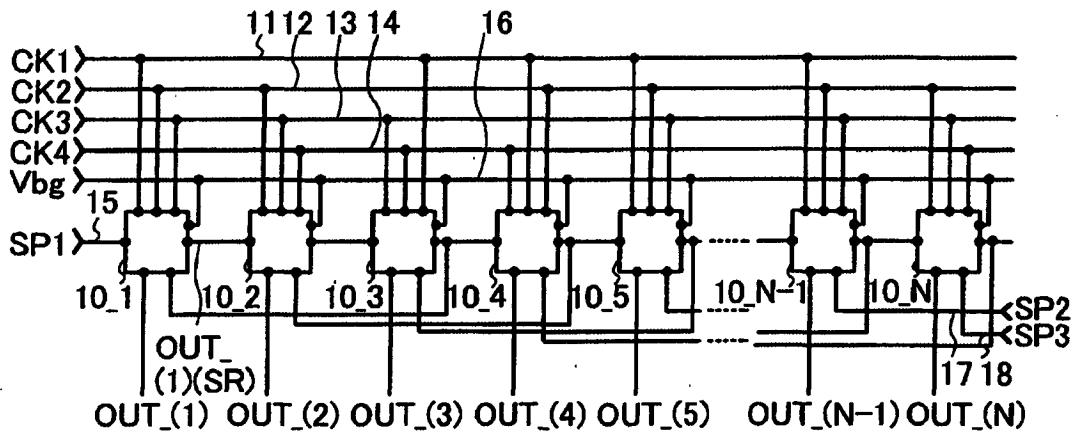


图 3A

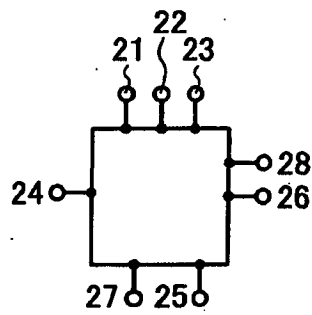


图 3B

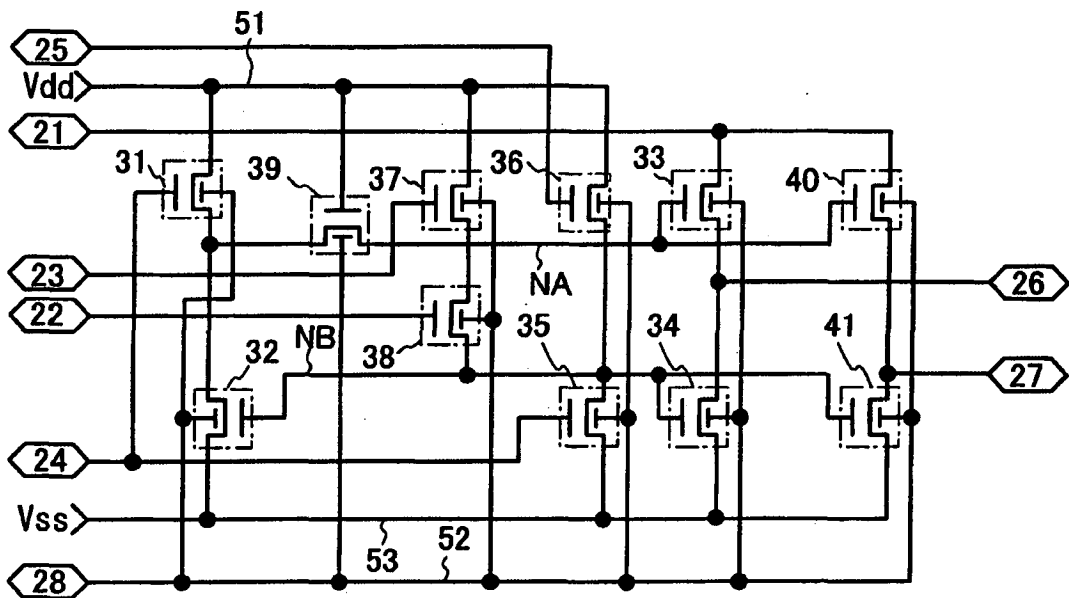


图 3C

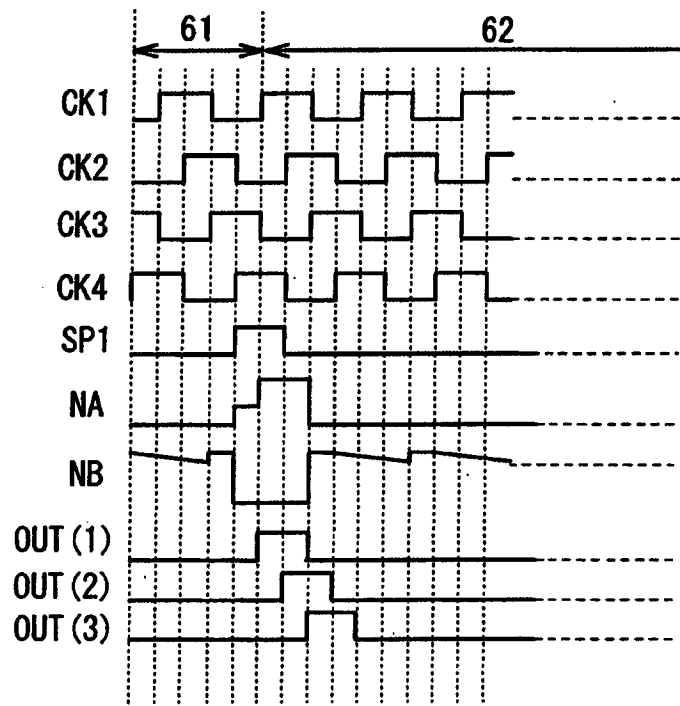


图 4

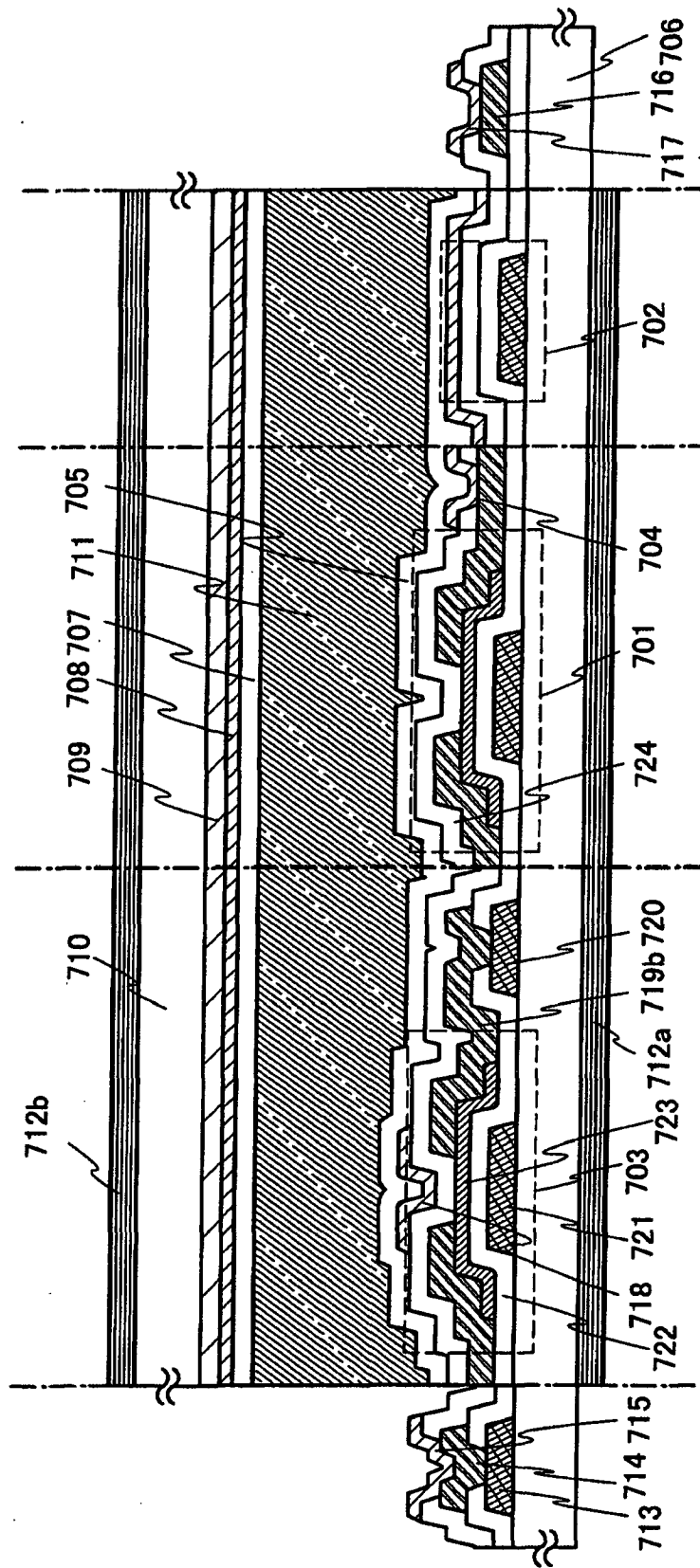


图 5

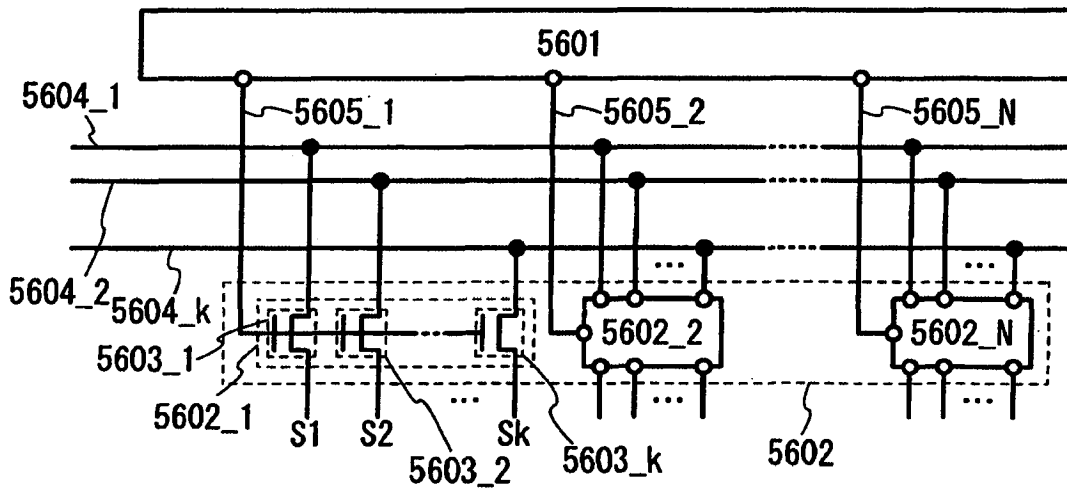


图 6A

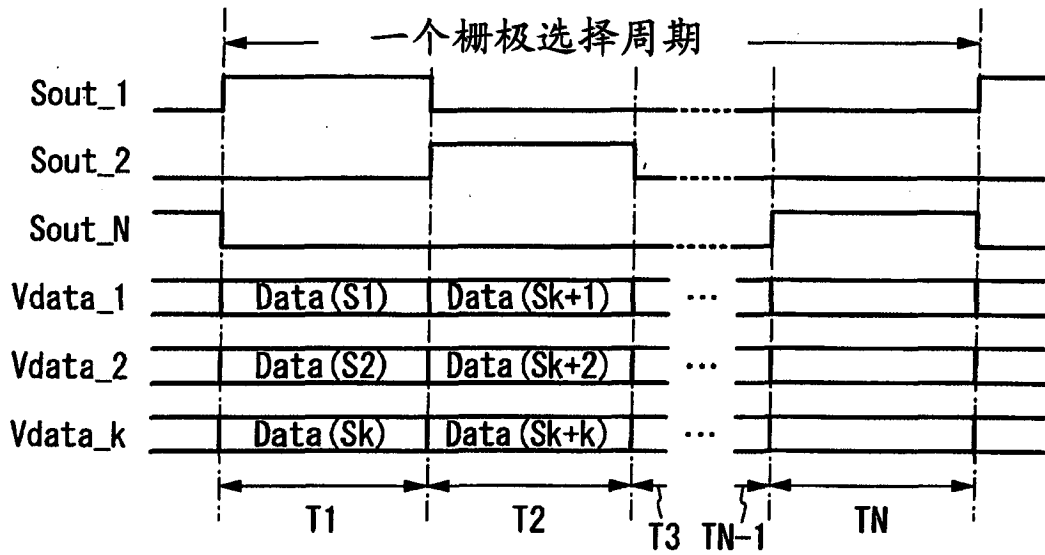


图 6B

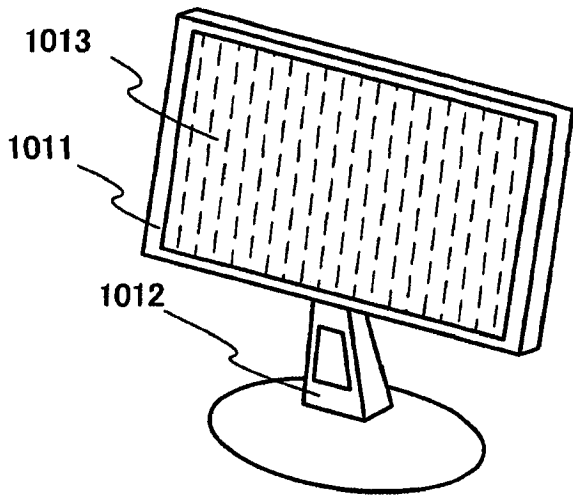


图 7A

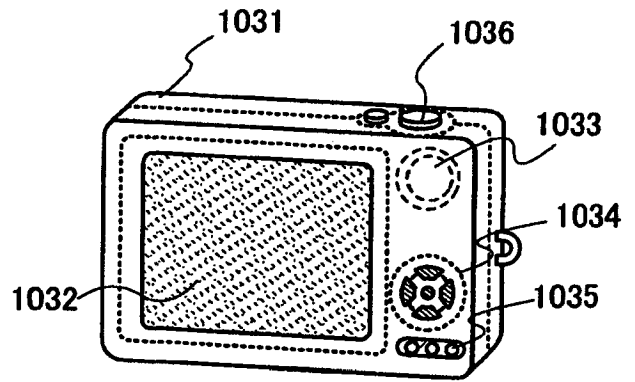


图 7B

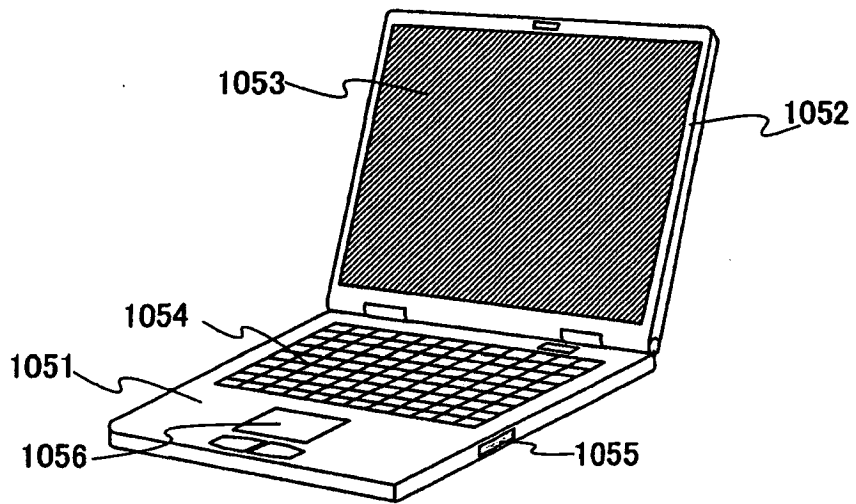


图 7C

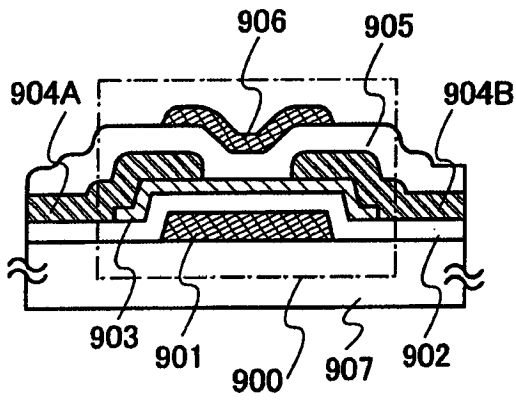


图 8A

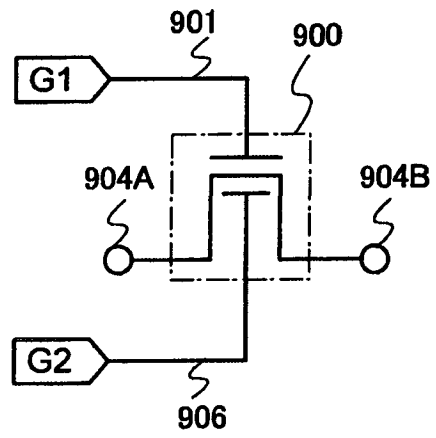


图 8B

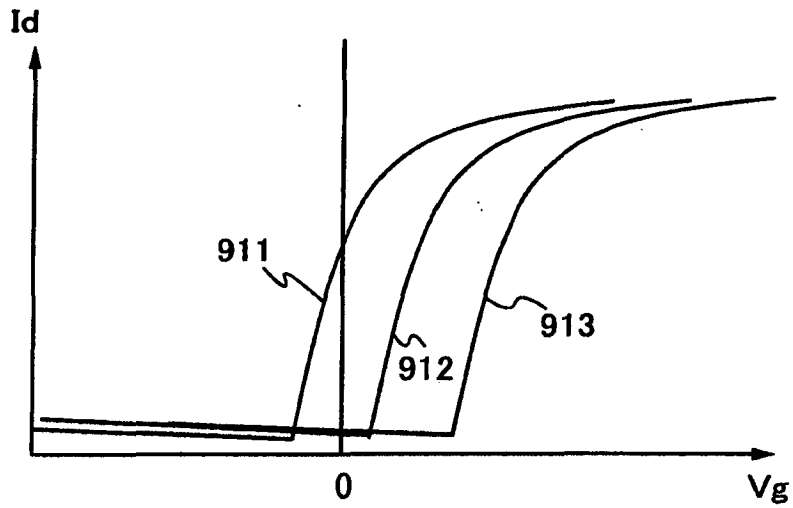


图 9

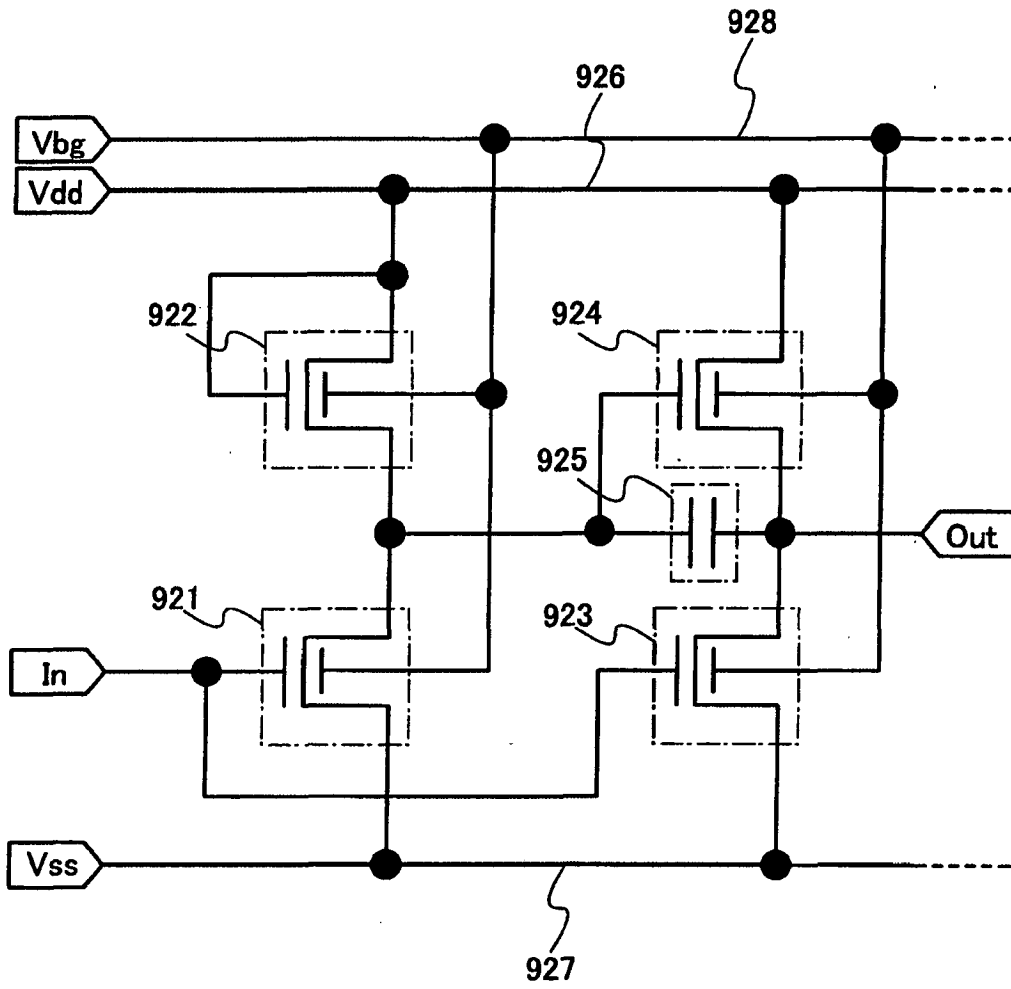


图 10

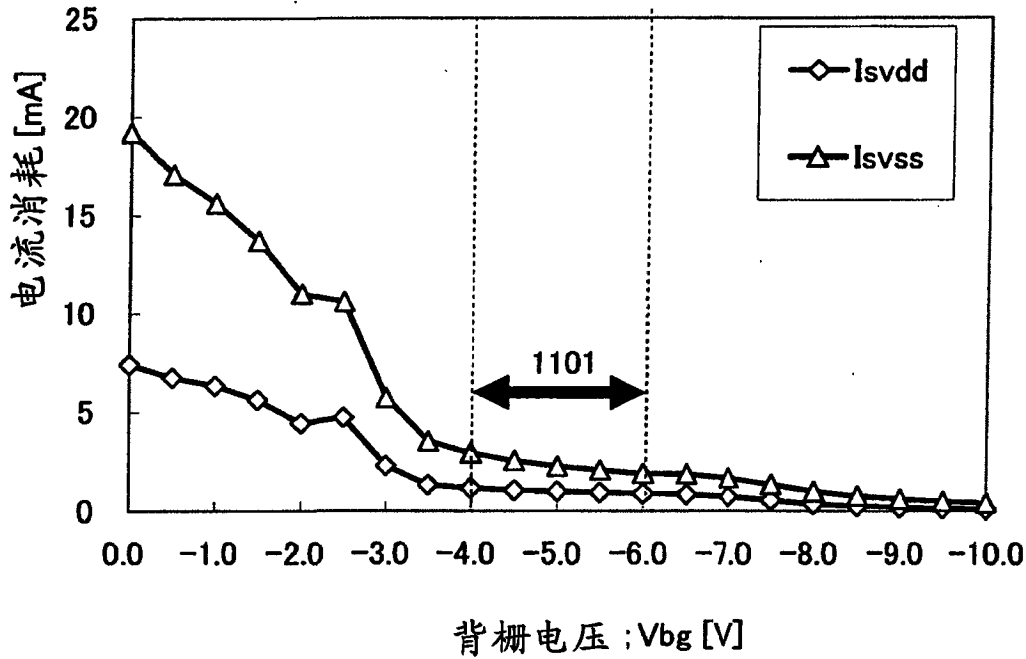


图 11

附图标记说明

10 : 脉冲输出信号, 11 : 导线, 12 : 导线, 13 : 导线, 14 : 导线, 15 : 导线, 16 : 导线, 17 : 导线, 18 : 导线, 21 : 输入端子, 22 : 输入端子, 23 : 输入端子, 24 : 输入端子, 25 : 输入端子, 26 : 输出端子, 27 : 输出端子, 28 : 输入端子, 31 : 晶体管, 32 : 晶体管, 33 : 晶体管, 34 : 晶体管, 35 : 晶体管, 36 : 晶体管, 37 : 晶体管, 38 : 晶体管, 39 : 晶体管, 40 : 晶体管, 41 : 晶体管, 51 : 导线, 52 : 导线, 53 : 导线, 61 : 周期, 62 : 周期, 100 : 驱动器电路, 101 : 显示部分驱动器电路, 102 : 控制电路, 104 : 显示部分, 105 : 衬底, 106 : 信号产生电路, 107 : 背栅电压控制电路, 108 : 电流值检测电路, 109 : 判断电路, 110 : 校正电压存储器电路, 111 : 校正电压输出电路, 201 : 步骤, 202 : 步骤, 203 : 步骤, 204 : 步骤, 205 : 步骤, 206 : 步骤, 701 : 薄膜晶体管, 702 : 电容器, 703 : 薄膜晶体管, 704 : 像素电极层, 705 : 绝缘层, 706 : 衬底, 707 : 绝缘层, 708 : 对置电极层, 709 : 着色层, 710 : 对置衬底, 711 : 液晶层, 713 : 端子, 714 : 连接电极, 715 :

端子电极, 716 : 端子, 717 : 端子电极, 718 : 导电层, 720 : 导电层, 721 : 栅极电极层, 722 : 栅极绝缘层, 723 : 半导体层, 724 : 氧化物半导体层, 900 : 薄膜晶体管, 901 : 栅极, 902 : 栅极绝缘膜, 903 : 氧化物半导体膜, 905 : 绝缘层, 906 : 栅极, 907 : 衬底, 911 : 曲线, 912 : 曲线, 913 : 曲线, 921 : 薄膜晶体管, 922 : 薄膜晶体管, 923 : 薄膜晶体管, 924 : 薄膜晶体管, 925 : 电容器, 926 : 导线, 927 : 导线, 928 : 导线, 1011 : 壳体, 1012 : 支撑基体, 1013 : 显示部分, 1031 : 主体, 1032 : 显示部分, 1033 : 图像接收部分, 1034 : 操作键, 1035 : 外部连接端口, 1036 : 快门按钮, 103A : 栅极线驱动器电路, 103B : 信号线驱动器电路, 1051 : 主体, 1052 : 壳体, 1053 : 显示部分, 1054 : 键盘, 1055 : 外部连接端口, 1056 : 指点设备, 1101 : 箭头, 204A : 源极端子, 204B : 漏极端子, 5601 : 移位寄存器, 5602 : 开关电路, 5603 : 薄膜晶体管, 5604 : 导线, 5605 : 导线, 719b : 漏极电极层, 904A : 源极端子, 904B : 漏极端子