

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
H01L 23/48

(11) 공개번호 10-2005-0027384  
(43) 공개일자 2005년03월21일

(21) 출원번호 10-2003-0063632  
(22) 출원일자 2003년09월15일

(71) 출원인 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 이영민  
충청남도아산시배방면세교리신라아파트104동1311호

(74) 대리인 윤동열  
이선희  
박종한

심사청구 : 없음

(54) 재배선 패드를 갖는 칩 사이즈 패키지 및 그 적층체

요약

본 발명은 재배선 패드를 갖는 칩 사이즈 패키지 및 그 적층체에 관한 것이다. 종래의 패키지 적층체는 상하 적층을 구현하는 볼 단자 등이 집적회로 칩의 영역을 벗어나 옆쪽에 배치되므로 적층체의 크기와 실장 면적이 증가하는 단점이 있다. 본 발명에 따른 칩 사이즈 패키지는 집적회로 칩 위에 재배선 패드를 만들고 그 위에 제2 회로 기판을 연결하여 다른 패키지가 적층될 수 있도록 한다. 따라서, 아래쪽 패키지의 제2 회로 기판 위에 위쪽 패키지의 볼 단자가 접촉하여 적층체를 구현할 수 있다. 패키지의 볼 단자는 집적회로 칩의 영역을 벗어나지 않고 회로 기판의 밑면에 형성되기 때문에 칩 사이즈 패키지 및 그 적층체의 구현이 가능하다.

대표도

도 5

색인어

칩 사이즈 패키지(chip size package), 패키지 적층체(package stack), 재배선(rerouting), 볼 단자(ball terminal), 접속 범프(connection bump), 이방성 전도막(ACF)

명세서

도면의 간단한 설명

도 1은 종래기술에 따른 패키지 적층체의 한 예를 나타내는 단면도이다.

도 2는 본 발명의 실시예에 따른 재배선 패드를 갖는 칩 사이즈 패키지를 나타내는 단면도이다.

도 3은 도 2에 도시된 칩 사이즈 패키지에서 재배선 패드가 형성된 집적회로 칩을 나타내는 평면도이다.

도 4a 및 도 4b는 도 2에 도시된 칩 사이즈 패키지에서 제2 회로 기판과 재배선 패드를 연결하는 두 가지 예를 보여주는 단면도이다.

도 5는 도 2에 도시된 칩 사이즈 패키지를 여러 개 적층한 구조로서 본 발명의 실시예에 따른 칩 사이즈 패키지 적층체를 나타내는 단면도이다.

도 6a 내지 도 6d는 도 5에 도시된 칩 사이즈 패키지 적층체의 제조 공정을 보여주는 단면도이다.

<도면에 사용된 참조 번호의 설명>

- 10: 패키지 적층체(package stack) 11a, 11b: 개별 패키지
- 12: 볼 단자(ball terminal) 13: 회로 기판(circuit substrate)
- 13a: 접속 패드(connection pad) 13b: 볼 랜드(ball land)
- 13c: 비아(via) 13d: 본드 핑거(bond finger)
- 14: 집적회로 칩(IC chip) 15: 본딩 와이어(bonding wire)
- 16: 봉지제(encapsulant) 17: 접착제(adhesive)
- 20, 20a, 20b, 20c, 20d: 칩 사이즈 패키지(chip size package)
- 21: 제1 회로 기판(first circuit substrate)
- 21a: 본드 핑거(bond finger) 21b: 볼 랜드(ball land)
- 22: 접착제(adhesive) 23: 집적회로 칩(IC chip)
- 23a: 칩 패드(chip pad) 23b: 재배선 패드(rerouting pad)
- 24: 제2 회로 기판(second circuit substrate)
- 24a, 24b: 접속 패드(connection pad)
- 25a: 접속 범프(connection bump) 25b: 이방성 전도막(ACF)
- 26: 본딩 와이어(bonding wire) 27: 봉지제(encapsulant)
- 28: 볼 단자(ball terminal) 30: 칩 사이즈 패키지 적층체

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 패키지 적층 기술에 관한 것으로서, 보다 구체적으로는 재배선 패드를 갖는 칩 사이즈 패키지(chip size package; CSP) 및 그 적층체(stack) 구조에 관한 것이다.

반도체 소자의 집적도를 향상시키기 위한 방법의 일환으로 적층 기술이 이용되고 있다. 적층 기술에는 여러 개의 집적회로 칩을 적층하는 칩 적층 방식과 여러 개의 패키지를 적층하는 패키지 적층 방식이 있다. 일반적으로 패키지 적층 방식은 칩 적층 방식에 비하여 칩의 전기적 특성과 동작 상태를 테스트하기에 용이하고 수율이 높다는 장점이 있다. 패키지 적층 방식에 의하여 제조된 패키지 적층체의 종래 구조가 도 1에 도시되어 있다.

도 1을 참조하면, 패키지 적층체(10)는 상부 패키지(11a)의 하부에 형성된 볼 단자(12)와 하부 패키지(11b)의 상부에 형성된 접속 패드(13a) 사이의 접합에 의하여 상하 패키지(11a, 11b) 사이의 연결을 구현한다. 볼 단자(12)는 회로 기판(13)의 밑면에 만들어진 볼 랜드(ball land)(13b)에 형성되며, 접속 패드(13a)는 회로 기판(13)의 윗면에 만들어지고 비아(via)(13c)를 통해 볼 랜드(ball land)(13b)와 연결된다.

집적회로 칩(14)은 회로 기판(13)의 중앙에 위치하며 본딩 와이어(bonding wire)(15)를 통하여 회로 기판(13)의 윗면에 만들어진 본드 핑거(bond finger)(13d)와 전기적으로 연결된다. 집적회로 칩(14)과 본딩 와이어(15)는 봉지제(encapsulant)(16)로 밀봉되어 외부 환경으로부터 보호된다. 상부 패키지와 하부 패키지 사이에는 접착제(adhesive)(17)를 사용하기도 한다.

**발명이 이루고자 하는 기술적 과제**

그런데, 종래의 패키지 적층체(10)는 상하 패키지(11a, 11b)의 적층을 구현하기 위하여 볼 단자(ball terminal)(12)와 접속 패드(connection pad)(13a) 등을 집적회로 칩(IC chip)(14)의 영역 바깥에 배치하고 있는 구조이다. 따라서, 패키지 적층체(10)의 크기가 커질 수밖에 없고 외부 기판에 실장할 때 실장 면적을 많이 차지하게 된다. 이는 반도체 제품의 소형화에 큰 제약으로 작용하고 있다.

따라서, 본 발명의 목적은 패키지의 크기를 집적회로 칩의 수준으로 감소시킨 칩 사이즈 패키지 및 그 적층체를 구현하여 적층체의 실장 면적을 최소화하기 위한 것이다.

### 발명의 구성 및 작용

이러한 목적을 달성하기 위하여, 본 발명은 집적회로 칩 위에 재배선 패드를 만들고 그 위에 제2 회로 기판을 연결하여 다른 패키지가 적층될 수 있도록 한 칩 사이즈 패키지 및 그 적층체를 제공한다.

본 발명에 따른 칩 사이즈 패키지는 회로 기판과, 회로 기판의 윗면에 부착되며 재배선 패드가 형성된 집적회로 칩과, 집적회로 칩의 위쪽에 위치하며 재배선 패드와 전기적으로 연결되는 접속 패드가 형성된 제2 회로 기판과, 회로 기판과 집적회로 칩을 전기적으로 연결하는 본딩 와이어와, 집적회로 칩과 본딩 와이어를 밀봉하는 봉지체, 및 회로 기판의 밑면에 형성된 볼 단자를 포함한다. 특히, 재배선 패드는 집적회로 칩의 윗면 전체에 걸쳐 형성되며, 볼 단자는 집적회로 칩의 영역을 벗어나지 않고 회로 기판의 밑면에 형성되는 것이 특징이다.

본 발명에 따른 칩 사이즈 패키지에 있어서, 집적회로 칩과 제2 회로 기판 사이의 연결 수단은 접속 범프 또는 이방성 전도막이 사용될 수 있다.

본 발명에 따른 칩 사이즈 패키지 적층체는 이와 같은 칩 사이즈 패키지를 두 개 이상 사용하여 아래쪽 패키지의 제2 회로 기판 위에 위쪽 패키지의 볼 단자를 접합함으로써 적층을 구현한다.

이하, 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다. 첨부 도면에 있어서 일부 구성요소는 도면의 명확한 이해를 돕기 위해 다소 과장되거나 개략적으로 도시되거나 또는 생략되었으며, 동일한 구성요소 또는 대응하는 구성요소는 동일한 참조 번호를 사용하였다.

### 실시예

먼저, 본 발명에 따른 칩 사이즈 패키지의 적층체를 설명하기에 앞서, 적층체에 사용되는 개별 패키지를 설명하기로 한다. 본 발명에 따른 개별 패키지는 재배선 패드를 이용한 칩 사이즈 패키지로서, 도 2에 도시되어 있다.

도 2를 참조하면, 칩 사이즈 패키지(20)는 회로 기판(21)의 윗면에 접착제(22)를 이용하여 집적회로 칩(23)을 부착하고, 본딩 와이어(26)를 이용하여 집적회로 칩(23)과 회로 기판(21)을 전기적으로 연결한 구조를 갖는다. 집적회로 칩(23)과 본딩 와이어(26)는 봉지체(27)로 밀봉되어 외부 환경으로부터 보호되며, 회로 기판(21)의 밑면에는 솔더 볼과 같은 볼 단자(28)가 규칙적으로 배치되어 형성된다.

접착제(22)로는 통상적인 에폭시 접착제 등을 사용할 수 있다. 본딩 와이어(26)를 이용한 전기적 연결 방식으로는 잘 알려진 범프 리버스 와이어 본딩(bump reverse wire bonding) 방식을 채택할 수 있다. 봉지체(27)는 노즐을 이용한 디스펜싱(dispensing) 방식, 스크린 프린팅(screen printing) 방식 등으로 형성할 수 있으며, 볼 단자(28)는 볼 배치(ball placement), 도금(plating), 스텐실 프린팅(stencil printing), 메탈 젯(metal jet)과 같은 방식으로 형성할 수 있다.

회로 기판(21)에는 본드 핑거(21a)와 볼 랜드(21b)가 형성되어 있다. 본드 핑거(21a)는 본딩 와이어(26)가 접속되는 부위이며, 볼 랜드(21b)는 볼 단자(28)가 형성되는 부위이다. 볼 단자(28)는 모두 집적회로 칩(23)의 아래쪽에 위치한다. 따라서, 칩(23) 수준의 크기로 패키지(20)의 크기를 감소시킨 칩 사이즈 패키지를 구현할 수 있다.

본 발명의 칩 사이즈 패키지(20)에 사용되는 집적회로 칩(23)은 윗면에 재배선 패드(23b)가 만들어져 있는 것이 특징이다. 재배선 패드(23b)가 형성된 집적회로 칩(23)의 평면 구조가 도 3에 도시되어 있다. 도 3에 도시된 바와 같이, 집적회로 칩(23)의 윗면에는 통상적인 칩 패드(23a)들이 윗면 가장자리를 따라 배열된다. 칩 패드(23a)는 본딩 와이어(도 2의 26)를 통하여 회로 기판(도 2의 21)과 전기적으로 연결되는 부위이다. 한편, 재배선 패드(23b)는 집적회로 칩(23) 윗면의 가장자리를 제외하고 윗면 전 영역에 걸쳐 형성된다. 재배선 패드(23b)의 형성 방법은 POC(pad on circuit) 공정으로 잘 알려져 있으므로 자세한 설명은 생략한다. 재배선 패드(23b)는 내부 배선(도시되지 않음)을 통하여 칩 패드(23a)와 전기적으로 연결되어 있으며, 패키지 적층을 위하여 제2 회로 기판(도 2의 24)과 연결되는 부위이다.

다시 도 2를 참조하면, 집적회로 칩(23)의 재배선 패드(23b)에는 제2 회로 기판(24)이 연결된다. 제2 회로 기판(24)의 윗면과 밑면에는 집적회로 칩(23)의 재배선 패드(23b)와 대응하여 각각 접속 패드(24a, 24b)가 형성되어 있다. 밑면 접속 패드(24a)는 재배선 패드(23b)와 대응하는 위치에 형성되며, 윗면 접속 패드(24b)는 적층될 다른 패키지의 볼 단자(28)와 대응하는 위치에 형성된다. 윗면과 밑면 접속 패드(24a, 24b)는 비아(via, 도시되지 않음)를 통하여 서로 연결된다.

제2 회로 기판(24)의 밑면 접속 패드(24a)와 집적회로 칩(23)의 재배선 패드(23b)는 여러 가지 방식을 이용하여 전기적으로 연결될 수 있다. 도 4a 및 도 4b는 두 가지 예를 보여주고 있다. 도 4a에 도시된 예는 솔더 볼과 같은 접속 범프(25a)를 이용하는 방식이고, 도 4b에 도시된 예는 이방성 전도막(25b, ACF; anisotropic conductive film)을 이용하는 방식이다. 도 4a의 방식은 제2 회로 기판(24)의 밑면 접속 패드(24a)에 미리 접속 범프(25a)를 형성한 다음, 접속 범프(25a)를 집적회로 칩(23)의 재배선 패드(23b)에 접합하는 방식이다. 도 4b의 방식은 절연 필름 내부에 미세한 전도성 볼들이 분포된 이방성 전도막(25b)을 이용하여 밑면 접속 패드(24a)와 재배선 패드(23b)를 연결하는 방식이다. 본 발명을 설명하는 도면들은 도 4a의 방식을 예시하고 있으나, 도 4b의 방식도 가능함은 물론이다.

이상 설명한 바와 같은 구조를 갖는 칩 사이즈 패키지(20)는 적층체를 구현하기에 적합하다. 본 발명에 따른 칩 사이즈 패키지(20)의 적층체(30) 구조가 도 5에 도시되어 있다. 도 5는 모두 4개의 칩 사이즈 패키지(20a, 20b, 20c, 20d)를 사용하여 적층체(30)를 구성한 예이다.

도 5에 도시된 바와 같이, 아래쪽 패키지(20a)의 제2 회로 기관(24)에 위쪽 패키지(20b)의 볼 단자(28)를 접합하여 패키지를 적층시킨다. 즉, 위쪽 패키지(20b)의 볼 단자(28)는 아래쪽 제2 회로 기관(24)의 윗면 접속 패드(24b)에 접합된다. 전술한 바와 같이, 집적회로 칩(23)에는 재배선 패드(23b)가 만들어져 있고, 제2 회로 기관(24)은 재배선 패드(23b)와 연결되어 있으므로, 볼 단자(28)와 제2 회로 기관(24)의 접합을 통하여 칩 사이즈 패키지(20a, 20b, 20c, 20d)의 적층이 가능하다.

도 6a 내지 도 6d는 도 5에 도시된 칩 사이즈 패키지 적층체(30)의 제조 공정을 보여주고 있다. 먼저, 도 6a에 도시된 바와 같이, 회로 기관(21)의 윗면에 접촉제(22)를 이용하여 집적회로 칩(23)을 부착한다. 그리고 나서, 도 6b에 도시된 바와 같이, 집적회로 칩(23)의 윗면에 제2 회로 기관(24)을 접합한다. 이때의 접합 매개체는 접속 범프(25a) 또는 이방성 전도막 등이 사용된다.

계속해서, 도 6c에 도시된 바와 같이, 본딩 와이어(26)를 이용하여 집적회로 칩(23)과 회로 기관(21)을 전기적으로 연결한 뒤, 집적회로 칩(23)과 본딩 와이어(26)를 보호하기 위하여 봉지체(27)를 형성한다. 집적회로 칩(23)과 제2 회로 기관(24) 사이의 접합 매개체로서 접속 범프(25a)가 사용되는 경우, 봉지체(27)는 집적회로 칩(23)과 제2 회로 기관(24) 사이의 틈에도 스며들어 접속 범프(25a)를 고정하게 된다. 봉지체(27)를 형성한 후, 회로 기관(21)의 밑면에 볼 단자(28)를 형성한다.

이러한 과정을 거쳐 개별 칩 사이즈 패키지(20)를 완성한 다음, 도 6d에 도시된 바와 같이, 칩 사이즈 패키지 적층체(30)를 만든다. 즉, 아래쪽 패키지(20a)의 제2 회로 기관(24) 윗면 접속 패드(24b)에 위쪽 패키지(20b)의 볼 단자(28)를 접합하여 패키지를 적층시킨다. 이러한 방식으로 원하는 개수만큼의 패키지 적층을 구현할 수 있다.

**발명의 효과**

이상 설명한 바와 같이, 본 발명은 집적회로 칩 위에 재배선 패드를 만들고 그 위에 제2 회로 기관을 연결한 후, 제2 회로 기관 위에 다른 패키지의 볼 단자를 접합하여 패키지 적층을 구현한다. 따라서, 상하 패키지의 적층을 매개하는 볼 단자가 집적회로 칩의 영역을 벗어나지 않고 회로 기관의 하부에 형성될 수 있으므로, 칩 사이즈의 패키지 및 그 적층체를 구현할 수 있다.

본 명세서와 도면에는 본 발명의 바람직한 실시예에 대하여 개시하였으며, 비록 특정 용어들이 사용되었으나, 이는 단지 본 발명의 기술 내용을 쉽게 설명하고 발명의 이해를 돕기 위한 일반적인 의미에서 사용된 것이지, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예 외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형예들이 실시 가능하다는 것은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 자명한 것이다.

**(57) 청구의 범위**

**청구항 1.**

회로 기관;  
 상기 회로 기관의 윗면에 부착되며, 재배선 패드가 형성된 집적회로 칩;  
 상기 집적회로 칩의 위쪽에 위치하며, 상기 재배선 패드와 전기적으로 연결되는 접속 패드가 형성된 제2 회로 기관;  
 상기 회로 기관과 상기 집적회로 칩을 전기적으로 연결하는 본딩 와이어;  
 상기 집적회로 칩과 상기 본딩 와이어를 밀봉하는 봉지체; 및  
 상기 회로 기관의 밑면에 형성된 볼 단자를 포함하며,  
 상기 재배선 패드는 상기 집적회로 칩의 윗면 전체에 걸쳐 형성되며, 상기 볼 단자는 상기 집적회로 칩의 영역을 벗어나지 않고 상기 회로 기관의 밑면에 형성되는 것을 특징으로 하는 칩 사이즈 패키지.

**청구항 2.**

제1 항에 있어서, 상기 집적회로 칩과 상기 제2 회로 기관 사이의 연결 수단은 접속 범프인 것을 특징으로 하는 칩 사이즈 패키지.

**청구항 3.**

제1 항에 있어서, 상기 집적회로 칩과 상기 제2 회로 기관 사이의 연결 수단은 이방성 전도막인 것을 특징으로 하는 칩 사이즈 패키지.

**청구항 4.**

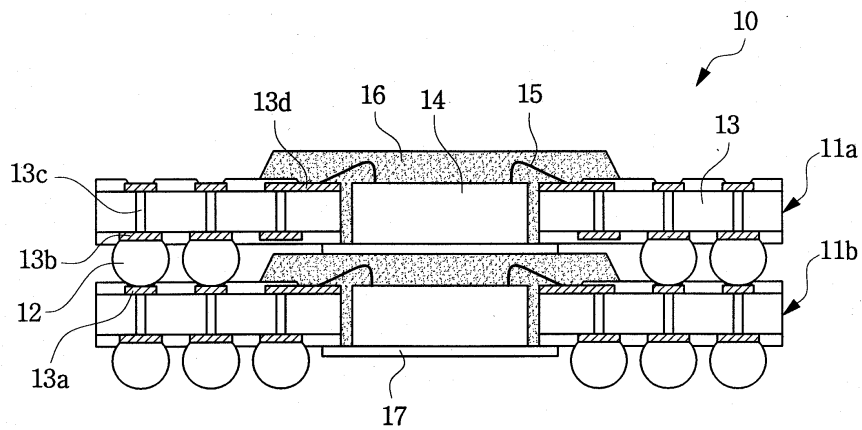
제1 항 내지 제3 항 중의 어느 하나에 기재된 칩 사이즈 패키지를 두 개 이상 적층한 칩 사이즈 패키지 적층체로서, 아래쪽 패키지의 제2 회로 기판 위에 위쪽 패키지의 볼 단자를 접합하여 적층을 구현하는 것을 특징으로 하는 칩 사이즈 패키지 적층체.

**청구항 5.**

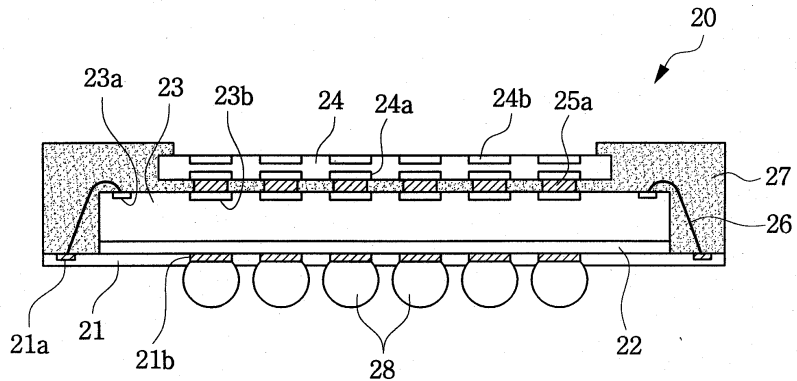
제4 항에 있어서, 위쪽 패키지의 볼 단자는 아래쪽 패키지의 제2 회로 기판의 접속 패드에 접합되는 것을 특징으로 하는 칩 사이즈 패키지 적층체.

도면

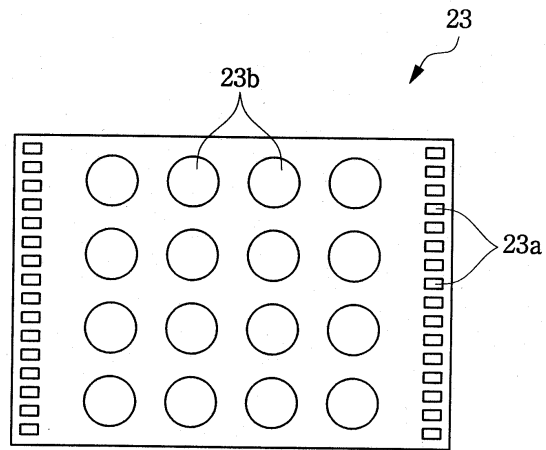
도면1



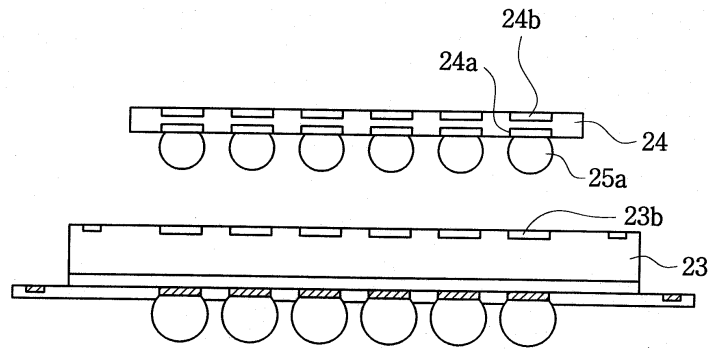
도면2



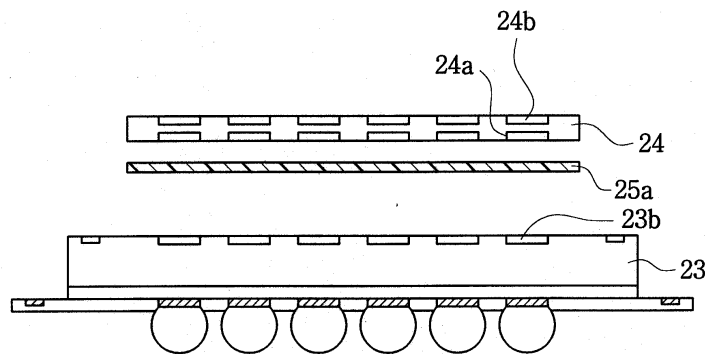
도면3



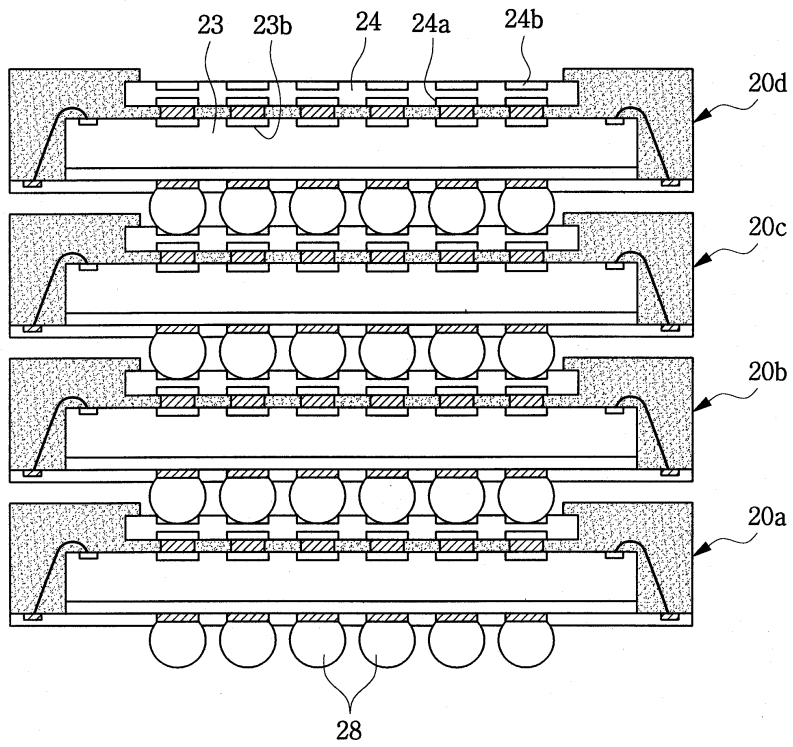
도면4a



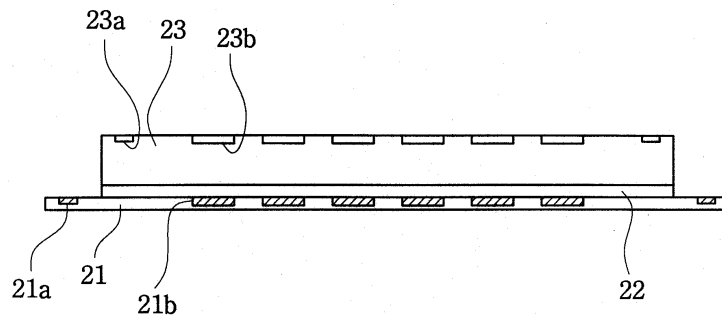
도면4b



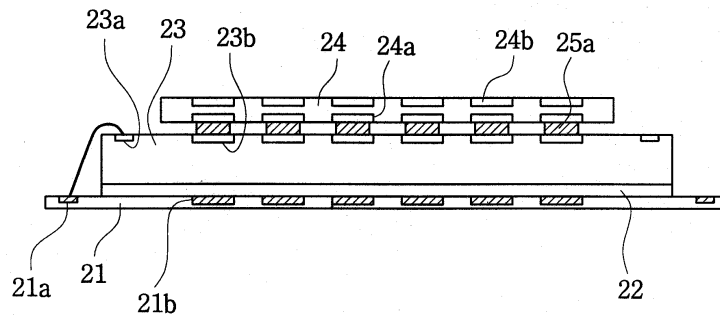
도면5



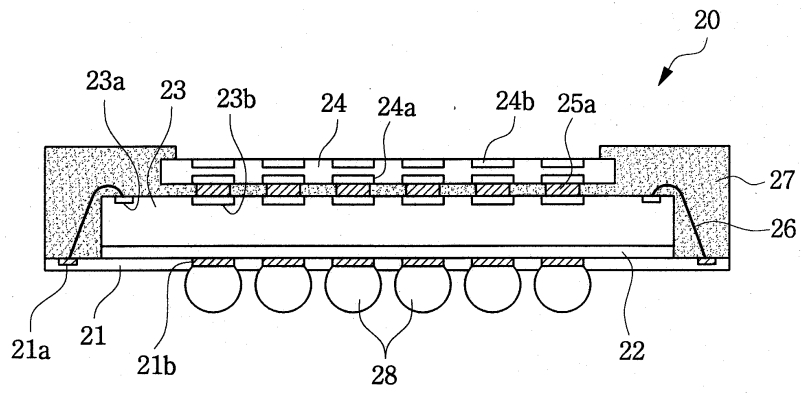
도면6a



도면6b



도면6c



도면6d

