

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4914573号
(P4914573)

(45) 発行日 平成24年4月11日(2012.4.11)

(24) 登録日 平成24年1月27日(2012.1.27)

(51) Int.Cl.	F I	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	3 O 1 G
HO 1 L 21/28 (2006.01)	HO 1 L 21/28	A
HO 1 L 29/423 (2006.01)	HO 1 L 29/58	G
HO 1 L 29/49 (2006.01)		

請求項の数 32 外国語出願 (全 25 頁)

(21) 出願番号	特願2005-51340 (P2005-51340)	(73) 特許権者	000227294
(22) 出願日	平成17年2月25日 (2005.2.25)		キヤノンアネルバ株式会社
(65) 公開番号	特開2006-237371 (P2006-237371A)		神奈川県川崎市麻生区栗木2-5-1
(43) 公開日	平成18年9月7日 (2006.9.7)	(74) 代理人	100094112
審査請求日	平成19年12月19日 (2007.12.19)		弁理士 岡部 譲
審判番号	不服2009-23158 (P2009-23158/J1)	(74) 代理人	100064447
審判請求日	平成21年11月26日 (2009.11.26)		弁理士 岡部 正夫
早期審査対象出願		(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100104352
			弁理士 朝日 伸光
		(74) 代理人	100128657
			弁理士 三山 勝巳
		(74) 代理人	100106183
			弁理士 吉澤 弘司

最終頁に続く

(54) 【発明の名称】 高誘電体ゲート絶縁膜及び金属ゲート電極を有する電界効果トランジスタの製造方法

(57) 【特許請求の範囲】

【請求項1】

基板を搬送するための搬送手段を有するウエハ搬送モジュールと、前記ウエハ搬送モジュールに接続された熱アニーリングモジュール、冷却モジュール、第1のPVDモジュール及び第2のPVDモジュールとを有する基板処理システムを用いた高誘電体ゲート絶縁膜及び金属ゲート電極を有する電界効果トランジスタの製造方法において、前記基板を搬送手段を用いて前記熱アニーリングモジュールに搬入する第1のステップと、
前記熱アニーリングモジュール内で加熱された前記基板上にSiO₂膜を形成する第2のステップと、
前記SiO₂膜の形成された基板を搬送手段を用いて前記冷却モジュールに搬入する第3のステップと、
前記SiO₂膜の形成された基板を前記冷却モジュールで冷却する第4のステップと、
前記第4のステップでの冷却後の前記基板を搬送手段を用いて第1のPVDモジュールに搬入する第5のステップと、
前記SiO₂膜上に金属膜を前記第1のPVDモジュール内で形成する第6のステップと、
前記金属膜の形成された基板を熱アニーリングモジュール内に搬入する第7のステップと、
前記金属膜の形成された基板を熱アニーリングモジュール内で加熱して前記金属膜を誘電

体に変換し高誘電体ゲート絶縁膜を形成する第 8 のステップと、
 前記高誘電体ゲート絶縁膜の形成された基板を搬送手段を用いて冷却モジュールに搬入する第 9 のステップと、
 前記高誘電体ゲート絶縁膜の形成された基板を冷却モジュールで冷却する第 10 のステップと、
 前記該第 10 のステップの冷却後の基板を搬送手段を用いて第 2 の P V D モジュールに搬入する第 11 のステップと、
 前記基板の高誘電体ゲート絶縁膜上に第 2 の P V D モジュールで金属ゲート電極膜を形成する第 12 ステップと、
 とを含み、
 前記搬送手段を用いて、前記形成された S i O₂ 膜、形成された金属膜及び形成された高誘電体膜を大気に曝すことなく前記第 1 のステップから第 12 ステップの順序で行うことを特徴とする方法。

10

【請求項 2】

請求項 1 に記載の電界効果トランジスタの製造方法において、前記第 6 のステップにおける金属膜は耐熱性金属である方法。

【請求項 3】

請求項 2 に記載の電界効果トランジスタの製造方法において、前記耐熱性金属は Hf、Ta 又は Zr である方法。

【請求項 4】

請求項 1 に記載の電界効果トランジスタの製造方法において、前記第 6 のステップにおける金属膜は金属合金である方法。

20

【請求項 5】

請求項 4 に記載の電界効果トランジスタの製造方法において、前記金属合金は HfTa 又は HfTi である方法。

【請求項 6】

請求項 1 に記載の電界効果トランジスタの製造方法において、前記第 6 のステップにおける金属膜は金属 - 半導体合金である方法。

【請求項 7】

請求項 6 に記載の電界効果トランジスタの製造方法において、前記金属 - 半導体合金は HfSi である方法。

30

【請求項 8】

請求項 1 に記載の電界効果トランジスタの製造方法において、前記第 6 のステップにおける金属膜は金属合金窒化物である方法。

【請求項 9】

請求項 8 に記載の電界効果トランジスタの製造方法において、前記金属合金窒化物は TaSiN である方法。

【請求項 10】

請求項 1 に記載の電界効果トランジスタの製造方法において、前記第 6 のステップは少なくとも 2 つの金属材料の積層体を形成している方法。

40

【請求項 11】

請求項 1 に記載の電界効果トランジスタの製造方法において、前記第 8 のステップのアニーリングは酸素ガス雰囲気で行われ、少なくとも 5 厚の S i O₂ 層を残存させている方法。

【請求項 12】

請求項 1 乃至 11 のいずれか 1 項に記載の電界効果トランジスタの製造方法において、前記第 6 のステップの金属膜の形成は金属ターゲットを用いた P V D で行なわれる方法。

【請求項 13】

請求項 1 に記載の電界効果トランジスタの製造方法において、前記第 8 のステップは酸素ガス雰囲気において行なわれる第 1 のアニーリングと、不活性ガス雰囲気で行なわれる第

50

2 のアニーリングとからなる方法。

【請求項 14】

請求項 1 に記載の電界効果トランジスタの製造方法において、前記第 1 と第 2 の PVD モジュール内には、基板が載置された基板ホルダーとターゲットを備えるカソードとが設けられており、前記ターゲット表面は、基板ホルダーに載置された基板表面に対して角度 10° から 90° の範囲にある方法。

【請求項 15】

請求項 1 に記載の電界効果トランジスタの製造方法において、前記第 2 のステップの SiO₂ 膜を、前記第 6 のステップの金属膜の膜厚以下で形成するステップを含む方法。

【請求項 16】

請求項 1 に記載の電界効果トランジスタの製造方法において、前記第 12 のステップにおける金属ゲート電極膜は金属である方法。

【請求項 17】

請求項 16 に記載の電界効果トランジスタの製造方法において、前記金属ゲート電極膜は Ta、Ru 又は Hf である方法。

【請求項 18】

請求項 1 に記載の電界効果トランジスタの製造方法において、前記第 12 のステップにおける金属ゲート電極膜は金属窒化物である方法。

【請求項 19】

請求項 18 に記載の電界効果トランジスタの製造方法において、前記金属窒化物は TiN、HfN、又は TaN である方法。

【請求項 20】

請求項 1 に記載の電界効果トランジスタの製造方法において、前記第 12 のステップにおける金属ゲート電極膜は金属合金である方法。

【請求項 21】

請求項 20 に記載の電界効果トランジスタの製造方法において、前記金属合金は RuTa、又は HfTa である方法。

【請求項 22】

請求項 1 に記載の電界効果トランジスタの製造方法において、前記第 12 のステップにおける金属ゲート電極膜は金属半導体合金である方法。

【請求項 23】

請求項 22 に記載の電界効果トランジスタの製造方法において、前記金属半導体合金は HfSi、又は TaSi である方法。

【請求項 24】

請求項 1 に記載の電界効果トランジスタの製造方法において、前記第 12 のステップにおける金属ゲート電極膜は金属半導体合金窒化物である方法。

【請求項 25】

請求項 24 に記載の電界効果トランジスタの製造方法において、前記金属半導体合金窒化物は TaSiN である方法。

【請求項 26】

請求項 1 に記載の電界効果トランジスタの製造方法において、前記第 12 のステップは金属積層体膜を形成している方法。

【請求項 27】

請求項 26 に記載の電界効果トランジスタの製造方法において、前記積層体は Hf/TaN/TiN 又は Ru/Ta/TaN である方法。

【請求項 28】

請求項 26 に記載の電界効果トランジスタの製造方法において、前記金属積層体膜の形成は前記第 2 の PVD モジュールにおいて行なわれる方法。

【請求項 29】

基板を搬送するための搬送手段を有するウエハ搬送モジュールと、前記ウエハ搬送モジュ

10

20

30

40

50

ールに接続された熱アニーリングモジュール、冷却モジュール、第1のPVDモジュール及び第2のPVDモジュールとを有する基板処理システムを用いた、高誘電体ゲート絶縁膜及び金属ゲート電極を有する電界効果トランジスタの製造方法において、前記基板を搬送手段を用いて前記熱アニーリングモジュールに搬入する第1のステップと、
 、
 前記熱アニーリングモジュール内で前記基板上にSiO₂膜を形成する第2のステップと、
 、
 前記SiO₂膜の形成された基板を搬送手段を用いて前記冷却モジュールに搬入する第3のステップと、
 前記SiO₂膜の形成された基板を前記冷却モジュールで冷却する第4のステップと、
 前記第4のステップでの冷却後の前記基板を搬送手段を用いて第1のPVDモジュールに搬入する第5のステップと、
 前記SiO₂膜上に金属膜を前記第1のPVDモジュール内で形成する第6のステップと、
 、
 前記金属膜の形成された基板を熱アニーリングモジュール内に搬入する第7のステップと、
 、
 前記金属膜の形成された基板を熱アニーリングモジュール内で加熱し高誘電体ゲート絶縁膜を形成する第8のステップと、
 前記高誘電体ゲート絶縁膜の形成された基板を搬送手段を用いて冷却モジュールに搬入する第9のステップと、
 前記高誘電体ゲート絶縁膜の形成された基板を冷却モジュールで冷却する第10のステップと、
 前記該第10のステップの冷却後の基板を搬送手段を用いて第2のPVDモジュールに搬入する第11のステップと、
 前記基板の高誘電体ゲート絶縁膜上に第2のPVDモジュールで金属ゲート電極膜を形成する第12ステップと、
 とを含み、
 前記第8のステップは、
 第1の温度で酸素ガス雰囲気において該金属膜をアニーリングし、更に前記第1の温度より高い第2の温度で不活性ガス雰囲気においてアニーリングをして高誘電体ゲート絶縁膜を形成するステップとからなり、
 前記搬送手段を用いて、前記形成されたSiO₂膜、形成された金属膜及び形成された高誘電体ゲート絶縁膜を大気に曝すことなく前記第1のステップから第12のステップの順序で行うことを特徴とする方法。

【請求項30】

請求項29に記載の電界効果トランジスタの製造方法において、前記金属膜はHf元素を含む方法。

【請求項31】

請求項29に記載の電界効果トランジスタの製造方法において、前記第6のステップの金属膜は少なくとも2層の積層体を形成している方法。

【請求項32】

請求項29に記載の電界効果トランジスタの製造方法において、前記金属膜はHf、Ta、Zr、HfN、TaN、TiN、HfTa、HfTi、HfSi又はTaSiNである方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、金属酸化膜半導体電界効果トランジスタ(MOSFET)の製造において高誘電膜上に金属ゲートを蒸着するための方法に関する。特に、本発明は、MOSFETの製造において高誘電膜と金属ゲートとの界面を向上させるための方法に関する。また、本発明は、前記方法での使用に適した基板処理システムに関する。

【背景技術】

【0002】

半導体基板上に形成される殆どの複合集積回路（IC）の基本的デバイスは、金属酸化膜半導体（MOS）トランジスタである。これらのトランジスタは、一般に、金属酸化膜半導体電界効果トランジスタ（以下、MOSFETと称する）と呼ばれている。

【0003】

図15は、参照符号100で示されるMOSFETの簡単な図の一例を示している。図15において、MOSFET100は、半導体101と、ゲート誘電体（ゲート酸化膜）104と、ゲート電極105と、ソース領域102と、ドレイン領域103とから成る。動作中、ゲート誘電体104の下側のチャンネル領域107に電界が加えられることにより、トランジスタがONおよびOFFに切り換えられる。

10

【0004】

集積回路（IC）の性能を向上させるため、ICのデザインルールまたは最小特徴サイズが徐々に減少されている。デザインルールの縮小に伴って、新たな材料および蒸着技術が重要となる。例えば、ゲート長（ G_L ）（参照符号106で示されている）の減少に伴ってゲート酸化膜の厚さ（ t_{ox} ）が減少する。この場合、 $t_{ox} = 0.018 G_L$ という関係を持つ。これは、半導体101とゲート電極105との間を高いキャパシタンスに維持するために重要である。

【0005】

ゲート酸化膜104の薄肉化においては、従来の誘電材料（ SiO_2 、 $SiON$ ）をもちや適用できない。これは、これらの材料から成る非常に薄い膜が異なる電気的特性（例えば漏れ電流が大きい）を示すからである。

20

【0006】

そのため、ゲート誘電体（ゲート酸化膜）を、その誘電率が SiO_2 の誘電率よりも高い新たな誘電材料に取って代えなければならない。これにより、キャパシタンスを補償することなく更に厚い膜を使用することが容易になる。

【0007】

これらの高誘電率材料はhigh-K誘電体と呼ばれている。例えば、 HfO_2 、 $HfSiO$ 、 $HfAlO$ はhigh-K誘電体と見なされている。

【0008】

high-K誘電体を使用すると、ポリシリコン等の従来のゲート電極材料を異なる材料に取って代えなければならない。これは2つの理由による。すなわち、第1の理由は、ポリシリコンが殆どのhigh-K誘電体に適合しないからである。第2の理由は、ポリシリコンを使用すると、ポリシリコンとhigh-Kとの界面に空乏領域が形成され、それにより、等価酸化膜厚（EOT）が大きくなり、キャパシタンスが低下する。

30

【0009】

純金属、金属合金、金属窒化物、または、金属合金窒化物は、通常、high-K誘電体と共に使用されるゲート電極において考慮される。

【0010】

現在、high-Kおよび金属ゲートは、例えば以下のチャートに示される手順にしたがって製造される。

40

【0011】

1. 希釈されたHF溶液を用いてSi基板を洗浄する
2. 窒素中でウエハを乾燥させる
3. 熱 SiO_2 を蒸着する（ $\sim 1\text{nm}$ ）
4. HF（または HfO_2 ）を蒸着する
5. 熱アニーリングを行なう
6. 金属ゲートを蒸着する
7. 熱アニーリングを行なう。

【0012】

50

前記手順に記載されたステップ3を削除しても良く、その代わりに、表面処理されたSi上にHfまたはHfO₂が直接に蒸着される。また、前述した手順は、high-K誘電体としてHfO₂を使用して説明される。しかしながら、任意の他のhigh-K材料、例えばHfSiO、HfSiON、HfAlOを誘電体として選択することができる。

【0013】

図14は、中央ウエハ処理台3に取り付けられたCVDモジュール40およびウエハ搬入/搬出装置フロントエンドモジュール13を示す概略図である。CVDモジュール40は、有機金属化学気相成長法(MOCVD)モジュールまたは原子層蒸着(ALD)モジュールであっても良い。

【0014】

MOCVDプロセスにおいては有機金属ガスが使用される。有機金属ガスには2つの塩基性基が存在する。すなわち、例えばHf系誘電体を蒸着する際、i) HfCl₄等のハロゲン化物系ガスを使用することができ、または、ii) C₁₆H₄₀N₄Hf(テトラキス・ジエチルアミノ・ハフニウム)等のカーボン系ガスを使用することができる。

【0015】

ALD蒸着においては、2つのガスがCVDモジュール40内に交互に導入される。一般的に前駆ガスと呼ばれている第1のガスがCVDモジュール40内に導入されると、前駆分子が基板表面に付着する。第2のガスがCVDモジュール40内に導入されると、この第2のガスが表面に付着した前駆分子と反応し、誘電膜を形成する。この処理は、所望の厚さを有する膜が形成されるまで続く。

【0016】

任意のCVD(ALDまたはMOCVD)プロセスにおいては、不純汚染物が最も大きな問題である。

【0017】

例えば、第1に、MOCVDにおいては、ハロゲン化物またはカーボンがウエハを汚染する。ALDプロセスにおいても、前駆ガスからのカーボンが膜を汚染する。誘電膜中の不純物濃度が高いと、漏れ電流およびスレシヨルド電圧シフトが大きくなり、MOSFETデバイスにおけるチャンネル領域107(図15)内での電子の移動性が高まる。

【0018】

第2に、任意のCVD(MOCVDまたはALD)プロセスにおいては、ウエハを400等の高温まで加熱しなければならない。基板表面上における温度の均一性は、膜の均一性に対して直接に影響を与える。温度が不均一になると、誘電膜が不均一になり、それにより、MOSFETデバイスに欠陥が生じ、すなわち、ウエハ毎の歩留りが低下する(良好なMOSFETの数が少なくなる)。

【0019】

第3に、特にALD方法においてスループットが低下して、経済的な実現可能性が限られてくる。ALDプロセスにおいては、2つのガスの切り換えに伴って膜が成長し、そのため、蒸着速度が遅い。High-K誘電材料の必要な膜厚は、通常、10~40オングストロームである。これらの蒸着速度および膜厚が考慮されると、スループットは1時間当たりのウエハが10個未満となる。

【0020】

第4に、前駆物質が高価であり、前駆物質の利用効率が低いため、CVD法のランニングコストが高い。これによってもCVD法の経済的実現可能性が限られてしまう。

【特許文献1】特開平6-29248号公報

【特許文献2】特開平4-225223号公報

【特許文献3】特開平9-148246号公報

【特許文献4】特開2000-232077号公報

【非特許文献1】ポリシリコン/金属酸化膜界面でのフェルミ準位ピンニング(C. Hobbs, L. Fonseca, V. Dhanadapani, S. Samavedam, B. Taylor, J. Grant, L. Dip, D.

10

20

30

40

50

Triyoso, R. Hedge, D. Gilmer, R. Garcia, D. Raon, L. Lovejoy, R. Rai, L. Herbert, h. Tseng, B. White, P. Tobin VLSI技術のシンポジウム、2003年、9~10頁)

【非特許文献2】電気用途におけるランタンアルミニウム酸化物ナノ積層体の原子層蒸着、Booyong S. Lim, Antti Rahtu, Philippe de Rouffignac, Roy G. Gordon 応用物理学の学術誌レター、第84巻、3957~59頁

【非特許文献3】45nmノードにおけるカップチャレンジ、ピーターシンガー半導体インターナショナル

10

【発明の開示】

【発明が解決しようとする課題】

【0021】

high-K誘電膜および金属ゲートの製造においては、Siとhigh-K誘電膜との間の下側界面およびhigh-K誘電膜と金属ゲートとの間の上側界面の品質が重要である。

【0022】

特に上側界面の品質は、ピンニング効果に起因して、電子の移動性およびスレショルド電圧(V_{th})シフトに影響を与える。

【0023】

電子の移動性を高め且つ V_{th} シフトを最小限に抑えるためには、界面トラップ密度を低くしなければならない。

20

【0024】

界面トラップ密度は、high-K誘電体および金属ゲートの材料の品質および製造プロセスによって決まる。

【0025】

従来、一般に別個のアニーリングシステム中で行なわれるhigh-K誘電体の熱アニーリング後、ウエハは、金属ゲート蒸着システム内に配置されるまで通常の大気に晒される。

【0026】

通常、high-K誘電体は、良好な熱安定性を示すが、通常の大気に晒された後、誘電材料に応じて異なる化学的特性を示す。

30

【0027】

例えば、 HfO_2 がhigh-Kとして選択される場合、Siとhigh-Kとの界面で SiO_2 層を成長させることができる。これは、酸素が HfO_2 膜にわたって拡散するからである。この界面 SiO_2 の厚さは、通常の大気に晒される時間に応じて変化するため、信頼性の問題が生じる。

【0028】

LaO またはその合金がhigh-Kとして使用される場合、大気に晒された際に水分が膜中に吸収される。したがって、これにより、膜中および界面のトラップ密度が変化する。大気に晒された後におけるこれらの全ての変化により膜質が低下し、それにより、最終製品となる半導体デバイスの性能が低下する。

40

【0029】

したがって、本発明の目的は、金属酸化膜半導体電界効果トランジスタ(MOSFET)の製造においてhigh-K誘電膜上に金属ゲートを蒸着するための方法を提供することにより、high-K誘電膜および金属ゲート材料の品質を向上させ、それにより、電子の移動性を向上させて V_{th} シフトを最小限に抑えることである。

【0030】

また、本発明の他の目的は、MOSFETの製造においてhigh-K誘電膜と金属ゲートとの界面を向上させる方法を提供することにより、界面トラップ密度を低くでき、そ

50

れにより、電子の移動性を向上させて V_{th} シフトを最小限に抑えることである。

【0031】

本発明の更なる目的は、前記方法での使用に適した基板処理システムを提供することである。

【課題を解決するための手段】

【0032】

前記目的を達成するため、本発明の第1の態様は、MOSFETの製造において高誘電膜上に金属ゲートを蒸着するための方法であって、熱アニーリングモジュール内で、上に高誘電膜が蒸着されている基板をアニールするアニーリングステップと、金属ゲート蒸着モジュール内で、前記アニールされた基板上に金属ゲート材料を蒸着させる蒸着ステップとを含み、真空を破ることなく、前記アニーリングステップおよび前記蒸着ステップが連続的に行なわれることを特徴とする方法を提供する。

10

【0033】

本発明のこの方法は本発明の基板処理システムによって行なわれる。この基板処理システムは、基板を搬送するための搬送手段を有するウエハ処理台と、前記ウエハ処理台に接続された処理モジュールとを備え、前記処理モジュールは、少なくとも熱アニーリングモジュールと、金属ゲート蒸着モジュールとを有し、前記搬送手段は、真空を破ることなく前記ウエハ処理台と前記処理モジュールとの間で基板を搬送する。

【0034】

本発明の第2の態様は、MOSFETの製造において高誘電膜上に金属ゲートを蒸着するための方法であって、熱アニーリングモジュール内で、上に高誘電膜が蒸着されている基板をアニールするアニーリングステップと、冷却モジュール内で、前記アニールされた基板を冷却する冷却ステップと、金属ゲート蒸着モジュール内で、前記冷却された基板上に金属ゲート材料を蒸着させる蒸着ステップとを含み、真空を破ることなく、前記アニーリングステップ、前記冷却ステップおよび前記蒸着ステップが連続的に行なわれることを特徴とする方法を提供する。

20

【0035】

本発明のこの方法は本発明の基板処理システムによって行なわれる。この基板処理システムは、基板を搬送するための搬送手段を有するウエハ処理台と、前記ウエハ処理台に接続された処理モジュールとを備え、前記処理モジュールは、少なくとも熱アニーリングモジュールと、冷却モジュールと、金属ゲート蒸着モジュールとを有し、前記搬送手段は、真空を破ることなく前記ウエハ処理台と前記処理モジュールとの間で基板を搬送する。

30

【0036】

本発明の第3の態様は、MOSFETの製造において高誘電膜上に金属ゲートを蒸着するための方法であって、高誘電体蒸着モジュール内で、基板上に高誘電膜を蒸着する第1の蒸着ステップと、熱アニーリングモジュール内で、上に高誘電膜が蒸着されている前記基板をアニールするアニーリングステップと、冷却モジュール内で、前記アニールされた基板を冷却する冷却ステップと、金属ゲート蒸着モジュール内で、前記冷却された基板上に金属ゲート材料を蒸着させる第2の蒸着ステップとを含み、真空を破ることなく、前記第1の蒸着ステップ、前記アニーリングステップ、前記冷却ステップおよび前記第2の蒸着ステップが連続的に行なわれることを特徴とする方法を提供する。

40

【0037】

本発明のこの方法は本発明の基板処理システムによって行なわれる。この基板処理システムは、基板を搬送するための搬送手段を有するウエハ処理台と、前記ウエハ処理台に接続された処理モジュールとを備え、前記処理モジュールは、少なくとも熱アニーリングモジュールと、冷却モジュールと、高誘電体蒸着モジュールと、金属ゲート蒸着モジュールとを有し、前記搬送手段は、真空を破ることなく前記ウエハ処理台と前記処理モジュールとの間で基板を搬送する。

【0038】

本発明の第4の態様は、MOSFETの製造において高誘電膜上に金属ゲートを蒸着す

50

るための方法であって、熱アニーリングモジュール内で、基板上に薄い熱SiO₂膜を蒸着させる第1の蒸着ステップと、冷却モジュール内で、前記基板を冷却する第1の冷却ステップと、高誘電体蒸着モジュール内で、前記基板上に高誘電膜を蒸着する第2の蒸着ステップと、熱アニーリングモジュール内で、前記基板をアニールするアニーリングステップと、冷却モジュール内で、前記アニールされた基板を冷却する第2の冷却ステップと、金属ゲート蒸着モジュール内で、前記冷却された基板上に金属ゲート材料を蒸着させる第3の蒸着ステップとを含み、真空を破ることなく、前記第1の蒸着ステップ、前記第1の冷却ステップ、前記第2の蒸着ステップ、前記アニーリングステップ、前記第2の冷却ステップおよび前記第3の蒸着ステップが連続的に行なわれることを特徴とする方法を提供する。

10

【0039】

本発明のこの方法は本発明の基板処理システムによって行なわれる。この基板処理システムは、基板を搬送するための搬送手段を有するウエハ処理台と、前記ウエハ処理台に接続された処理モジュールとを備え、前記処理モジュールは、少なくとも熱アニーリングモジュールと、冷却モジュールと、高誘電体蒸着モジュールと、金属ゲート蒸着モジュールとを有し、前記搬送手段は、真空を破ることなく前記ウエハ処理台と前記処理モジュールとの間で基板を搬送する。

【0040】

本発明の第5の態様は、本発明の前述した第1ないし第4の態様のいずれかに係るMOSFETの製造において高誘電膜上に金属ゲートを蒸着するための方法であって、金属ゲート材料を蒸着する前記蒸着ステップにより形成される金属ゲートが複合膜積層体を備え、前記金属ゲートが形成された後、真空を破ることなく前記熱アニーリングモジュール内で基板が更に連続的にアニールされる方法を提供する。

20

【0041】

この蒸着方法においては、様々な膜を含む前述した複合膜積層体、例えば、異なる膜を含む複合膜積層体が積層される。また、複合膜積層体から成る前記金属ゲート材料が形成された後に連続的に行なわれるアニーリングステップにより、金属積層材料が互いに混合される。

【0042】

本発明の第6の態様は、本発明の前述した第1ないし第5の態様のいずれかの方法にしたがって高誘電膜上に金属ゲートを蒸着させることによりMOSFETの製造において高誘電膜と金属ゲートとの間の界面を向上させる方法を提供する。

30

【0043】

本発明の第7の態様は、基板を搬送するための搬送手段を有するウエハ処理台と、前記ウエハ処理台に接続された処理モジュールとを備える基板処理システムであって、前記処理モジュールは、少なくとも熱アニーリングモジュールと、金属ゲート蒸着モジュールとを有し、前記搬送手段は、真空を破ることなく前記ウエハ処理台と前記処理モジュールとの間で基板を搬送する基板処理システムを提供する。

【0044】

本発明の第8の態様は、本発明の第7の態様に係る基板処理システムであって、前記処理モジュールが冷却モジュール及び/又は高誘電体蒸着モジュールを更に有している基板処理システムを提供する。

40

【発明の効果】**【0045】**

本発明においては、MOSFETの製造においてhigh-K誘電膜上に金属ゲートを蒸着するための改良された方法を提供することにより、high-K誘電膜および金属ゲート材料の品質が向上され、それにより、電子の移動性が向上されてV_tシフトが最小限に抑えられる。

【0046】

また、MOSFETの製造においてhigh-K誘電膜と金属ゲートとの界面を向上さ

50

せる改良された方法を提供することにより、界面トラップ密度を低くすることができ、それにより、電子の移動性が向上されて V_{th} シフトが最小限に抑えられる。

【0047】

更に、本発明においては、前述された本発明の方法が使用されるのに適している基板処理システムが提供される。

【0048】

本発明においては、熱アニーリングシステムおよび金属ゲート蒸着システムを1つのウエハ処理台と一体化させることにより、high-K誘電膜と金属ゲートとの界面特性が向上し、それにより、電気的特性およびデバイス性能が向上する。

【発明を実施するための最良の形態】

【0049】

以下の実施例では、添付図面を用いて本発明の好ましい実施形態を詳細に説明する。

【実施例1】

【0050】

図1において、熱アニーリングモジュール1および金属ゲート蒸着モジュール2は中央ウエハ処理台3に接続されている。すなわち、熱アニーリングモジュール1および金属ゲート蒸着モジュール2は中央ウエハ処理台3と一体を成している。

【0051】

熱アニーリングモジュール1の断面図が図6に示されている。熱アニーリングモジュール1は急速熱アニーリングモジュールであることが好ましい。図6に示されるRTPモジュール等の熱アニーリングモジュール1は、図6に示されるように、基板ホルダ19と、基板ホルダ19上に配置された基板4を加熱するウエハ加熱機構20と、ガス吸気口21と、ガス排気口22と、基板搬入/搬出ポート33とから成る。

【0052】

一般に、加熱機構20は、赤外線(IR)ランプを用いた赤外線(IR)加熱プロセスである。通常、RTPモジュール等の熱アニーリングモジュール1は、基板4を数秒内で約1000の温度まで加熱することができる。基板加熱中、基板ホルダ19が回転されても良く或いは回転されなくても良い。RTPモジュール等の熱アニーリングモジュール1は、不活性ガスまたは不活性ガスと反応ガスとの混合物を用いた低圧下で基板を加熱する。

【0053】

熱アニーリングモジュール1は、任意の適当な技術を使用して、例えばIRランプ、炉内アニーリング、または、RF加熱を使用して、基板4を高温まで加熱しても良い。アニーリング温度は100から1200まで変化しても良い。実際のアニーリング温度はhigh-K(高誘電率)材料に応じて変わり得る。また、アニーリング圧力は重大ではない。圧力は 10^{-7} Paから大気圧まで変化しても良い。

【0054】

金属ゲート蒸着モジュール2内で行なわれる金属ゲート蒸着技術も重要ではない。この技術は、PVD、熱CVD、プラズマCVDまたは原子層蒸着であっても良い。蒸着圧力、前駆ガス、混合ガスは、金属ゲートのタイプによって決まる。

【0055】

熱アニーリングモジュール1および金属ゲート蒸着モジュール2以外に、中央台3にはウエハ搬入/搬出装置フロントエンドモジュール13が取り付けられている。したがって、熱アニーリングモジュール1、金属ゲート蒸着モジュール2、ウエハ搬入/搬出装置フロントエンドモジュール13は中央ウエハ処理台3と一体を成している。ウエハ搬入/搬出装置フロントエンドモジュール13は、ウエハアライナ5と、ウエハ搬入ポート6と、ウエハ搬出ポート7とを備えている。

【0056】

その上にhigh-K誘電膜が蒸着された基板4が図1の熱アニーリングモジュール1内に配置される。基板4は、熱アニーリングモジュール1内において所望の温度で熱アニ

10

20

30

40

50

ーリングプロセスに晒される。熱アニーリングは、1段階プロセスであっても良く、あるいは、異なるガス雰囲気を用いた2段階プロセスであっても良い。その後、基板4は、ロボットアーム9等の搬送手段により、中央ウエハ処理台3を介して金属ゲート蒸着モジュール2内へと搬送される。金属ゲート蒸着モジュール2内においては、金属ゲート材料が蒸着される。金属ゲート材料は、 TaN 、 $HfSi$ 、 $RuTa$ 、 Ir 、 W 等の任意の適当な材料であっても良い。

【0057】

前述したように、その上にhigh-K誘電膜が蒸着された基板を熱アニーリングモジュール内でアニールするアニーリングステップおよび金属ゲート蒸着モジュール内で前記アニールされた基板上に金属ゲート材料を蒸着する蒸着ステップは、真空を破ることなく連続的に行なわれる。

10

【0058】

図2は、図1に示される構成に加えて冷却モジュール8が中央ウエハ処理台3に接続されている状態を示している。すなわち、図2において、熱アニーリングモジュール1、金属ゲート蒸着モジュール2、冷却モジュール8、ウエハ搬入/搬出装置フロントエンドモジュール13は中央ウエハ処理台3と一体を成している。

【0059】

図2に示される一体型システムを使用すると、前述したhigh-K誘電体の熱アニーリング後、基板4を金属ゲートモジュール2内に配置する前に、基板4を冷却することができる。

20

【0060】

すなわち、図2に示される一体型システムを使用すると、最初に、その上にhigh-K誘電膜が蒸着された基板を熱アニーリングモジュール内でアニールするアニーリングステップが行なわれた後、前記アニールされた基板が冷却モジュール内で冷却され、その後、金属ゲート蒸着モジュール内で前記冷却された基板上に金属ゲート材料が蒸着される。この場合、前記アニーリングステップ、冷却ステップ、蒸着ステップは、真空を破ることなく連続的に行なうことができる。

【0061】

前述したように、熱アニーリングモジュールおよび金属ゲート蒸着モジュールは1つの中央ウエハ処理台と一体を成しており、それにより、high-Kアニーリングプロセス直後に、真空を破ることなくウエハを金属ゲート蒸着モジュール内に搬送して金属ゲートを蒸着することができる。

30

【0062】

また、熱アニーリングモジュール、冷却モジュール、金属ゲート蒸着モジュールは1つの中央ウエハ処理台と一体を成しており、それにより、high-Kアニーリングプロセスおよび冷却プロセス直後に、真空を破ることなくウエハを金属ゲート蒸着モジュール内に搬送して金属ゲートを蒸着することができる。

【0063】

熱アニーリングシステムおよび金属ゲート蒸着システムを1つの中央ウエハ処理台に一体化させ、あるいは、熱アニーリングシステム、冷却システムおよび金属ゲート蒸着システムを1つの中央ウエハ処理台に一体化させると、high-K誘電膜と金属ゲートとの界面特性を向上させることができ、それにより、電気的特性およびデバイス性能を向上させることができる。

40

【実施例2】

【0064】

図3は、実施例1で説明した中央ウエハ処理台3に対してhigh-K誘電体蒸着モジュール10が更に取り付けられた実施例1の拡張例を示している。

【0065】

図3に示される実施例においては、図2に示される構成に加えて、high-K誘電体蒸着モジュール10が中央ウエハ処理台3に対して接続されている。すなわち、図3にお

50

いて、熱アニーリングモジュール1、金属ゲート蒸着モジュール2、冷却モジュール8、high-K誘電体蒸着モジュール10、ウエハ搬入/搬出装置フロントエンドモジュール13は中央ウエハ処理台3と一体を成している。

【0066】

冷却モジュール8は図3に示される構成から除去されても良い。High-K誘電体蒸着技術は、任意の所望の技術、例えばPVD, CVD, MOCVDまたはALDであっても良い。蒸着圧力、前駆ガス、温度等のパラメータは、溶着技術およびhigh-K材料のタイプによって決まる。

【0067】

まず最初に、high-K誘電体蒸着モジュール10内にウエハを配置することにより、例えば HfO_2 等のhigh-K材料が基板4上に蒸着される。また、熱アニーリングモジュール1内で酸化される例えばHf, HfSi, HfAl等の金属または金属合金をhigh-K誘電体蒸着モジュール10内で蒸着することもできる。その後、基板4が熱アニーリングモジュール1内に搬送され、アニーリングプロセスが行なわれる。アニーリングは、通常、酸素または不活性ガス雰囲気中における1つのステップである。しかしながら、2ステップアニーリングプロセスを行なうこともできる。この場合、第1のステップでは、酸素雰囲気中において比較的低い温度でアニーリングが行なわれ、第2のステップでは、不活性ガス雰囲気中において比較的高い温度でアニーリングが行なわれる。

【0068】

その後、冷却モジュール8を使用することにより、ウエハが冷却される。その後、ウエハが金属ゲート蒸着モジュール2内に搬送され、金属が蒸着される。

【0069】

図3に示される構成が使用される場合には、真空を破ることなく、high-K蒸着、熱アニーリング、金属ゲート蒸着を行なうことができる。これにより膜質が更に向上し、結果的に半導体デバイスの品質が向上する。

【0070】

図3に示される一体型システムを使用すると、以下のプロセスを行なうことができる。

【0071】

まず最初に、high-K蒸着モジュール内で基板上にhigh-K誘電膜を蒸着し、その上にhigh-K誘電膜が蒸着された前記基板を熱アニーリングモジュール内でアニールし、前記アニールされた基板を冷却モジュール内で冷却し、その後、金属ゲート蒸着モジュール内で前記冷却された基板上に金属ゲート材料を蒸着する。この場合、前記第1の蒸着ステップ、アニーリングステップ、冷却ステップ、第2の蒸着ステップは、真空を破ることなく連続的に行なわれる。

【0072】

また、以下のプロセスを行なうことができる。熱アニーリングモジュール内で基板上に薄い熱 SiO_2 膜を蒸着する第1の蒸着ステップの後、前記基板を冷却モジュール内で冷却し、high-K蒸着モジュール内で前記基板上にhigh-K誘電膜を蒸着し、熱アニーリングモジュール内で前記基板をアニールし、前記アニールされた基板を冷却モジュール内で冷却し、その後、金属ゲート蒸着モジュール内で前記冷却された基板上に金属ゲート材料を蒸着する。この場合、前記第1の蒸着ステップ、第1の冷却ステップ、第2の蒸着ステップ、アニーリングステップ、第2の冷却ステップ、第3の蒸着ステップは、真空を破ることなく連続的に行なうことができる。

【0073】

前述したように、熱アニーリングモジュール、冷却モジュール、high-K蒸着モジュールおよび金属ゲート蒸着モジュールは1つの中央ウエハ処理台と一体を成しており、それにより、high-Kアニーリングプロセスおよび冷却プロセスの直後に、真空を破ることなくウエハを金属ゲート蒸着モジュール内に搬送して金属ゲートを蒸着することができる。

【0074】

10

20

30

40

50

熱アニーリングシステム、冷却モジュール、high-K蒸着モジュールおよび金属ゲート蒸着モジュールを1つの中央ウエハ処理台と一体化させると、high-K誘電膜と金属ゲートとの界面特性を向上させることができ、それにより、電気的特性およびデバイス性能を向上させることができる。

【実施例3】

【0075】

図4は、2つの斜角PVDモジュール11, 12と、1つの熱アニーリングモジュール1と、冷却モジュール8と、中央ウエハ処理台3と、ウエハ搬入/搬出装置フロントエンドモジュール13とから成る一体型システムの概略図を示している。

【0076】

両方の斜角PVDモジュール11, 12のハードウェア構成は、各陰極に固定されたターゲット材料を除き同じである。本発明の基板処理システムにおいて採用できる斜角PVDモジュールの一例の断面図が図5に示されている。

【0077】

斜角PVDモジュール11, 12は、チャンバ壁27を有するチャンバと、真空引きポート28と、ウエハ搬入/搬出ポート29とから成る。図5に示されるように、チャンバ内には基板ホルダ17が設けられている。

【0078】

斜角PVDモジュール11, 12は、従来のPVDシステムの場合と同様に基板4およびターゲット(対陰極)14の表面が平行ではない軸外スパッタリング技術を使用し、図5に示されるように、これらの2つの表面は角度(参照符号15で示されている)を成している。しかしながら、この角度(15)は、重要ではなく、10°~90°の範囲にあれば良いが、一般的には約45°である。各斜角PVDシステムは、1または複数の傾斜したターゲットを有していても良い。例えば、図5には1つの陰極16が示されているが、図4に示される各PVDシステムは、5個の陰極(16a, 16b, 16c, 16d, 16e)を収容し、したがって5個のターゲット14を収容している。

【0079】

各陰極においては、図5に示されるように、陰極16の開口に絶縁体31によりバックアッププレート30が設けられている。ターゲット14はバックアッププレート30の前面によって支持され、バックアッププレート30の背面にはマグネット32が設けられている。マグネット32は膜蒸着中に回転される。

【0080】

金属、金属窒化物、金属酸化物または半導体から成るターゲット14は各陰極16a~16eに対して固定されている。プラズマを点火して維持するため、各陰極には図5に示されるようにDCが供給され或いはRF電力が供給される。プラズマ中のイオンがターゲット材料をスパッタし、これらのスパッタ原子が基板ホルダ17上に配置された基板4上に蒸着される。

【0081】

膜蒸着のために基板4が配置された基板ホルダ17は、膜蒸着中に、その中心軸18を中心に回転する。スパッタ原子が所定の角度を成してやってくるため、基板ホルダ17の回転は、ウエハ表面上にわたって均一な膜厚を得るために重要である。

【0082】

PVDモジュールは、5個の陰極(16a, 16b, 16c, 16d, 16e)を同時に収容することができる。これらの陰極16a~16eは、基板4の表面に対して所定の角度(15)を成して、斜角PVDモジュール11, 12のそれぞれの天井に固定されている。この角度(15)は、重大ではなく、10°~90°の範囲で変えることができるが、一般的には約45°である。各陰極16には、陰極16の一体部分として金属ターゲットまたは誘電体ターゲット14が存在する。ターゲット14の上側には、膜蒸着中に回転されるマグネット32が存在する。しかしながら、マグネット32は必要不可欠なものではない。マグネット32を使用すると、プラズマ密度が増大するとともに、ターゲ

10

20

30

40

50

ットの下側の領域にプラズマを閉じ込めてPVDモジュールのチャンバの壁27への拡散を抑えることができる。また、ターゲット14の直径も重要ではなく一般に約200mmである。ターゲット14は、バックアッププレート30に対して強固に固定された単なる平板である。バックアッププレート30は、通常、循環水または任意の他の適当な液体を使用して冷却される。図面を明確にするため、バックアッププレート30の冷却機構は図示されていない。

【0083】

図5において、参照符号35はシャッタを示している。

【0084】

各陰極16は、ハードウェアの残りの部分から電氣的に絶縁されており、DC電源ユニットまたはRF電源ユニットに接続されている。図5にはDC電源のみが示されている。ターゲット14に加えらるるDC電力またはRF電力は、重要ではないが、一般に500Wよりも低い。その理由は、基板4上に蒸着しなければならないhigh-K材料が非常に薄いからである。したがって、高い精度で膜厚を制御するためには、膜蒸着速度を下げなければならない。そのため、蒸着時間を測定することにより膜厚を正確に制御できる。

【0085】

斜角PVDモジュール11, 12は、低圧まで真空引きされるとともに、プラズマが点火される前後で低圧に維持される。斜角PVDモジュール11, 12のチャンバ内の圧力は重要ではないが、通常、1Paよりも低い圧力で蒸着が行なわれる。

【0086】

PVDモジュール11, 12内でのガス原子の平均自由行程を基板-ターゲット間距離に対して考慮して比較することにより、非常に均一な蒸着膜を得ることができる。

【0087】

Arプラズマ等の不活性ガスプラズマを用いて、あるいは、Ar+O₂またはAr+N₂等の混合ガスを使用して、スパッタ蒸着を行なうことができる。反応混合ガスが使用される場合、スパッタ原子は、ガス種と反応して金属窒化物または金属酸化物等の異なる生成物を形成し、その後、ウエハの表面上に蒸着される。膜蒸着は一般に1Paよりも低い圧力で行なわれるが、これは重要ではなく、膜蒸着のために異なる圧力を使用できる。

【0088】

1つのターゲット14を使用し、その適切なターゲットに対してDCまたはRF電力を供給することにより、膜蒸着を行なうことができる。あるいは、各陰極16a~16eに設けられた2つ以上のターゲット14に対してRFまたはDC電力が同時に供給される同時スパッタリングプロセスにより膜蒸着を行なうことができる。この場合、各ターゲットに加えらるるDCまたはRF電力を調整することにより、合金材料の原子組成が制御される。

【0089】

High-K誘電体のために一方の斜角PVDシステムが使用され、ゲート電極蒸着のために他方の斜角PVDシステムが使用されても良い。

【0090】

図4の構成で使用される熱アニーリングモジュール1は、図6に示され且つ実施例1で説明した熱アニーリングモジュールと同じである。

【0091】

斜角PVDモジュール11内で膜が蒸着された基板4をRTPモジュール等の熱アニーリングモジュール1内に配置すると、基板は、反応混合ガス下で、好ましくはAr+O₂混合ガスを用いて、一般に400を超え高い温度まで加熱される。この加熱中、金属、金属合金または金属窒化物が酸化されて誘電体となる。

【0092】

RTPモジュール等の熱アニーリングモジュール1による加熱は、同一のガス環境下または異なるガス環境下において1または複数のステップで行なうことができる。第1のステップにおいては、例えばウエハ表面上に蒸着された膜を酸化するだけのために加熱が行

10

20

30

40

50

なわれ、第2のステップまたはその後のステップにおいては、ウエハが更に高い温度まで加熱されることにより、酸化膜と下側のSiまたは下側の任意の他の膜とが混合される。

【0093】

冷却モジュール8は、低温まで冷却される少なくともウエハステージから成る。

【0094】

この場合も同様に、ウエハステージ上にウエハをクランプするため、静電チャック機構がウエハステージに一体に設けられている。これは、ウエハ冷却が高速で行なわれなければならない場合において重要である。冷却モジュール8内の圧力は、重要ではなく、大気圧から 10^{-7} Pa程度の低い圧力までの範囲であっても良い。

【0095】

中央ウエハ処理台3は、真空破壊を引き起こすことなく、斜角PVDモジュール11と中央ウエハ処理台3との間、熱アニーリングモジュール1と中央ウエハ処理台3との間、斜角PVDモジュール12と中央ウエハ処理台3との間、冷却モジュール8と中央ウエハ処理台3との間、ウエハ搬入/搬出装置フロントエンドモジュール13と中央ウエハ処理台3との間でそれぞれ基板4を搬送するロボットアーム9等の搬送手段を有している。

【0096】

また、ウエハ搬入/搬出装置フロントエンドモジュール13は、少なくとも1つのウエハハンドリングアームと、ウエハカセットを配置するための1または複数のステージとから成る。簡単のため、これらは図示されていない。

【0097】

High-Kおよび金属ゲートを形成する方法は、以下の通りであり、図7を参照しながら説明する。

【0098】

ステップ-1 high-K誘電体のための予備的な膜を蒸着する

ステップ-2 酸素雰囲気下で熱アニール処理を行なってhigh-K誘電体を形成する

ステップ-3 ウエハを冷却する

ステップ-4 金属電極材料を蒸着する。

【0099】

蒸着方法の詳細な説明

ステップ-1

開始ウエハは、最初に蒸着された薄い SiO_2 またはSiON層23を有していてもいなくても良い。これが図7(a)に示されている。一方の斜角PVDモジュールを使用して、High-K誘電体のための開始材料24が基板4上に蒸着される(図7(b))。開始材料24は、金属であっても良く、Hf, Ta, Zr等の耐熱金属、HfN, TaN, TiN等の金属窒化物、HfTa, HfTi等の金属合金、HfSi等の金属半導体合金、TaSiN等の金属合金窒化物であることが好ましい。

【0100】

この場合も同様に、前述した2以上の膜を積層構造として蒸着することができる。例えば、Hf/SiN/Hf、HfN/AlN、Hf。

【0101】

通常、Hf, Zr, TiまたはTaが金属ターゲット14として使用される。しかしながら、他の金属ターゲットも使用できる。金属半導体合金が蒸着される場合、半導体材料はSiであることが好ましい。

【0102】

重要ではないが、前述した開始材料の膜厚は、通常、5nm未満に維持され、一般的には約2nmに維持される。

【0103】

ステップ-2

前述したように開始膜24を蒸着した後、基板4が熱アニーリングモジュール1内に搬

10

20

30

40

50

送される。酸素ガス雰囲気下で基板 4 が一般に 400 を超える高い温度まで加熱され、これにより、開始材料が酸化されて（図 7（c））、high-K 誘電体 25 が形成される。加熱プロセスは 1 段階または複数段階で行なうことができる。通常、アニーリングプロセス中に化学反応を制御するためには、2 段階以上で加熱処理を行なうのが適当である。例えば、最初に、膜を 400 まで加熱して、開始材料中の金属元素を酸化する。膜が例えば 800 等の非常に高い温度まで一気に加熱される場合、膜中の金属元素は、安定で且つ金属性の特徴を示すそのケイ素化合物を形成する場合がある。膜が例えば 400 等の比較的低い温度で適切に酸化されると、好ましくは不活性ガス環境下で、温度が例えば 900 等の高い値まで上昇される。異なる金属から成る金属積層体が開始材料として使用される場合、高温アニーリングは、各材料間の拡散において、また、均一な膜組成を形成するために重要である。

10

【0104】

ステップ - 3

熱アニーリングプロセスが終了した後、基板 4 は、冷却モジュール 8 へと搬送され、所望の温度、好ましくは室温まで冷却される。

【0105】

ステップ - 4

基板 4 が他方の斜角 PVD モジュールへ搬送され、ゲート電極 26 が蒸着される（図 7（d））。

【0106】

ゲート材料は、Ta, Ru, Hf 等の金属、TiN, HfN, TaN 等の金属窒化物、RuTa, HfTa 等の金属合金、HfSi, TaSi 等の金属半導体合金、TaSiN 等の金属半導体合金窒化物、または、前述した膜から成る積層体、例えば Hf/TaN/TiN, Ru/Ta/TaN であっても良い。

20

【0107】

互いに上下に膜積層体を蒸着する際、それぞれの膜を蒸着するために基板を斜角 PVD モジュールから除去する必要はない。この PVD モジュールは、5 個の陰極 16a ~ 16e を有するとともに、適切なターゲットを固定することにより最大で 5 個の異なるターゲットを支持しているため、同じ斜角 PVD モジュール内で任意の所望の金属積層体を蒸着することができる。

30

【0108】

ゲート電極を蒸着した後、特に金属積層体が蒸着される場合には、基板が熱アニーリングプロセスに晒されても良い。この熱アニーリングプロセス中、金属積層体が相互拡散して新たな均一の組成を形成する。あるいは、ゲート電極蒸着後、図 4 に示される一体型システムから直接にウエハを取り出すことができる。

【0109】

前述した一体型システム内にウエハを配置する前に、基板を以下のように処理して電気的特性を向上させることが好ましい。

【0110】

1. 希釈された HF 溶液を用いて基板を洗浄して、表面上の自然酸化物を除去する
2. 基板を乾燥させる
3. 熱 SiO₂ から成る非常に薄い（例えば 1 nm）層を蒸着する（例えば、図 7（a）に示された最初に蒸着された膜 23）。このプロセスは熱アニーリングモジュール 1 内で行なうことができる。

40

【0111】

Si 基板 4 上で薄い熱 SiO₂ 層 23 を使用する理由は、前述した全ての膜蒸着形成プロセス後に、図 7（c）および図 7（d）に示されるように、最初に蒸着された SiO₂ 層 23 の一部が Si 基板 4 と high-K 誘電体 25 との間の界面に残存するからである。これにより、漏れ電流が小さくなり、電圧ヒステリシスが低くなるとともに、MOSFET におけるチャンネル領域内の電子の移動性が高まる。

50

【0112】

図5に示され且つ図4の構成で使用されるこれらの斜角PVDモジュール11, 12は、高い蒸着速度を達成することができる。蒸着速度が高い結果、本発明により経済的に実現可能なスループットを得ることができる。

【実施例4】

【0113】

図8においては、2つの斜角PVDモジュール11, 12と、2つの熱アニーリングモジュール1a, 1bと、1つの冷却モジュール8と、ウエハ搬入/搬出装置フロントエンドモジュール13とが中央ウエハ処理台3に対して取り付けられている。

【0114】

実施例3で説明した一体型システムと比べて、この実施例4では、更なる熱アニーリングモジュールが追加して設けられている。この追加を除き、他の全てのハードウェアは実施例3で説明したそれと同じである。この更なる熱アニーリングモジュールは、ゲート電極材料の高温アニーリングにおいて使用される。別個の熱アニーリングモジュールを使用して開始材料をアニールすることによりhigh-K誘電体およびゲート電極を形成すると、スループットが向上し、二次汚染を最小限に抑えられる。前述した違いを除き、他の全ての処理ステップおよび手続きは実施例3で説明したそれと同じである。

【実施例5】

【0115】

図9はhigh-K誘電体を蒸着するための一体型システムの概略図を示している。このシステムは、斜角PVDモジュール11と、RTPモジュール等の熱アニーリングモジュール1と、中央ウエハ処理台3と、ウエハ搬入/搬出装置フロントエンドモジュール(EFEM)13とから成る。

【0116】

斜角PVDモジュール11の構成および機構は実施例3において説明されており且つ図5に示されている。そのため、この実施例では説明を省略する。

【0117】

図10(a)は、斜角PVDモジュール11を使用して0.015Paの圧力で300mmウエハ上に蒸着されたHf膜の均一性を示している。その蒸着のために使用された他のパラメータは以下の通りである。ターゲット-基板間の垂直距離=250mm、Hfターゲットに加えられたDC電力=300W、基板ホルダの回転速度=240rpm、プラズマガス=Ar。多数の膜厚測定値の標準偏差()は一般に膜不均一性として与えられる。図10(a)に示されるHf膜の49点測定値の標準偏差()は0.16%である。図10(a)に示されるラインは等均一線36である。各等均一線に示されている参照符号37は、正規化された均一性である。図10(b)は、直径ラインにわたる正規化された均一性を示している。

【0118】

バイメタル蒸着または金属合金蒸着の場合、2以上のターゲット(16a, 16b...)に対してDCまたはRF電力が同時に与えられる。各陰極に加えられるDCまたはRF電力を調整することにより、金属合金の組成を変えることができる。例えば図11はHfSi組成の制御可能性を示している。図11における蒸着条件は以下の通りである。処理ガス=Ar、圧力=0.015Pa、HfターゲットDC電力=70W、SiターゲットDC電力=30W~130W、基板-ターゲット間距離=250mm。Siターゲットに加えられるDC電力を制御することにより、HfSi膜のHf部分を55%~82%(あるいは、Si部分を45%~18%)に制御できる。図11においては、HfSi膜のHf部分の変化が参照符号38で示されており、また、HfSi膜のSi部分の変化が参照符号39で示されている。

【0119】

反応スパッタ蒸着の場合、PVDモジュールには、例えばAr等の不活性ガスの他に、反応ガス、例えば酸素または窒素が加えられる。反応ガスは、プラズマ中で分解してスパ

10

20

30

40

50

ッタ原子と反応した後、ウエハ表面上に蒸着する。例えば、図12(a)は、以下の条件でAr + N₂混合ガスを使用する反応スパッタリング方法によって蒸着されたTa₂N膜の膜均一性を示している。

【0120】

TaターゲットDC電力 = 300W、プラズマガス = Ar、圧力 = 0.015Pa、Ar流量 = 30sccm、N₂流量 = 10sccm、基板 - ターゲット間距離 = 250mm。

【0121】

図12(a)は等均一線36を示しており、一方、図12(b)は直径ラインにわたる正規化された均一性を示している。図12に示されるTa₂N膜の49 - 厚さ測定値の標準偏差は0.13%である。

10

【0122】

膜がPVDモジュール11内で蒸着された後、基板4は、真空破壊を引き起こすことなく熱アニーリングモジュール1へと搬送される。

【0123】

熱アニーリングモジュール1は、図6に示されるRTPモジュールであり、前述した実施例1で説明されている。

【0124】

RTPモジュール等の熱アニーリングモジュール1による加熱は、同じ或いは異なるガス環境下において2以上のステップで行なうことができる。例えば、第1のステップにおいては、ウエハ表面上に蒸着された膜を酸化するためだけに加熱が行なわれ、第2のステップまたはその後のステップにおいては、ウエハが更に高い温度まで加熱され、酸化された膜と下側のSiまたは任意の他の下側の膜とが混合される。

20

【0125】

例えば、以下の処理によりHfSiON膜が形成される。

【0126】

p型Siウエハを用いて開始する

HFを用いて洗浄することにより、自然酸化物を除去する

1nm熱SiO₂を蒸着する

PVDモジュール(11)内に配置することにより1nmHfNを蒸着する

ウエハをRTPモジュール(1)内に配置する

酸素雰囲気中において30秒間400℃でアニールする

不活性ガス雰囲気中において30秒間800℃でアニールする

ウエハが取り出されて膜が評価される。

30

【0127】

第1のアニーリングステップ中にHfN膜が酸化されてHfONが形成される。第2のアニーリングステップ中にHfONおよび下側のSiO₂膜が相互に混合されてHfSiONが形成される。前記膜において得られるRBSスペクトルが図13に示されている。この図は膜がHfSiONであることは明確に示している。

【0128】

なお、RTPプロセス後、形成されたhigh-K膜の更なる酸化を防止するため、キャッピング層としてTi膜が蒸着される。

40

【0129】

第2のRTPプロセス中、最初に蒸着された熱SiO₂膜の一部だけが消費されてHfSiONが形成される。したがって、半導体の真上で且つHfSiON膜の下側に薄いSiO₂層が残存する。

【0130】

チャンネル領域107内(図15)での電子の移動性を高めるためには、熱SiO₂から成る非常に薄い層をHfSiON膜の下側に残存させることが重要である。そのため、熱SiO₂の一部だけを消費するためのRTP温度および時間を制御しなければならない。

50

したがって、この方法により、例えば5オングストロームの非常に薄い熱SiO₂層をHfSiON層の下側に残すことができる。このプロセスの重要性は、そのような薄いSiO₂層を直接に蒸着する信頼できる技術が存在しないということである。

【0131】

HfSiONは、膜組成に応じて相対誘電率が15~24のhigh-K材料と見なされる。

【0132】

前述した方法と同様に、真空を破ることなくPVDモジュールおよびRTPモジュールを使用して多くの他の異なるhigh-K材料を蒸着することができる。

【0133】

このプロセスでは真空が破られないため、プロセス全体の信頼性が非常に高く、また、プロセス全体が再現可能である。そのため、このプロセスを確信をもって実際のデバイス製造に適用することができる。

【0134】

前述したように、PVD(物理的気相成長法)モジュールおよびRTP(急速熱処理)モジュールは、ウエハ搬送モジュールおよびEFEM(装置フロントエンドモジュール)を用いて一体化される。この場合、第1に、PVDモジュール内に配置することにより金属、金属窒化物、または、金属酸化物が基板上に蒸着され、第2に、ウエハがRTPプロセスに晒されることにより金属膜が誘電体に変換され及び/又は誘電特性が向上される。膜蒸着ステップおよびRTPプロセスが真空を破ることなく行われるため、この処理によって蒸着された膜は、再現可能で且つ信頼性が高い特性を与える。

【0135】

本発明は、前述した好ましい実施例に限定されず、添付の請求項によって規定される技術的範囲内及びそれと均等な範囲内で様々な実施形態に変更されても良い。

【図面の簡単な説明】

【0136】

【図1】実施例1で使用される一体型システムの概略図

【図2】実施例1における他の構成を示す図

【図3】実施例2の概略図を示す図

【図4】他の一体型システムの概略図

【図5】図4に示される一体型システム内に設けられる斜角PVDモジュールの断面図

【図6】図1に示される一体側システム内に設けられる熱アニーリングモジュールの断面図

【図7】(a)~(d)は蒸着・熱アニーリングプロセスの手順を示す図

【図8】他の一体型システムの概略図を示す図

【図9】他の一体型システムの概略図を示す図

【図10】(a)は300mmウエハ上に蒸着されたHf膜の等均一線を示し、(b)はHf膜の断面均一性を示す図

【図11】加えられたDC電力に応じたHfSi膜組成の変化を示す図

【図12】(a)は200mmウエハ上に蒸着されたTa₂N膜の等均一線を示し、(b)はTa₂N膜の断面均一性を示す図

【図13】HfSiON膜において得られたRBSデータを示す図

【図14】CVD技術を使用してhigh-K誘電体を蒸着するためのCVDチャンバが中央ウエハ処理台に接続されているウエハ処理システムの概略図

【図15】MOSFETの概略図を示す図

【符号の説明】

【0137】

- 1 熱アニーリングモジュール
- 2 金属ゲート蒸着モジュール
- 3 中央ウエハ処理台

10

20

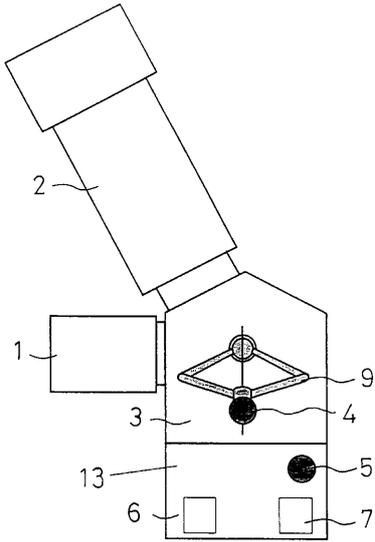
30

40

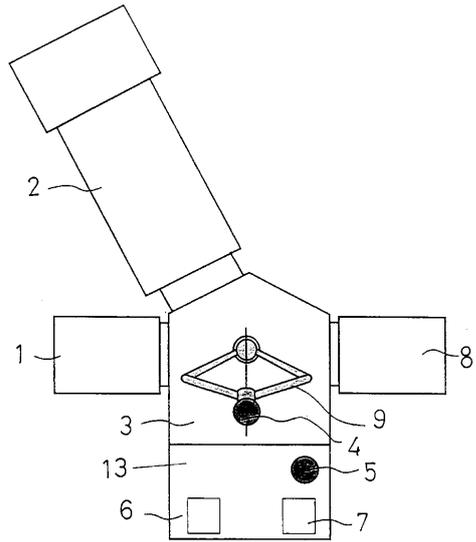
50

4	基板	
5	ウエハライナ	
6	ウエハ搬入ポート	
7	ウエハ搬出ポート	
8	冷却モジュール	
9	ロボットアーム	
10	high-K誘電体蒸着モジュール	
11	斜角PVDモジュール	
12	斜角PVDモジュール	
13	ウエハ搬入/搬出装置フロントエンドモジュール	10
14	ターゲット	
15	ターゲット角度	
16	陰極	
16 a , 16 b , 16 c , 16 d , 16 e	陰極	
17	基板ホルダ	
18	基板ホルダの中心軸	
19	基板ホルダ	
20	ウエハ加熱機構	
21	ガス吸気口	
22	ガス排気口	20
23	最初に蒸着された非常に薄いSiO ₂ またはSiON層	
24	開始材料(膜)	
25	high-K誘電体	
26	ゲート電極	
27	チャンバ壁	
28	真空引きポート	
29	ウエハ搬入/搬出ポート	
30	バックングプレート	
31	絶縁体	
32	マグネット	30
33	基板搬入/搬出ポート	

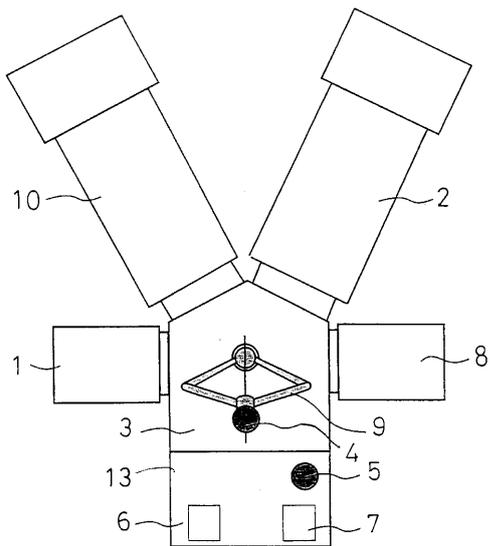
【図1】



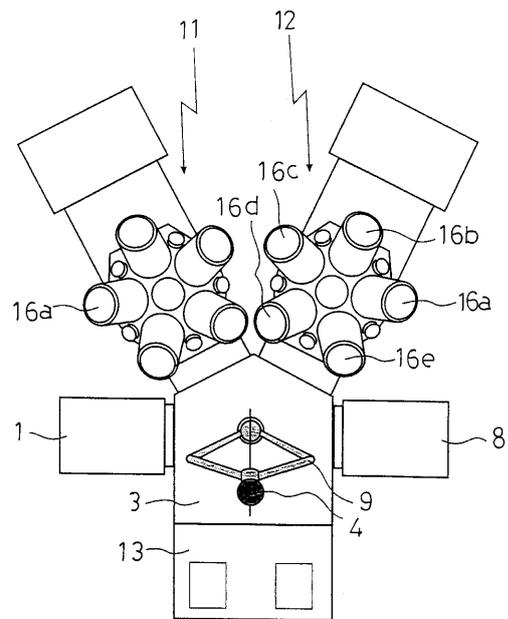
【図2】



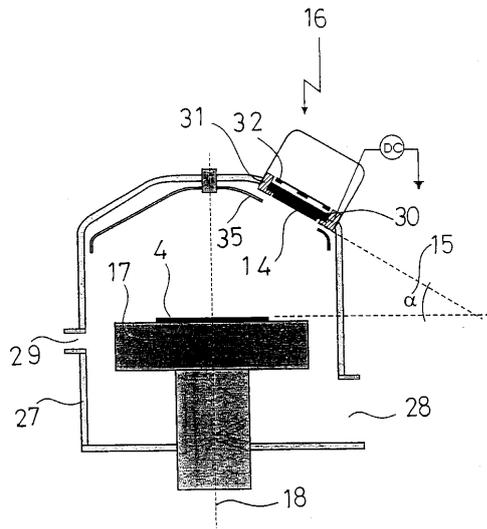
【図3】



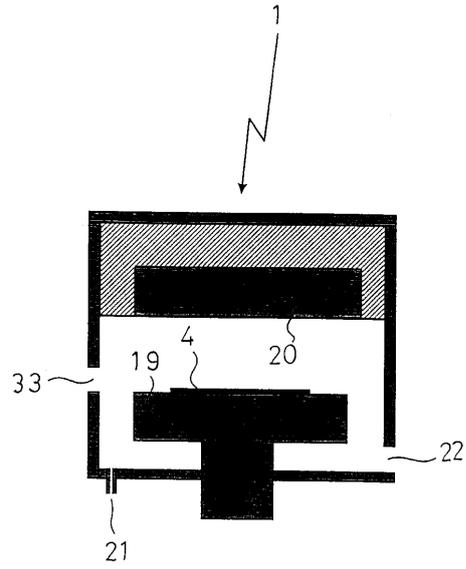
【図4】



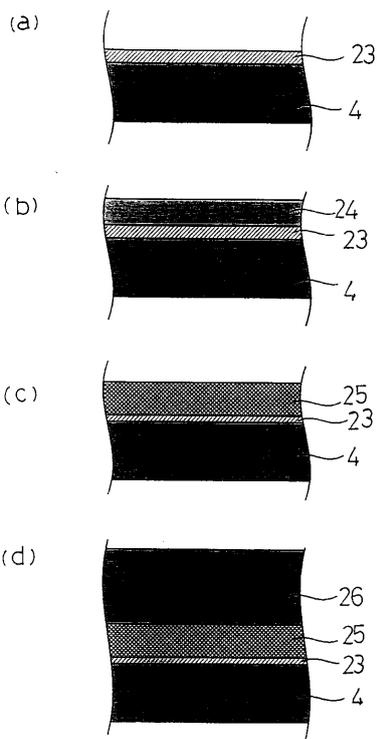
【図5】



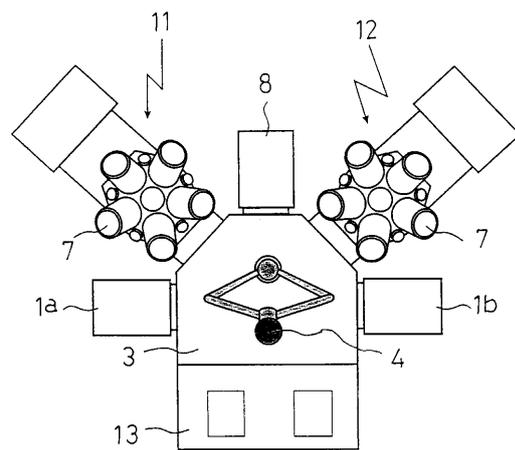
【図6】



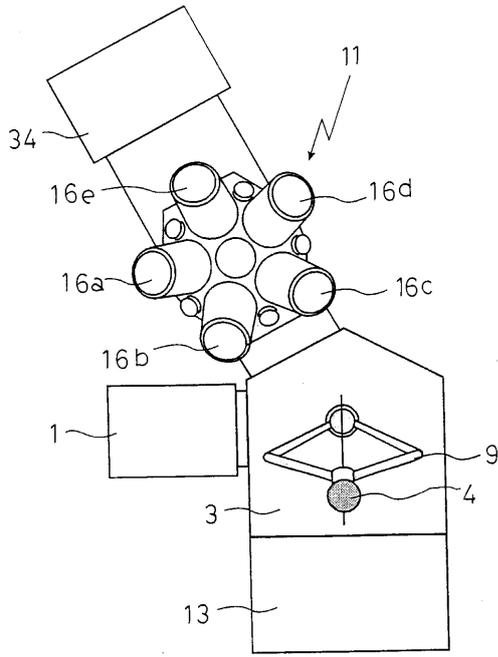
【図7】



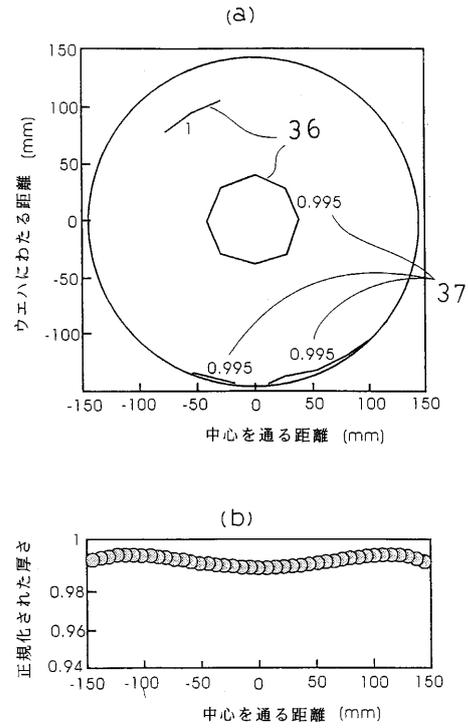
【図8】



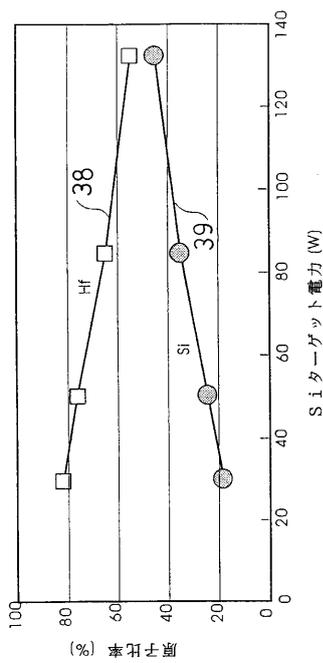
【図9】



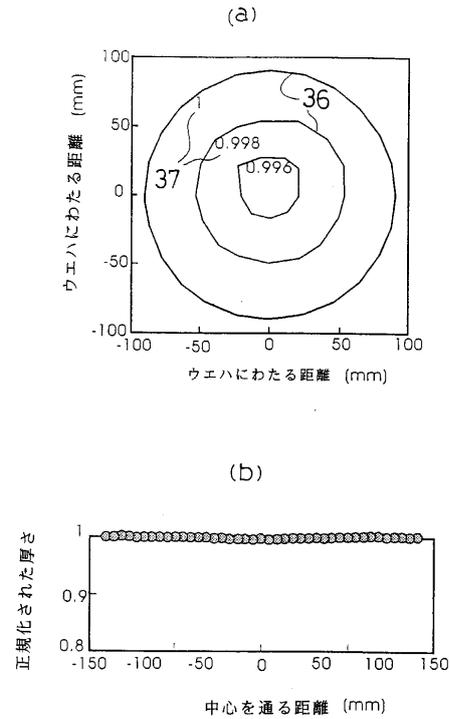
【図10】



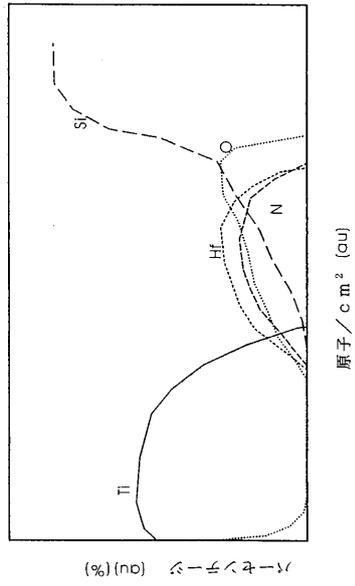
【図11】



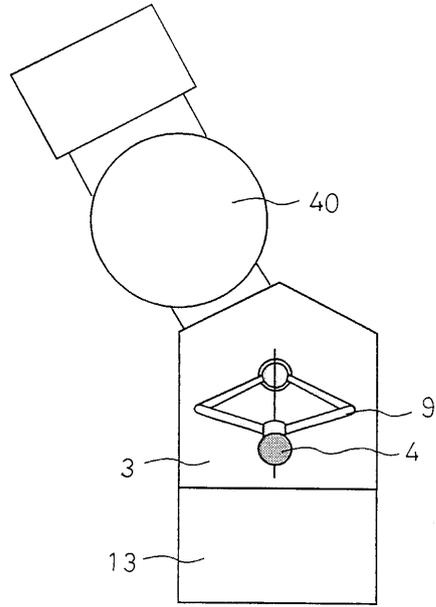
【図12】



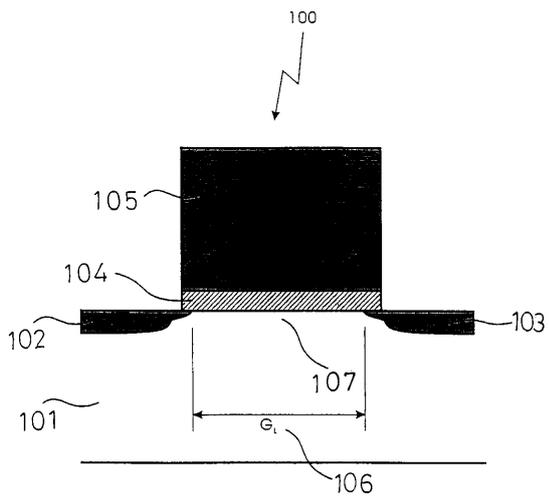
【図 13】



【図 14】



【図 15】



フロントページの続き

- (72)発明者 スニル ウィクラマナヤカ
東京都府中市四谷5丁目8番1号 アネルバ株式会社内
- (72)発明者 小須田 求
東京都府中市四谷5丁目8番1号 アネルバ株式会社内
- (72)発明者 山田 直樹
東京都府中市四谷5丁目8番1号 アネルバ株式会社内
- (72)発明者 北野 尚武
東京都府中市四谷5丁目8番1号 アネルバ株式会社内

合議体

- 審判長 鈴木 匡明
審判官 松田 成正
審判官 恩田 春香

- (56)参考文献 特開2001-237424(JP,A)
特開2000-243951(JP,A)
特開2002-118160(JP,A)
特開2002-314074(JP,A)
国際公開第03/088342(WO,A1)
特開2004-186693(JP,A)
特開2004-158481(JP,A)
特開2003-297822(JP,A)

(58)調査した分野(Int.Cl., DB名)

- H01L 29/78-29/792
H01L 21/28
H01L 21/336