



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2008 033 395 B3 2010.02.04**

(12)

Patentschrift

(21) Aktenzeichen: **10 2008 033 395.6**

(22) Anmeldetag: **16.07.2008**

(43) Offenlegungstag: –

(45) Veröffentlichungstag
 der Patenterteilung: **04.02.2010**

(51) Int Cl.⁸: **H01L 21/283 (2006.01)**

H01L 29/40 (2006.01)

H01L 23/485 (2006.01)

H01L 21/768 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:

austriamicrosystems AG, Unterpremstätten, AT

(74) Vertreter:

**Epping Hermann Fischer,
 Patentanwaltsgesellschaft mbH, 80339 München**

(72) Erfinder:

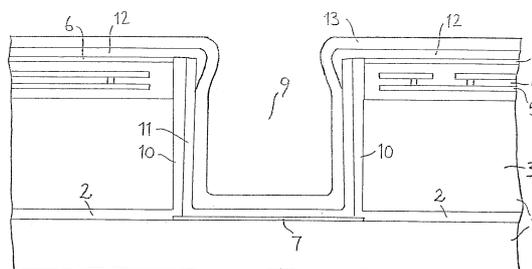
**Schrank, Franz, Graz, AT; Koppitsch, Günther, Dr.,
 Lieboch, AT; Beutl, Michael, Graz, AT; Carniello,
 Sara, Graz, AT; Kraft, Jochen, Dr., Oberaich, AT**

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:

DE	199 04 571	C1
US	54 26 072	A
DE	102 00 399	A1
DE	103 51 201	B3
DE	44 00 985	C1
DE	44 33 846	C2

(54) Bezeichnung: **Verfahren zur Herstellung eines Halbleiterbauelementes und Halbleiterbauelement**

(57) Zusammenfassung: In der Isolationsschicht (2) eines SOI-Substrates (1) wird ein Anschlusspad (7) angeordnet. Eine Kontaktlochöffnung (9) über dem Anschlusspad wird an Seitenwänden und auf dem Anschlusspad mit einer Metallisation (11) versehen, die oberseitig mit einem Top-Metall (12) kontaktiert wird.



Beschreibung

[0001] Die vorliegende Erfindung betrifft die Herstellung von Durchkontaktierungen durch Halbleitersubstrate. Elektrisch leitende Verbindungen zwischen der Oberseite und der Unterseite eines Halbleitersubstrates werden bei der vertikalen Integration von Halbleiterbauelementen verwendet.

[0002] Zur Verbindung mehrerer Halbleiterbauelemente können Halbleiterchips nebeneinander angeordnet und durch Drähte miteinander elektrisch leitend verbunden werden oder mehrere Halbleiterchips vertikal übereinander gestapelt angeordnet werden und durch elektrische Anschlusskontakte auf den Oberseiten und Unterseiten miteinander verbunden werden. Wenn die Halbleiterchips gestapelt werden, müssen elektrisch leitende Verbindungen von der jeweiligen Oberseite eines Chips zu der Unterseite durch das Substrat hindurch hergestellt werden. Hierzu werden üblicherweise Löcher in das Substrat geätzt, die anschließend mit einem elektrisch leitfähigen Material, üblicherweise einem Metall, gefüllt werden. Falls der elektrische Leiter, der so hergestellt wird, nicht bis auf die Rückseite des Substrates reicht, wird das Substrat von der Rückseite her durch Abschleifen gedünnt, bis das leitfähige Material der Kontaktlochfüllung freigelegt und so die Durchkontaktierung hergestellt wird. Auf die Oberflächen des Substrates können als Anschlussmetallisierung Metallschichten aufgebracht und entsprechend den vorgesehenen Anschlüssen strukturiert werden. Beim Stapeln der Chips werden die einander zugeordneten Anschlusskontaktflächen übereinander angeordnet und zum Beispiel mittels eines Lotes elektrisch leitend dauerhaft miteinander verbunden. (J. Vardaman, „3-D Through-Silicon Vias Become a Reality“, Semiconductor International, 6/1/2007)

[0003] Übliche Ansätze erzeugen Durchkontaktierungen mit Durchmessern von 10 µm bis 50 µm, wobei die Kontaktlöcher mit Kupfer (T. Rowbotham et al., „Back side exposure of variable size through silicon vias“, J. Vac. Sci. Techn. B24(5), 2006) oder polykristallinem Silizium (E. M. Chow et al., „Process compatible polysilicon-based electrical through-wafer interconnects in silicon substrates“, J. of Micromechanical Systems, Vol. 11, No. 6, 2002; J. H. Wu et al., „Through-Wafer Interconnect in Silicon for RFICs“, IEEE Trans. on El. Dev. 51, No. 11, 2004) gefüllt werden oder mit organischem Material bedeckt werden (N. Lietaer et al., „Development of cost-effective high-density through-wafer interconnects for 3D microsystems“, J. of Micromechanics and Microengineering 16, S29–S34, 2006).

[0004] Größer dimensionierte Durchkontaktierungen in Halbleiterwafern werden zum Beispiel durch Ätzen größerer Ausnehmungen mit schrägen Seitenwänden, zum Beispiel unter Verwendung von KOH,

hergestellt. Eine in der Ausnehmung aufgebrauchte Metallschicht wird von der gegenüberliegenden Oberseite des Wafers her freigelegt und dort mit einem Kontakt versehen. Bisher übliche Verfahren sind beschrieben in US 2005/156330 A1, US 2005/090096 A1, US 6 323 546 B2, US 6 483 147 B1, US 6 159 833 A, JP 2001 116768 A, US 6 352 923 B1, US 6 252 300 B1, US 6 110 825 A, US 5 511 428 A und CA 1 057 411 A.

[0005] DE 199 04 571 C1 beschreibt ein Verfahren zur Herstellung einer integrierten Schaltungsanordnung aus zwei Substraten. Eine erste Struktur der Schaltungsanordnung und eine erste Justierstruktur werden im Bereich einer Oberfläche eines ersten Substrats erzeugt. In einer Oxidschicht werden hierzu Vertiefungen erzeugt, die die Oxidschicht nicht durchtrennen. Die Vertiefungen werden mit Wolframsilizid gefüllt und mit einer weiteren Oxidschicht verkapselt. Ein zweites Substrat wird mit dem ersten Substrat verbunden und mit Kontaktlöchern versehen, die bis auf das Wolframsilizid in einer der Vertiefungen reichen und mit Seitenwandspacern versehen werden.

[0006] US 5 426 072 A beschreibt ein Verfahren zur Herstellung eines dreidimensionalen IC mittels gestapelter SOI-Substrate. Auf der teilweise freigelegten Isolationsschicht eines SOI-Substrates wird ein Pad aus dotiertem Polysilizium angeordnet und mit einer Metallisierung versehen.

[0007] Aufgabe der vorliegenden Erfindung ist es, verbesserte Verfahren und Strukturen für die kostengünstige Herstellung von Durchkontaktierungen durch Halbleitersubstrate anzugeben, die insbesondere auch bei dickeren Wafern von typisch mehreren 100 µm Dicke angewendet werden können. Ein zugehöriges Herstellungsverfahren soll mit Verfahrensschritten eines Standard-CMOS-Prozesses ausgeführt werden können.

[0008] Diese Aufgabe wird mit dem Verfahren zur Herstellung eines Halbleiterbauelementes mit den Merkmalen des Anspruches 1 beziehungsweise mit dem Halbleiterbauelement mit den Merkmalen des Anspruches 12 gelöst. Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen.

[0009] Bei den erfindungsgemäßen Durchkontaktierungen ist vorgesehen, nur die Seitenwände und den Boden eines Kontaktloches mit elektrisch leitfähigem Material zu beschichten. Bei bevorzugten Ausführungsformen werden eine Dielektrikumschicht, eine Metallisierung und eine Passivierung aufgebracht. Mit Ausnahme der Kontaktlochätzung gehören die eingesetzten Verfahrensschritte zu Standard-CMOS-Prozessen. Es können zum Beispiel Durchkontaktierungen mit typischen Durchmessern von 100 µm in einem Substrat mit einer typischen Di-

cke von etwa 250 µm realisiert werden.

[0010] Es folgt eine genauere Beschreibung von Beispielen des Halbleiterbauelementes und des Herstellungsverfahrens anhand der beigefügten Figuren.

[0011] [Fig. 1](#) zeigt einen Querschnitt durch ein erstes Zwischenprodukt eines Ausführungsbeispiels des Verfahrens.

[0012] [Fig. 2](#) zeigt einen Querschnitt gemäß der [Fig. 1](#) nach dem Ätzen einer Öffnung für die Durchkontaktierung.

[0013] [Fig. 3](#) zeigt einen Querschnitt gemäß der [Fig. 2](#) nach dem Aufbringen einer Dielektrikumschicht.

[0014] [Fig. 4](#) zeigt einen Querschnitt gemäß der [Fig. 3](#) nach dem teilweisen Rückätzen der Dielektrikumschicht.

[0015] [Fig. 5](#) zeigt einen Querschnitt gemäß der [Fig. 4](#) nach dem Aufbringen einer Metallisation.

[0016] [Fig. 6](#) zeigt einen Querschnitt gemäß der [Fig. 5](#) nach einem teilweisen Rückätzen der Metallisation.

[0017] [Fig. 7](#) zeigt einen Querschnitt gemäß der [Fig. 6](#) nach dem Aufbringen eines Top-Metalls.

[0018] [Fig. 8](#) zeigt einen Querschnitt gemäß der [Fig. 7](#) nach dem Aufbringen einer Passivierung.

[0019] Ein bevorzugtes Ausführungsbeispiel des Halbleiterbauelementes wird nun anhand eines bevorzugten Herstellungsverfahrens beschrieben. Bei diesem Ausführungsbeispiel ist angenommen, dass das Halbleiterbauelement eine CMOS-Schaltung umfasst. Die CMOS-Schaltung ist in einem Substrat integriert, das die Struktur eines SOI-Substrates aufweist. Das Halbleitermaterial des Substrates ist vorzugsweise Silizium. In einer dünnen monokristallinen Siliziumschicht, üblicherweise als Body-Siliziumschicht bezeichnet, die auf einer Isolationsschicht angeordnet ist, sind die CMOS-Bauelemente integriert. Von der Oberseite der Body-Siliziumschicht soll eine Durchkontaktierung zur Rückseite des Substrates hergestellt werden.

[0020] In dem Querschnitt der [Fig. 1](#) ist ein Zwischenprodukt eines Ausführungsbeispiels mit einer CMOS-Schaltung einschließlich der zugehörigen Verdrahtung dargestellt. Die Verdrahtung ist in einer üblichen Weise durch mehrere Metallebenen **5** ausgebildet, die durch ein Zwischenmetall-dielektrikum **4** voneinander getrennt sind. Für die elektrische Verbindung zwischen Leiterbahnen verschiedener Metallebenen sind Durchkontaktierungen durch das

Zwischenmetall-dielektrikum vorgesehen. Das ist in der [Fig. 1](#) im Schema dargestellt. Die Oberseite der Verdrahtung ist in dem dargestellten Ausführungsbeispiel mit einem Liner **6** bedeckt, der zum Beispiel aus Ti/TiN gebildet sein kann und vorzugsweise auch einen mit integrierten Komponenten, zum Beispiel einer CMOS-Schaltung, versehenen Oberseitenbereich bedeckt. Der Liner **6** kann zwar weggelassen werden; eine Ausführungsform mit einem Liner **6** hat aber den Vorteil, dass der Liner **6** als Ätzstoppschicht verwendet werden kann.

[0021] Das Substrat **1** weist eine Isolationsschicht **2** auf, die das Substrat **1** in eine oberseitige Halbleiterschicht **3** und einen üblicherweise als Bulk bezeichneten Anteil trennt. Im Fall eines Siliziumsubstrates wird die Halbleiterschicht **3** als Body-Siliziumschicht bezeichnet. Innerhalb der Isolationsschicht **2** ist erfindungsgemäß ein Anschlusspad **7** aus einem elektrisch leitfähigen Material, vorzugsweise einem Metall, angeordnet. Der Anschlusspad **7** kann, wie in der [Fig. 1](#) dargestellt ist, seitlich auf den für die Durchkontaktierung vorgesehenen Bereich begrenzt sein oder statt dessen auch weiter ausgedehnt sein und gegebenenfalls mit einem elektrischen Anschluss an integrierte Komponenten versehen sein, die zum Beispiel in der Nähe der Isolationsschicht **2** oder in dem Bulk-Anteil des Substrates angeordnet sein können. Der Anschlusspad **7** kann auf diese Weise versehen sein mit einer innerhalb der Isolationsschicht **2** angeordneten elektrischen Zuleitung **14** (in der [Fig. 1](#) als weiteres Ausführungsbeispiel gestrichelt eingezeichnet), die eine elektrische Verbindung zu einer zum Beispiel in dem unteren Anteil des Substrates, insbesondere einer Bulk-Siliziumschicht, integrierten Komponente herstellt. Der Anschlusspad **7** ermöglicht eine besonders einfache Herstellung der erfindungsgemäßen Durchkontaktierung.

[0022] Die dargestellte Anordnung lässt sich zum Beispiel durch einen an sich bekannten Prozess des Wafer-Bonding herstellen. Bei diesem Prozess werden zwei Halbleitersubstrate oder Wafer verwendet. Die Oberseite des einen Substrates wird mit der Isolationsschicht **2** versehen. Dann wird die Isolationsschicht **2** auf einer Oberseite des anderen Substrates dauerhaft befestigt. Dadurch entsteht die in der [Fig. 1](#) im Querschnitt dargestellte Schichtfolge, bei der die Isolationsschicht **2** oberseitig und unterseitig im Halbleitermaterial eingebettet ist. Bei diesem Herstellungsverfahren wird der Anschlusspad **7** auf einer der beiden zusammenzufügenden Oberseiten hergestellt und strukturiert, sodass nach dem Wafer-Bonding der Anschlusspad **7** in der in der [Fig. 1](#) dargestellten Weise vergraben ist.

[0023] Auf der Oberseite des Bauelementes wird eine Maske **8** aufgebracht und strukturiert. Diese Maske ist zum Beispiel eine Fotolackmaske, die relativ dick ausgebildet wird. Unter Verwendung der Mas-

ke 8 wird die Öffnung 9 in die Schichten des Liners 6 und des zwischen den Metallebenen 5 vorhandenen Zwischenmetall-dielektrikums 4 geätzt.

[0024] Die Fig. 2 zeigt einen Querschnitt durch ein weiteres Zwischenprodukt nach dem Ätzen des Halbleitermaterials bis herab auf die Isolationsschicht 2. Dieser Ätzschritt kann durch RIE (reactive ion etching), vorzugsweise durch DRIE (deep reactive ion etching), ausgeführt werden. Die Isolationsschicht 2 fungiert hierbei als Ätzstoppschicht. Die Öffnung 9 ist damit entsprechend dem Querschnitt der Fig. 2 bis auf die Isolationsschicht 2 herab ausgebildet. Das Ätzen kann vorwiegend senkrecht zu der Oberseite des Substrates, also stark anisotrop, durchgeführt werden, um möglichst steile Seitenwände der geätzten Öffnung 9 auszubilden und die laterale Ausdehnung der Öffnung 9 somit auf den für die Durchkontaktierung notwendigen Durchmesser zu begrenzen.

[0025] Die Fig. 3 zeigt einen Querschnitt gemäß der Fig. 2 für ein weiteres Zwischenprodukt nach dem Aufbringen einer Dielektrikumschicht 10. Die Dielektrikumschicht 10 wird in der dargestellten Weise zunächst ganzflächig aufgebracht und kann zum Beispiel ein Oxid des Halbleitermaterials, insbesondere Siliziumdioxid, sein. Zum Aufbringen der Dielektrikumschicht 10 ist das Verfahren des CVD (chemical vapor deposition), insbesondere des SACVD (sub-atmospheric chemical vapor deposition) geeignet. Dieses Verfahren ist aus der Halbleitertechnik an sich bekannt.

[0026] Die Dielektrikumschicht 10 wird auf der Oberseite, das heißt, auf dem Liner 6, und am Boden der Öffnung 9 entfernt, wie das in der Fig. 4 im Querschnitt gezeigt ist. Die Dielektrikumschicht 10 befindet sich daher nur noch auf den Seitenwänden der Öffnung 9. In den Fig. 3 und Fig. 4 sind jeweils trennende Konturen zwischen der Isolationsschicht 2 und der Dielektrikumschicht 10 weggelassen, um anzudeuten, dass beide Schichten aus Oxid gebildet sein können. An dem Boden der Öffnung 9 ist jetzt der Anschlusspad 7 freigelegt. Das teilweise Entfernen der Dielektrikumschicht 10 kann zum Beispiel mittels RIE erfolgen. Die Dielektrikumschicht 10 wird dadurch auch insbesondere von der Oberseite der mit der CMOS-Schaltung versehenen Bereiche des Bauelementes entfernt. Der Liner 6, insbesondere ein Liner aus Ti/TiN, dient hierbei als Ätzstoppschicht. Das ist insbesondere vorteilhaft, wenn als Zwischenmetall-dielektrikum 4 ebenfalls ein Oxid des Halbleitermaterials verwendet wird. Das anisotrop ausgeführte Ätzen ermöglicht es, die Dielektrikumschicht 10 auf den horizontalen Oberflächen vollständig zu entfernen, während die Dielektrikumschicht 10 auf den Seitenwänden innerhalb der Öffnung 9 in einer für eine Isolation ausreichenden Dicke stehen bleibt. Der Anschlusspad 7 dient ebenfalls als Ätzstoppschicht.

[0027] Die Fig. 5 zeigt einen weiteren Querschnitt gemäß der Fig. 4 nach dem Aufbringen einer Metallisation 11, die wie die Dielektrikumschicht 10 zunächst ganzflächig hergestellt wird. Die Metallisation 11 kann zum Beispiel durch isotrope MOCVD (metal-organic chemical vapor deposition) hergestellt werden und ist zum Beispiel Wolfram. Die zunächst ganzflächig vorhandene Metallisation 11 kann dann ohne Verwendung einer Maske rückgeätzt werden. Der Prozess wird dabei so geführt, dass die Ätzrate auf der Oberseite höher ist als am Boden der Öffnung 9 und an den Seitenwänden. Damit wird erreicht, dass genügend Metall auf dem Boden und den Seitenwänden der Öffnung 9 stehen bleibt, wenn der Bereich der CMOS-Schaltung vollständig von der Metallisation 11 befreit worden ist.

[0028] Die Fig. 6 zeigt einen Querschnitt gemäß der Fig. 5 nach dem oberseitigen Entfernen der Metallisation 11, von der jetzt nur noch ein Anteil auf dem Boden und an den Seitenwänden innerhalb der Öffnung 9 vorhanden ist. Da der Anschlusspad 7 von der Dielektrikumschicht 10 freigelegt worden war, befindet sich am Boden der Öffnung 9 jetzt ein elektrischer Kontakt zwischen der Metallisation 11 und dem Anschlusspad 7.

[0029] Die Metallisation 11 kann dann an der Oberseite durch Aufbringen einer oberseitigen Anschlussmetallisierung, im Folgenden als Top-Metall bezeichnet, kontaktiert werden. Dafür ist jedes für Leiterbahnen üblicherweise verwendete Metall geeignet, insbesondere zum Beispiel Aluminium.

[0030] Die Fig. 7 zeigt einen Querschnitt gemäß der Fig. 6 nach dem Aufbringen einer Schicht eines Top-Metalls 12, das an der oberen Kante, die durch den Rand der Öffnung 9 gebildet wird, einen Wulst aufweist, der auch größer oder kleiner ausgebildet sein kann als in der Fig. 7 dargestellt. Auf diese Weise wird sichergestellt, dass eine elektrisch leitende Verbindung zwischen dem verbliebenen Anteil der Metallisation 11 und dem Top-Metall 12 hergestellt wird. Die elektrische Verbindung zwischen der Metallisation 11 und dem Top-Metall 12 wird folglich bereits in situ beim Aufbringen des Top-Metalls 12 ausgebildet. Das Top-Metall 12 wird dann entsprechend den vorgesehenen elektrischen Verbindungen strukturiert. Da die Oberseite des Bauelementes wegen der Öffnung 9 nicht planar ist, wird für die Strukturierung vorzugsweise eine Lackmaske verwendet, die durch eine Sprühbelackung, insbesondere durch ein als Nanospray bekanntes Verfahren, hergestellt wird, um auch im Bereich der Kanten eine ausreichend gleichmäßige Maskenschicht zu erhalten. Die Erzeugung einer geeigneten Maskenschicht kann gegebenenfalls dadurch unterstützt werden, dass der Lack ausreichend dick aufgebracht wird.

[0031] Die Fig. 8 zeigt einen Querschnitt gemäß der

Fig. 7 nach dem ganzflächigen Aufbringen einer Passivierung **13**. Die Passivierung **13** ist in dem dargestellten Ausführungsbeispiel relativ dünn und füllt die Öffnung **9** nicht. Die Passivierung **13** kann einlagig oder mehrlagig sein und beispielsweise mit einer Oxidschicht, insbesondere einer Siliziumoxidschicht, und einer darauf aufgetragenen Nitridschicht, insbesondere einer Siliziumnitridschicht, gebildet sein. Die Passivierung **13** kann mittels eines Standard-PECVD-Prozesses (plasma-enhanced chemical vapor deposition) oder auch mittels eines SACVD-Prozesses (sub-atmospheric chemical vapor deposition) aufgebracht werden. Schichten einer mehrlagigen Passivierung **13** können auch teils durch PECVD und teils durch SACVD aufgebracht werden. Auch die Passivierung **13** kann unter Verwendung einer Lackmaske strukturiert werden.

[0032] Bei Ausführungsbeispielen mit mehrlagiger Passivierung **13** sind gegebenenfalls die für Temperschritte wichtigen Eigenschaften der betreffenden Materialien, beispielsweise die thermischen Ausdehnungskoeffizienten, im Ablauf des Gesamtprozesses zu berücksichtigen. Andernfalls kann es vorkommen, dass in der Passivierung **13** Brüche auftreten oder die Passivierung **13** sich von der Unterlage abschält, was hauptsächlich auf der Metallisation **11** im Bereich der Seitenwand der Öffnung **9** auftreten kann. Das muss vermieden werden, wenn Temperschritte durchgeführt werden, in denen das Bauelement auf eine Temperatur von typisch 400°C bis 500°C erhitzt wird, zum Beispiel, um so genannte „dangling bonds“ des Siliziums im Bereich integrierter Komponenten abzusättigen, was unter Formiergasatmosphäre (zum Beispiel unter einem Gemisch von Wasserstoff und Stickstoff) geschieht und als „forming gas alloy“ bezeichnet wird. Bei solchen Ausführungsbeispielen wird der Temperschritt vorzugsweise bereits durchgeführt, bevor die Passivierung aufgebracht wird, oder jedenfalls, bevor auf eine Schicht der Passivierung **13** eine weitere Schicht aus unterschiedlichem Material, also in dem beschriebenen Beispiel die Nitridschicht auf eine Oxidschicht, oder eine mit einem unterschiedlichen Verfahren (zum Beispiel SACVD statt PECVD) hergestellte weitere Schicht aufgebracht wird. Der Temperschritt wird also bei Ausführungsbeispielen mit Schichten unterschiedlicher thermischer Eigenschaften vorzugsweise ausgeführt, bevor die Passivierung **13** aufgebracht wird oder vollständig aufgebracht worden ist, somit in jedem Fall, bevor die letzte Schicht der Passivierung **13** hergestellt wird.

[0033] Ausgehend von der in der **Fig. 8** im Querschnitt dargestellten Struktur lässt sich die Durchkontaktierung auf einfache Weise vervollständigen, indem von der Rückseite eine Ausnehmung im Bereich des Anschlusspads **7** hergestellt wird, mit der die Rückseite des Anschlusspads **7** freigelegt wird. Dort kann eine weitere Metallisation aufgebracht werden,

die eine durchgehende elektrisch leitende Verbindung zwischen dem Top-Metall **12** und der Rückseite des Substrates **1** herstellt. Das beschriebene Verfahren ist, was die zur Strukturierung der vorderseitigen und rückseitigen Metallkontakte der Durchkontaktierung erforderlichen Masken betrifft, gegenüber dem Stand der Technik erheblich vereinfacht.

[0034] Im Vergleich zu einem Standard-CMOS-Prozess wird bei dem beschriebenen Verfahren mit Ausnahme des Ätzschrittes zur Herstellung der Öffnung **9** keine zusätzliche Maske benötigt. Das Verfahren eignet sich daher besonders für die Herstellung von CMOS-Bauelementen mit Durchkontaktierung durch das Substrat. Die Struktur des Bauelementes ist durch die leitende Verbindung der Durchkontaktierung, die die Öffnung **9** nicht auffüllt, sondern nur an den Seitenwänden vorhanden ist, sowie durch den vergrabenen Anschlusspad **7** gekennzeichnet. Diese Struktur hat die besonderen Vorteile, dass der ohmsche Widerstand der Durchkontaktierung wegen der vergleichsweise sehr großen Fläche der Seitenwand der hierfür verwendeten Öffnung besonders gering ist und dass die Passivierung **13** mittels eines Standard-PECVD-Prozesses und gegebenenfalls eines SACVD-Prozesses aufgebracht werden kann.

Bezugszeichenliste

1	Substrat
2	Isolationsschicht
3	Halbleiterschicht
4	Zwischenmetall dielektrikum
5	Metallebene
6	Liner
7	Anschlusspad
8	Maske
9	Öffnung
10	Dielektrikumschicht
11	Metallisation
12	Top-Metall
13	Passivierung

Patentansprüche

- Verfahren zur Herstellung eines Halbleiterbauelementes, bei dem
 - ein Substrat (**1**) aus einem Halbleitermaterial mit einer vergrabenen Isolationsschicht (**2**) und einem in der Isolationsschicht (**2**) angeordneten Anschlusspad (**7**) aus elektrisch leitfähigem Material bereitgestellt wird,
 - von einer Oberseite des Substrates (**1**) eine bis auf die Isolationsschicht (**2**) reichende Öffnung (**9**) über dem Anschlusspad (**7**) hergestellt wird,
 - eine Dielektrikumschicht (**10**) aufgebracht wird,
 - die Dielektrikumschicht (**10**) und die Isolationsschicht (**2**) innerhalb der Öffnung (**9**) soweit entfernt werden, dass eine Oberseite des Anschlusspads (**7**) freigelegt wird,

– eine Metallisation (11) aufgebracht wird, die den Anschlusspad (7) kontaktiert, und
 – von einer der Öffnung (9) gegenüberliegenden Rückseite des Substrates (1) eine bis zu dem Anschlusspad (7) reichende Durchkontaktierung hergestellt wird.

2. Verfahren nach Anspruch 1, bei dem die Öffnung (9) durch einen anisotropen Ätzprozess mit einer senkrechten Seitenwand ausgebildet wird.

3. Verfahren nach Anspruch 1 oder 2, bei dem
 – die Metallisation (11) außerhalb der Öffnung (9) entfernt wird und
 – ein Top-Metall (12) aufgebracht wird derart, dass das Top-Metall (12) obere Ränder der Metallisation (11) kontaktiert.

4. Verfahren nach einem der Ansprüche 1 bis 3, bei dem die Metallisation (11) zunächst ganzflächig hergestellt und dann rückgeätzt wird mit einer Ätzrate, die auf der Oberseite höher ist als am Boden und an den Seitenwänden der Öffnung (9), so dass ein Anteil der Metallisation (11) am Boden der Öffnung (9) stehen bleibt.

5. Verfahren nach einem der Ansprüche 1 bis 4, bei dem
 – die Oberseite des Substrates (1) vor dem Ätzen der Öffnung (9) mit einem Zwischenmetalldielektrikum (4) und Metallebenen (5) einer Verdrahtung versehen wird,
 – die Oberseite des Zwischenmetalldielektrikums (4) mit einem Liner (6) bedeckt wird und
 – das Material des Liners (6) so gewählt wird, dass der Liner (6) bei dem teilweisen Entfernen der Dielektrikumschicht (10) als Ätzstoppschicht fungiert.

6. Verfahren nach einem der Ansprüche 1 bis 5, bei dem
 – das Substrat (1) hergestellt wird, indem ein erster Halbleiterkörper auf einer Oberseite mit einer Isolationsschicht (2) versehen wird,
 – auf der Isolationsschicht (2) ein zweiter Halbleiterkörper befestigt wird und
 – vor dem Verbinden der Halbleiterkörper ein Anschlusspad (7) auf der Isolationsschicht (2) oder auf der mit der Isolationsschicht (2) zu verbindenden Oberseite des zweiten Halbleiterkörpers aufgebracht wird.

7. Verfahren nach einem der Ansprüche 1 bis 6, bei dem auf der Metallisierung (11) eine Passivierung (13) hergestellt wird.

8. Verfahren nach Anspruch 7, bei dem die Passivierung (13) aus mindestens zwei Schichten unterschiedlicher Materialien hergestellt wird.

9. Verfahren nach Anspruch 7, bei dem die Pas-

sivierung (13) hergestellt wird, indem zunächst eine Oxidschicht aufgebracht wird und auf die Oxidschicht eine Nitridschicht aufgebracht wird.

10. Verfahren nach einem der Ansprüche 7 bis 9, bei dem ein Tempersschritt nur ausgeführt wird, bevor die Passivierung (13) aufgebracht wird.

11. Verfahren nach Anspruch 8 oder 9, bei dem ein Tempersschritt nur ausgeführt wird, bevor die letzte Schicht der Passivierung (13) aufgebracht worden ist.

12. Halbleiterbauelement mit einer Durchkontaktierung, bei dem
 – ein Substrat (1) mit einer vergrabenen Isolationsschicht (2) und einem in der Isolationsschicht (2) angeordneten elektrisch leitfähigen Anschlusspad (7) vorhanden ist,
 – eine Metallisation (11) vorhanden ist, die mit dem Anschlusspad (7) elektrisch leitend verbunden ist und eine Seitenwand einer in dem Substrat vorhandenen Öffnung (9) bedeckt, und
 – auf einer der Öffnung (9) gegenüberliegenden Rückseite des Substrates (1) eine bis zu dem Anschlusspad (7) reichende Durchkontaktierung vorhanden ist.

13. Halbleiterbauelement nach Anspruch 12, bei dem ein Anteil der Metallisation (11) eine Oberfläche des Anschlusspads (7) bedeckt.

14. Halbleiterbauelement nach Anspruch 12 oder 13, bei dem die Metallisation (11) an einer Oberseite des Bauelementes mit einem Top-Metall (12) elektrisch leitend verbunden ist.

15. Halbleiterbauelement nach einem der Ansprüche 12 bis 14, bei dem die Metallisation (11) mit einer Passivierung (13) bedeckt ist, die die Öffnung (9) nur teilweise füllt.

16. Halbleiterbauelement nach Anspruch 15, bei dem die Passivierung (13) eine Oxidschicht und eine Nitridschicht umfasst.

17. Halbleiterbauelement nach einem der Ansprüche 12 bis 16, bei dem der Anschlusspad (7) versehen ist mit einer innerhalb der Isolationsschicht (2) angeordneten elektrischen Zuleitung (14) an eine integrierte Komponente, die auf der der Öffnung (9) gegenüberliegenden Seite der Isolationsschicht (2) angeordnet ist.

Es folgen 4 Blatt Zeichnungen

Anhängende Zeichnungen

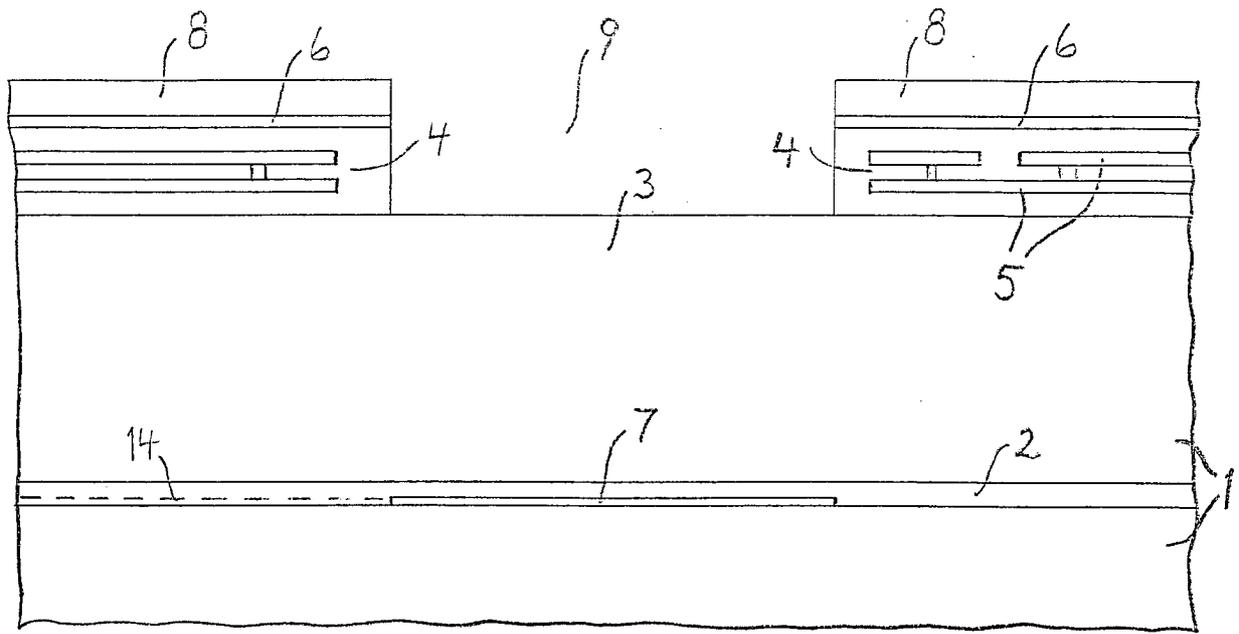


Fig 1

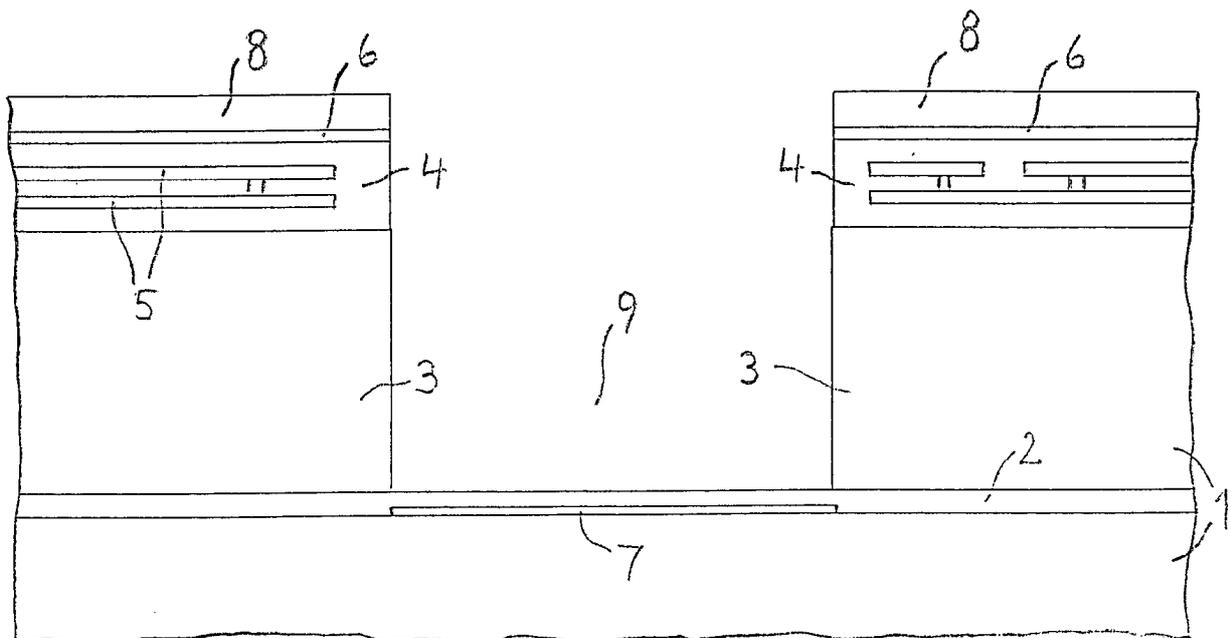


Fig 2

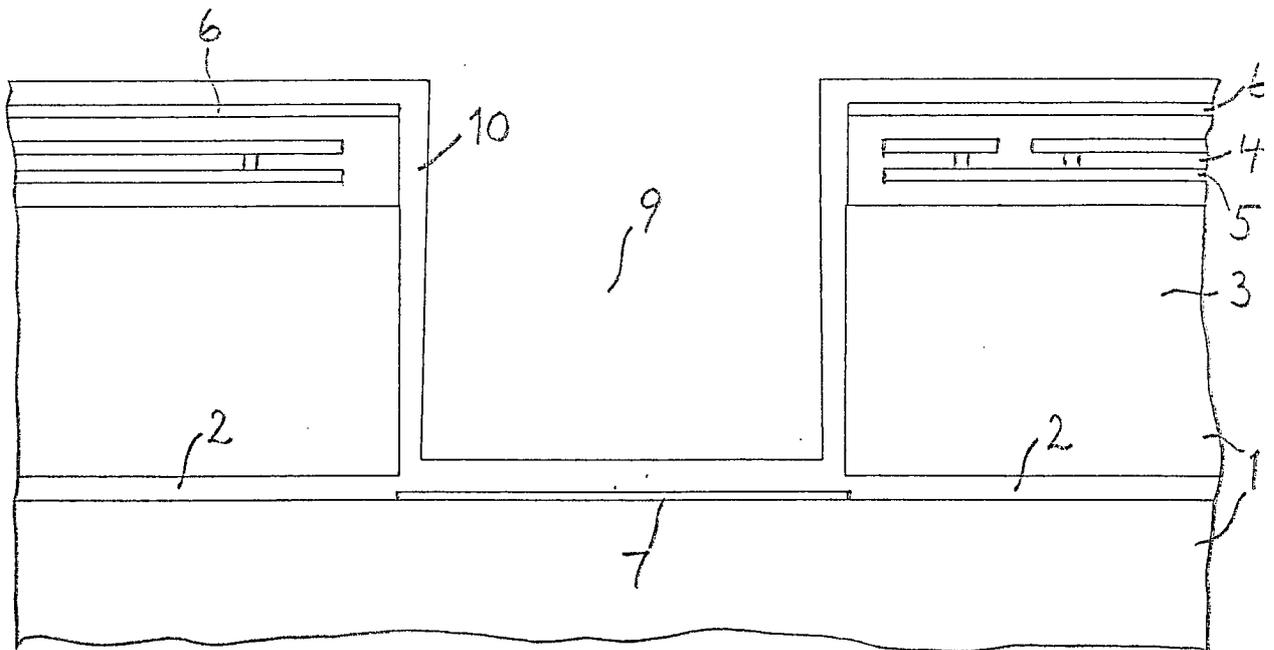


Fig 3

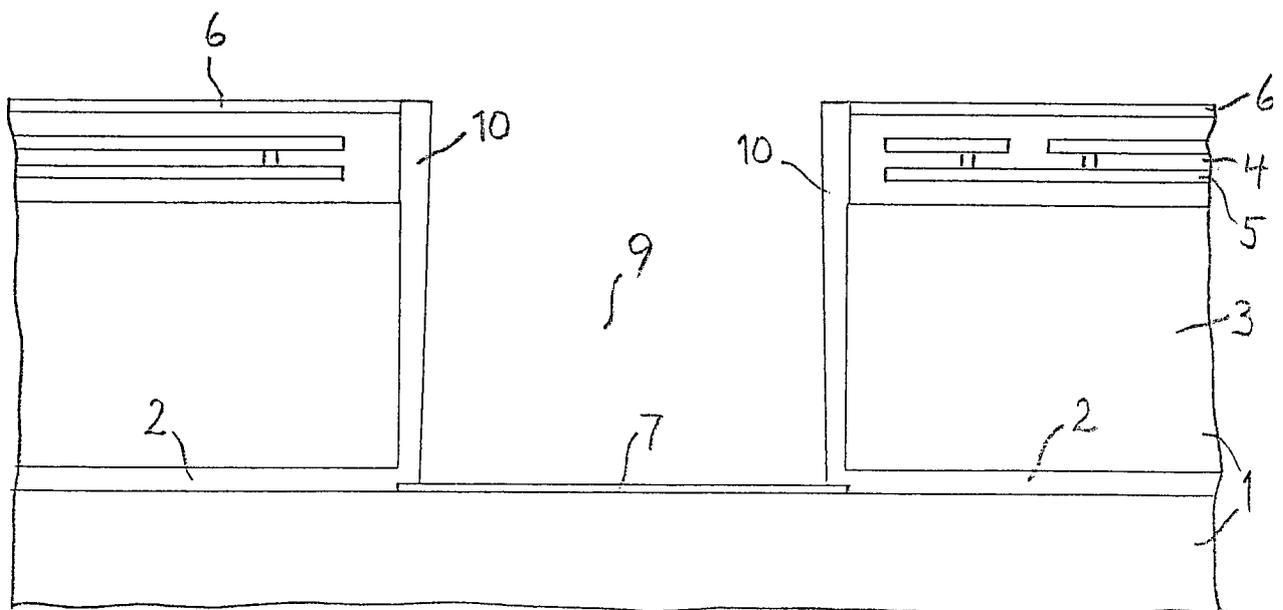
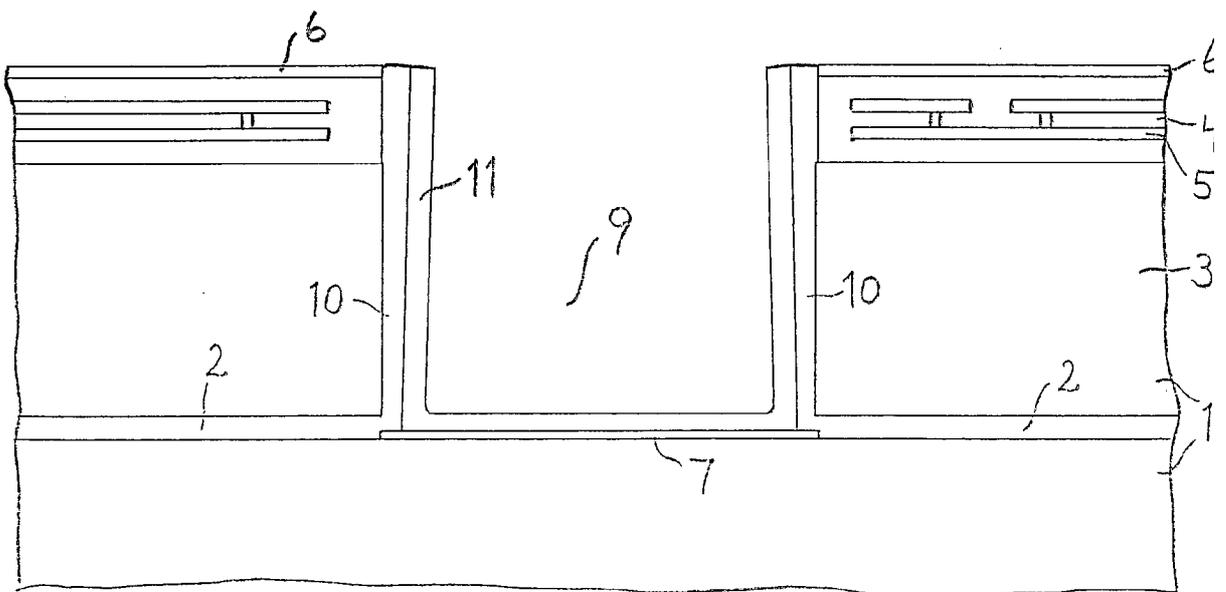
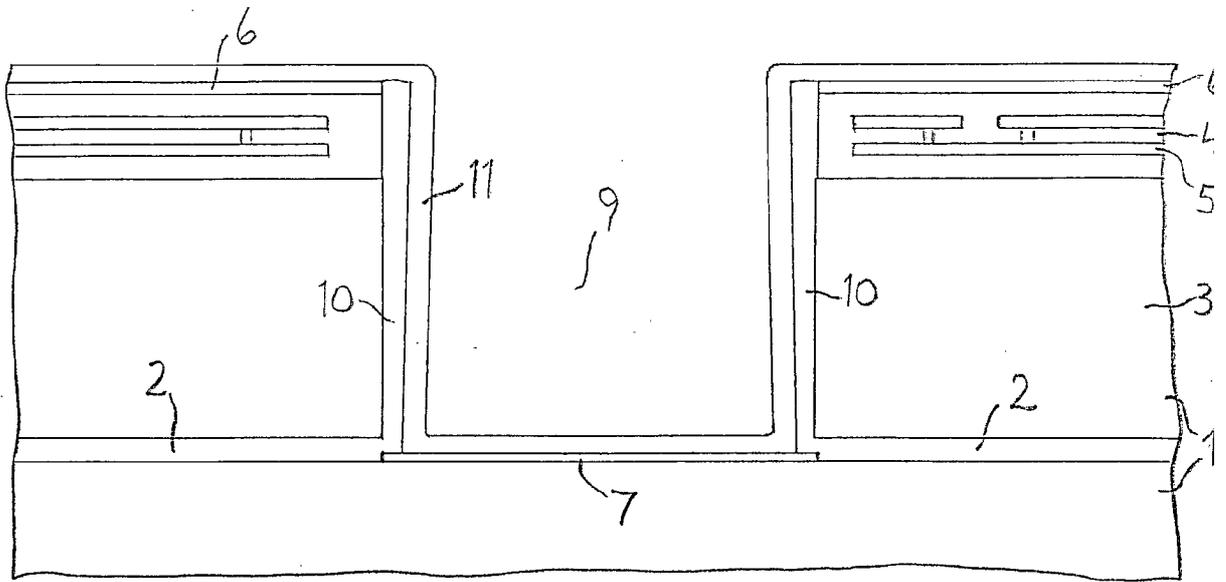


Fig 4



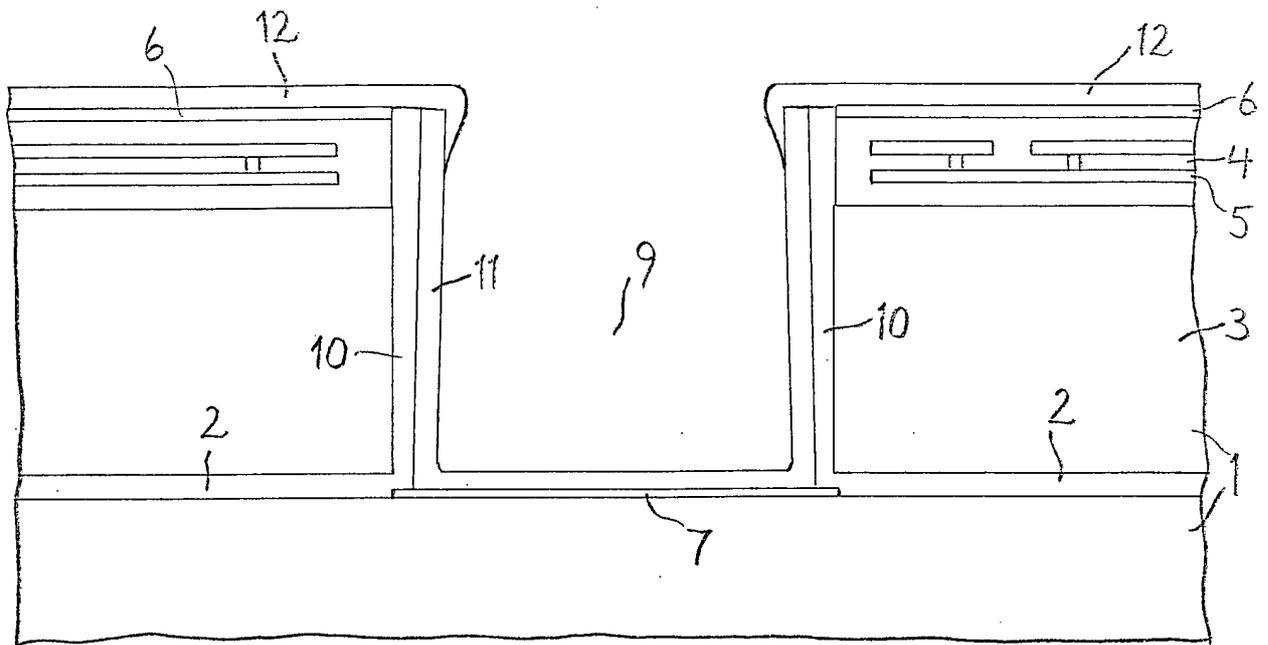


Fig 7

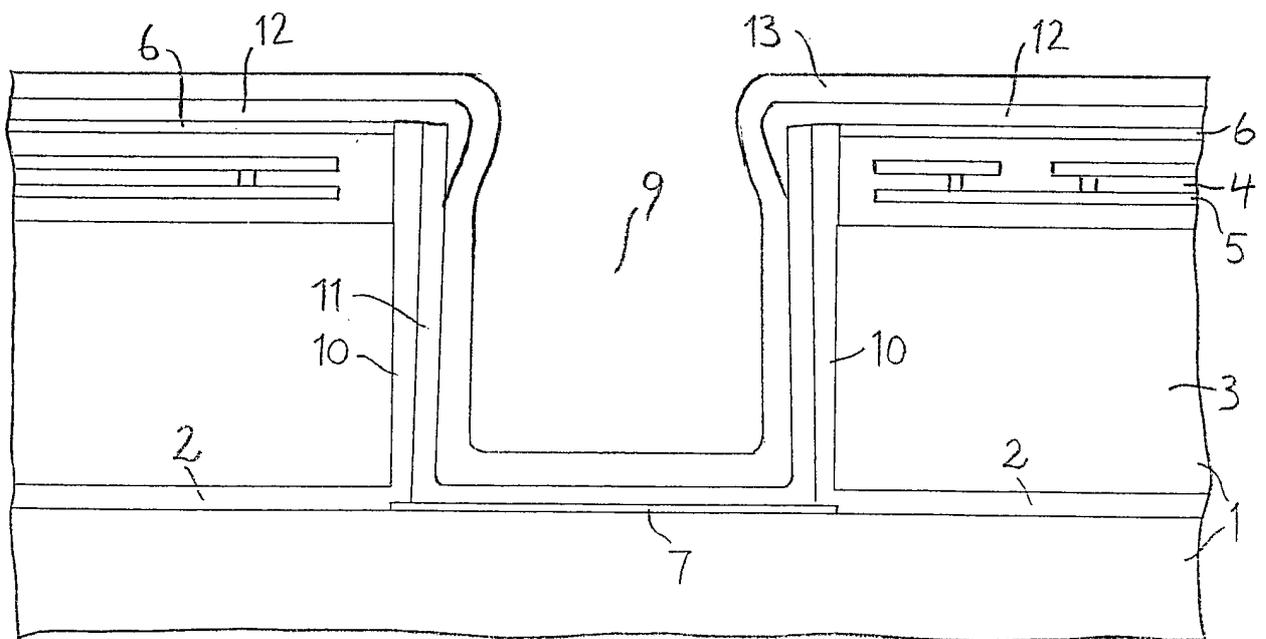


Fig 8