



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2009년03월03일  
 (11) 등록번호 10-0886004  
 (24) 등록일자 2009년02월20일

(51) Int. Cl.

*H01L 21/28* (2006.01)

(21) 출원번호 10-2007-0066187  
 (22) 출원일자 2007년07월02일  
 심사청구일자 2007년07월02일  
 (65) 공개번호 10-2009-0002655  
 (43) 공개일자 2009년01월09일  
 (56) 선행기술조사문헌  
 KR1019970004070 A  
 US20060046407 A1

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

류용환

서울 서초구 서초4동 삼호아파트 7동 204호

서준

경기 수원시 권선구 곡반정동 한솔아파트  
 105-1102

(뒷면에 계속)

(74) 대리인

특허법인가산

전체 청구항 수 : 총 10 항

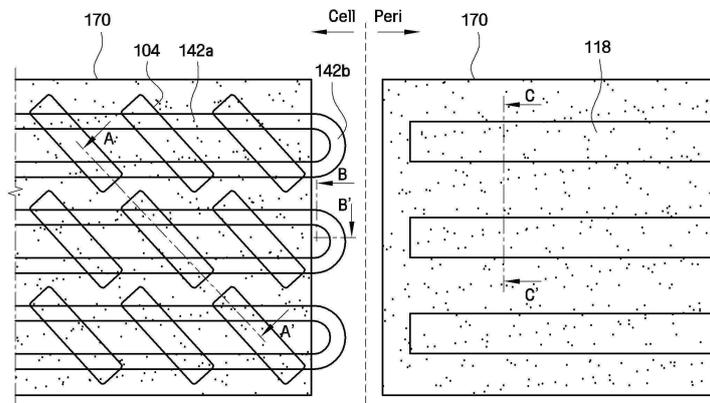
심사관 : 최정식

**(54) 반도체 소자 제조 방법**

**(57) 요약**

미세 피치를 갖는 균일한 두께의 매립된 도전 라인을 형성할 수 있는 반도체 소자 제조 방법이 제공된다. 반도체 소자 제조 방법은 절연막 내에 매립된 폐곡선 형태의 제 1 도전 패턴을 형성하고, 절연막 상에 제 1 도전 패턴의 양 끝단 상부를 노출시키는 마스크 패턴을 형성하고, 마스크 패턴을 이용하여 제1 도전 패턴의 양 끝단을 제거함으로써, 절연막 내에 라인 형태의 제 2 도전 패턴으로 분리하는 것을 포함한다.

**대표도** - 도11a



(72) 발명자

**강은영**

서울 관악구 봉천6동 1688-88번지 302호

**황재성**

경기 수원시 영통구 영통동 신나무실 신원아파트  
643-703

**권성운**

전북 전주시 덕진구 만성동 907번지

---

**특허청구의 범위**

**청구항 1**

기판 내에 매립된 폐곡선 형태의 제 1 도전 패턴을 형성하고,  
 상기 기판 상에 상기 폐곡선 형태의 제 1 도전 패턴의 양 끝단 상부를 노출시키는 마스크 패턴을 형성하고,  
 상기 마스크 패턴을 이용하여 상기 폐곡선 형태의 제1 도전 패턴의 양 끝단을 제거함으로써, 상기 폐곡선 형태의 제1 도전 패턴을 라인 형태의 제 2 도전 패턴으로 분리하는 것을 포함하는 반도체 소자 제조 방법.

**청구항 2**

제 1항에 있어서,  
 상기 기판 내에 매립된 폐곡선 형태의 제1 도전 패턴을 형성하는 것은, 상기 기판 내에 매립된 폐곡선 형태의 제1 도전 패턴, 및 상기 제1 도전 패턴 상의 절연막을 형성하는 것을 포함하고,  
 상기 절연막은 실리콘 산화막 또는 실리콘 질화막을 포함하는 반도체 소자 제조 방법.

**청구항 3**

제 1항에 있어서, 상기 기판 내에 매립된 폐곡선 형태의 상기 제 1 도전 패턴을 형성하는 것은,  
 상기 기판 상에 라인 앤드 스페이스(line and space) 형태의 제 1 마스크 패턴을 형성하고,  
 상기 제 1 마스크 패턴의 측벽에 스페이서 패턴을 형성하고,  
 상기 스페이서 패턴 사이를 채우는 제 2 마스크 패턴을 형성하고,  
 상기 제 1 및 제 2 마스크 패턴 사이의 상기 스페이서 패턴을 제거하고,  
 상기 제 1 및 제 2 마스크 패턴을 이용하여 상기 절연막을 소정 깊이로 식각하여 트렌치를 형성하고,  
 상기 트렌치 내에 상기 제1 도전 패턴과, 상기 제1 도전 패턴 상의 절연 패턴을 형성하는 것을 포함하는 반도체 소자 제조 방법.

**청구항 4**

제 3항에 있어서,  
 상기 스페이서 패턴 사이를 채우는 제 2 마스크 패턴을 형성한 후,  
 상기 제 1 마스크 패턴, 상기 스페이서 패턴 및 상기 제 2 마스크 패턴의 상면은 동일 평면을 이루도록 하는 것을 더 포함하는 반도체 소자 제조 방법.

**청구항 5**

제 4항에 있어서,  
 상기 제1 마스크 패턴의 측벽에 스페이서 패턴을 형성하는 것은, 상기 제1 마스크 패턴을 따라 컨포말하게 스페이서막을 형성하는 것을 포함하고,  
 상기 스페이서 패턴 사이를 채우는 제2 마스크 패턴을 형성하는 것은, 상기 스페이서막 상에 상기 제1 마스크 패턴 사이를 채우는 제2 마스크 패턴용 절연막을 형성하는 것을 포함하고,  
 상기 제 1 마스크 패턴, 상기 스페이서 패턴 및 상기 제 2 마스크 패턴의 상면은 동일 평면을 이루도록 하는 것은, 상기 제 1 마스크 패턴의 상면이 노출될 때까지 상기 제 2 마스크 패턴용 절연막 및 상기 스페이서막을 식각하는 것을 포함하는 반도체 소자 제조 방법.

**청구항 6**

제 5항에 있어서,  
 상기 스페이서 패턴은 상기 제 1 및 제 2 마스크 패턴에 대해 식각 선택비를 갖는 물질로 형성되는 반도체 소자

제조 방법.

**청구항 7**

제 6항에 있어서,

상기 제 1 및 제 2 마스크 패턴은 동일한 물질로 형성되는 반도체 소자 제조 방법.

**청구항 8**

제 2항에 있어서, 상기 폐곡선 형태의 제1 도전 패턴을 라인 형태의 상기 제 2 도전 패턴으로 분리하는 것은, 상기 마스크 패턴을 이용하여 상기 폐곡선 형태의 제 1 도전 패턴 양 끝단 상의 절연막 일부 및 상기 폐곡선 형태의 제 1 도전 패턴의 양 끝단을 순차적으로 식각하는 반도체 소자 제조 방법.

**청구항 9**

기판 내에 활성 영역을 정의하고,

상기 활성 영역을 가로지르는 폐곡선 형태의 트렌치를 형성하고,

상기 트렌치 내에 도전 패턴 및 절연 패턴을 순차적으로 형성하고,

상기 도전 패턴이 매립된 상기 기판 상에 상기 도전 패턴의 양 끝단 상부를 노출시키는 마스크 패턴을 형성하고,

상기 마스크 패턴을 이용하여 상기 도전 패턴의 양 끝단을 제거함으로써 상기 기판 내에 매립된 게이트 라인을 형성하는 것을 포함하는 반도체 소자 제조 방법.

**청구항 10**

청구항 10은(는) 설정등록료 납부시 포기되었습니다.

제 9항에 있어서,

상기 트렌치 내에 형성된 절연 패턴의 상면은 상기 기판의 표면과 동일 평면에 위치하는 반도체 소자 제조 방법.

**청구항 11**

청구항 11은(는) 설정등록료 납부시 포기되었습니다.

제 9항에 있어서, 상기 폐곡선 형태의 트렌치를 형성하는 것은,

상기 활성 영역이 정의된 기판 상에 상기 활성 영역을 가로지르는 라인 형태의 제 1 마스크 패턴을 형성하고,

상기 제1 마스크 패턴의 측벽에 스페이서 패턴을 형성하고,

상기 스페이서 패턴 사이를 채우는 제 2 마스크 패턴을 형성하고,

상기 제1 및 제2 마스크 패턴 사이의 상기 스페이서 패턴을 제거하고,

상기 제 1 및 제 2 마스크를 이용하여 상기 기판을 소정 깊이로 식각하여 트렌치를 완성하는 것을 포함하는 반도체 소자 제조 방법.

**청구항 12**

청구항 12은(는) 설정등록료 납부시 포기되었습니다.

제 11항에 있어서,

상기 스페이서 패턴 사이를 채우는 제 2 마스크 패턴을 형성한 후,

상기 제 1 마스크 패턴, 상기 스페이서 패턴 및 상기 제 2 마스크 패턴의 상면은 동일 평면을 이루도록 하는 것을 더 포함하는 반도체 소자 제조 방법.

**청구항 13**

청구항 13은(는) 설정등록료 납부시 포기되었습니다.

제 12항에 있어서,

상기 제1 마스크 패턴의 측벽에 스페이서 패턴을 형성하는 것은, 상기 제1 마스크 패턴을 따라 컨포말하게 스페이서막을 형성하는 것을 포함하고,

상기 스페이서 패턴 사이를 채우는 제2 마스크 패턴을 형성하는 것은, 상기 스페이서막 상에 상기 제1 마스크 패턴 사이를 채우는 제2 마스크 패턴용 절연막을 형성하는 것을 포함하고,

상기 제 1 마스크 패턴, 상기 스페이서 패턴 및 상기 제 2 마스크 패턴의 상면은 동일 평면을 이루도록 하는 것은, 상기 제 1 마스크 패턴의 상면이 노출될 때까지 상기 제 2 마스크 패턴용 절연막 및 상기 스페이서막을 식각하는 것을 포함하는 반도체 소자 제조 방법.

**청구항 14**

청구항 14은(는) 설정등록료 납부시 포기되었습니다.

제 9항에 있어서,

상기 스페이서 패턴은 상기 제 1 및 제 2 마스크 패턴에 대해 식각 선택비를 갖는 물질로 형성되는 반도체 소자 제조 방법.

**청구항 15**

청구항 15은(는) 설정등록료 납부시 포기되었습니다.

제 9항에 있어서, 상기 매립된 게이트 라인을 형성하는 것은,

상기 마스크 패턴을 이용하여 상기 절연 패턴 및 상기 도전 패턴의 양 끝단을 순차적으로 식각하는 반도체 소자 제조 방법.

**청구항 16**

청구항 16은(는) 설정등록료 납부시 포기되었습니다.

제 9항에 있어서, 상기 트렌치 내에 상기 도전 패턴을 형성하기 전에,

상기 트렌치의 내벽에 절연막을 형성하는 것을 더 포함하는 반도체 소자 제조 방법.

**청구항 17**

셀 영역 및 주변 회로 영역을 갖는 기판을 제공하고,

상기 기판 내에 소자분리막을 형성하여 활성 영역을 정의하고,

상기 기판 전면에 도전막 및 절연막을 적층하고,

상기 셀 영역의 기판 상에 상기 활성 영역을 가로지르며 상기 기판 상면을 폐곡선 형태로 노출시키는 제 1 마스크 패턴을 형성하고,

상기 제 1 마스크 패턴을 이용하여 상기 셀 영역의 기판 내에 폐곡선 형태의 트렌치를 형성하고,

상기 트렌치 내에 도전 패턴 및 캡핑 패턴을 순차적으로 형성하고,

상기 주변 회로 영역 상의 상기 도전막 및 절연막을 패터닝하여 상기 주변 회로 영역의 기판 상에 주변 회로 영역용 도전 패턴을 형성함과 동시에 상기 셀 영역의 상기 제 1 마스크 패턴을 제거하고,

상기 결과물 상에 상기 트렌치 내에 형성된 상기 도전 패턴의 양 끝단 상부를 노출시키는 제 2 마스크 패턴을 형성하고,

상기 제 2 마스크 패턴을 이용하여 상기 도전 패턴의 양 끝단을 제거함으로써 상기 기판 내에 매립된 게이트 라인을 형성하는 것을 포함하는 반도체 소자 제조 방법.

**청구항 18**

청구항 18은(는) 설정등록료 납부시 포기되었습니다.

제 17항에 있어서,

상기 트렌치 내에 형성된 절연 패턴의 상면은 상기 기관의 표면과 동일 평면에 위치하는 반도체 소자 제조 방법.

**청구항 19**

청구항 19은(는) 설정등록료 납부시 포기되었습니다.

제 17항에 있어서, 상기 제 1 마스크 패턴을 형성하는 것은,

상기 절연막을 패터닝하여, 상기 셀 영역의 기관 상에 활성 영역을 가로지르는 라인 형태의 제 1 하드 마스크를 형성하고,

상기 제 1 하드 마스크의 표면을 따라 키포말하게 스페이서막을 형성하고,

상기 스페이서막 상에 상기 제 1 하드 마스크 사이를 채우는 절연 물질을 증착하고,

상기 제 1 하드 마스크의 상면이 노출될 때까지 상기 절연 물질 및 상기 스페이서막을 식각하여 제 1 하드 마스크 측벽을 감싸는 스페이서 패턴 및 상기 스페이서 패턴 사이에 제 2 하드 마스크를 형성하고,

상기 제 1 및 제 2 하드 마스크 사이의 스페이서 패턴 및 상기 도전막을 순차적으로 제거하여 상기 제 1 마스크 패턴을 완성하는 것을 포함하는 반도체 소자 제조 방법.

**청구항 20**

청구항 20은(는) 설정등록료 납부시 포기되었습니다.

제 17항에 있어서,

상기 스페이서막은 상기 절연막 및 상기 절연 물질에 대해 식각 선택비를 갖는 물질로 형성되는 반도체 소자 제조 방법.

**청구항 21**

청구항 21은(는) 설정등록료 납부시 포기되었습니다.

제 17항에 있어서,

상기 제 1 하드 마스크의 상면이 노출될 때까지 상기 절연 물질 및 상기 스페이서막을 식각하여, 제 1 하드 마스크 측벽을 감싸는 스페이서 패턴 및 상기 스페이서 패턴 사이에 제 2 하드 마스크를 형성하는 것은,

상기 제 1 하드 마스크의 상면이 노출될 때까지 상기 절연 물질 및 상기 스페이서막을 식각하여, 상기 제 1 하드 마스크, 상기 제1 하드 마스크 측벽을 감싸는 상기 스페이서 패턴 및 상기 스페이서 패턴 사이의 상기 제 2 하드 마스크의 상면은 동일 평면을 이루게 하는 것을 포함하는 반도체 소자 제조 방법.

**청구항 22**

청구항 22은(는) 설정등록료 납부시 포기되었습니다.

제 17항에 있어서, 상기 트렌치를 형성한 다음,

상기 트렌치의 내벽에 게이트용 절연막을 형성하는 것을 더 포함하는 반도체 소자 제조 방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 발명은 반도체 소자 제조 방법에 관한 것으로서, 더욱 상세하게는 매립된 도전 라인을 형성할 수 있는 반도체 소자 제조 방법에 관한 것이다.

**배경 기술**

<2> 반도체 소자의 집적도가 증가함에 따라, 반도체 소자에 형성되는 패턴들의 피치 또한 급격히 감소하고 있다. 이에 비해 미세화된 패턴(예를 들어 라인 앤드 스페이스(line and space) 패턴)들을 형성하기 위해, 필수적으로 진행되는 리소그래피(lithography) 공정에서의 해상도 한계로 인하여, 계속해서 미세화되는 패턴들을 형성하는데 어려움이 있다.

<3> 이와 같은 문제를 해결하기 위해, 스페이스 패턴을 마스크로 이용하여 미세 패턴을 형성하는 방법이 개발되었다. 이러한 방법은 더미 패턴을 형성하고, 더미 패턴 좌우에 스페이스 패턴을 형성함으로써 스페이스 패턴을 마스크로 이용하여 미세 패턴을 형성할 수 있다.

**발명의 내용**

**해결 하고자하는 과제**

<4> 본 발명이 이루고자 하는 기술적 과제는 미세 피치를 갖는 균일한 두께의 매립된 도전 라인을 형성할 수 있는 반도체 소자 제조 방법을 제공하는데 있다.

<5> 본 발명이 이루고자 하는 기술적 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**과제 해결수단**

<6> 상기 기술적 과제를 달성하기 위하여 본 발명의 일 실시예에 따른 반도체 소자 제조 방법은 절연막 내에 매립된 폐곡선 형태의 제 1 도전 패턴을 형성하고, 절연막 상에 제 1 도전 패턴의 양 끝단 상부를 노출시키는 마스크 패턴을 형성하고, 마스크 패턴을 이용하여 제1 도전 패턴의 양 끝단을 제거함으로써, 절연막 내에 라인 형태의 제 2 도전 패턴으로 분리하는 것을 포함한다.

<7> 상기 기술적 과제를 달성하기 위하여 본 발명의 다른 실시예에 따른 반도체 소자 제조 방법은 기판 내에 활성 영역을 정의하고, 활성 영역을 가로지르는 폐곡선 형태의 트렌치를 형성하고, 트렌치 내에 도전 패턴 및 절연 패턴을 순차적으로 형성하고, 도전 패턴이 매립된 기판 상에 도전 패턴의 양 끝단 상부를 노출시키는 마스크 패턴을 형성하고, 마스크 패턴을 이용하여 도전 패턴의 양 끝단을 제거함으로써 기판 내에 매립된 게이트 라인을 형성하는 것을 포함한다.

<8> 상기 기술적 과제를 달성하기 위하여 본 발명의 또 다른 실시예에 따른 반도체 소자 제조 방법은 셀 영역 및 주변 회로 영역을 갖는 기판을 제공하고, 기판 내에 소자분리막을 형성하여 활성 영역을 정의하고, 기판 전면에도전막 및 절연막을 적층하고, 셀 영역의 기판 상에 활성 영역을 가로지르며 기판 상면을 폐곡선 형태로 노출시키는 제 1 마스크 패턴을 형성하고, 제 1 마스크 패턴을 이용하여 셀 영역의 기판 내에 폐곡선 형태의 트렌치를 형성하고, 트렌치 내에 도전 패턴 및 캡핑 패턴을 순차적으로 형성하고, 주변 회로 영역 상의 도전막 및 절연막을 패터닝하여 주변 회로 영역의 기판 상에 주변 회로 영역용 도전 패턴을 형성함과 동시에 셀 영역의 제 1 마스크 패턴을 제거하고, 결과물 상에 트렌치 내에 형성된 도전 패턴의 양 끝단 상부를 노출시키는 제 2 마스크 패턴을 형성하고, 제 2 마스크 패턴을 이용하여 도전 패턴의 양 끝단을 제거함으로써 기판 내에 매립된 게이트 라인을 형성하는 것을 포함한다.

<9> 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

**효과**

<10> 상기한 바와 같이 본 발명의 반도체 소자 제조 방법에 따르면, 반도체 기판 상에 단차를 갖지 않는 균일한 두께의 마스크 패턴들을 형성하여, 반도체 기판 내에 폐곡선 형태의 트렌치를 형성할 수 있다. 이에 따라 트렌치 내에 균일한 두께로 도전막을 증착할 수 있으며, 이러한 도전막을 이방성 식각함으로써 트렌치 내에 일정한 두께를 갖는 폐곡선 형태의 도전 패턴을 형성할 수 있다.

<11> 그리고 나서, 트렌치 내에 도전 패턴을 매립하고, 도전 패턴이 매립된 반도체 기판의 평면을 평탄화한 다음, 폐

곡선 형태의 도전 패턴의 양 끝단을 선택적으로 제거함으로써, 한 쌍의 도전 라인을 형성할 수 있다.

- <12> 따라서, 반도체 기판 내에 미세 피치를 갖는 도전 라인들을 균일한 두께로 형성할 수 있다.
- <13> 그리고, 이러한 도전 라인들을 반도체 기판의 셀 영역에 형성함으로써 일정한 두께로 매립된 게이트 라인들을 형성할 수 있어, 각각의 셀 특성을 일정하게 유지할 수 있다.

**발명의 실시를 위한 구체적인 내용**

- <14> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- <15> 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 포함한다(comprises) 및/또는 포함하는(comprising)은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- <16> 또한, 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.
- <17> 이하, 도 1 내지 도 12b를 참조하여 본 발명의 실시예들에 따른 반도체 소자의 제조 방법에 대해 상세히 설명한다.
- <18> 도 1 내지 도 12b는 본 발명의 일 실시예에 따른 반도체 소자의 제조 방법을 순서대로 나타내는 도면들이며, 도 2a, 도 6a, 도 9a, 도 11a 및 도 12a는 반도체 소자 제조 방법의 단계별 평면도이고, 각각의 도면에서 A-A', B-B' 및 C-C' 선을 따라 자른 단면도들이 도 2b, 도 6b, 도 9b, 도 11b 및 도 12b에 도시되어 있다.
- <19> 먼저, 도 1을 참조하면, 셀(Cell) 영역 및 주변 회로 영역(Peri)을 갖는 반도체 기판(100)을 준비한다. 반도체 기판(100)으로는 벌크 실리콘, 벌크 실리콘-게르마늄 또는 이들 상에 실리콘 에피층 또는 실리콘-게르마늄 에피층을 포함하는 복합 구조의 기판일 수 있다. 이러한 반도체 기판(100)에 STI(Shallow Trench Isolation) 공정을 수행하여 소자 분리막(102)을 형성한다. 이에 따라 셀 영역(Cell) 및 주변 회로 영역(Peri)의 소정 영역에 활성 영역(104)들이 형성될 수 있다.
- <20> 다음으로, 활성 영역(104)이 정의된 반도체 기판(100) 상에 제 1 및 제 2 하드 마스크층(111, 113)을 순차적으로 형성한다. 제 1 및 제 2 하드 마스크층(111, 113)은 반도체 기판(100)에 대해 식각 선택비를 갖는 물질로 형성된다. 이와 동시에, 제 1 하드 마스크층(111)과 제 2 하드 마스크층(113)은 서로 다른 식각 선택비를 갖는 물질로 형성된다. 예를 들어, 제 1 하드 마스크층(111)은 도전막으로 형성될 수 있으며, 제 2 하드 마스크층(113)은 절연막으로 형성될 수 있다. 본 발명의 일 실시예에서는 반도체 기판(100) 상에 제 1 도전막(111) 및 제 1 절연막(113)을 순차적으로 형성하는 것으로 예를 들어 설명한다. 여기서, 제 1 도전막(111)으로는 폴리 실리콘막을 증착하여 형성할 수 있으며, 제 1 절연막(113)으로는 실리콘 질화막과 같은 물질로 형성될 수 있다.
- <21> 한편, 주변 회로 영역(Peri)에 게이트 전극을 형성한다면, 제 1 도전막(111)을 형성하기 전에, 반도체 기판(100) 상에 게이트용 절연막(미도시)을 형성할 수도 있다. 상기 게이트용 절연막은 실리콘 산화막 또는 고유전막으로 형성될 수 있다.
- <22> 이와 같이 반도체 기판(100) 상에 형성되는 제 1 도전막(111)은 셀 영역(Cell)에서 마스크를 형성하기 위해 이용되며, 주변 회로 영역(Peri)에서는 도전 패턴을 형성하기 위해 이용될 것이다.
- <23> 그리고 나서, 도 2a 및 도 2b를 참조하면, 셀 영역(Cell) 상에 위치하는 제 1 절연막(113)을 패터닝하여, 셀 영역(Cell)의 제 1 도전막(111) 상에 라인 앤드 스페이스(line and space) 형태의 제 1 절연 패턴(114)을 형성한다. 제 1 절연 패턴(114)은 셀 영역(Cell)의 반도체 기판(100) 상에서 활성 영역(104)의 상부를 가로질러 형성

된다. 그리고 셀 영역(Cell) 상에 제 1 절연 패턴(114)을 형성할 때, 주변 회로 영역(Peri) 상의 제 1 도전막(111) 및 제 1 절연막(113)은 패터닝되지 않고 반도체 기판(100) 상에 그대로 잔류한다. 즉, 주변 회로 영역(Peri)의 반도체 기판(100)은 적층된 제 1 도전막(111) 및 제 1 절연막(113')에 의해 덮여 있다.

<24> 다음으로 도 3을 참조하면, 제 1 절연 패턴(114)이 형성된 반도체 기판(100) 전면에 스페이서막(120)을 형성한다. 즉, 셀 영역(Cell) 상에서 제 1 절연 패턴(114)을 따라 컨포말하게 형성되며, 주변 회로 영역(Peri) 상에서는 제 1 절연막(113') 상에 형성된다. 이 때, 스페이서막(120)은 제 1 절연 패턴(114)과 식각 선택비를 갖는 물질로 형성한다. 구체적으로, 절연스페이서막(120)은 제 1 절연 패턴(114)보다 식각율이 높은 물질로 형성할 수 있다. 예를 들어, 스페이서막(120)은 폴리실리콘막을 제 1 절연패턴(114)의 표면을 따라 컨포말하게 증착하여 형성할 수 있을 것이다. 이러한 스페이서막(120)은 CVD(Chemical Vapor Deposition) 또는 ALD(Atomic Layer Deposition) 공정을 수행하여 증착할 수 있으며, 이 때, 증착되는 스페이서막(120)의 두께에 따라 후속 공정에 의해 셀 영역(Cell)에 형성되는 미세 패턴들의 피치가 결정될 수 있다.

<25> 한편, 제 1 절연 패턴(114)의 표면을 따라 컨포말하게 스페이서막(120)을 형성한 다음, 제 1 절연 패턴(114) 양측에 라인 형태의 스페이서 패턴을 형성하기 위해, 셀 영역(Cell)의 가장자리, 즉, 셀 영역(Cell)과 주변 회로 영역(Peri)의 경계 부분(II)의 제 1 절연 패턴(114) 측벽에 형성된 스페이서막(120)을 식각할 수 있다. 그러나 경계 부분(II)에 형성된 스페이서막(120)을 식각하는 동안 주변의 제 1 절연 패턴(114)까지 제거될 수 있으며, 이에 따라 셀 영역의 중앙 부분(I)과 경계 부분(II) 간에 단차가 발생할 수 있다. 이러한 단차를 없애기 위해 결과물 상에 절연 물질을 채우고 평탄화 공정을 진행할 수 있겠으나, 절연 물질의 증착 특성 상 단차를 줄일 수는 있으나 완전히 평탄화될 수 없다. 따라서, 계속되는 후속 공정에서 트렌치 내에 매립되는 도전 패턴이 균일한 두께로 매립될 수 없을 것이다.

<26> 따라서, 스페이서막(120)을 형성한 다음, 도 4에 도시된 바와 같이, 스페이서막(120) 상에 제 1 절연 패턴(114)들 사이가 매립되도록 제 2 절연막(130)을 형성한다. 이 때, 제 2 절연막(130)은 스페이서막(120)에 대해 식각 선택비를 갖는 물질로 형성한다. 즉, 제 2 절연막(130)은 제 1 절연 패턴(114)과 동일한 물질로도 형성될 수 있을 것이다.

<27> 그리고 나서, 도 5에 도시된 바와 같이, 제 2 절연막(130) 및 스페이서막(120) 일부를 선택적으로 식각하여 제 1 절연패턴(114)의 상면을 노출시킨다. 보다 상세히 설명하면, 제 2 절연막(130)을 제 1 절연 패턴(114) 상부에 위치하는 스페이서막(120)을 식각 정지막으로 이용하여 식각하며, 계속해서 스페이서막(120) 일부를 제 1 절연 패턴(116)이 노출될 때까지 식각한다. 이와 같은 공정은 상면이 평탄화시키는 에치 백(etch back) 또는 CMP 공정이 진행될 수 있을 것이다. 이와 같은 공정을 진행하는 동안 주변 회로 영역(Peri) 상의 스페이서막(120) 및 제 2 절연막(130)은 모두 제거될 것이다.

<28> 이에 따라, 셀 영역(Cell)의 제 1 절연 패턴(114) 사이에는 제 1 절연 패턴(114)의 측벽을 감싸는 스페이서 패턴(122)이 형성된다. 그리고 제 1 절연 패턴(114)들 사이의 스페이서 패턴(122) 상에는 제 2 절연 패턴(132)이 형성될 수 있다. 이와 같이 형성된 스페이서 패턴(122)은 셀 영역(Cell)에서 라인 형태의 제 1 절연 패턴(114)의 양 측벽을 감싸고 있다. 즉, 스페이서 패턴(122)은 라인 형태의 제 1 절연 패턴(114)을 둘러싸는 폐곡선 형태를 가질 수 있다.

<29> 그리고, 스페이서 패턴(122)을 형성하는 동안, 제 1 절연 패턴(114), 제 2 절연 패턴(132) 및 스페이서 패턴(122)이 이루는 상면들은 평탄화되어 있어 동일한 평면을 형성할 수 있다.

<30> 다음으로, 도 6a 및 도 6b를 참조하면, 제 1 절연 패턴(114)과 제 2 절연 패턴(132) 사이에 위치하는 스페이서 패턴(122)을 제거하고, 스페이서 패턴(122) 하부의 제 1 도전막(111)을 식각하여 셀 영역(Cell)의 반도체 기판(100)을 노출시킨다. 스페이서 패턴(122)은 제 1 및 제 2 절연 패턴(114, 132)에 대해 식각 선택비를 갖는 물질로 형성되어 있으므로, 제 1 및 제 2 절연 패턴(114, 132)을 식각 마스크로 이용하여, 건식 식각함으로써 선택적으로 제거할 수 있다. 이와 같이 스페이서 패턴(122) 및 제 1 도전막(111)을 선택적으로 제거하고 나면, 셀 영역(Cell)의 반도체 기판(100) 상에는 제 1 및 제 2 마스크 패턴(116, 134)에 의해 반도체 기판(100)을 폐곡선 형태로 노출시키는 개구부가 형성될 수 있다. 여기서, 제 1 마스크 패턴(116)은 제 1 절연 패턴(114)과 하부에 위치하는 제 1 도전 패턴(112)을 지칭한다. 그리고, 제 2 마스크 패턴(134)은 제 1 도전 패턴(112), 스페이서 패턴(122)을 선택적으로 제거하고 잔류하는 패턴(124)과, 그 상부에 위치하는 제 2 절연 패턴(132)을 지칭한다. 계속해서, 제 1 및 제 2 마스크 패턴(116, 134)을 이용하여, 반도체 기판(100)을 소정 깊이로 식각하여 반도체 기판(100) 내에 트렌치(106)를 형성한다. 즉, 셀 영역(Cell)에서 활성 영역(104) 및 소자 분리막(102)을 건식 식각하여 트렌치(106)를 형성한다. 이에 따라 셀 영역(Cell)의 반도체 기판(100) 내에 활성 영역(104)을 가로지

르는 폐곡선 형태의 트렌치(106)가 형성된다.

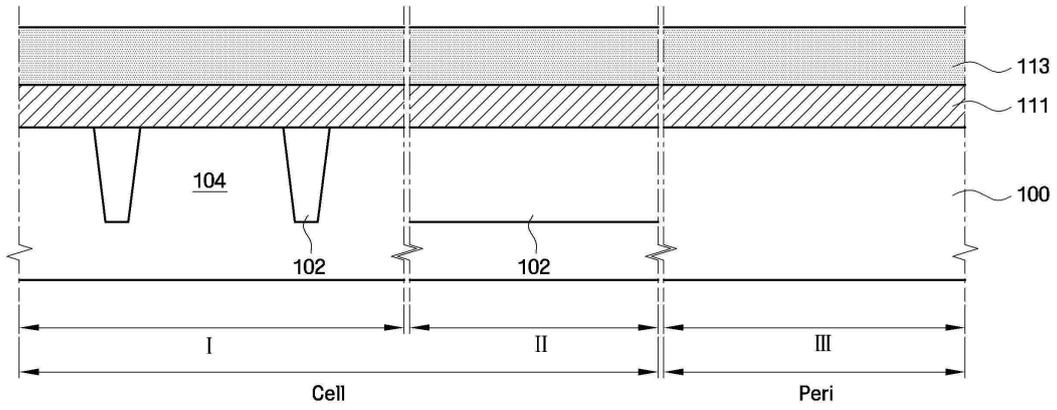
- <31> 다음으로, 도 7을 참조하면, 반도체 기관(100) 내에 트렌치(106)가 형성된 결과물 전면에서 제 2 도전막(140)을 형성한다. 보다 상세히 설명하면, 트렌치(106)의 내벽을 덮을 수 있도록 제 1 및 제 2 마스크 패턴(116, 134) 및 트렌치(106) 표면을 따라 게이트용 절연막(미도시)을 형성한다. 여기서 게이트용 절연막으로는 실리콘 산화막 또는 고유전막이 이용될 수 있다. 그리고, 제 2 도전막(140)은 셀 영역(Cell)에 형성되는 게이트용 도전막으로서, 셀 영역(Cell)의 반도체 기관(100) 내에 형성된 트렌치(106)를 완전히 매립시킬 수 있는 물질로 형성한다. 예를 들어, 제 2 도전막(140)은 티타늄 질화막(TiN)을 증착하여 형성할 수 있다. 이에 따라 트렌치(106) 내부 및 제 1 및 제 2 마스크 패턴(116, 134) 상부에 제 2 도전막(140)이 형성된다. 그리고 제 1 및 제 2 마스크 패턴(116, 134) 및 주변 회로 영역(Peri)의 제 1 절연막(113')의 상부가 평탄화되어 있으므로, 제 2 도전막(140)은 제 1 및 제 2 마스크 패턴(116, 134)과 제 1 절연막(113') 상에 균일한 두께로 형성될 수 있다.
- <32> 이어서, 도 8을 참조하면, 제 2 도전막(140)을 식각하여 트렌치(106) 내의 일부를 채우는 제 2 도전 패턴(142a, 142b)을 형성한다. 즉, 트렌치(106) 내에 제 2 도전막(140)의 일부가 잔류하도록 제 2 도전막(140)에 대해 전면 건식 식각 공정을 진행한다. 이러한 식각 공정은 제 2 도전막(140)이 트렌치(106) 내에 일부가 잔류될 때까지 진행되므로, 제 1 및 제 2 마스크 패턴(116, 134)과 주변 회로 영역(Peri)의 제 1 절연막(113')의 일부까지 식각될 수 있다.
- <33> 이와 같이 형성된 제 2 도전 패턴(142a, 142b)은 폐곡선 형태의 트렌치(106) 내에 형성되므로 폐곡선 형태를 가지며, 제 2 도전 패턴(142a, 142b)의 상면은 활성 영역(104)의 표면보다 낮게 위치한다. 이러한 제 2 도전 패턴(142a, 142b)은 제 2 도전막(140)에 대한 전면 건식 식각 공정을 통해 형성되므로 트렌치(106) 내에 균일한 두께로 형성될 수 있다.
- <34> 다음으로, 도 9a 및 도 9b를 참조하면, 트렌치(106)의 일부를 채우는 제 2 도전 패턴(142a, 142b) 상에 캡핑 패턴(152a, 152b)을 형성한다. 자세히 설명하면, 트렌치(106)의 일부를 채우는 제 2 도전 패턴(142a, 142b)을 형성한 다음, 트렌치(106)의 나머지 부분과 제 1 및 제 2 마스크 패턴(116, 134) 사이가 매립될 수 있도록 제 1 및 제 2 마스크 패턴(116, 134) 상에 캡핑막을 형성한다. 그리고 나서, 캡핑막을 평탄화하여 제 1 및 제 2 마스크 패턴(116, 134) 사이에 캡핑 패턴(152a, 152b)을 형성한다. 여기서, 캡핑막은 실리콘 질화막으로 형성될 수 있으며, 캡핑막을 이방성 식각하여 캡핑 패턴(152a, 152b)을 형성할 수 있다. 이 때, 제 1 및 제 2 마스크 패턴(116, 134)의 제 1 도전 패턴(112) 표면이 노출될 때까지 캡핑막을 식각한다. 즉, 제 2 도전 패턴(142a, 142b) 상에 캡핑 패턴(152a, 152b)을 형성하는 동안, 제 1 및 제 2 마스크 패턴(116, 134)의 제 1 및 제 2 절연막(114, 132) 또한 식각될 것이다. 따라서 셀 영역(Cell)의 제 1 도전 패턴(112)과 주변 회로 영역(Peri)의 제 1 도전막(111')이 노출될 수 있다.
- <35> 그리고 나서, 주변 회로 영역(Peri)의 제 1 도전막(111') 상에 주변 회로 영역(Peri)용 도전 패턴을 형성하기 위한 제 1 포토레지스트 패턴(160)을 형성한다. 주변 회로 영역(Peri)에서 형성되는 도전 패턴은 비교적 패턴의 선폭이 크고 패턴 간의 간격이 넓게 형성될 수 있으므로, 셀 영역(Cell)의 도전 패턴들 보다 비교적 큰 패턴을 형성할 수 있는 제 1 포토레지스트 패턴(160)이 형성된다.
- <36> 다음으로, 도 10을 참조하면, 주변 회로 영역(Peri)에 형성된 제 1 포토레지스트 패턴(160)을 이용하여 주변 회로 영역(Peri)에 도전 패턴(118)을 형성한다. 주변 회로 영역(Peri)의 도전 패턴(118)은 제 1 포토레지스트 패턴(160)을 이용하여 주변 회로 영역(Peri)에 남아 있던 제 1 도전막(111')을 패터닝함으로써 형성된다. 이와 동시에 셀 영역(Cell)의 반도체 기관(110) 상에 남아있는 제 1 도전 패턴(112) 및 캡핑 패턴(152a, 152b)의 일부가 함께 식각된다.
- <37> 따라서, 셀 영역(Cell)에는 활성 영역(104)을 가로지르며, 인접한 소자 분리막(102)으로 연장되고, 반도체 기관(100) 내에 매립된 폐곡선 형태의 제 2 도전 패턴(142a, 142b)이 완성된다. 이러한 제 2 도전 패턴(142a, 142b)이 형성된 셀 영역(Cell)은 반도체 기관(100) 및 캡핑 패턴(152a', 152b')의 표면이 노출된다. 이 때, 반도체 기관(100)의 표면 및 캡핑 패턴(152a', 152b')의 상면이 동일 평면을 이룰 수 있다. 그리고 주변 회로 영역(Peri)의 반도체 기관(100) 상에는 비교적 큰 폭의 도전 패턴(118)들이 형성된다. 주변 회로 영역(Peri)의 도전 패턴(118)들을 형성한 다음, 제 1 포토레지스트 패턴(160)은 애싱 공정을 통해 제거될 수 있다.
- <38> 다음으로, 셀 영역(Cell)에 폐곡선 형태로 형성된 제 2 도전 패턴(142a, 142b)을 한 쌍의 라인 패턴으로 형성하기 위해, 제 2 도전 패턴(142a, 142b)을 분리하는 공정을 진행한다. 즉, 셀 영역(Cell)의 가장자리, 다시 말해 셀 영역(Cell)과 주변 회로 영역(Peri)의 경계 부분(II)에 위치하는 제 2 도전 패턴(142a, 142b)의 곡선 부분을



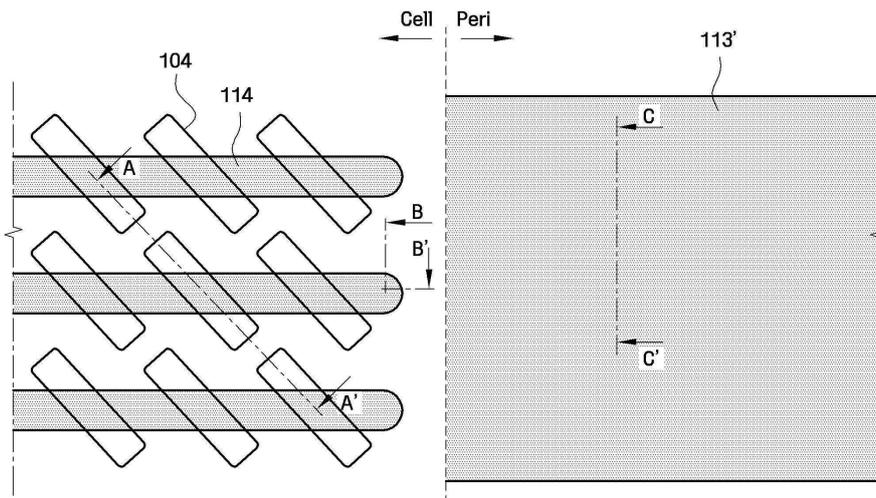
<57> 160: 제 1 포토레지스트 패턴 170: 제 2 포토레지스트 패턴

도면

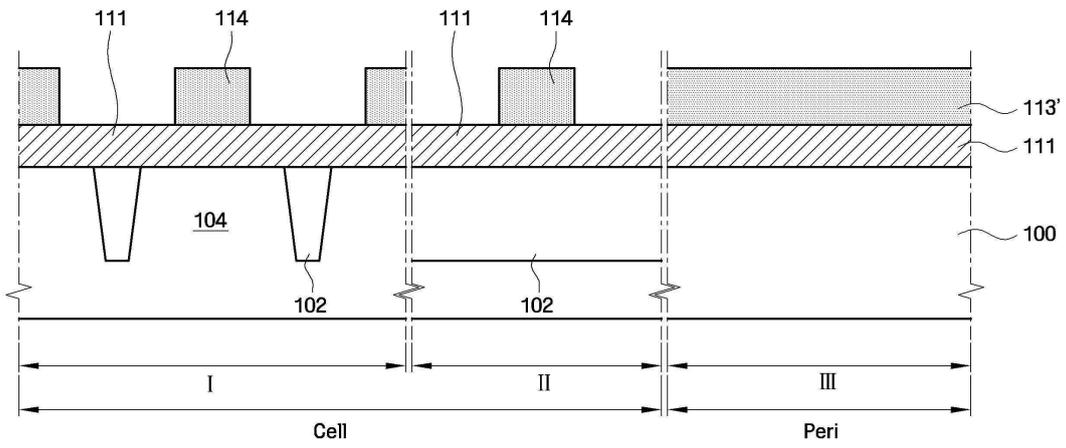
도면1



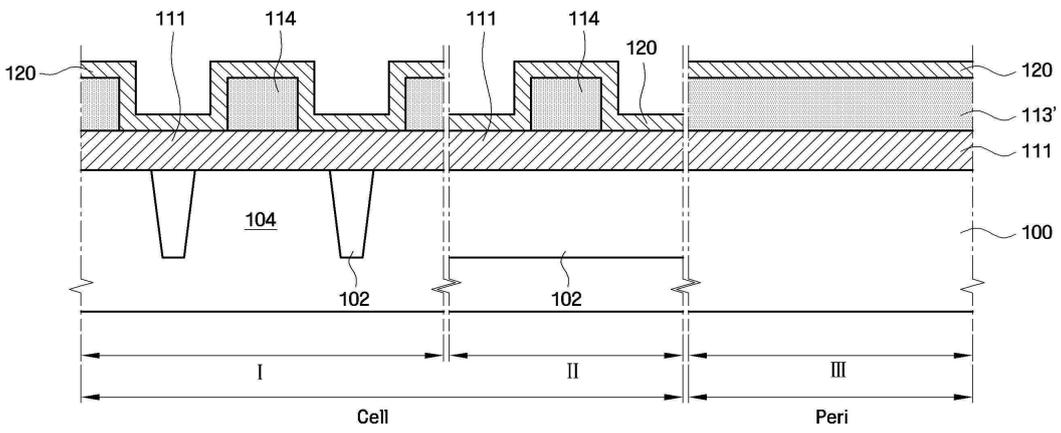
도면2a



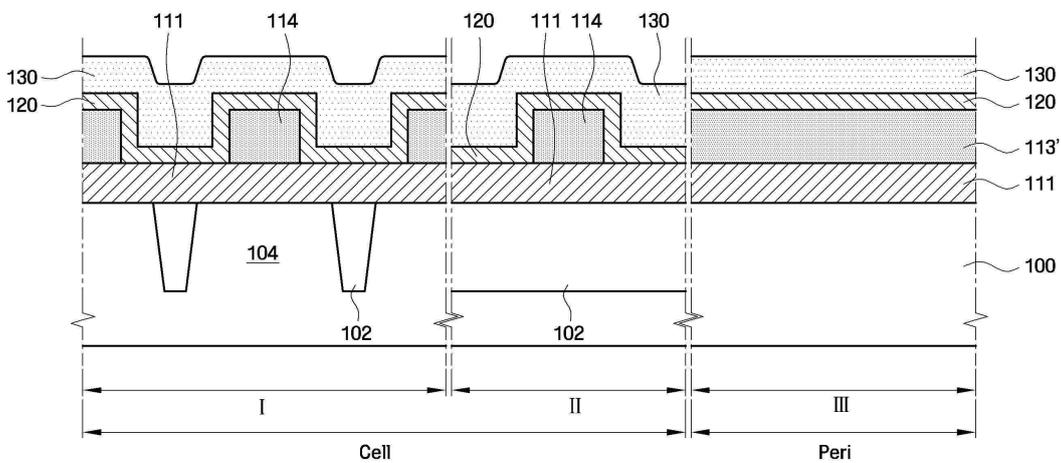
도면2b



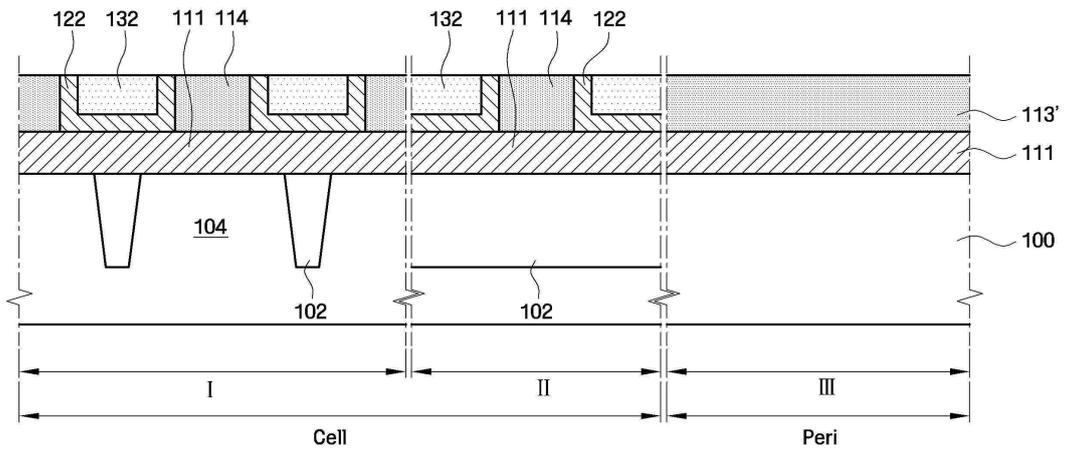
도면3



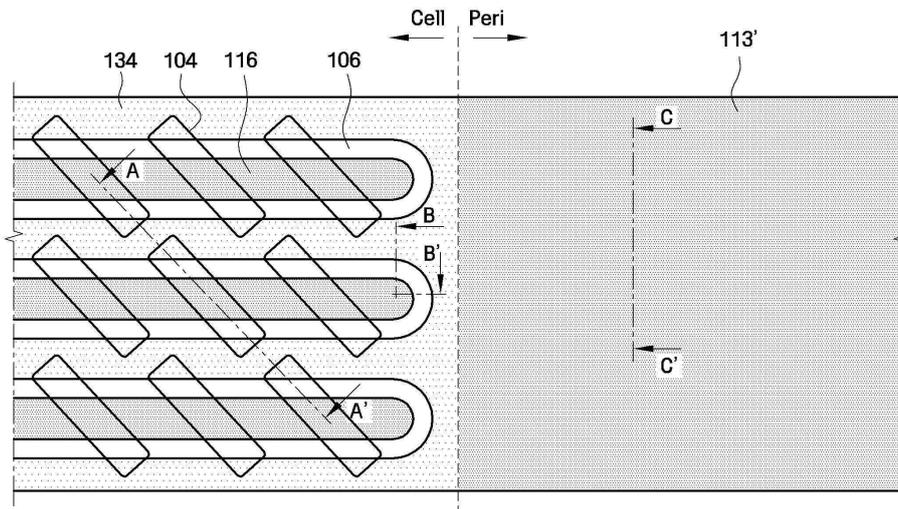
도면4



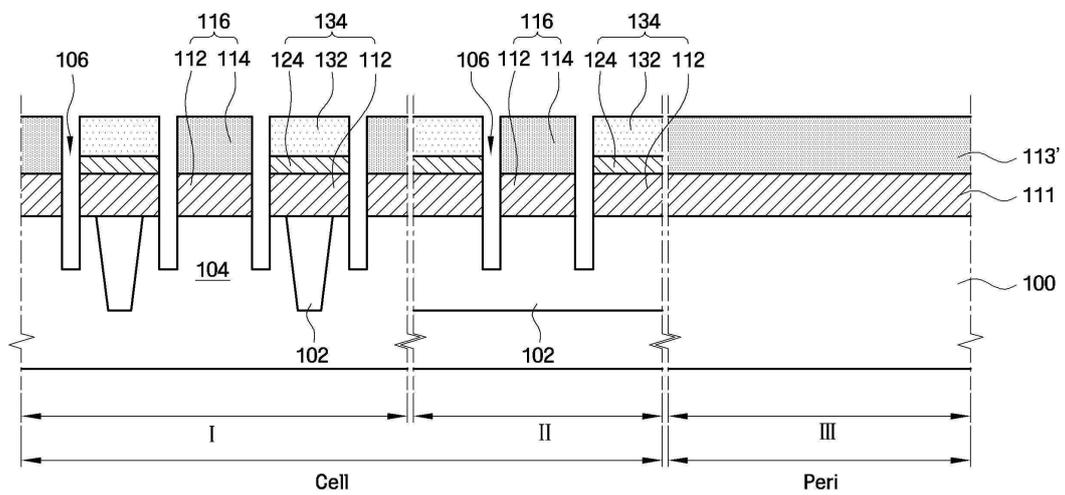
도면5



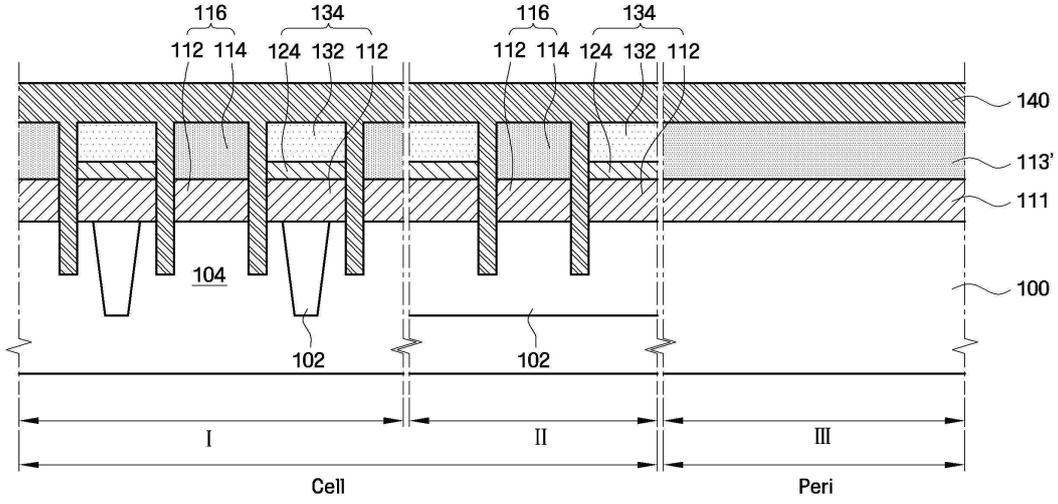
도면6a



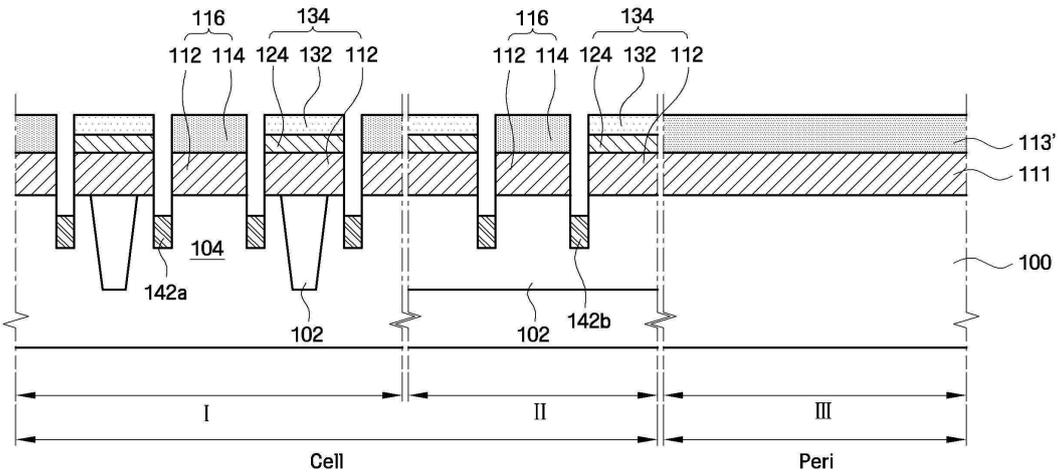
도면6b



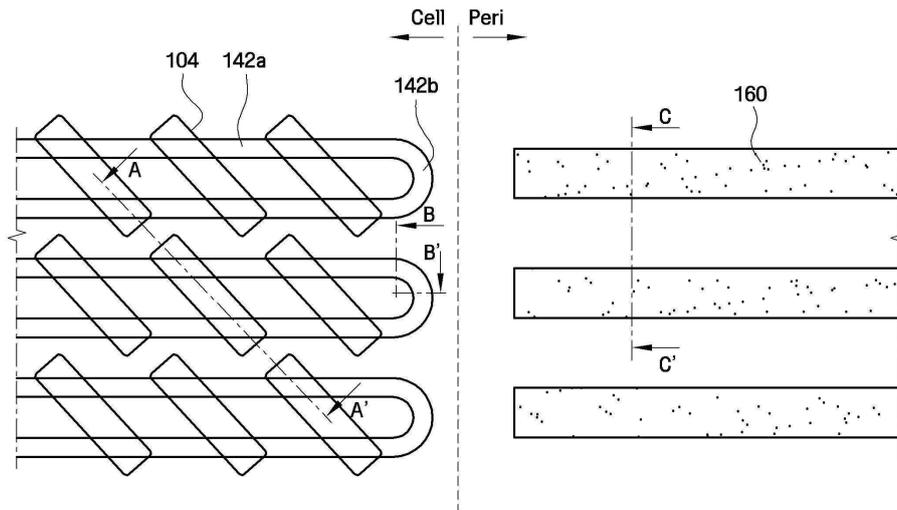
도면7



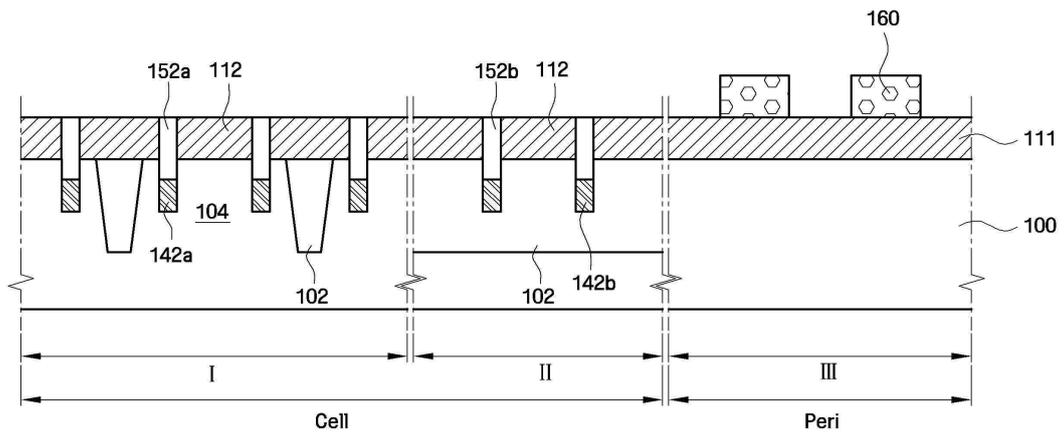
도면8



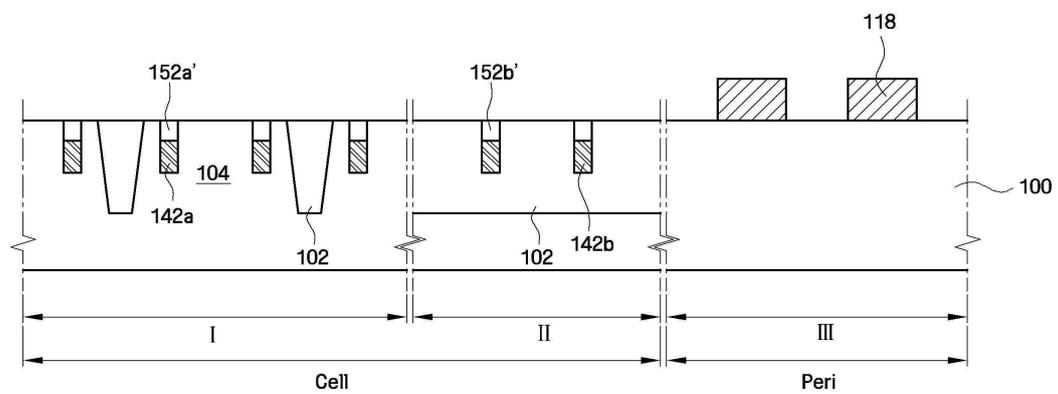
도면9a



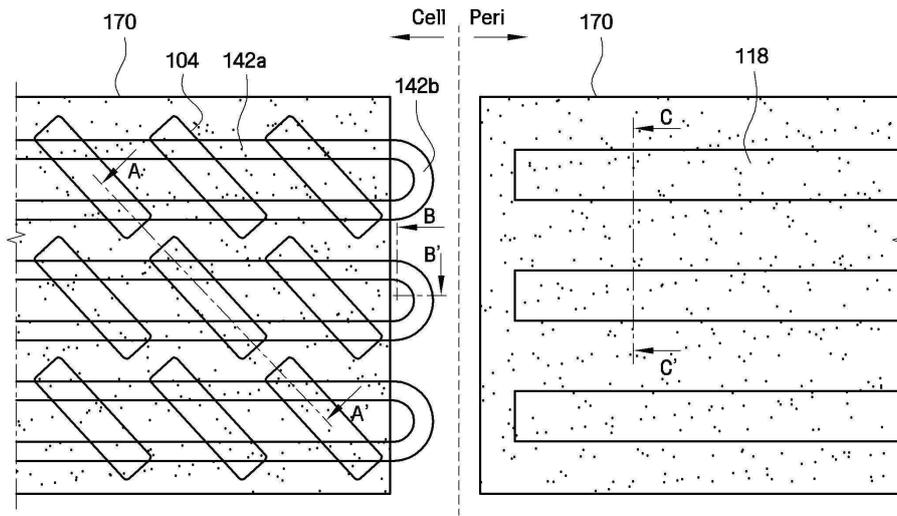
도면9b



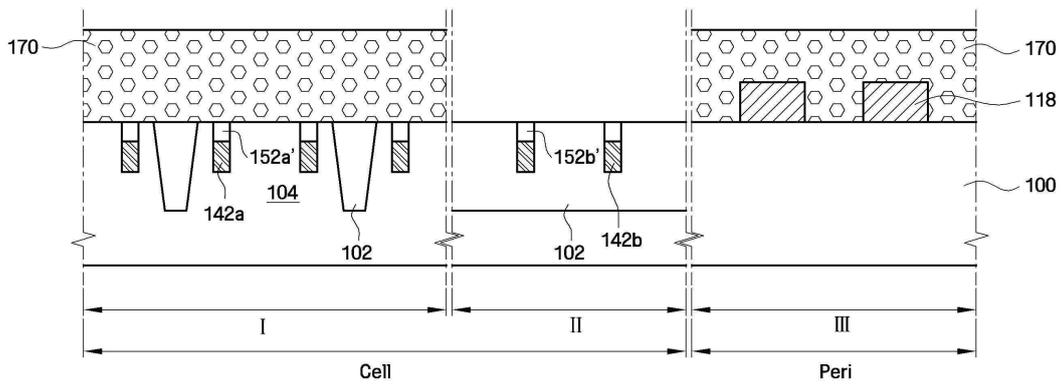
도면10



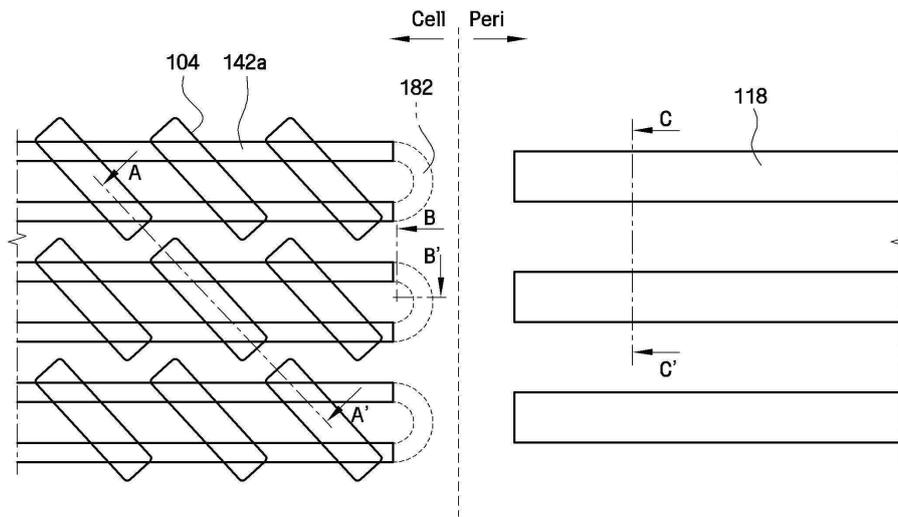
도면11a



도면11b



도면12a



도면12b

