

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 21/28

(45) 공고일자 2005년02월23일
(11) 등록번호 10-0458087
(24) 등록일자 2004년11월11일

(21) 출원번호 10-1997-0029023
(22) 출원일자 1997년06월30일

(65) 공개번호 10-1999-0004863
(43) 공개일자 1999년01월25일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 김정호
경기도 이천시 부발읍 아미리 산 148-1 현대전자 사원 임대 아파트
109-213

(74) 대리인 특허법인 신성

심사관 : 김종찬

(54) 반도체장치제조방법

요약

본 발명은 공정 재현성이 우수한 자기정렬콘택 형성 방법을 제공하고, 산화막과 식각선택비가 우수한 탄탈늄산화막(Ta₂O₅)을 식각정지층으로 사용하는 반도체 장치 제조 방법을 제공하고자 하는 것으로, 이를 위해 본 발명의 반도체 장치 제조 방법은, 웨이퍼 상에 후속 공정인 산화막 식각의 식각정지를 위한 탄탈늄산화막을 형성하는 단계; 상기 탄탈늄산화막 상에 상기 산화막을 형성하는 단계; 및 폴리머 유발이 적은 소정가스 분위기에서 상기 탄탈늄산화막을 식각정지층으로 하여 상기 산화막을 식각하는 단계를 포함하여 이루어진다.

대표도

도 4

명세서

도면의 간단한 설명

도 1 내지 도 4는 본 발명의 일실시예에 따라 비트라인 SAC 공정에서 식각정지층을 탄탈늄산화막으로 사용한 것을 보여주는 공정 단면도.

* 도면의 주요부분에 대한 부호의 설명

- 1 : 실리콘 기판 2 : 폴리실리콘막
- 3 : 하드 마스크를 위한 산화막 4 : 산화막 스페이서
- 5 : 탄탈늄산화막(Ta₂O₅) 6 : BPSG 산화막
- 7 : 레지스트 패턴 8 : 콘택홀

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 제조 방법에 관한 것으로, 특히 자기정렬 콘택홀 형성을 위한 산화막 건식식각시 탄탈늄산화막(Ta_2O_5)을 식각정지층으로 사용하는 반도체 장치 제조 방법에 관한 것이다.

반도체 장치가 점차 고집적화 되어 가면서, 중첩 정확도나 광학 해상력 한계 등으로 인해, 마스크 오정렬 및 미세 홀 형성에 어려움이 있어, 64M DRAM 부터는 통상적인 콘택홀 형성 방법을 사용할 수 없게 되었다. 따라서, 종래에는 여러 가지 콘택홀 형성 방법이 제시되어 왔지만, 그들 중 질화막을 식각정지층으로 사용하는 자기 정렬 콘택(SAC : Self Aligned Contact) 방법이 가장 전망있는 공정으로 인정되어 왔다.

그러나, 질화막을 사용하는 SAC 공정은 여러 반도체 소자 제조 회사에서 다년간 연구되어 왔음에도 불구하고, 몇 가지 치명적인 문제로 인하여 실제 소자 제조에는 적용되지 않고 있다. 즉, 질화막을 사용하는 SAC 공정은, 첫째 산화막과 질화막간의 식각 선택비를 유지하기 위하여 지나치게 많은 폴리머 유발가스를 사용하여 식각 공정 재현성 확보가 어렵고, 둘째 프로세스 윈도우(Process Window)가 지나치게 좁아 콘택홀의 크기 변화에 민감하게 변화하고, 셋째 콘택홀의 에스펙트 비(Aspect Ratio)에도 지나치게 민감하게 변화하는 문제를 안고 있다.

따라서, 질화막을 식각정지층으로 사용하는 종래의 SAC 공정은 실제 소자 제조에는 사용되지 못하고 있고, 설령 공정을 개발하더라도 새로운 SAC 전용 장비가 요구되어 장비의 효율성을 떨어뜨리고 소자의 제조 단가를 높이는 원인이 된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 공정 재현성이 우수한 자기정렬콘택 형성 방법을 제공하는데 있다.

본 발명의 또 다른 목적은 산화막과 식각선택비가 우수한 탄탈늄산화막 (Ta_2O_5)을 식각정지층으로 사용하는 반도체 장치 제조 방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한, 본 발명의 반도체 장치 제조 방법은, 웨이퍼 상에 후속 공정인 산화막 식각의 식각정지를 위한 탄탈늄산화막을 형성하는 단계; 상기 탄탈늄산화막 상에 상기 산화막을 형성하는 단계; 및 폴리머 유발이 적은 소정가스 분위기에서 상기 탄탈늄산화막을 식각정지층으로 하여 상기 산화막을 식각하는 단계를 포함하여 이루어진다.

바람직하게, 상기 탄탈늄산화막은 Ta_2O_5 막으로 하며, 상기 산화막 식각을 플로린-카본 계 가스를 주 에천트로하고, CH_3F , H_2 , C_2H_2 , CH_2F_2 , C_2HF_5 가스중 어느 하나 이상의 보조 에천트로하며, 플라즈마 안정화 가스를 더 포함하는 분위기에서 수행한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시시예를 상세히 설명한다.

도 1 내지 도 4는 본 발명의 실시시예에 따른 비트라인 콘택홀 형성 공정도로서, SAC 공정에서 식각정지층을 탄탈늄산화막으로 사용한 것을 보여준다.

먼저, 도 1은 실리콘 기판(1) 상에 게이트용 폴리실리콘막(2)과 하드 마스크(hard mask)를 위한 산화막(3)을 차례로 형성한 다음 게이트 마스크 및 식각 공정을 수행하여 패터닝하고, 다시 스페이서를 위한 산화막을 증착하고 전면 비등방성 식각하여 산화막 스페이서(4)를 형성한다. 이 산화막 스페이서(4)는 LDD 구조의 접합 형성을 위한 이온주입 배리어 및 게이트 폴리실리콘막(2) 측벽과 다른 배선간의 절연막으로 사용된다.

이어서, 도 2는 웨이퍼 전면에 탄탈늄산화막(Ta_2O_5)(5)을 증착하고, BPSG 산화막(6)을 증착한 후, 열공정으로 플로우(flow)를 실시하고, 콘택 마스크 패턴이 레지스트 패턴(7)을 형성한 상태이다.

이어서, 도 3은 식각정지층인 탄탈늄산화막(5)이 노출될때까지 BPSG 산화막(6)을 식각한 상태로서, 도면에서와 같이, 콘택 마스크(레지스트 패턴)의 오정렬이 발생하여도 게이트 폴리실리콘 패턴은 손상 받지 않는다.

이때, 산화막 식각 조건은 CF_4 , CHF_3 , C_2F_6 , C_3F_8 , C_4F_8 등의 플로린(F : fluorine)-카본(C : carbon) 계열 가스, 바람직하게는 $CF_4 + CHF_3$ 의 주 에천트(main etchant)에, CH_3F , H_2 , C_2H_2 , CH_2F_2 , C_2HF_5 등과 같은 보조 에천트(sub etchant) 및 He, Ne, Ar과 같은 플라즈마 안정화 가스를 혼합하여 형성한다. BPSG 산화막 식각 시 Ta_2O_5 막은 위에서 언급된 가스로는 거의 식각되지 않는 높은 식각 선택비를 갖고 있으므로, 기존의 산화막 식각 장비로도 용이하게 식각 공정을 수행할 수 있다.

부연하면, 산화막 식각 시 거의 식각이 되지 않는 Ta_2O_5 막을 식각정지층으로 사용할 경우, $CF_4 + CHF_3$ 와 같은 전형적인 산화막 식각 가스인 낮은 폴리머 유발 가스으로도 자기정렬콘택 형성을 위한 식각 형성이 가능하다. 즉, 산화

막인 BPSG 또는 SiO₂는 CF₄ + CHF₃와 반응하여 SiF₄와 같은 휘발성 물질을 생성함으로써 식각이 진행되나, Ta₂O₅막은 CF₄ + CHF₃와 같은 플로린-카본 계 가스와 결합하여 휘발성 물질을 생성할 수 없다. 따라서, 산화막 식각 시, Ta₂O₅막에 대한 식각 선택비를 30 이상 용이하게 확보할 수 있어, 즉, 식각정지층으로서의 역할을 충실히 수행할 수 있어 공정 재현성이 우수한 콘택홀을 형성할 수 있다.

계속해서 도 4는 노출된 Ta₂O₅막(5)을 Cl₂ 가스 분위기에서 식각하여 콘택홀 (7)을 형성하고, 레지스트 패턴(7)을 제거한 상태이다.

본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명이 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능함이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진자에게 있어 명백할 것이다.

발명의 효과

콘택홀 형성 공정에 있어서, 종래의 질화막을 사용하는 SAC 공정이 지나치게 많은 폴리머 형성 가스를 사용하게 되는데, 본 발명은 산화막에 대한 식각 선택비를 높은 Ta₂O₅막을 식각정지층으로 사용하여, 폴리머 발생이 적은 가스로 산화막 식각을 실시할 수 있도록 하는 것이다. 따라서 현재 64M DRAM의 4 세대 이후부터 반드시 필요하게 되리라 생각되는 SAC 공정을 조기에 확보함으로써 소자 개발을 앞당길 수 있다. 또한, 본 발명과 같이 Ta₂O₅막을 이용할 경우 산화막 식각 시, 식각 메카니즘이 다른 Ta₂O₅막에 대한 높은 식각 선택비 확보가 용이하기 때문에 기존의 장비로도 SAC 공정의 구현이 가능하므로, SAC 공정 전용 장비의 구매가 불필요하여 원가 절감에 기여할 수 있다.

(57) 청구의 범위

청구항 1.

웨이퍼 상에 후속 공정인 산화막 식각의 식각정지를 위한 Ta₂O₅막을 형성하는 단계;

상기 Ta₂O₅막 상에 상기 산화막을 형성하는 단계; 및

폴리머 유발이 적은 플로린-카본 계 가스를 주 에천트로 한 분위기에서 상기 Ta₂O₅막을 식각정지층으로 하여 상기 산화막을 식각하는 단계

를 포함하여 이루어지는 반도체 장치 제조 방법.

청구항 2.

제1항에 있어서,

상기 산화막 식각을 위한 소정가스는 CH₃F, H₂, C₂H₂, CH₂F₂, C₂HF₅ 가스중 어느 하나 이상의 보조 에천트, 및 플라즈마 안정화 가스를 더 포함하는 반도체 장치 제조 방법.

청구항 3.

자기정렬콘택을 위한 반도체 장치 제조 방법에 있어서,

전도층 상에 제1산화막을 형성하는 단계;

상기 제1산화막 상에 후속 공정인 제2산화막 식각의 식각정지를 위한 Ta₂O₅막을 형성하는 단계;

상기 Ta₂O₅막 상에 제2산화막을 형성하는 단계;

폴리머 유발이 적은 플로린-카본 계 가스를 주 에천트로 한 분위기에서 상기 Ta₂O₅막을 식각정지층으로 하여 상기 산화막을 식각하는 단계; 및

노출된 상기 Ta₂O₅막을 식각하는 단계

를 포함하여 이루어지는 반도체 장치 제조 방법.

청구항 4.

제3항에 있어서,

상기 제2산화막 식각을 위한 소정가스는 CH_3F , H_2 , C_2H_2 , CH_2F_2 , C_2HF_5 가스중 어느 하나 이상의 보조 에천트, 및 플라즈마 안정화 가스를 더 포함하는 반도체 장치 제조 방법.

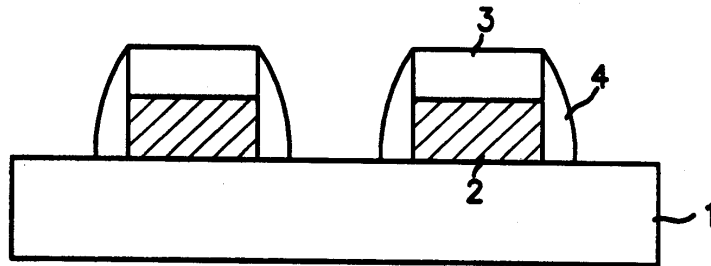
청구항 5.

제3항에 있어서,

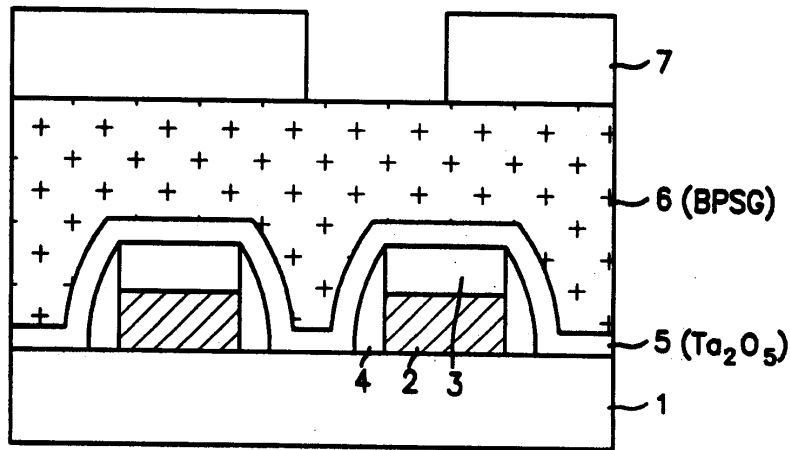
상기 Ta_2O_5 막의 식각은 Cl_2 가스 분위기에서 이루어지는 반도체 장치 제조 방법.

도면

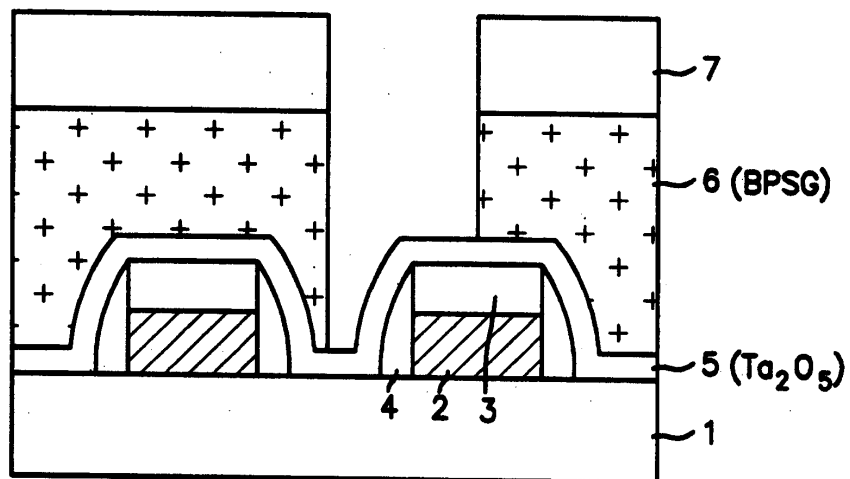
도면1



도면2



도면3



도면4

