



發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95144804

※申請日期：95.12.1

※IPC 分類：

一、發明名稱：(中文/英文) H01L^{29/}₄₂₃,^{27/}₇₈₆,^{21/}₃₃₆,^{21/}₈₄

雙閘極電晶體及應用此雙閘極電晶體之畫素結構/ dual-gate transistor and pixel structure using the same

二、申請人：(共1人)

姓名或名稱：(中文/英文)

友達光電股份有限公司/ AU Optronics Corp.

代表人：(中文/英文) 李焜耀/ Kuen-Yao LEE

住居所或營業所地址：(中文/英文)

新竹市科學工業園區力行二路1號/ No.1, Li-Hsin Rd. 2,

Science-Based Industrial Park, Hsinchu 300, Taiwan R.O.C.

國籍：(中文/英文) 中華民國 TW

三、發明人：(共3人)

姓名：(中文/英文)

1. 梁中瑜 Chung-Yu LIANG

2. 甘豐源 Feng-Yuan GAN

3. 張鼎張 Ting-Chang CHANG

國籍：(中文/英文)

1. 中華民國 TW

2. 中華民國 TW

3. 中華民國 TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

2006/6/15、95121456

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種電晶體(transistor)的結構設計，特別是關於一種具有雙閘極結構(dual-gate structures)之電晶體。

【先前技術】

隨著顯示科技的進步，與傳統的CRT顯示器相比，薄膜電晶體液晶顯示器(thin film transistor liquid crystal display, TFT-LCD)由於具有輕、薄、低輻射以及體積小而不佔空間的優勢，目前已經成為顯示器市場的主力產品，為因應液晶顯示產品的快速發展，液晶面板廠商的產業競爭日增。如何提升薄膜電晶體的效能、可靠性與降低製作成本，係皆為重要的發展目標。

非晶矽薄膜電晶體(amorphous silicon thin film transistor)具有控制電流導通的功能，因此經常被用來作為液晶顯示器(liquid crystal display, LCD)或有機發光二極體(organic light emitting diode, OLED)顯示器之畫素(pixel)開關。

近年來為了提升薄膜電晶體的電流導通能力，一種具有雙閘極結構的薄膜電晶體也逐漸受到業界的重視。請參照圖一，其顯示習知具有雙閘極結構的薄膜電晶體剖面圖。如圖一所示，該薄膜電晶體係製作於一基板10上，且其結構主要包括了第一閘極11、第二閘極16、半導體層13、汲極14以及源極15。

第一閘極 11 係形成於基板 10 上表面，半導體層 13 則形成於第一閘極 11 之上，其中半導體層 13 包含了通道層 131 及摻雜半導體層 132。汲極 14 與源極 15 以對應於第一閘極 11 兩端的方式形成於半導體層 13 上，且汲極 14 與源極 15 與半導體層 13 的接面係為摻雜半導體層 132。第二閘極 16 以對應於第一閘極 11 的方式形成於汲極 14 及源極 15 之上，並與第一閘極 11 電性連結。其中第二閘極 16 的邊緣與汲極 14 及源極 15 之邊緣部份重疊。

另外，此雙閘極薄膜電晶體更具有第一介電層 12 以及第二介電層 17。第一介電層 12 形成於基板 10 之上，並覆蓋第一閘極 11。第二介電層 17 則是覆蓋於汲極 14 及源極 15 之上，且位於第二閘極 16 之下。

此雙閘極薄膜電晶體結構，比傳統單一閘極的薄膜電晶體具有更佳的導通電流能力，且可以有效的減低電場擁擠效應，對於元件光漏電流的問題有相當大的改善。

然而，在習知的雙閘極薄膜電晶體結構中，由於第二閘極 16 的邊緣與汲極 14 及源極 15 之邊緣部份重疊，因此在液晶顯示器的驅動過程中，第二閘極 16 與源極 14 重疊的部分容易導致寄生電容 C_{gs} 增加。要特別說明的是，寄生電容 C_{gs} 的增加，會造成了饋入電壓 (feed through voltage) 加大，進而影響畫素電極的操作電壓，連帶影響到灰階顯示的正確性。

綜上所述，發明人有感於既有的雙閘極薄膜電晶體結構其寄生電容 C_{gs} 對顯示器之品質影響甚大，故嘗試提出一種雙閘極電晶體的結構設計，以便有效降低寄生電容的

產生，進而克服上述衍生的問題。

【發明內容】

本發明之目的係在於提供一種具有雙閘極結構之電晶體，其第二閘極之垂直映射位置並未與第二電極重疊，藉此減少第二閘極與第二電極間所可能產生的寄生電容，且減少饋入電壓，以增進雙閘極電晶體之效能與可靠度。

本發明之另一目的係在於提供一種具有雙閘極結構之電晶體，其中第二閘極及第一閘極之其中之一者之垂直映射未與第二電極重疊（或第二電極所電性連接之第一摻雜區）重疊。所以，在液晶顯示器的驅動過程中，由於第二閘極及第一閘極之其中之一者與第二電極（或第二電極所電性連接之第一摻雜區）並沒有重疊的部份，所以雙閘極電晶體所產生之寄生電容就會相對的減小很多。

本發明之另一目的係在於提供一種具有上述雙閘極電晶體之畫素結構。藉由本發明之畫素結構設計，可使液晶面板中的畫素電極具有更穩定的操作電壓，並且使灰階顯示更加正確且穩定。

本發明所揭露之雙閘極電晶體，包括一第一閘極，形成於一基板上。一第一介電層，覆蓋於第一閘極與基板上。一半導體層，位於第一介電層與第一閘極上方。一第一電極與一第二電極，分別位於半導體層上，且第二電極與第一電極之間，具有一間隔，用以互相分離兩電極。一第二介電層，覆蓋於第一電極、第二電極與部份之半導體層。一第二閘極，位於第二介電層上，其中第二閘極及第一閘

極之其中之一者並未與第二電極重疊。

本發明所揭露之雙閘極電晶體，包括一第一閘極，位於一基板上。一第一介電層，覆蓋於第一閘極與基板上。一半導體層，位於第一介電層與第一閘極上方，且半導體層之二端分別具有一第一摻雜區。一第二介電層，覆蓋於半導體層與基板上。一第二閘極，位於第二介電層上。一第三介電層，覆蓋於第二閘極與基板上。

一第一電極與一第二電極，分別位於第三介電層上且分別電性連接於半導體層之二端之第一摻雜區。其中，第二電極與第一電極之間，具有一間隔，用以互相分離。其中，第一閘極及第二閘極之其中之一者，並未與該等第一摻雜區之其中之一重疊。

本發明所揭露之畫素結構，包括上述揭露之雙閘極電晶體、至少一電容及至少一電性連接於雙閘極電晶體的訊號線。其中，訊號線包含至少一掃描線(gate line)及至少一資料線(data line)。

為了能更進一步瞭解本發明之特徵及內容，請參閱以下有關本發明之詳細說明與附圖。

【實施方式】

請參照圖二，其係為本發明具有雙閘極結構之電晶體結構剖面圖。此雙閘極電晶體係製作於一基板 200 上，且其主要結構包括了一第一閘極 210、一第一介電層 220、一半導體層 230、一第一電極 240、一第二電極 250、一第二介電層 270 以及一第二閘極 260。

如圖二所示，第一閘極 210 係形成於基板 200 上。第一介電層 220，覆蓋於第一閘極 210 與基板 200 上。半導體層 230，形成於第一介電層 220 上。第一電極 240 與第二電極 250，分別位於半導體層 230 上，且第二電極 250 與該第一電極 240 之間，具有一間隔 255，使兩電極彼此分離，而不會互相接觸，並曝露出部份之半導體層 230。

另外，上述間隔 255 之垂直映射係落於第一閘極 210 上，換言之第一電極 240 與第二電極 250 的垂直映射係分別與第一閘極 210 的兩端重疊。第二介電層 270，覆蓋於第一電極 240、第二電極 250 與部份之半導體層 230 上。在本實施例中，半導體層 230，係包含通道層 231 及摻雜半導體層 232。所以，第一電極 240 與第二電極 250 跟半導體層 230 之接面，分別具有摻雜半導體層 232。

第二閘極 260，位於第二介電層 270 上，值得注意的是其中第二閘極 260 並未與第二電極 250 有所重疊。如圖中所示，第二閘極 260 靠近第二電極 250 之一側，係重疊於間隔 255 之上方，而並未與第二電極 250 有任何重疊。至於，第二閘極 260 遠離第二電極 250 之另一側，則與部份的第一電極 240 重疊。

要特別強調的是，如果把第二閘極 260 朝著基板 200 作垂直映射，第二閘極 260 靠近第二電極 250 之側壁，在垂直映射後會落於間隔距第一電極 240 之 $1/3$ 至第二電極 250 側壁之間的範圍內。至於，第二閘極 260 遠離第二電極 250 之另一側壁，在垂直映射後，則會落於第一電極 240 上。

換言之，從第二閘極 260 與間隔 255 的相關位置來看，第二閘極 260 係與部份的間隔 255 重疊，且此部份重疊的間隔佔整個間隔 255 之 $1/3$ 以上。

在本發明的實施例中，各層結構的材質可包括如下。基板 200 之材料包括透明基板(如：玻璃基板、石英基板、或類似之材質)、可撓性基板(如：丙醯類聚合物、酯類聚合物、橡膠、環氧類聚合物或類似之材質)或不透光基板(如：陶瓷、晶圓或類似之材質)。至於第一閘極 210 與第二閘極 260 之材料包括氧化銦錫(ITO)、氧化銦鋅(IZO)、氧化鋁鋅(AZO)、鋁(Al)、鉻(Cr)、鈦(Ti)、鎢(W)、鉭(Ta)、銅(Cu)、金(Au)、銀(Ag)、鉬(Mo)、釹(Nd)或上述之組合。

半導體層 230 之材料包含非晶矽、多晶矽、單晶矽、微晶矽或上述之組合。第一電極 240 與第二電極 250 之材料包括氧化銦錫(ITO)、氧化銦鋅(IZO)、氧化鋁鋅(AZO)、鋁(Al)、鉻(Cr)、鈦(Ti)、鎢(W)、鉭(Ta)、銅(Cu)、金(Au)、銀(Ag)、鉬(Mo)、釹(Nd)或上述之組合。第一介電層 220 及第二介電層 270 之材料係包含氮化矽、氧化矽、氮氧化矽、碳化矽、有機矽化合物或上述之組合。

由於第一閘極 210 與第二閘極 260 電性連結，當第一閘極 210 及第二閘極 260 被施加一電壓時，半導體層 230 會在靠近第一介電層 220 與第二介電層 270 之上下兩介面感應出電荷，如同在半導體層 230 之上下表面處形成兩電流通道，且第二閘極的偏壓會降低電晶體的臨界電壓。所以，雙閘極電晶體比傳統的單閘極電晶體具有更高的電流導通能力。

請參照圖三，其係為本發明具有雙閘極結構之電晶體的另一實施例。此雙閘極電晶體係製作於一基板 300 上，且其主要結構包括了一第一閘極 310、一第一介電層 320、一半導體層 330、一第一電極 340、一第二電極 350、一第二介電層 370 以及一第二閘極 360。在本實施例中，半導體層 330，係包含通道層 331 及摻雜半導體層 332。所以，第一電極 340 與第二電極 350 跟半導體層 330 之接面，分別具有摻雜半導體層 332。

上述各層結構之材料與位置大致上與圖二所顯示之實施例相同。有差異性的地方在於，圖三所顯示的雙閘極電晶體中，更包括一隔離區塊 390。此隔離區塊 390 位於半導體層 330 上。至於第一電極 340 與第二電極 350 則分別由隔離區塊 390 之左右二側延伸覆蓋住部份隔離區塊 390。值得注意的是，隔離區塊 390 之上表面，未被第一電極 340 與第二電極 350 覆蓋之部份，構成一間隔 355，且其曝露出部份之隔離區塊 390。而隔離區塊 390 的作用係在用以防止在進行第一電極 340 與第二電極 350 的微影蝕刻程序時，對下方的半導體層 330 造成傷害。一般來說，隔離區塊之材料包含氮化矽、氧化矽、氮氧化矽、碳化矽、有機矽化合物或上述之組合。

請參照圖四，其係為本發明雙閘極電晶體之另一實施例。此雙閘極電晶體係製作於一基板 400 上，且其主要結構包括了一第一閘極 410、一第一介電層 420、一半導體層 430、一第一電極 440、一第二電極 450、一第二介電層 470 以及一第二閘極 460。

如圖四所示，第一閘極 410 係形成於基板 400 上。第一介電層 420，則覆蓋於第一閘極 410 與基板 400 上。半導體層 430，形成於第一介電層 420 上。第一電極 440 與第二電極 450，分別位於半導體層 430 上，且第二電極 450 與該第一電極 440 之間，具有一間隔 455，使兩電極彼此分離，而不會互相接觸，並曝露出部份之半導體層 430。第二介電層 470，則覆蓋於第一電極 440、第二電極 450 與部份之半導體層 430 上。第二閘極 460，位於第二介電層 470 上。在本實施例中，半導體層 430，係包含通道層 431 及摻雜半導體層 432。所以，第一電極 440 與第二電極 450，係分別與摻雜半導體層 432 接觸。

值得注意的是，其中第一閘極 410 並未與第二電極 450 有所重疊。如圖中所示，第一閘極 410 靠近第二電極 450 之一側，而並未與第二電極 450 有任何重疊。至於，第一閘極 410 遠離第二電極 450 之另一側，則與部份的第一電極 440 重疊。

要特別強調的是，如果把第一閘極 410 作垂直映射，第一閘極 410 靠近第二電極 450 之側壁，在垂直映射後會落於間隔距第一電極 440 之 $1/3$ 至第二電極 450 側壁之間的範圍內。至於，第一閘極 410 遠離第二電極 450 之另一側壁，在垂直映射後，則會落於第一電極 440 上。

換言之，從第一閘極 410 與間隔 455 的相關位置來看，第一閘極 410 係與部份的間隔 455 重疊，且此部份重疊的間隔佔整個間隔 455 之 $1/3$ 以上。

本發明所揭露之雙閘極電晶體，除了以上所述之不同

結構設計外，更可根據不同的結構需求，採用不同的半導體層結構態樣。相關的半導體層結構態樣如下所述。

請參照圖五 A，圖中所顯示的半導體層係包含一通道層 5311 及摻雜半導體層 5312。在較佳實施例中，通道層 5311 包含一第一淺摻雜層 5311a 及一第二淺摻雜層 5311b，其中第二淺摻雜層 5311b 位於第一淺摻雜層 5311a 之上，且摻雜半導體層 5312 之摻雜濃度係實質上大於第一淺摻雜層 5311a 及第二淺摻雜層 5311b，而第一淺摻雜層 5311a 與第二淺摻雜層 5311b 之摻雜濃度實質上相等或實質上不相等(如：小於或大於，較佳者，第一淺摻雜層 5311a 之摻雜濃度實質上小於第二淺摻雜層 5311b 之摻雜濃度)。

至於，在部份實施例中，半導體層則會具有一第一摻雜區、一第二摻雜區、以及一非摻雜區。例如，在圖五 B 中，半導體層包括了位於中間的非摻雜區 5323、以及分別位於此非摻雜區 5323 兩端的第一摻雜區 5321。

在圖五 C 中，第一摻雜區 5331 係位於半導體層的兩端，且兩端的第一摻雜區 5331 之區塊大小可以不盡相同，而非摻雜區 5333 則位於半導體層兩端之第一摻雜區 5331 之間，上述各區塊呈水平向排列。

請參照圖五 D，第一摻雜區 5341 係位於半導體層的兩端，且非摻雜區 5343 則位於半導體層兩端之第一摻雜區 5341 之間。第二摻雜區 5342，係位於第一摻雜區 5341 與非摻雜區 5343 之間。也就是說，非摻雜區 5343 係位於第一摻雜區 5341 及第二摻雜區 5342 之間。其中，第一摻雜區 5341 及第二摻雜區 5342 之面積可相等或不相等(如：小

於或大於)，且上述各區塊呈水平向排列，而第二摻雜區 5342 與第一摻雜區 5341 之摻雜濃度實質上相等於或不相等(如：小於或大於，較佳者，第二淺摻雜層 5342 之摻雜濃度實質上小於第一淺摻雜層 5341 之摻雜濃度)。

請參照圖五 E，第一摻雜區 5351 係定義於半導體層的兩端，且非摻雜區 5353 則位於半導體層兩端之第一摻雜區 5351 之間。具有兩個第二摻雜區 5352，係皆位於第一摻雜區 5351 與非摻雜區 5353 之間。而且，非摻雜區 5353 係位於兩個第二摻雜區 5352 之間。其中，第一摻雜區 5351 及第二摻雜區 5352 之面積可相等或不相等(如：小於或大於)，且各區塊呈水平向排列，而第二摻雜區 5352 與第一摻雜區 5351 之摻雜濃度實質上相等或不相等(如小於或大於)。

請參照圖五 F，第二摻雜區 5362 係位於第一摻雜區 5361 及非摻雜區 5363 之間，且各區塊呈垂直向排列，而第二摻雜區 5362 與第一摻雜區 5361 之摻雜濃度實質上相等於或不相等(如小於或大於)。

請參照圖五 G，非摻雜區 5373 係位於第一摻雜區 5371 及第二摻雜區 5372 之間，且各區塊呈垂直向排列，而第二摻雜區 5372 與第一摻雜區 5371 之摻雜濃度實質上相等於或不相等(如小於或大於)。

請參照圖五 H，非摻雜區 5383 係位於第一摻雜區 5381 及第二摻雜區 5382 之間，且各區塊呈水平向排列，而第二摻雜區 5382 與第一摻雜區 5381 之摻雜濃度實質上相等於或不相等(如小於或大於)。

請參照圖六，其係為本發明具有雙閘極結構之電晶體結構剖面圖。此雙閘極電晶體係製作於一基板 600 上，且其主要結構包括了一第一閘極 610、一第一介電層 620、一半導體層 630、一第二介電層 670、一第二閘極 660、一第三介電層 675、一第一電極 640 及一第二電極 650。

如圖六所示，第一閘極 610 係形成於基板 600 上。第一介電層 620，覆蓋於第一閘極 610 與基板 600 上。半導體層 630，形成於第一介電層 620 上表面及第一閘極 610 之上方。其中，半導體層 630 之兩端分別具有一第一摻雜區 631，並具有一非摻雜區 633 位於兩第一摻雜區 631 之間。第二介電層 670，覆蓋於半導體層 630 與基板 600 上。第二閘極 660，位於第二介電層 670 上。第三介電層 675，覆蓋於第二閘極 660 與基板 600 上。

另外，此雙閘極電晶體更包括一第四介電層 680，形成於第二介電層 670 與第三介電層 675 之間，並覆蓋於第二閘極 660。

第一電極 640 與第二電極 650，分別位於第三介電層 675 上，且分別電性連接於半導體層 630 兩端之第一摻雜區 631。其中，第二電極 650 與該第一電極 640 之間，具有一間隔 655，使兩電極彼此分離，而不會互相接觸。當然，此間隔 655 與非摻雜區之長度實質上可相等或不相等，視電晶體結構設計之需求。

值得注意的是，其中第一閘極 610 及第二閘極 660 之其中之一者並未與第一摻雜區之其中之一重疊。

如圖中所示，第二閘極 660 靠近第二電極 650 所電性連接之第一摻雜區 631 之一側，係重疊於間隔 655 之上方，而並未與第二電極 650 所電性連接之第一摻雜區 631 有任何重疊。至於，第二閘極 660 遠離第二電極 650 所電性連接之第一摻雜區 631 之另一側，則與部份的第一電極 640 所電性連接之第一摻雜區 631 重疊。

要特別強調的是，如果把第二閘極 660 作垂直映射，第二閘極 660 靠近第二電極 650 所電性連接之第一摻雜區 631 之側壁，在垂直映射後會落於間隔 655 距第一電極 640 所電性連接之第一摻雜區 631 之 $1/3$ 至第二電極 650 所電性連接之第一摻雜區 631 側壁之間的範圍內。至於，第二閘極 660 遠離第二電極 650 所電性連接之第一摻雜區 631 之另一側壁，在垂直映射後，則會落於第一電極 640 所電性連接之第一摻雜區 631 上。

換言之，從第二閘極 660 與間隔 655 的相關位置來看，第二閘極 660 係與部份的間隔 655 重疊，且此部份重疊的間隔佔整個間隔 655 之 $1/3$ 以上。

如圖中所示，第一閘極 610 靠近第二電極 650 所電性連接之第一摻雜區 631 之一側。至於，第一閘極 610 遠離第二電極 650 所電性連接之第一摻雜區 631 之另一側，則與部份的第一電極 640 所電性連接之第一摻雜區 631 重疊。

要特別強調的是，如果把第一閘極 610 作垂直映射，第一閘極 610 靠近第二電極 650 所電性連接之第一摻雜區 631 之側壁，在垂直映射後會落於間隔距第一電極 640 所電性連接之第一摻雜區 631 之 $1/3$ 至第二電極 650 所電性

連接之第一摻雜區 631 側壁之間的範圍內。至於，第一閘極 610 遠離第二電極 650 所電性連接之第一摻雜區 631 之另一側壁，在垂直映射後，則會落於第一電極 640 所電性連接之第一摻雜區 631 上。

換言之，從第一閘極 610 與間隔 655 的相關位置來看，第一閘極 610 係與部份的間隔 655 重疊，且此部份重疊的間隔佔整個間隔 655 之 $1/3$ 以上。

請參照圖七，其係為本發明具有雙閘極結構之電晶體的另一實施例。此雙閘極電晶體係製作於一基板 700 上，且其主要結構包括了一第一閘極 710、一第一介電層 720、一半導體層 730、一第二介電層 770、一第二閘極 760、第四介電層 780、一第三介電層 775、一第一電極 740 及一第二電極 750。

上述各層結構之材料與位置大致上與圖六所顯示之實施例相同。有差異性的地方在於，圖七所顯示的雙閘極電晶體中，半導體層 730 除了第一摻雜區 731 之外，更定義出了一第二摻雜區 732、一第三摻雜區 733 及非摻雜區 734。其中，第二摻雜區 732、第三摻雜區 733 及非摻雜區 734，係位於半導體層 730 二端之第一摻雜區 731 之間。非摻雜區 734，係位於第二摻雜區 732 與第三摻雜區 733 之間。

另外，圖六所代表的實施例中，其半導體層 730 的結構亦可類似圖五 D 的型態。半導體層 730 定義出第一摻雜區 5341、第二摻雜區 5342 及一非摻雜區 5343。其中第一摻雜區 5341 定義於半導體層 730 的兩端，而第二摻雜區

5342 及非摻雜區 5343，位於二端之第一摻雜區 5341 之間。也就是說，非摻雜區 5343 係位於第二摻雜區 5342 及半導體層 730 其中一端之第一摻雜區 5341 之間。當然，亦可類似圖五 C、圖五 E 之型態。

請繼續參照圖六及圖七，其中第一閘極 660、760 及第二閘極 610、710 之其中之一者的垂直映射位置亦均未與第二電極 650、750 重疊。

請參照圖八 A 至圖八 C，圖中顯示了本發明所揭露之雙閘極電晶體之結構上視圖(top view)，包括一半導體層 830、一第一電極 840、一第二電極 850 以及一第二閘極 860。藉由此前側視圖顯示雙閘極電晶體係為一非對稱結構，且第一電極 840 會有兩端位於第二電極 850 之兩側。

請先參照圖八 A，圖中具有一涵蓋範圍 C，此即為第二閘極 860 的涵蓋範圍，一般係為距第一電極 840 之 $1/3$ 處至第二電極 850 切齊處。

而圖八 A、圖八 B 及圖八 C 三圖，係分別代表雙閘極電晶體之三種結構態樣，主要的差異在於第二閘極 860 所涵蓋區域的不同。圖八 A 中，第二閘極 860 在半導體層 830 內，且第二閘極 860 與第一電極 840 之兩端點切齊。圖八 B 中，第二閘極 860 兩端點所涵蓋的半導體層 830 較第一電極 840 兩端點所涵蓋的半導體層 830 更多。圖八 C 中，第二閘極 860 涵蓋所有第一電極 840 及部分半導體層 830。

請參照圖八 D，圖中顯示了本發明所揭露之雙閘極電晶體之另一種結構上視圖，包括半導體層 830、第一電極

840、第二電極 850 以及第二閘極 860。與上述圖八 A 至圖八 C 不同的是，圖八 D 所顯示的結構態樣中，係具有雙第二閘極 860 的結構設計。

由於在製作第二閘極 860 的過程中，黃光對位並不會非常精準，所以改用雙第二閘極 860 的結構設計。由於採用雙第二閘極 860 的結構設計，所以當黃光上下飄動而有對位誤差的情況時，可對電流做補償，而使整個面板內的雙閘極電晶體具有一致性，且每個雙閘極電晶體的導通電流均勻性更佳。

另外，本發明上述之實施例之摻雜區、摻雜半導體層中，所摻雜之摻雜子係包括 N 型(如：磷、砷、或類似之材質)、P 型(如：硼或類似之材質)或上述之組合。並且，本發明上述之實施例之雙閘極電晶體之結構係可用於不同類型之顯示器，包括液晶顯示器、電激發光顯示器(electroluminescence display)、場發射顯示器(field-emission display)、奈米碳管顯示器(nano-carbon tube display)或類似之顯示器，其中，電激發光顯示器包括有機型(如：小分子、高分子)、無機型或上述之混合。

綜上所述，經由圖二及圖三之實施例的描述，本發明所揭露之雙閘極電晶體中，第二閘極的結構垂直映射位置並未與第二電極重疊，其中上述實施例之第二電極，係為雙閘極電晶體之源極。在液晶顯示器的驅動過程中，由於第二閘極與源極並沒有重疊的部份，所以雙閘極電晶體所產生之寄生電容 C_{gs} 就會相對的減小很多。

另外，由於第一閘極與第二電極重疊時，也會有類似的寄生電容 C_{gs} 產生。因此，可參照圖四、圖六及圖七之實施例的描述，其中，第一閘極及第二閘極之其中之一者均未與第二電極(或第二電極所電性連接之第一摻雜區)重疊。所以，在液晶顯示器的驅動過程中，由於第一閘極及第二閘極之其中之一者與源極(或與源極所電性連接之摻雜區)並沒有重疊的部份，所以雙閘極電晶體所產生之寄生電容 C_{gs} 就會相對的減小很多。

所以，實際上在本發明之所有實施例中，第一閘極及第二閘極之其中之一者並未與第二電極(或第二電極所電性連接之第一摻雜區)重疊。

在實際的應用上，顯示器係包含了複數個畫素結構，而本發明的雙閘極電晶體係可用來作為每一畫素結構的開關(switch)。請參照圖九 A，圖九 A 係為具有本發明雙閘極電晶體之第一種畫素結構之電路示意圖。第一種畫素結構係包括至少一個本發明所述之雙閘極電晶體 900、至少一電容 92 及至少一電性連接於雙閘極電晶體 900 之訊號線 94。其中，雙閘極電晶體 900 可應用本發明所述之各種實施例之雙閘極電晶體。因而此種雙閘極電晶體 900 可以降低寄生電容值，例如 C_{gs} 。

訊號線 94 係包含至少一掃描線(gate line)94a 及至少一資料線(data line)94b。而雙閘極電晶體 900 的第一閘極 910 電性連接於掃描線 94a，雙閘極電晶體 900 的第二閘極 960 電性連接於第一閘極 910。此外，雙閘極電晶體 900 的第一電極 940 連接於資料線 94b，雙閘極電晶體

900 的第二電極 950 連接至電容 92。

畫素結構在進行操作程序時，係藉由掃描線 94a 輸入一掃描訊號，用以導通雙閘極電晶體 900。此時，經由掃描線 94a，第一閘極 910 與第二閘極 960 被施加一相同電壓，可使半導體層感應出電荷，而形成電流通道。藉此，資料線 94b 輸入一電壓訊號經由第一電極 940、半導體層之電流通道及第二電極 950 傳送至電容 92。

請參照圖九 B，圖九 B 係為具有本發明雙閘極電晶體之第二種畫素結構之電路示意圖。第二種畫素結構係包括至少一個本發明所述之雙閘極電晶體 900、至少一電容 92、至少一電性連接於雙閘極電晶體 900 之訊號線 94 及一導線 96。其中，雙閘極電晶體 900 可應用本發明所述之各種實施例之雙閘極電晶體。因而此種雙閘極電晶體 900 可以降低寄生電容，例如 C_{gs} 。

訊號線 94 係包含至少一掃描線(gate line)94a 及至少一資料線(data line)94b。而雙閘極電晶體 900 的第一閘極 910 電性連接於掃描線 94a，雙閘極電晶體 900 的第二閘極 960 電性連接於導線 96。此外，雙閘極電晶體 900 的第一電極 940 連接於資料線 94b，雙閘極電晶體 900 的第二電極 950 連接至電容 92。

畫素結構在進行操作程序時，係藉由掃描線 94a 輸入一掃描訊號，用以導通雙閘極電晶體 900。此時，經由掃描線 94a 施加一電壓至第一閘極 910，經由導線 96 施加另一電壓至第二閘極 960，可使半導體層感應出電荷，而形成電流通道。藉此，資料線 94b 輸入一電壓訊號經由第一

電極 940、半導體層之電流通道及第二電極 950 傳送至電容 92。

值得注意的是，圖九 A 的第一種畫素結構，僅能藉由掃描線 94a 同時對第一閘極 910 與第二閘極輸入同一電壓。圖九 B 的第二種畫素結構可配合實際上操作的需要，分別藉由掃描線 94a 與導線 96 輸入不同的電壓至第一閘極 910 與第二閘極 960。

請參照圖十，圖中的三條曲線分別代表單閘極電晶體、習知之雙閘極電晶體以及本發明之雙閘極電晶體在施加偏壓的過程中，所產生的寄生電容值所描繪而成的測試曲線。比較各曲線可看出，本發明之雙閘極電晶體所測得之寄生電容 C_{gs} 值比起習知之雙閘極電晶體所測得之寄生電容 C_{gs} 值，明顯地降低非常多。

因此，本發明所揭露之雙閘極電晶體比起傳統之單閘極電晶體，具有更大的導通電流以及可降低光漏電的情形。同時，本發明之雙閘極電晶體比起習知之雙閘極電晶體具有更低的寄生電容 C_{gs} 值，並降低所造成的饋入電壓，使得雙閘極電晶體更具可靠度，液晶螢幕的顯示更為正確且穩定。

本發明雖以較佳實施例闡明如上，然其並非用以限定本創作精神與創作實體，僅止於上述實施例爾。因此，在不脫離本創作之精神與範圍內所作之修改，均應包含在下述之申請專利範圍內。

【圖式簡單說明】

圖一 係為習知中雙閘極電晶體之剖面示意圖；

圖二 係為本發明雙閘極電晶體之剖面示意圖；

圖三 係為本發明雙閘極電晶體之一實施例之剖面示意圖；

圖四 係為本發明雙閘極電晶體之一實施例之剖面示意圖；

圖五 A 至圖五 H 係為雙閘極電晶體中半導體層之各種態樣；

圖六 係為本發明雙閘極電晶體之一實施例之剖面示意圖；

圖七 係為本發明雙閘極電晶體之一實施例之剖面示意圖；

圖八 A 至圖八 D 係為雙閘極電晶體之結構上視圖；

圖九 A 係為具有本發明雙閘極電晶體之第一種畫素結構之電路示意圖；

圖九 B 係為具有本發明雙閘極電晶體之第二種畫素結構之電路示意圖；及

圖十 係為單閘極電晶體、習知之雙閘極電晶體以及本發明之雙閘極電晶體在施加偏壓的過程中，所產生的寄生電容值所描繪而成的測試曲線。

【主要元件符號說明】

10、200、300、400、600、700：基板

- 900：雙閘極電晶體
- 11、210、310、410、610、710、910：第一閘極
- 12、220、320、420、620、720：第一介電層
- 13、230、330、430、630、730、830：半導體層
- 14、240、340、440、640、740、840、940：第一電極
- 15、250、350、450、650、750、850、950：第二電極
- 255、355、455、655、755：間隔
- 16、260、360、460、660、760、860、960：第二閘極
- 17、270、370、470、670、770：第二介電層
- 132、232、332、432、5312：摻雜半導體層
- 390：隔離區塊
- 131、231、331、431、5311：通道層
- 5311a：第一淺摻雜層
- 5311b：第二淺摻雜層
- 5321、5331、5341、5351、5361、5371、5381、631、731：第一摻雜區
- 5323、5333、5343、5353、5363、5373、5383、633、734：非摻雜區
- 5342、5352、5362、5372、5382、732：第二摻雜區
- 733：第三摻雜區
- 675、775：第三介電層
- 680、780：第四介電層
- 92：電容
- 94：訊號線
- 94a：掃描線
- 94b：資料線
- 96：導線

五、中文發明摘要：

一種畫素結構，包括一雙閘極電晶體、一電容及電性連接於雙閘極電晶體之訊號線。其中，訊號線包含一掃描線與一資料線。雙閘極電晶體，包括一第一閘極，形成於一基板上。一第一介電層，覆蓋於第一閘極與基板上。一半導體層，位於第一介電層與第一閘極上方。一第一電極與一第二電極，分別形成於半導體層上，且第一電極與第二電極之間，具有一間隔，用以分離兩電極。一第二介電層，覆蓋於第一電極、第二電極與部份之半導體層。一第二閘極，位於第二介電層上，其中第二閘極及第一閘極之其中之一者並未與第二電極重疊。

六、英文發明摘要：

A pixel structure comprises a dual-gate transistor, a capacitance and a signal line electronic connected to the dual-gate transistor. Wherein, the signal line includes a gate line and a data line. The dual-gate transistor comprises a first gate, a first dielectric layer, a semiconductor layer, a first electrode, a second electrode, a second dielectric layer, and a second gate. The first gate is formed on a substrate. The first dielectric layer is covered the first gate and the substrate. The semiconductor layer is formed on the first dielectric layer. The first electrode and the second electrode are formed above the semiconductor layer, respectively, and between the

second electrode and the first electrode having spaces to separate two electrodes. The second dielectric layer is covered above a part of the semiconductor layer, the first electrode, and the second electrode. The second gate is formed on the second dielectric layer. One of the second gate and the first gate are non-overlap the second electrode.

十、申請專利範圍：

1. 一種雙閘極電晶體，包括：

- 一第一閘極，位於一基板上；
- 一第一介電層，覆蓋於該第一閘極與該基板上；
- 一半導體層，位於該第一介電層與該第一閘極上；
- 一第一電極與一第二電極，分別位於該半導體層上，且該第二電極與該第一電極之間，具有一間隔，用以互相分離；
- 一第二介電層，覆蓋於該第一電極、該第二電極、與部份之該半導體層；及
- 一第二閘極，位於該第二介電層上，其中該第二閘極及該第一閘極之其中之一者並未與該第二電極重疊。

2. 如申請專利範圍第 1 項之雙閘極電晶體，其中該第二閘極靠近該第二電極之一側。

3. 如申請專利範圍第 2 項之雙閘極電晶體，其中該第二閘極遠離該第二電極之另一側，係與部份該第一電極重疊。

4. 如申請專利範圍第 1 項之雙閘極電晶體，其中該第二閘極靠近該第二電極之一側壁，距該第一電極 $1/3$ 處至與該第二電極側壁切齊之間。

5. 如申請專利範圍第 4 項之雙閘極電晶體，其中該第二閘極遠離該第二電極之另一側壁，其垂直映射係落於該第一電極。

6. 如申請專利範圍第 1 項之雙閘極電晶體，其中該第二閘極係與部份該間隔重疊，該部份間隔佔該間隔之 $1/3$ 以上。

7. 如申請專利範圍第 1 項之雙閘極電晶體，其中該第一閘極靠近該第二電極之一側。

8. 如申請專利範圍第 7 項之雙閘極電晶體，其中該第一閘極遠離該第二電極之另一側，係與部份該第一電極重疊。
9. 如申請專利範圍第 1 項之雙閘極電晶體，其中該半導體層之材料係包含非晶矽、多晶矽、單晶矽、微晶矽或上述之組合。
10. 如申請專利範圍第 1 項之雙閘極電晶體，其中該第一閘極靠近該第二電極之一側壁，距該第一電極 $1/3$ 處至與該第二電極側壁切齊之間。
11. 如申請專利範圍第 10 項之雙閘極電晶體，其中該第一閘極遠離該第二電極之另一側壁，其垂直映射係落於該第一電極。
12. 如申請專利範圍第 1 項之雙閘極電晶體，其中該第一閘極係與部份該間隔重疊，該部份間隔佔該間隔之 $1/3$ 以上。
13. 如申請專利範圍第 1 項之雙閘極電晶體，其中更包括一隔離區塊，位於該半導體層上，該第一電極與該第二電極分別由該隔離區塊之左右二側延伸覆蓋住部份該隔離區塊上，該隔離區塊未被該第一電極與該第二電極覆蓋之部份則構成該間隔。
14. 如申請專利範圍第 1 項之雙閘極電晶體，其中，該半導體層，係包含一通道層及一摻雜半導體層，係位於該通道層之上。
15. 如申請專利範圍第 14 項之雙閘極電晶體，其中，該通道層，係包含一第一淺摻雜層及一第二淺摻雜層，係位於該第一淺摻雜層之上。
16. 如申請專利範圍第 1 項之雙閘極電晶體，其中，該半導體

十一、圖式：

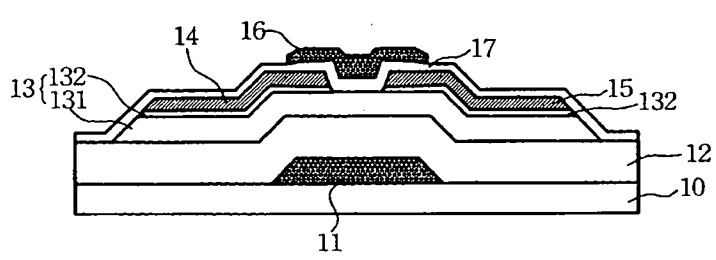


圖 一 (先 前 技 術)

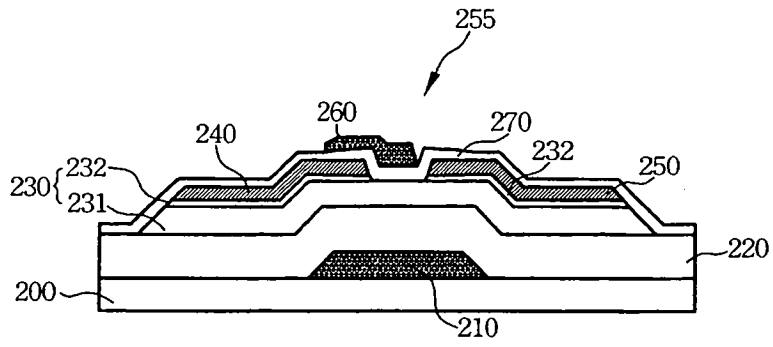


圖 二

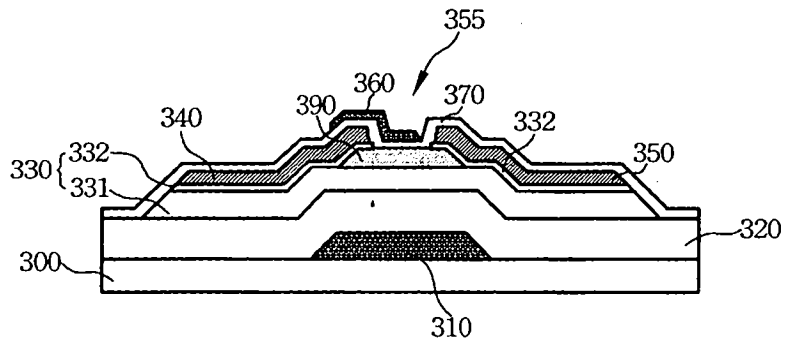


圖 三

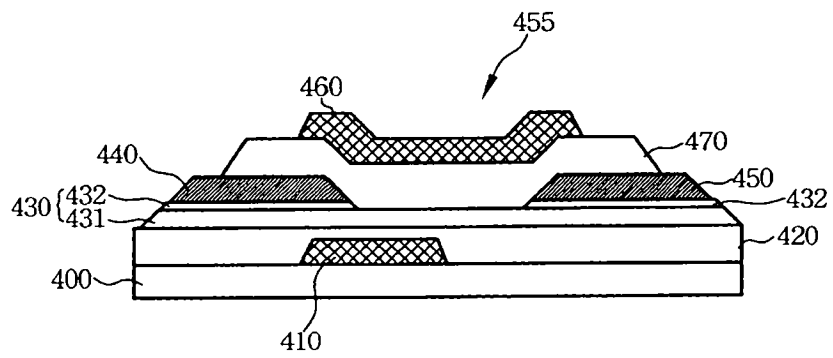


圖 四

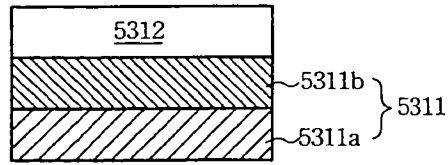


圖 五 A

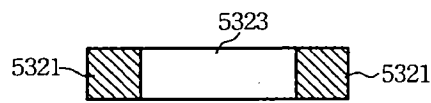


圖 五 B

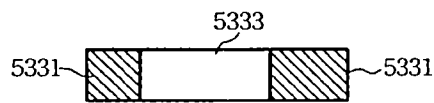


圖 五 C

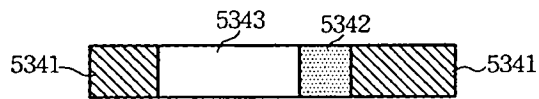


圖 五 D

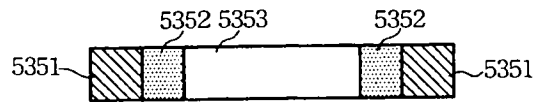


圖 五 E

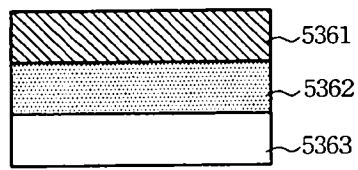


圖 五 F

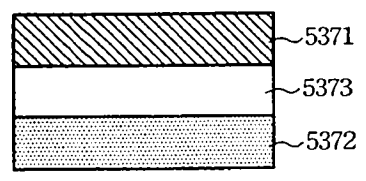


圖 五 G

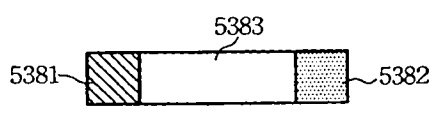


圖 五 H

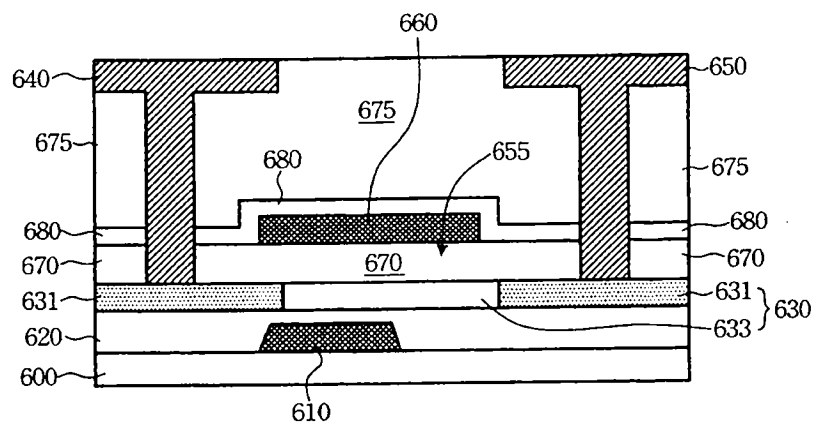


圖 六

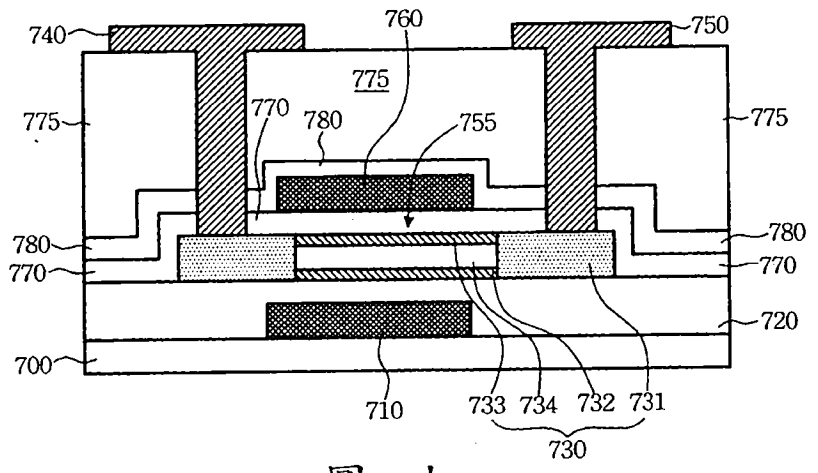


圖 七

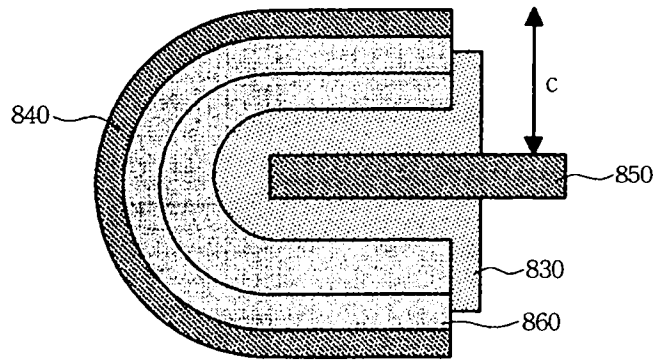


圖 八 A

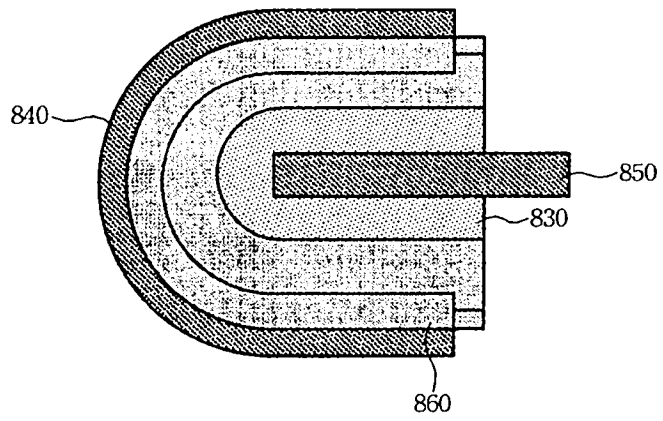


圖 八 B

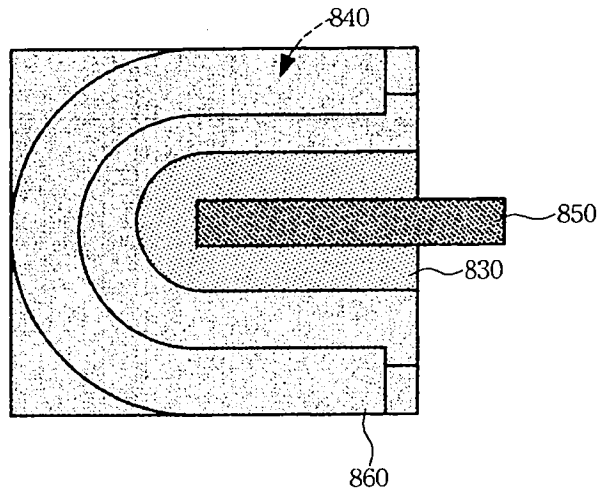


圖 八 C

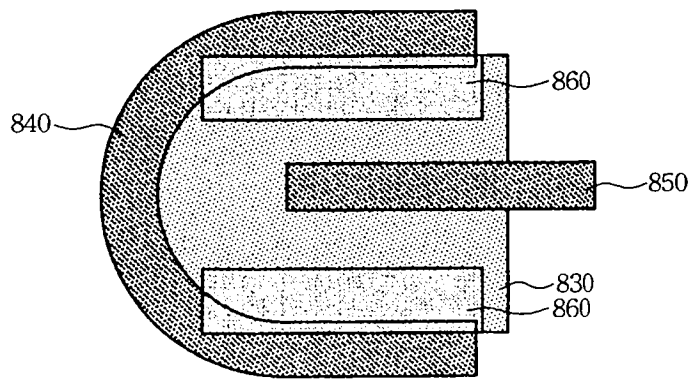


圖 八 D

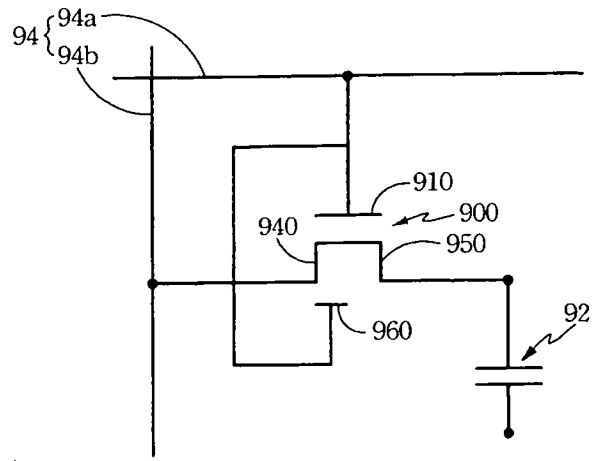


圖 九 A

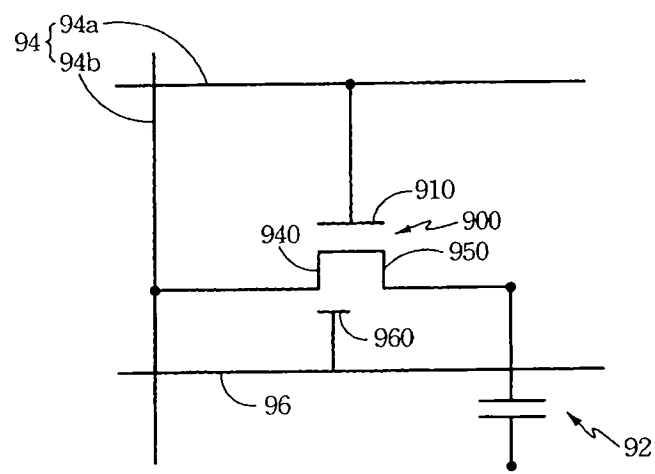
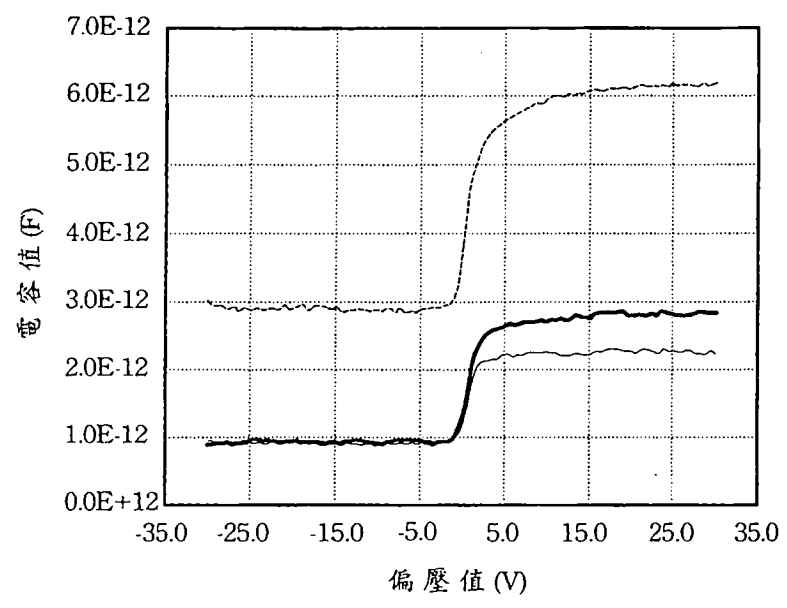


圖 九 B



- Cgs (單閘極電晶體)
- Cgs (本發明之雙閘極電晶體)
- Cgs (習知之雙閘極電晶體)

圖 十

七、指定代表圖：

(一)本案指定代表圖為：第(二)圖。

(二)本代表圖之元件符號簡單說明：

200：基板	210：第一閘極
220：第一介電層	230：半導體層
231：通道層	232：摻雜半導體層
240：第一電極	250：第二電極
255：間隔	260：第二閘極
270：第二介電層	

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)