

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-152629
(P2009-152629A)

(43) 公開日 平成21年7月9日(2009.7.9)

(5) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	5 F 0 8 3
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4	5 F 1 0 1
HO 1 L 29/792 (2006.01)	HO 1 L 27/10 4 8 1	
HO 1 L 27/115 (2006.01)		
HO 1 L 27/10 (2006.01)		

審査請求 有 請求項の数 21 O L (全 33 頁)

(21) 出願番号 特願2009-48947 (P2009-48947)
 (22) 出願日 平成21年3月3日(2009.3.3)
 (62) 分割の表示 特願2003-531536 (P2003-531536)
 の分割
 原出願日 平成14年4月24日(2002.4.24)
 (31) 優先権主張番号 特願2001-287917 (P2001-287917)
 (32) 優先日 平成13年9月20日(2001.9.20)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 503121103
 株式会社ルネサステクノロジ
 東京都千代田区大手町二丁目6番2号
 (74) 代理人 100083552
 弁理士 秋田 収喜
 (72) 発明者 宿利 章二
 東京都小平市上水本町五丁目20番1号
 株式会社日立製作所半導体グループ内

(特許庁注：以下のものは登録商標)

1. EEPROM

最終頁に続く

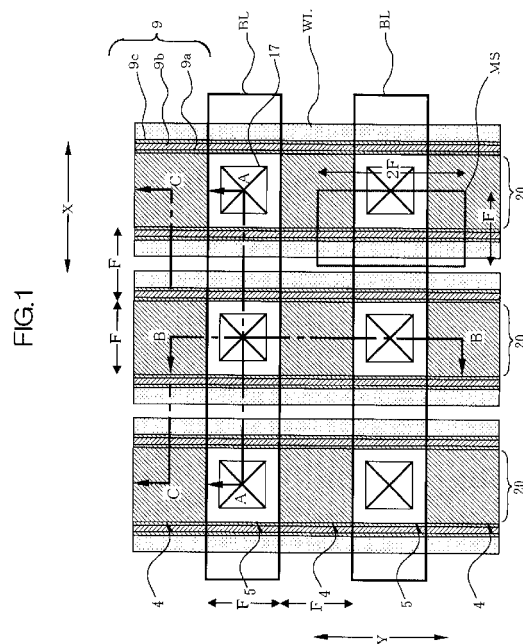
(54) 【発明の名称】 半導体集積回路装置及びその製造方法

(57) 【要約】

【課題】 非導電性の電荷トラップ膜を電荷蓄積領域として用いる不揮発性メモリの読み出し電流を大幅に向上させることができ、また、読み出しディスタープによるデータ反転の読み出し不良を撲滅できる半導体集積回路装置を提供する。

【解決手段】 半導体集積回路装置は、半導体柱と絶縁体柱が一方方向に交互に敷き詰めた状態で複数配置された柱列と、前記複数の半導体柱に夫々設けられた複数の不揮発性記憶素子であって、前記半導体柱の前記一方方向に沿う側面にゲート絶縁膜を介在して制御ゲート電極が設けられ、前記半導体柱の上面部にドレイン領域が設けられ、かつ前記半導体柱の底面部にソース領域が設けられた複数の不揮発性記憶素子と、前記複数の不揮発性記憶素子の夫々の制御ゲート電極を含み、かつ前記柱列の前記一方方向に沿う側面に前記一方方向に沿って設けられた配線とを有する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

ゲート絶縁膜とゲート電極とを有する半導体集積回路装置の製造方法であって、

(a) 半導体基板上に半導体柱を形成する工程、

(b) 前記(a)工程後に、前記半導体柱を覆うように、前記半導体基板上に前記ゲート絶縁膜を形成する工程、

(c) 前記(b)工程後に、前記ゲート絶縁膜を介して前記半導体柱を覆うように、前記半導体基板上に導体膜を堆積する工程、

(d) 前記(c)工程後に、前記半導体柱の側壁の導体膜の一部および前記半導体基板上の導体膜の一部を覆うマスクを形成する工程、

(e) 前記(d)工程後に、前記マスクを用いてエッチングすることで、前記マスクで覆われていない前記導体膜を、前記ゲート絶縁膜を介して前記半導体柱の側壁および前記半導体基板上に残すように、自己整合的に加工して前記ゲート電極を形成すると共に、前記マスクで覆われた領域の前記導体膜を前記ゲート電極と一体化されたコンタクト領域として残す工程、

(f) 前記(e)工程後に、前記半導体柱、前記ゲート電極および前記コンタクト領域を覆うように、前記半導体基板上に層間絶縁膜を形成する工程、

(g) 前記(f)工程後に、前記層間絶縁膜中に、前記コンタクト領域に接続し、且つ、前記ゲート電極へ電位を供給するためのプラグを形成する工程、

を有することを特徴とする半導体集積回路装置の製造方法。

10

20

【請求項 2】

請求項 1 に記載の半導体集積回路装置の製造方法において、

前記ゲート絶縁膜及び前記ゲート電極は、不揮発性記憶素子のゲート絶縁膜及びゲート電極を構成し、

前記ゲート絶縁膜は、電荷を離散的に蓄積する膜を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 3】

請求項 2 に記載の半導体集積回路装置の製造方法において、

前記電荷を離散的に蓄積する膜は、窒化シリコン膜であることを特徴とする半導体集積回路装置の製造方法。

30

【請求項 4】

請求項 2 に記載の半導体集積回路装置の製造方法において、

前記電荷を離散的に蓄積する膜は、シリコン膜および窒化膜からなることを特徴とする半導体集積回路装置の製造方法。

【請求項 5】

請求項 2 に記載の半導体集積回路装置の製造方法において、

前記電荷を離散的に蓄積する膜は、シリコン球および窒化膜からなることを特徴とする半導体集積回路装置の製造方法。

【請求項 6】

請求項 2 に記載の半導体集積回路装置の製造方法において、

前記電荷を離散的に蓄積する膜は、シリコン球からなることを特徴とする半導体集積回路装置の製造方法。

40

【請求項 7】

請求項 2 に記載の半導体集積回路装置の製造方法において、

前記電荷を離散的に蓄積する膜は、金属酸化物膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項 8】

請求項 7 に記載の半導体集積回路装置の製造方法において、

前記金属酸化物膜は、酸化タンタル、アルミナ、酸化チタン、酸化ジルコニウムまたは酸化ハフニウムの何れかであることを特徴とする半導体集積回路装置の製造方法。

50

【請求項 9】

請求項 1 ~ 8 の何れか 1 項に記載の半導体集積回路装置の製造方法において、前記半導体柱の形状は、四角柱状であることを特徴とする半導体集積回路装置の製造方法。

【請求項 10】

請求項 1 ~ 9 の何れか 1 項に記載の半導体集積回路装置の製造方法において、前記ゲート電極が前記半導体柱の側壁に沿って延在する方向と直交する方向において、前記コンタクト領域の長さは、前記ゲート電極の長さよりも長いことを特徴とする半導体集積回路装置の製造方法。

【請求項 11】

ゲート絶縁膜とゲート電極とを有する半導体集積回路装置であって、半導体基板上に形成された半導体柱と、前記半導体柱の側壁および前記半導体基板上に形成された前記ゲート絶縁膜と、前記ゲート絶縁膜を介して前記半導体柱の側壁および前記半導体基板上に形成され、且つ、サイドスペーサ状に形成された前記ゲート電極と、前記ゲート電極と同じ導電膜で形成され、且つ、前記ゲート電極と一体化されたコンタクト領域と、

前記半導体柱、前記ゲート電極および前記コンタクト領域を覆うように、前記半導体基板上に形成された層間絶縁膜と、

前記コンタクト領域に接続するように前記層間絶縁膜中に形成され、且つ、前記ゲート電極へ電位を供給するためのプラグと、

を有することを特徴とする半導体集積回路装置。

【請求項 12】

請求項 11 に記載の半導体集積回路装置において、

前記ゲート絶縁膜及び前記ゲート電極は、不揮発性記憶素子のゲート絶縁膜及びゲート電極を構成し、

前記ゲート絶縁膜は、電荷を離散的に蓄積する膜を含むことを特徴とする半導体集積回路装置。

【請求項 13】

請求項 12 に記載の半導体集積回路装置において、

前記電荷を離散的に蓄積する膜は、窒化シリコン膜であることを特徴とする半導体集積回路装置。

【請求項 14】

請求項 12 に記載の半導体集積回路装置において、

前記電荷を離散的に蓄積する膜は、シリコン膜および窒化膜からなることを特徴とする半導体集積回路装置。

【請求項 15】

請求項 12 に記載の半導体集積回路装置において、

前記電荷を離散的に蓄積する膜は、シリコン球および窒化膜からなることを特徴とする半導体集積回路装置。

【請求項 16】

請求項 12 に記載の半導体集積回路装置において、

前記電荷を離散的に蓄積する膜は、シリコン球からなることを特徴とする半導体集積回路装置。

【請求項 17】

請求項 12 に記載の半導体集積回路装置において、

前記電荷を離散的に蓄積する膜は、金属酸化物膜であることを特徴とする半導体集積回路装置。

【請求項 18】

請求項 17 に記載の半導体集積回路装置において、

10

20

30

40

50

前記金属酸化物膜は、酸化タンタル、アルミナ、酸化チタン、酸化ジルコニウムまたは酸化ハフニウムの何れかであることを特徴とする半導体集積回路装置。

【請求項 19】

請求項 11 ~ 18 の何れか 1 項に記載の半導体集積回路装置において、前記半導体柱の形状は、四角柱状であることを特徴とする半導体集積回路装置。

【請求項 20】

請求項 11 ~ 19 の何れか 1 項に記載の半導体集積回路装置において、前記ゲート電極が前記半導体柱の側壁に沿って延在する方向と直交する方向において、前記コンタクト領域の長さは、前記ゲート電極の長さよりも長いことを特徴とする半導体集積回路装置。

10

【請求項 21】

請求項 11 ~ 20 の何れか 1 項に記載の半導体集積回路装置において、前記コンタクト領域は、マスクを用いたパターンニングによって形成された領域であることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置及びその製造技術に関し、特に、電氣的にデータの消去及び書き込みが可能な不揮発性記憶素子を有する半導体集積回路装置に適用して有効な技術に関するものである。

20

【背景技術】

【0002】

近年、データやプログラム構成するデータを記憶させるメモリ装置として、記憶するデータを所定の単位で一括して電氣的に消去可能であり、かつ、データを電氣的に書き込み可能なフラッシュ E E P R O M (Electrically Erasable Programmable Read Only Memory) と呼ばれる不揮発性記憶装置が注目を集めている。フラッシュ E E P R O M (以下、フラッシュメモリと呼ぶ) は、電氣的に消去及び書き込み可能な不揮発性記憶素子によってメモリセルが構成されており、一旦メモリセルに書き込まれたデータやプログラム構成するデータを消去し、新たなデータやプログラム構成するデータをメモリセルへ再度書き込み (プログラミング) する事が可能である。

30

【0003】

従来、フラッシュメモリの電荷蓄積は、ポリシリコン膜からなり、電氣的に周囲とは絶縁されたフローティングゲート電極 (浮遊ゲート電極) 内に電子を蓄積することにより行われていた。この電子蓄積動作、いわゆる書き込み動作は、ホットエレクトロン注入が一般的であり、蓄積された電子をフローティングゲート電極外へ放出する消去動作は、ゲート酸化膜を通過するトンネル電流により行われている。書き込みと消去を繰り返すと、ゲート酸化膜の内部に電荷トラップが形成され、基板とゲート酸化膜の界面には表面準位密度が増加する。特に、前者は電荷の保持特性、すなわち書換え後のリテンション特性を劣化させるといふ本質的な問題点があった。

【0004】

この問題点を解消する方法として、近年、E E P R O M の電荷蓄積に非導電性の電荷トラップ膜を使用する方式が提案されている。例えば、米国特許公報第 5, 768, 192 号、米国特許公報第 5, 966, 603 号、米国特許公報第 6, 011, 725 号、米国特許公報第 6, 180, 538 号、及び、B.Eitanらによる "Can NROM, a 2-bit, Trapping Storage NVM Cell, Give a Real Challenge to Floating Gate Cell", International Conference on Solid State Devices and Materials, Tokyo, 1999、に開示されている。

40

【0005】

例えば、米国特許公報第 5, 768, 192 号には、図 39 (セルの模式的断面図) に示すように、シリコン酸化膜等の絶縁膜 112、114 で挟まれたシリコン窒化膜 113

50

、いわゆるONO(Oxide/Nitride/Oxide)構造の積層膜をゲート絶縁膜とし、ソース117に0V、ドレイン116とコントロールゲート115に適当な正電圧を印加してトランジスタをオンさせ、ドレイン116の近傍で発生するホットエレクトロンを注入し、前記シリコン窒化膜113中へ電子をトラップさせることにより書き込みを行う方式である。この電荷蓄積方式は、連続した導電膜であるポリシリコン膜に電荷蓄積を行う方式と比較して、シリコン窒化膜113中の電子トラップが非連続で離散的であるため、酸化膜112の一部にピンホール等の電荷漏洩パスが発生した場合においても、蓄積された電荷のすべてが消失されることがなく、リテンション特性が本質的に強固であるという特徴をもっている。

【0006】

また、米国特許公報第6,011,725号には、図40(セルの模式的断面図)に示すように、ホットエレクトロン注入の局在性を利用して、ドレイン116近傍とソース117の近傍との2個所の電荷蓄積を独立して制御することにより、2ビットの情報を1セル内で実現する、いわゆる多値セル技術を開示している。

【0007】

さらに、米国特許公報第5,966,603号には、ONO膜の形成方法、例えば、基板上にON積層膜を形成した後、シリコン窒化膜上部を酸化することによりONO構造を形成すること、また、基板上にONO積層膜を形成した後に酸化工程を追加することによりシリコン窒化膜中に酸素を導入して、メモリセルのリテンション特性を向上すること、が開示されている。

【0008】

また、米国特許公報第6,180,538号には、短時間気相成長法(Rapid Thermal Chemical Vapor Deposition)により、ONO膜を形成する方法、酸化膜の堆積温度が700~800であること、酸化膜の膜厚が5~15nmであること、がクレームされている。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】米国特許公報第5,768,192号

【特許文献2】米国特許公報第5,966,603号

【特許文献3】米国特許公報第6,011,725号

【特許文献4】米国特許公報第6,180,538号

【非特許文献】

【0010】

【非特許文献1】B.Eitanらによる"Can NROM, a 2-bit, Trapping Storage NVM Cell, Give a Real Challenge to Floating Gate Cell", International Conference on Solid State Devices and Materials, Tokyo, 1999

【発明の概要】

【発明が解決しようとする課題】

【0011】

前記公知例では、例えば米国特許公報第5,966,603号、あるいは、B.Eitanらによる"Can NROM, a 2-bit, Trapping Storage NVM Cell, Give a Real Challenge to Floating Gate Cell", International Conference on Solid State Devices and Materials, Tokyo, 1999、にはパーチャルグランド型のセル方式開示がされている。このセル配置は、図41(メモリセルアレイ部の模式的平面図)、図42(セルのゲート長方向に沿う模式的断面図)、及び図43(セルのゲート幅方向に沿う模式的断面図)に示すように、ドレイン116とソース117を構成する拡散層領域がストライプ状に配置され、その上部にはコントロールゲート電極115と絶縁を維持するための酸化膜118が設けられ、前記ソース・ドレイン方向と直行するようにコントロールゲート電極115が配置されている。半導体基板111のドレイン116とソース117に挟まれたチャンネル領域とコ

10

20

30

40

50

ントロールゲート電極 1 1 5 との間には、酸化膜 1 1 2、窒化膜 1 1 3、酸化膜 1 1 4 が配置されている。図 4 1 に示したように、書き込み、及び読み出し動作での電流経路は、隣り合う拡散層をソース 1 1 7、ドレイン 1 1 6 として動作させ、セルのチャネル電流はコントロールゲート電極 1 1 5 に平行な方向に流れる。このセルの面積は、ソース・ドレインのピッチを最小寸法 F の 2 倍、コントロールゲートのピッチも最小寸法 F の 2 倍、すなわち、 $2 F \times 2 F = 4 F^2$ に設計されている。例えば、 $0.2 \mu\text{m}$ 技術では、 $4 F^2 = 0.16 \mu\text{m}^2$ と非常に小さなセル面積を実現できる。

【 0 0 1 2 】

しかしながら、前述のメモリセルにおいては、いくつかの問題点がある。

第 1 の問題点は、従来のセルでは、読み出し電流が大きく設計できない点である。図 4 1 に示したように、セルのチャネル幅 W はコントロールゲート電極 1 1 5 の幅で定義され、チャネル長 L はソース 1 1 7 とドレイン 1 1 6 の間隔で定義されるため、チャネル電流を決める構造定数 W/L は、 $W/L = F/F = 1$ となり、セルを微細化しても読み出し電流は増加しない。したがって、他の構造定数、酸化膜 1 1 2、窒化膜 1 1 3、及び酸化膜 1 1 4 の積層膜の実効膜厚を薄くしなければ、読み出し電流は増加できず、アクセス速度の劣化やセンスアンプの誤動作マージンが低下する問題を引き起こす。

【 0 0 1 3 】

第 2 の問題点は、前記第 1 の問題点を解消するために、読み出し動作時のコントロールゲート電圧を増加して、読み出し電流を増大させようとする場合に発生する、いわゆる、読み出しディスターブの問題である。この現象は、図 4 2 及び図 4 3 中に示したように、窒化膜中に電子がトラップされた書き込み状態のセルを読み出す際に、コントロールゲート電圧によってトラップ電子がコントロールゲート側へ引抜かれることによって発生する。その結果、データ反転不良を引き起こす。トラップ電子の引抜きディスターブの時間は、最大 10 年連続読み出しを想定せねばならない。窒化膜 1 1 3 上部の酸化膜 1 1 4 の膜厚を厚くすることにより、前記ディスターブの耐性は向上することができるが、第 1 の問題点である読み出し電流は、さらに低下してしまう結果となる。

【 0 0 1 4 】

第 3 の問題点は、エッチングマスクを用いた導電膜のパターンニングによってコントロールゲート電極を形成しているため、セル面積を $4 F^2$ 以下にすることが困難な点である。この問題に関して公知例調査を行った結果、セル面積の微細化に関する技術が記載された特開平 6 - 1 3 6 2 8 号公報が見つかった。この公報に記載された技術は、同公報の段落番号 [0 0 2 0] に記載されているように、「従来は平面的に配置されていたソースとドレイン間のチャネル形成領域を垂直に立てることによって、その部分の面積を削減する。本発明の基本は、半導体基板上に凸状の部分形成し、その側面をチャネル形成領域とし、その頂上部を不純物領域（ソースもしくはドレイン）の一方とし、底部に他の不純物領域を設け、このチャネル形成領域の側面にゲイト電極を形成することにある。」というものである。更に、同公報の段落番号 [0 0 6 7] には、「この後、ゲイト配線（コントロールゲイト）を形成するための被膜 3 0 9 を形成する。... 中略... その後、再び、異方性エッチングによって凸部の側面以外の被膜 3 0 9 を除去して、ゲイト配線 3 1 0 を形成する。このゲイト配線は、凸部の側面に沿って走っていることに注目すべきである。また、このゲイト配線の形成はマスクプロセスによらないことが本発明の特徴とすることである。」という内容が記載されている。従って、この公報に記載された技術を用いることによって、セル面積を $4 F^2$ 以下にすることが可能となる。

【 0 0 1 5 】

しかしながら、この公報に記載された技術では、凸部における素子分離領域の形成が熱酸化法による酸化膜によって行われているため、凸部の素子分離領域に半導体が存在し、しかもゲイト配線が凸部の側面に沿って走っている。即ち、凸の素子分離領域は、凸部の素子分離領域における半導体をチャネル形成領域とし、凸部の素子分離領域に形成された酸化膜をゲイト絶縁膜とし、凸部の側面に沿って走っているゲイト配線をゲイト電極とする MOS 構造になっている。このため、ゲイト配線に電圧が印加されると、凸部の素子分

10

20

30

40

50

離領域における半導体の側面に寄生チャネルが形成され、この寄生チャネルによって隣り合う不揮発性記憶素子のチャネル形成領域が電氣的に繋がってしまうといった不具合が発生する。このような不具合は、データの消去不良、書き込み不良及び読み出し不良の要因となるため、フラッシュメモリの電氣的信頼性が低下する。

【0016】

本発明の目的は、非導電性の電荷トラップ膜を電荷蓄積領域として用いる不揮発性メモリの読み出し電流を大幅に向上させることができ、また、読み出しディスタープによるデータ反転の読み出し不良を撲滅できる半導体集積回路装置を提供することにある。

【0017】

本発明の他の目的は、非導電性の電荷トラップ膜を電荷蓄積領域として用いる不揮発性メモリのセル面積の縮小化が容易なデバイス構造を提供することにある。

10

【0018】

本発明の他の目的は、電氣的にデータの書き込み及び消去が可能な不揮発性記憶素子を有する半導体集積回路装置の電氣的信頼性の向上を図ることが可能な技術を提供することにある。

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0019】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

20

(1) 半導体柱と絶縁体柱が一方向に交互に敷き詰めた状態で複数配置された柱列と、

前記複数の半導体柱に夫々設けられた複数の不揮発性記憶素子であって、前記半導体柱の前記一方向に沿う側面にゲート絶縁膜を介在して制御ゲート電極が設けられ、前記半導体柱の上面部にドレイン領域が設けられ、かつ前記半導体柱の底面部にソース領域が設けられた複数の不揮発性記憶素子と、

前記複数の不揮発性記憶素子の夫々の制御ゲート電極を含み、かつ前記柱列の前記一方向に沿う側面に前記一方向に沿って設けられた配線とを有することを特徴とする半導体集積回路装置である。

【0020】

30

(2) 半導体領域内にソース領域、ドレイン領域、前記ソース領域と前記ドレイン領域に挟まれたチャネル形成領域、及び制御ゲート電極を持つ電氣的に書き込み可能な不揮発性記憶素子において、四角柱状の半導体柱の向かい合う側面に独立した2つの前記チャネル領域が配置され、前記2つのチャネル領域に接続された前記ドレイン領域は前記四角柱状の半導体柱の上部に形成され、前記チャネル領域と隣り合う側面部には素子分離領域が配置され、前記チャネル領域と前記制御ゲート電極との間に第1絶縁膜、前記第1絶縁膜上に非導電性の電荷トラップ膜、前記非導電性の電荷トラップ膜上に第2絶縁膜を有することを特徴とする半導体集積回路装置である。

【0021】

(3) 前記手段(2)に記載の半導体集積回路装置において、

40

前記ソース領域を接地電位とし、前記ドレイン領域および前記制御ゲート電極へ適当な正電位を与えて、前記チャネル領域をオンさせ、前記ドレイン領域の近傍で発生するホットエレクトロンを注入して、前記非導電膜性の電荷トラップ膜へトラップさせることにより書き込みを行い、

前記制御ゲート電極へ適当な負電位を与え、前記ドレイン領域へ適当な正電位を与えて、前記非導電性の電荷トラップ膜へトラップされた電子を、前記第1絶縁膜中を流れるトンネル電流によって前記半導体領域へ引抜くことにより消去を行うことを特徴とする半導体集積回路装置である。

【0022】

(4) 前記手段(2)に記載の半導体集積回路装置において、

50

前記第1絶縁膜はシリコン酸化膜、前記非導電性の電荷トラップ膜はシリコン窒化膜、前記第2絶縁膜はシリコン酸化膜である。

【0023】

(5) 前記手段(2)に記載の半導体集積回路装置において、

前記第1絶縁膜はシリコン酸化膜、前記非導電性の電荷トラップ膜は金属酸化膜、前記第2絶縁膜はシリコン酸化膜である。

【0024】

(6) 半導体領域内にソース領域、ドレイン領域、前記ソース領域と前記ドレイン領域に挟まれたチャンネル形成領域、及び制御ゲート電極を持つ電气的に書き込み可能な不揮発性記憶素子において、四角柱状の半導体柱の向かい合う側面に独立した2つの前記チャンネル形成領域が配置され、前記2つのチャンネル形成領域に接続された前記ドレイン領域は前記四角柱状の半導体柱の上部に形成され、前記チャンネル形成領域と隣り合う側面部には素子分離領域が配置され、前記チャンネル領域と前記制御ゲート電極との間に第1絶縁膜、前記第1絶縁膜上に半導体膜、前記半導体膜上に非導電性の電荷トラップ膜、前記非導電性の電荷トラップ膜上に第2絶縁膜を有し、前記半導体膜と非導電性の電荷トラップ膜との界面電荷トラップ準位に主として電子トラップを行うことを特徴とする半導体集積回路装置である。

10

【0025】

(7) 前記手段(6)に記載の半導体集積回路装置において、

前記ソース領域を接地電位とし、前記ドレイン領域および前記制御ゲート電極へ適当な正電位を与えて、前記チャンネル形成領域をオンさせ、前記ドレイン領域の近傍で発生するホットエレクトロンを注入して、前記半導体膜と前記非導電性の電荷トラップ膜との電荷トラップ準位に主として電子トラップを行うことにより書き込みを行い、

20

前記制御ゲート電極へ適当な負電位を与え、前記ドレイン領域へ適当な正電位を与えて、トラップされた電子を、前記半導体膜及び第1絶縁膜中を流れるトンネル電流によって前記半導体領域へ引抜くことにより消去を行うことを特徴とする半導体集積回路装置である。

【0026】

(8) 前記手段(6)に記載の半導体集積回路装置において、

前記第1絶縁膜はシリコン酸化膜、前記半導体膜がポリシリコン膜、前記非導電性の電荷トラップ膜はシリコン窒化膜、前記第2絶縁膜はシリコン酸化膜である。

30

【0027】

(9) 前記手段(6)に記載の半導体集積回路装置において、

前記第1絶縁膜はシリコン酸化膜、前記半導体膜がポリシリコン膜、前記非導電性の電荷トラップ膜は金属酸化膜、前記第2絶縁膜はシリコン酸化膜である。

【0028】

(10) 半導体基板上にストライプ状に溝型素子分離領域と半導体活性領域を交互に形成し、前記ストライプ状の溝型素子分離領域と半導体活性領域とは直行する方向にストライプ状に形成したレジスト膜パターンをマスクとして、前記半導体活性領域のエッチングに引き続いて前記溝型素子分離領域をエッチングして四角柱状の半導体柱、及び四角柱状の素子分離領域を形成する工程と、

40

前記四角柱状の半導体柱の側面部にチャンネル形成領域を形成し、前記チャンネル形成領域の上部に第1酸化膜、窒化膜、及び第2酸化膜の積層膜を堆積した後、導電膜のサイドスペーサからなるワード線を形成する工程と、

前記四角柱状の半導体柱の上部にドレイン領域を形成する工程とを、少なくとも含むことを特徴とする半導体集積回路装置の製造方法である。

【0029】

(11) 半導体基板上にストライプ状に溝型素子分離領域と半導体活性領域を交互に形成し、前記ストライプ状の溝型素子分離領域と半導体活性領域とは直行する方向にストライプ状に形成したレジスト膜パターンをマスクとして、前記半導体活性領域のエッチングに

50

引き続き前記溝型素子分離領域をエッチングして四角柱状の半導体柱、及び四角柱状の素子分離領域を形成する工程と、

前記四角柱状の半導体柱の側面部にチャネル形成領域を形成し、前記チャネル形成領域の上部に第1酸化膜、ポリシリコン膜、窒化膜、及び第2酸化膜の積層膜を堆積した後、導電膜のサイドスペースからなるワード線を形成する工程と、

前記四角柱状の半導体柱の上部にドレイン領域を形成する工程とを、少なくとも含むことを特徴とする半導体集積回路装置の製造方法である。

【発明の効果】

【0030】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0031】

本発明によれば、非導電性の電荷トラップ膜を電荷蓄積領域として用いる不揮発性メモリの読み出し電流を大幅に向上させることができ、また、読み出しディスタープによるデータ反転の読み出し不良を撲滅できる半導体集積回路装置を提供することができる。

【0032】

本発明によれば、非導電性の電荷トラップ膜を電荷蓄積領域として用いる不揮発性メモリのセル面積の縮小化が容易なデバイス構造を提供することができる。

【0033】

本発明によれば、電氣的にデータの書き込み及び消去が可能な不揮発性記憶素子を有する半導体集積回路装置の電氣的信頼性の向上を図ることができる。

【図面の簡単な説明】

【0034】

【図1】本発明の実施形態1であるフラッシュメモリのメモリセルアレイ部の概略構成を示す模式的平面図である。

【図2】図1のメモリセルアレイ部の等価回路図である。

【図3】図1のA-A線に沿う模式的断面図である。

【図4】図1の一部を拡大した模式的断面図である。

【図5】図1のB-B線に沿う模式的断面図である。

【図6】図1のC-C線に沿う模式的断面図である。

【図7】本発明の実施形態1であるフラッシュメモリの製造工程における模式的平面図である。

【図8】図7のB-B線に沿う模式的断面図である。

【図9】図7に続くフラッシュメモリの製造工程における模式的平面図である。

【図10】(a)は図9のA-A線に沿う模式的断面図であり、(b)は図9のC-C線に沿う模式的断面図である。

【図11】図9に続くフラッシュメモリの製造工程における模式的平面図である。

【図12】(a)は図11のA-A線に沿う模式的断面図であり、(b)は図11のC-C線に沿う模式的断面図である。

【図13】図11に続くフラッシュメモリの製造工程における模式的平面図である。

【図14】(a)は図13のA-A線に沿う模式的断面図であり、(b)は図13のC-C線に沿う模式的断面図である。

【図15】図13に続くフラッシュメモリの製造工程における模式的断面図である。

【図16】図15に続くフラッシュメモリの製造工程における模式的断面図である。

【図17】図16に続くフラッシュメモリの製造工程における模式的平面図である。

【図18】(a)は図17のA-A線に沿う模式的断面図であり、(b)は図17のC-C線に沿う模式的断面図である。

【図19】図17に続くフラッシュメモリの製造工程における模式的断面図である。

【図20】図19に続くフラッシュメモリの製造工程における模式的断面図である。

【図21】図20に続くフラッシュメモリの製造工程における模式的断面図である。

10

20

30

40

50

- 【図 2 2】図 2 1 に続くフラッシュメモリの製造工程中における模式的断面図である。
- 【図 2 3】本発明の実施形態 2 であるフラッシュメモリにおいて、メモリセルアレイ部の周辺領域の概略構成を示す模式的平面図である。
- 【図 2 4】図 2 3 の一部を除去した状態を示す模式的平面図である。
- 【図 2 5】本発明の実施形態 3 であるフラッシュメモリの製造工程中における模式的断面図である。
- 【図 2 6】図 2 5 に続くフラッシュメモリの製造工程中における模式的断面図である。
- 【図 2 7】図 2 6 に続くフラッシュメモリの製造工程中における模式的断面図である。
- 【図 2 8】図 2 7 に続くフラッシュメモリの製造工程中における模式的断面図である。
- 【図 2 9】図 2 8 に続くフラッシュメモリの製造工程中における模式的断面図である。
- 【図 3 0】図 2 9 に続くフラッシュメモリの製造工程中における模式的断面図である。
- 【図 3 1】図 3 0 に続くフラッシュメモリの製造工程中における模式的断面図である。
- 【図 3 2】図 3 1 に続くフラッシュメモリの製造工程中における模式的断面図である。
- 【図 3 3】図 3 2 に続くフラッシュメモリの製造工程中における模式的断面図である。
- 【図 3 4】図 3 3 に続くフラッシュメモリの製造工程中における模式的断面図である。
- 【図 3 5】本発明の実施形態 4 であるフラッシュメモリのメモリセルアレイ部の概略構成を示す模式的平面図である。
- 【図 3 6】(a) は図 3 5 の C - C ' 線方向に沿う模式的断面図であり、(b) は図 3 5 の D - D 線方向に沿う模式的断面図である。
- 【図 3 7】本発明の実施形態 5 であるフラッシュメモリの概略構成を示す模式的平面図である。
- 【図 3 8】本発明の実施形態 6 であるフラッシュメモリの概略構成を示す模式的平面図である。
- 【図 3 9】従来技術において、第 1 のセルの概略構成を示す模式的断面図である。
- 【図 4 0】従来技術において、第 2 のセルの概略構成を示す模式的断面図である。
- 【図 4 1】従来技術において、第 3 のセルの概略構成を示す模式的平面図である。
- 【図 4 2】図 4 1 に示す第 3 のセルのゲート長方向に沿う模式的断面図である。
- 【図 4 3】図 4 1 に示す第 3 のセルのゲート幅方向に沿う模式的断面図である。
- 【図 4 4】図 2 3 及び図 2 4 に示すフラッシュメモリのメモリセルアレイ部の周辺領域における製造工程中の模式的平面図である。
- 【図 4 5】図 4 4 に続く製造工程中の模式的平面図である。
- 【図 4 6】図 4 5 に続く製造工程中の模式的平面図である。
- 【図 4 7】図 4 6 に続く製造工程中の模式的平面図である。
- 【図 4 8】図 4 7 に続く製造工程中の模式的平面図である。
- 【図 4 9】図 4 8 に続く製造工程中の模式的平面図である。
- 【図 5 0】図 4 9 に続く製造工程中の模式的平面図である。
- 【発明を実施するための形態】
- 【0035】
- 以下、図面を参照して本発明の実施例を詳細に説明する。なお、発明の実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。
- 【0036】
- (実施形態 1)
- 図 1 は本発明の実施形態 1 であるフラッシュメモリのメモリセルアレイ部の概略構成を示す模式的平面図であり、
- 図 2 は図 1 のメモリセルアレイ部の等価回路図であり、
- 図 3 は図 2 の A - A 線に沿う模式的断面図であり、
- 図 4 は図 3 の一部を拡大した模式的断面図であり、
- 図 5 は図 2 の B - B 線に沿う模式的断面図であり、
- 図 6 は図 2 の C - C 線に沿う模式的断面図である。

【 0 0 3 7 】

本実施形態のフラッシュメモリのメモリセルアレイ部 M S A には、図 1 及び図 2 に示すように、複数本のワード線 W L 及び複数本のデータ線 B L が延在している。複数本のワード線 W L は、Y 方向に向かって延在し、Y 方向と直行する X 方向に所定の間隔をおいて配置されている。複数本のデータ線 B L は、X 方向に向かって延在し、Y 方向に所定の間隔をおいて配置されている。また、メモリセルアレイ部には、図 1 及び図 2 に示すメモリセル M S が行列状 (X 方向及び Y 方向) に複数個配置されている。また、メモリセルアレイ部 M S A には、Y 方向に向かって延在する柱列 2 0 が X 方向に所定の間隔をおいて複数本配置されている。

【 0 0 3 8 】

柱列 2 0 は、図 1 乃至図 6 に示すように、半導体柱 5 と絶縁体柱 4 を Y 方向に向かって交互に敷き詰めて複数個配置した構成となっている。半導体柱 5 及び絶縁体柱 4 は、例えば単結晶シリコンからなる p 型半導体基板 1 の一主面に設けられている。この半導体柱 5 及び絶縁体柱 4 は、後で詳細に説明するが、主として半導体基板 1 に溝加工を施すことによって形成される。本実施形態において、半導体柱 5 及び絶縁体柱 4 は、例えば四角柱状で形成されている。絶縁体柱 4 は例えば酸化シリコン膜 (絶縁膜) 3 で形成されている。

【 0 0 3 9 】

メモリセル M S は、半導体柱 5 に形成された不揮発性記憶素子 Q によって構成されている。不揮発性記憶素子 Q は、図 3 及び図 4 に示すように、主に、チャンネル形成領域 C N 、ゲート絶縁膜 G I 、コントロールゲート電極 1 1 、ソース領域及びドレイン領域を有する構成となっている。チャンネル形成領域 C N は半導体柱 5 の Y 方向に沿う側面に設けられ、ゲート絶縁膜 G I はチャンネル形成領域 C N 上 (半導体柱 5 の側面上) に設けられ、コントロールゲート電極 1 1 はゲート絶縁膜 G I 上に設けられ、ドレイン領域は半導体柱 5 の上面部に設けられ、ソース領域は半導体柱 5 の底面部に設けられている。

【 0 0 4 0 】

ゲート絶縁膜 G I は、これに限定されないが、例えば図 1 及び図 4 に示すように、半導体柱 5 の側面から、酸化シリコン膜 9 a 、窒化シリコン膜 9 b 及び酸化シリコン膜 9 c を順次積層した積層膜 9 で形成されている。窒化シリコン膜 9 b は電荷を離散的に蓄積する膜である。すなわち、窒化シリコン膜 9 b 中には、電子トラップが非連続で離散的に形成されている。このように、ゲート絶縁膜 G I は、電荷を離散的に蓄積する膜を含む積層膜で形成されている。

【 0 0 4 1 】

コントロールゲート電極 1 1 は、柱列 2 0 の Y 方向に沿う側面に沿って延在するワード線 W L の一部分で構成されている。ワード線 W L は、柱列 2 0 に対して自己整合で形成され、サイドスペーサ状に加工されている。このワード線 W L は、例えば抵抗値を低減する不純物 (例えば A s) が導入された多結晶シリコン膜で形成されている。

【 0 0 4 2 】

ドレイン領域は半導体柱 5 の上面部に設けられた n 型半導体領域 1 2 で構成され、ソース領域は半導体柱 5 の底面部に設けられた n 型半導体領域 8 で構成されている。n 型半導体領域 8 は主として柱列 2 0 の X 方向の幅を規定する溝の底面部に設けられ、Y 方向に沿って連続的に延在するソース配線を構成している。すなわち、ソース領域は柱列 2 0 に沿って連続的に延在するソース配線の一部分で構成されている。

【 0 0 4 3 】

一つの半導体柱 5 には、図 3 及び図 4 に示すように、2 つの不揮発性記憶素子 Q が設けられている。2 つの不揮発性記憶素子 Q のうち、一方の不揮発性記憶素子 Q は、そのチャンネル形成領域 C N が半導体柱 5 の互いに向かい合う 2 つの側面のうちの一方の側面に設けられ、他方の不揮発性記憶素子 Q は、そのチャンネル形成領域 C N が 2 つの側面のうちの他方の側面に設けられている。不揮発性記憶素子 Q のチャンネル長 L は半導体柱 5 の高さ (突出量) で規定され、チャンネル幅 W は半導体柱 5 の Y 方向に沿う幅で規定されている。

【 0 0 4 4 】

10

20

30

40

50

図5及び図6に示すように、半導体柱5及び絶縁体柱4はほぼ同一の加工寸法で形成されている。柱列20において、複数の半導体柱5の夫々は絶縁体柱4によって互いに絶縁分離されている。絶縁体柱4はn型半導体領域8に到達し、複数の半導体柱5の夫々の上面部に設けられた複数のn型半導体領域12は、半導体柱5の間に設けられた絶縁体柱4によって互いに絶縁分離されている。

【0045】

図1乃至図6に示すように、各柱列20の半導体柱5及び絶縁体柱4は、半導体基板1の主面上に設けられた絶縁膜13によって覆われている。絶縁膜13には半導体柱5の上面部と向かい合う部分に開口14が設けられ、この開口14の内部には開口14の内壁面に沿って窒化シリコン膜から成るサイドスペーサ状の絶縁膜16が設けられ、この絶縁膜16で規定された開口17の内部にはドレイン領域であるn型半導体領域12と電気的に接続されたコンタクトプラグ18が埋め込まれている。このコンタクトプラグ18には、ビット線BLが接続されている。即ち、半導体柱5の上面部に設けられたドレイン領域であるn型半導体領域12は、コンタクトプラグ18を介してビット線BLと電気的に接続されている。

10

【0046】

本実施形態において、メモリセルMS（不揮発性記憶素子Q）は、図1乃至図6に示すように、四角柱状の絶縁体柱4で絶縁分離された四角柱状の半導体柱5の上部表面領域にドレイン領域を配置し、半導体柱5の側面部にチャネル形成領域CN、酸化シリコン膜（第1酸化膜）9a、シリコン窒化膜（非導電膜性の電荷トラップ膜）9b、及び酸化シリコン膜（第2酸化膜）9cの積層膜9が配置され、酸化シリコン膜（第2酸化膜）9cの外側にポリシリコン膜からなるサイドスペーサ状に配置された制御ゲート電極（コントロールゲート電極）11を配置し、四角柱状の半導体柱5の上部表面領域にドレイン領域への開口（コンタクト穴）17とビット線BLを配置しており、ドレイン領域及びコントロールゲート電極11へ適当な正電位を与えて、チャネル形成領域CNをオンさせ、ドレイン領域の近傍で発生するホットエレクトロンを注入して、前記非導電膜性の窒化シリコン膜（電荷トラップ膜）9bへトラップさせることにより書き込みを行い、また、前記コントロールゲート電極11へ適当な負電位を与え、前記ドレイン領域へ適当な正電位を与えて、前記非導電性の窒化シリコン膜（電荷トラップ膜）9bへトラップされた電子を、酸化シリコン膜（第1酸化膜）9a中を流れるトンネル電流によって前記ドレイン領域へ引抜くことにより消去を行う不揮発性メモリ素子として構成されている。

20

30

【0047】

A-A線方向（X方向）においては、四角柱状の半導体柱5の側面部に、酸化シリコン膜（第1酸化膜）9a、非導電性の電荷トラップ膜9b、酸化シリコン膜（第2酸化膜）9c、サイドスペーサ状のコントロールゲート電極11が順次外周を覆うように配置され、四角柱状の半導体柱5の下部にn型半導体領域8からなるソース領域が配置され、上部にn型半導体領域12からなるドレイン領域が配置されている。B-B線方向（Y方向）方向では、四角柱状の半導体柱5は絶縁膜3で分離されており、ドレイン領域へはコンタクトプラグ18を介してビット線BLへ接続されている。

【0048】

本願のメモリセルMSは、図1に示したように、四角柱状の半導体柱5は最小寸法F×Fで配置されており、隣り合う四角柱状の半導体柱5の分離幅も最小寸法Fで配置されている。したがって、ひとつの四角柱状の半導体柱5の平面面積は $2F \times 2F = 4F^2$ であり、ひとつの半導体柱5の内部には2セルが配置できることから、本願のメモリセルMSの単位セル面積は $2F^2$ と小さく設計できる。本願のメモリセルMSのチャンネル幅Wは、四角柱状の半導体柱5の幅Fに等しく、チャンネル長Lは四角柱状の半導体柱5の高さで決まる。四角柱状の半導体柱5の高さをFとした場合、チャンネル電流を決める構造定数 W/L は $F/F = 1$ となる。これは、本願のメモリセルMSのセル面積は従来セルのセル面積 $4F^2$ の半分であるにも拘わらず、読出し電流は同一に維持できることを示しており、本願の有効性を意味している。

40

50

【 0 0 4 9 】

本実施形態において、柱列 2 0 の複数の半導体柱 5 は、これらの間に設けられた絶縁体柱 4 によって互いに絶縁分離されている。従って柱列 2 0 の素子分離領域には半導体が存在しないため、柱列 2 0 の Y 方向における側面にこの側面に沿って連続的に延在するワード線 W L を形成しても素子分離領域に寄生チャンネルが形成されることはない。従って、寄生チャンネルの形成に起因する、データの消去不良、書き込み不良及び読み出し不良を抑制できるため、フラッシュメモリの電氣的信頼性の向上を図ることができる。すなわち、微細化してメモリセルサイズを縮小化しても、寄生チャンネル形成に起因する不良は生じることがなく、信頼性を向上することができる。

【 0 0 5 0 】

次に、フラッシュメモリの製造について、図 7 乃至図 2 2 図を用いて説明する。

図 7 は本発明の実施形態 1 であるフラッシュメモリの製造工程中における模式的平面図であり、

図 8 は図 7 の B - B 線に沿う模式的断面図あり、

図 9 は図 7 に続くフラッシュメモリの製造工程中における模式的平面図であり、

図 1 0 において、(a) は図 9 の A - A 線に沿う模式的断面図、(b) は図 9 の C - C 線に沿う模式的断面図であり、

図 1 1 は図 9 に続くフラッシュメモリの製造工程中における模式的平面図であり、

図 1 2 において、(a) は図 1 1 の A - A 線に沿う模式的断面図、(b) は図 1 1 の C - C 線に沿う模式的断面図であり、

図 1 3 は図 1 1 に続くフラッシュメモリの製造工程中における模式的平面図であり、

図 1 4 において、(a) は図 1 3 の A - A 線に沿う模式的断面図、(b) は図 1 3 の C - C 線に沿う模式的断面図であり、

図 1 5 は図 1 3 に続くフラッシュメモリの製造工程中における模式的断面図であり、

図 1 6 は図 1 5 に続くフラッシュメモリの製造工程中における模式的断面図であり、

図 1 7 は図 1 6 に続くフラッシュメモリの製造工程中における模式的平面図である。

図 1 8 において、(a) は図 1 7 の A - A 線に沿う模式的断面図、(b) は図 1 7 の C - C 線に沿う模式的断面図であり、

図 1 9 は図 1 7 に続くフラッシュメモリの製造工程中における模式的断面図であり、

図 2 0 は図 1 9 に続くフラッシュメモリの製造工程中における模式的断面図であり、

図 2 1 は図 2 0 に続くフラッシュメモリの製造工程中における模式的断面図であり、

図 2 2 は図 2 1 に続くフラッシュメモリの製造工程中における模式的断面図である。

【 0 0 5 1 】

まず、図 7 及び図 8 に示すように、半導体基板 1 上に活性領域 5 a と溝型素子分離領域 4 a をストライプ状に形成する。この時、活性領域 5 a は溝型素子分離領域 4 a で分離されており、活性領域 5 a の上部には表面酸化膜 6 が成長されている。溝型素子分離領域 4 a は半導体基板 1 に溝 2 を形成し、その後、この溝 2 の内部を埋め込むようにして絶縁膜 3 を形成し、その後、この絶縁膜 3 の表面を C M P 法によって平坦化することによって形成する。

【 0 0 5 2 】

すなわち、半導体基板 1 に、例えば Y 方向に最小寸法 F の幅及び最小寸法 F の間隔を有し、X 方向に延在するストライプ状の溝パターン 4 a を形成する。次に、溝パターン 4 a の内部を含む半導体基板 1 の主面上に、例えば酸化シリコン膜からなる絶縁膜を C V D 法で堆積する。次に、絶縁膜を例えば C M P 法などの研磨により平坦化することにより、溝パターン 4 a に絶縁膜を埋め込んでストライプ状の溝型素子分離領域 4 a を形成する。これにより、Y 方向の活性領域 5 a の幅及び間隔を例えば最小加工寸法 F で構成される。

【 0 0 5 3 】

次に、図 9 及び図 1 0 に示すように、活性領域 5 a の配置方向とは直交する方向に、ストライプ状のレジストパターン R M を形成し、このレジストパターン R M をマスクとして、活性領域 5 a を選択的にエッチングして四角柱状の半導体柱 5 を形成し、その後、図 1

10

20

30

40

50

1 及び図 1 2 に示すように、レジストパターン R M をマスクとして、溝型素子分離領域 4 a をエッチングして四角柱状の絶縁体柱 4 を形成する。レジストパターン R M は、例えば X 方向に最小寸法 F の幅及び間隔を有する。すなわち、半導体柱 5 及び絶縁体柱 4 のそれぞれは、X 方向及び Y 方向に最小寸法 F の幅及び間隔を有する。

【 0 0 5 4 】

次に、レジストパターン R M をマスクとしたヒ素 A s 又はリン P 等の不純物のイオン打ち込みにより、図 1 3 及び図 1 4 に示すように、n 型半導体領域 8 から成るソース領域を形成する。

【 0 0 5 5 】

次に、図 1 5 に示すように、半導体柱 5 の側面部に酸化シリコン膜（第 1 酸化膜）9 a、窒化膜 9 b、及び酸化シリコン膜（第 2 酸化膜）9 c からなる積層膜 9 を堆積し、その後、図 1 6 に示すように、多結晶シリコン膜 1 0 を形成し、その後、多結晶シリコン膜 1 0 に R I E 等の異方性エッチングを施して、図 1 7 及び図 1 8 に示すように、サイドスペーサ状のポリシリコン膜からなるコントロールゲート電極 1 1（ワード線 W L）を形成する。

10

【 0 0 5 6 】

次に、半導体柱 5 の上部に不純物をイオン打ち込み法で導入して、図 1 8 に示すように、n 型半導体領域 1 2 からなるドレイン領域を形成する。

【 0 0 5 7 】

次に、図 1 9 に示すように、絶縁膜 1 3 を形成し、その後、図 2 0 に示すように、絶縁膜 1 3 に半導体柱 5 の上部を露出する開口 1 4 を形成する。

20

【 0 0 5 8 】

次に、図 2 1 に示すように、開口 1 4 の内部を含む基板の上に絶縁膜 1 5 を形成し、その後、絶縁膜 1 5 に R I E 等の異方性エッチングを施して、図 2 2 に示すように、開口 1 4 の内壁にサイドスペーサ状の絶縁膜（サイドウォールスペーサ）1 6 を形成する。

【 0 0 5 9 】

次に、サイドウォールスペーサ 1 6 で規定された開口（接続孔）1 7 の内部、即ち、半導体柱 5 の上面上にドレイン領域と接続されるコンタクトプラグ 1 8 を形成し、その後、コントロールゲート電極 1 1 の方向に直交する方向にビット線 B L 形成する。これにより、図 1 乃至図 6 に示す状態となる。

30

【 0 0 6 0 】

本願メモリセルの概略的な製造工程においては、従来から使用可能な製造技術を適用しており、本願メモリセルが従来技術で製造できることを示している。

【 0 0 6 1 】

（実施形態 2）

本実施形態は、本願メモリセルにおけるサイドスペーサ状のコントロールゲート電極への電極接続に関するものである。図 2 3 及び図 2 4 には本発明に係る不揮発性メモリセルの平面図が概略的に示されている。同図においては、メモリアレー端部でのコントロールゲートへの電極接続構造を示しており、四角柱状の半導体柱 4 1 が配置され、溝型素子分離領域（絶縁体柱）4 2 はメモリアレー端部では 2 本毎に長さが異なるように形成されており、サイドスペーサ状にコントロールゲート電極 4 5 を加工する際に、周辺回路のゲート電極を定義するマスクパターン 4 4 を用いて、コントロールゲート電極 4 5 の取り出し領域を形成し、コンタクト穴 4 7 を介して第 1 金属配線 4 8 へ接続されている。サイドスペーサ状のコントロールゲート電極 4 5 の配置ピッチは最小寸法 F であり、第 1 金属配線 4 8 のみでは接続不可能であるため、第 1 接続穴 4 9 を介して第 2 金属配線 5 0 をも用いている。溝型素子分離領域 4 2 の周辺部に形成されるサイドスペーサ状のコントロールゲート電極 4 5 は、マスクパターン 4 6 により切断されている。

40

【 0 0 6 2 】

本実施形態により、配置ピッチが最小寸法 F のサイドスペーサ状のコントロールゲート電極 4 5 へ、配置ピッチが最小寸法 2 F の金属配線を接続することが可能であることが示

50

された。

【0063】

更に、本実施形態2について、図44乃至図50を用いて詳細に説明する。図44乃至図50は、図23及び図24に示すフラッシュメモリのメモリセルアレイ部の周辺領域における製造工程中の模式的平面図である。

【0064】

図44は、柱列20上を含む半導体基板上に、不揮発性記憶素子のゲート絶縁膜として使用する絶縁膜43(積層膜9)を形成した後の状態を示している。絶縁膜43は、柱列20の側面を覆うようにして半導体基板上に形成されており、図44では図を見やすくするため、柱列20の側面に形成された部分及びメモリセルアレイ部の周囲を囲む溝型素子分離領域42の側面に形成された部分を図示している。また、図23、図24、図44乃至図50では、柱列20の延在方向を図1に対して90度ずらした状態で図示している。

10

【0065】

図44に示すように、各柱列20は、メモリセルアレイ端部において、柱列20の延在方向に沿う長さが中間部分の絶縁体柱4よりも長い溝型素子分離領域42を有する構成になっており、この各柱列20における溝型素子分離領域42は、2本の柱列20毎に長さが異なるように形成されている。

【0066】

図44に示す絶縁膜43を形成した後、図45に示すように、柱列20上を含む半導体基板全面に導電膜として多結晶シリコン膜10を形成し、その後、図45に示すように、多結晶シリコン膜10上にマスクパターン44を形成する。このマスクパターン44は、周辺回路用トランジスタのゲート電極を形成するためのゲートパターンと、不揮発性記憶素子のコントロールゲート電極45を含むワード線WLの引き出し領域(コンタクト領域)を形成するための引き出しパターン(コンタクトパターン)を有する。即ち、不揮発性記憶素子のコントロールゲート電極45を含むワード線WL及び引き出し領域45aは、周辺回路を構成するMISFETのゲート電極と同一工程で形成される。

20

【0067】

次に、マスクパターン44をエッチングマスクとして使用し、多結晶シリコン膜10にRIE等の異方性エッチングを施して、図46及び図47(マスクパターンを除去した状態の図)に示すように、柱列20の側面にコントロールゲート電極45を含むサイドスペーサ状のワード線WLを形成すると共に、ワード線WL(コントロールゲート電極45)と一体化された引き出し領域45aを形成する。この工程において、周辺回路を構成するMISFETのゲート電極も形成される。なお、不揮発性記憶素子のコントロールゲート電極45を含むワード線WL、引き出し領域45a、周辺回路を構成するMISFETのゲート電極の形成については、後述する実施形態3の図29及び図30に示す工程で説明している。

30

【0068】

次に、図47に示すように、マスクパターン44を除去した後、図48に示すように、開口部46aを有するマスクパターン46を用いて、柱列20の周囲を囲むようにして柱列20の側面に連続して形成されたワード線WLの一部を除去する。このワード線WLの一部の除去は、ワード線WLを選択的に除去するエッチング条件で行う。

40

【0069】

次に、マスクパターン44を除去した後、図示していないが、柱列20上を含む半導体基板全面に層間絶縁膜を形成し、その後、図49に示すように、前記層間絶縁膜上にビット線BL及び配線(48a, 48b)等を含む第1金属配線48を形成する。ビット線BLは、層間絶縁膜に形成されたコンタクト穴(接続孔)47を通して、半導体柱5の表面に設けられた半導体領域(ドレイン領域)と電氣的に接続され、配線(48a, 48b)は、層間絶縁膜に形成されたコンタクト穴(接続孔)47を通して、ワード線WLと一体に形成された引き出し領域45aと電氣的に接続される。

【0070】

50

次に、図示していないが、第1金属配線48上を含む半導体基板上の全面に層間絶縁膜を形成し、その後、図50に示すように、前記層間絶縁膜上に第2金属配線50を形成する。第2金属配線50は、層間絶縁膜に形成された第1接続穴(接続孔)49を通して、配線48bと電氣的に接続される。

【0071】

本実施形態では、多結晶シリコン膜10の一部をマスクした状態で多結晶シリコン膜10に異方性エッチングを施して、柱列20の側面に不揮発性記憶素子のコントロールゲート電極45を含むワード線WLを形成すると共に、このワード線WLと一体化された引き出し領域45aを形成している。このようにしてワード線WL及び引き出し領域45aを形成することにより、製造工程数を増加することなく、微細なワード線WL及びこの微細なワード線WLと一体化された引き出し領域45aを形成することができる。また、微細なワード線WLと一体化された引き出し領域45aを形成することにより、微細なワード線WLと上層の配線との電氣的な接続を容易に行うことができる。

10

【0072】

本実施形態では、多結晶シリコン膜10に異方性エッチングを施して、ストライプ状の突起状島領域である柱列20の側面に、不揮発性記憶素子のコントロールゲート電極を含むサイドスペーサ状のワード線WLを形成している。このようにして形成されたワード線WLは、柱列20の周囲を囲むようにして連続的に形成される。即ち、柱列20の互いに反対側に位置する2つの側面(半導体柱5の配列方向に沿う側面、柱列の長手方向に沿う側面)のうち一方の側面側に形成されたワード線WLと他方の側面側に形成されたワード線WLとが電氣的に接続された状態となる。柱列20の一方の側面側に形成されたワード線WLは、この柱列20一方の側面側をチャネル形成領域とする不揮発性記憶素子のコントロールゲート電極45を含み、柱列20の他方の側面側に形成されたワード線WLは、この柱列20の他方の側面側をチャネル形成領域とする不揮発性記憶素子のコントロールゲート電極を含んでいる。

20

【0073】

したがって、導電膜である多結晶シリコン膜10に異方性エッチングを施して、四方が側面で囲まれたストライプ状の突起状島領域からなる柱列20の側面に、不揮発性記憶素子のコントロールゲート電極45を含むサイドスペーサ状のワード線WLを形成する場合は、本実施形態のように、ワード線WLを形成した後、ワード線WLの一部を除去して、柱列20の一方の側面側をチャネル形成領域とする不揮発性記憶素子のコントロールゲート電極と柱列20他方の側面側をチャネル形成領域とする不揮発性記憶素子のコントロールゲート電極とを電氣的に分離する必要がある。本実施形態では、図48に示すように、柱列20の端部における溝型素子分離領域42においてワード線WLの一部を除去している。

30

【0074】

(実施形態3)

本実施形態では、本願のメモリセルと周辺回路用トランジスタを同一製造工程で製造する方法に関するものであり、図25から図33に示した各製造工程毎の断面図を用いて説明する。夫々の断面図には周辺回路部とメモリセル部の断面図を示している。

40

【0075】

まず、図25は、抵抗率 10^{-4} cm のp型半導体シリコン基板(以下、単にシリコン基板と言う)51の表面領域に、深さ 250 nm の溝内に酸化膜を埋め込み、CMP(Chemical Mechanical Polishing)法により平坦化した溝型素子分離領域52を形成した後、膜厚 10 nm の表面酸化膜53を形成した状態を示している。図示されていないが、前記表面酸化膜53を通して加速エネルギー 1 MeV のリンイオンを注入量 $1 \times 10^{13} / \text{cm}^2$ 、加速エネルギー 500 keV のリンイオンを注入量 $3 \times 10^{12} / \text{cm}^2$ 、及び加速エネルギー 150 keV のリンイオンを注入量 $1 \times 10^{12} / \text{cm}^2$ 注入してn型ウエル領域を形成し、加速エネルギー 500 keV のボロニオンを注入量 $1 \times 10^{13} / \text{cm}^2$ 、加速エネルギー 150 keV のボロニオンを注入量 $5 \times 10^{12} / \text{cm}^2$ 、及び加速エネルギー

50

50 keVのボロンイオンを注入量 $1 \times 10^{12} / \text{cm}^2$ 注入してp型ウエル領域が形成されている。

【0076】

次に、図26及び図27に示すように、レジストパターン54をマスクとして、メモリセル領域のシリコン基板51を深さ250nmまでエッチングして四角状のシリコン柱(半導体柱)55を形成し、引き続いて溝型素子分離領域52の酸化膜をエッチングする。なお、例えば、酸化膜のエッチングはシリコンがエッチングされにくい条件で行う。

【0077】

このように、シリコンのエッチングでシリコン柱55を形成した後に、溝型素子分離領域52の酸化膜をエッチングしているため、溝型素子分離領域52下のシリコン基板51の削れを防止することができる。また、レジストパターン54をマスクとして、加速エネルギー50keVのリンイオンを注入量 $2 \times 10^{15} / \text{cm}^2$ 注入してソース領域56を形成する。

【0078】

さらに、図28は、上記レジストパターン54を除去した後、CVD法により膜厚5nmの酸化膜57、膜厚10nmの窒化膜58を堆積した後、メモリセル領域を覆ったレジストパターン59をマスクとして、周辺回路領域の窒化膜58と酸化膜57をエッチングした状態である。

【0079】

続いて、図29に示すように、上記レジストパターン59を除去し、表面酸化膜53をウェットエッチングで除去した後、周辺回路用トランジスタのゲート酸化を行い膜厚14nmのゲート酸化膜60を成長する。この後、CVD法により膜厚4nmの酸化膜61を堆積し、引き続いて濃度 $1 \times 10^{20} / \text{cm}^3$ のリンがドーパされた膜厚80nmのポリシリコン膜62を堆積する。

【0080】

次に、図30は、周辺回路用トランジスタのゲート電極を定義するためのレジストパターン63をマスクとして、前記ポリシリコン膜62をエッチングして、サイドスペーサ状のコントロールゲート65、コントロールゲート接続用領域66、及び周辺ゲート64を加工した状態を示している。

【0081】

さらに、図31に示すように、加速エネルギー30keVの砒素イオンを注入量 $2 \times 10^{15} / \text{cm}^2$ 注入して、周辺トランジスタのソース領域67、ドレイン領域68、及びメモリセルのドレイン領域69を形成した後、CVD法により膜厚40nmの酸化膜70と膜厚60nmの窒化膜71を堆積し、さらにCVD法により堆積し、CMP法で平坦化した膜厚700nmの酸化膜72を形成し、コンタクト穴を開くためのレジストパターン73をマスクとし、窒化膜に対して選択比のあるエッチング条件で前記酸化膜72をエッチングして、周辺回路のコンタクト穴74、メモリセル領域のコンタクト穴75を開く。

【0082】

続いて、図32は、コンタクト穴74、及び75の底部の窒化膜71と酸化膜70をエッチングした後、前記レジストパターン73を除去し、スパッタ法とCVD法により埋め込み、CMP法により平坦化したタングステンプラグ76を形成し、膜厚300nmのタングステン膜からなる第1金属配線77を形成した状態を示している。

【0083】

最後に、図33に示したように、CVD法により膜厚500nmの第1層間酸化膜78を堆積した後、第1接続プラグ79を形成し、膜厚500nmのアルミニウム膜からなる第2金属配線80を形成する。さらに、図示されていないが、第2層間絶縁膜の堆積、第2接続プラグの形成、第3金属配線の形成、及びパッシベーション膜の堆積とボンディングパッド部の開口を行って、本実施例のフラッシュメモリの製造工程が完了する。

【0084】

10

20

30

40

50

本実施例の不揮発性メモリセルは最小寸法 $F_0 = 0.25 \mu\text{m}$ で設計されており、セル面積は $2F^2 = 0.125 \mu\text{m}^2$ であった。

【0085】

また、本実施例の不揮発性メモリセルへの書き込み動作は、ビット線へ 5V を、コントロールゲートへ 8V のパルス電圧をパルス幅 $1 \mu\text{s}$ 印加して行い、しきい電圧は 2V から 4V へ上昇した。また、消去動作は、ソース領域の電位をオープンとした状態で、ビット線へ 6V を、コントロールゲートへ -8V のパルス電圧をパルス幅 50ms 印加して行い、しきい電圧は 4V から 2V へ低下することができた。上述の書き込み・消去の電圧条件で 10 万回の書換え動作を行った結果、書き込み及び消去後のしきい電圧の変動は 0.4V 以内であった。書換えによるメモリセルの特性変動は、書き込み時間は 1.2 倍の増加、消去時間は 3 倍の増加、読出し電流は 0.8 倍の低下に抑制することができた。また、ビット線へ 1V を、コントロールゲートへ 3V を印加する読出し動作にて、読出し電流は $25 \mu\text{A}$ と十分に大きな電流値を得ることができ、本発明の有効性が確認された。

10

【0086】

(実施形態4)

本実施形態では、前記実施形態3でのメモリセルのゲート絶縁膜構成であった膜厚 5nm の酸化膜57、膜厚 10nm の窒化膜58、及び膜厚 5nm の酸化膜61の積層膜を、図34の断面図に示したように、膜厚 4nm の酸化膜57、膜厚 3nm のノンドープポリシリコン膜81、膜厚 5nm の窒化膜58、及び膜厚 5nm の酸化膜61へ変更した。第1実施例での電子トラップ領域が、前記膜厚 10nm の窒化膜58中であつたのに対して、本実施例では膜厚 3nm のノンドープポリシリコン膜81と膜厚 5nm の窒化膜58との界面トラップを主に電荷蓄積領域として用いる。

20

【0087】

本実施形態でのメモリセルの平面図を図35に示しており、四角柱状の溝型素子分離領域(絶縁体柱)82で絶縁分離された四角柱状の半導体柱55の側面部にチャンネル領域、膜厚 4nm の酸化膜83(57)、膜厚 3nm のノンドープポリシリコン膜81、膜厚 5nm の窒化膜84(58)、及び膜厚 5nm の酸化膜85(61)が積層され、膜厚 70nm のポリシリコン膜からなるサイドスペーサ状に配置されたコントロールゲート86配置し、前記四角柱状の半導体柱55の上部表面領域にドレイン領域へのコンタクト穴87とビット線88を配置している。

30

【0088】

図35中に示した $C-C'$ 、 $D-D'$ 方向断面を図36に示している。 $C-C'$ 方向断面においては、抵抗率 10 cm の p 型半導体基板91(51)の表面領域に、 $0.25 \mu\text{m}$ 四角柱状の半導体柱101(55)の側面部に、膜厚 4nm の酸化膜94(83)、膜厚 3nm のノンドープポリシリコン膜102(81)、膜厚 5nm の窒化膜95(84)、及び膜厚 5nm の酸化膜96(85)が積層され、膜厚 70nm のポリシリコン膜からなるサイドスペーサ状のコントロールゲート97(86)が順次外周を覆うように配置され、該四角柱状の半導体柱101(55)の下部にソース領域92(56)が、上部にドレイン領域93(69)が配置されている。 $D-D'$ 方向断面では、四角柱状の半導体柱101は絶縁膜98で分離されており、該ドレイン領域93へはコンタクトプラグ99を介して線幅と線間隔が $0.25 \mu\text{m}$ のビット線100へ接続されている。

40

【0089】

本実施例の不揮発性メモリセルは最小寸法 $F_0 = 0.25 \mu\text{m}$ で設計されており、セル面積は $2F^2 = 0.125 \mu\text{m}^2$ であった。

【0090】

本実施形態の不揮発性メモリセルへの書き込み動作は、前記ビット線へ 5V を、コントロールゲートへ 8V のパルス電圧をパルス幅 $1 \mu\text{s}$ 印加してホットエレクトロンを注入し、前記ノンドープポリシリコン膜102と窒化膜95との界面へ電子をトラップさせることにより、しきい電圧は 2V から 4V へ上昇した。また、消去動作は、ソース領域の電位をオープンとした状態で、半導体基板91へ 5V を、コントロールゲートへ -8V のパル

50

ス電圧をパルス幅 10 ms 印加して、トラップ電子を、前記ノンドープポリシリコン膜 102 中へデトラップさせた後、酸化膜 94 中を流れるトンネル電流によって前記半導体基板 91 へ引抜くことにより行った。

【0091】

また、本実施形態の不揮発性メモリセルは、上述の書き込み・消去の電圧条件で 10 万回の書換え動作を行った結果、書き込み及び消去後のしきい電圧の変動は 0.2 V 以下と良好であった。書換えによるメモリセルの特性変動は、書き込み時間は 1.2 倍の増加、消去時間は 3 倍の増加、読出し電流は 0.9 倍の低下に抑制することができた。また、ビット線へ 1 V を、コントロールゲートへ 3 V を印加する読出し動作にて、読出し電流は 25 μ A と十分に大きな電流値を得ることができ、本発明の有効性が確認された。

10

【0092】

(実施形態 5)

本実施形態では、上記実施形態 3 でのメモリセルのゲート絶縁膜構成であった膜厚 4 nm の酸化膜 57、膜厚 3 nm のノンドープポリシリコン膜 81、膜厚 5 nm の窒化膜 58、及び膜厚 5 nm の酸化膜 61 の内、図 37 に示すように、膜厚 3 nm のノンドープポリシリコン膜 102 を粒径 4 nm のノンドープポリシリコン球 103 へ変更した。ノンドープポリシリコン球 103 の平均粒径は 4 nm、平均間隔は 5 nm であり、実効面密度は $1.2 \times 10^{12} \text{ cm}^{-2}$ であった。

【0093】

本実施形態の不揮発性メモリセルへの書き込み動作は、実施例 3 の場合と同様に、ドレイン領域 69 へ 5 V を、コントロールゲート 65 へ 8 V のパルス電圧をパルス幅 1 μ s 印加してホットエレクトロンを注入し、前記ノンドープポリシリコン球 103 と窒化膜 58 との界面へ電子をトラップさせることにより、しきい電圧は 2 V から 5 V へ上昇した。また、消去動作は、ソース領域 56 の電位をオープンとした状態で、半導体シリコン基板（半導体基板）51 へ 5 V を、コントロールゲート 65 へ 8 V のパルス電圧をパルス幅 50 ms 印加して、トラップ電子を、前記ノンドープポリシリコン球 103 中へデトラップさせた後、酸化膜 57 中を流れるトンネル電流によって前記半導体基板 51 へ引抜くことにより行った。

20

【0094】

(実施形態 6)

図 38 に示すように、本実施形態では、実施形態 5 でのメモリセルのゲート絶縁膜構成であった窒化膜 58 を設けない構成としたものである。

30

【0095】

(実施形態 7)

本実施形態では、前記実施形態 3 でのメモリセルのゲート絶縁膜構成であった膜厚 5 nm の酸化膜 57、膜厚 10 nm の窒化膜 58、及び膜厚 5 nm の酸化膜 61 の積層膜内、窒化膜 58 を金属酸化物膜へ置き換えた。金属酸化物膜としては、5 酸化タンタル (Ta_2O_5)、アルミナ (Al_2O_3)、酸化チタン (Ti_2)、酸化ジルコニウム (ZrO_2)、酸化ハフニウム (HfO_2) 等が、夫々の誘電率にしたがって膜厚を適正化するならば適用可能である。

40

【0096】

以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【産業上の利用可能性】

【0097】

以上のように、本発明に係わる半導体集積回路装置は、電子機器に組み込まれる半導体製品として有用であり、特に、メモリカード、携帯電話等の携帯型電子機器に組み込まれる半導体メモリとして有用である。

【符号の説明】

50

【 0 0 9 8 】

1 ... p 型半導体基板、2 ... 溝、3 ... 絶縁膜、4 ... 絶縁体柱、4 a ... 溝型素子分離領域 (溝パターン)、5 ... 半導体柱、5 a ... 活性領域、6 ... 表面酸化膜、8 ... n 型半導体領域、9 ... 積層膜、9 a ... 酸化シリコン膜、9 b ... 窒化シリコン膜、9 c ... 酸化シリコン膜、10 ... 多結晶シリコン膜、11 ... コントロールゲート電極、12 ... n 型半導体領域、13 ... 絶縁膜、14 ... 開口、16 ... 絶縁膜 (サイドウォールスペーサ)、17 ... 開口、18 ... コンタクトプラグ、20 ... 柱列、

41 ... 半導体柱、42 ... 溝型素子分離領域 (絶縁体柱)、43 ... 絶縁膜、44 ... マスクパターン、45 ... コントロールゲート電極、45 a ... 引き出し領域、46 ... マスクパターン、46 a ... 開口部、47 ... コンタクト穴、48 ... 第1金属配線、48 a , 48 b ... 配線、49 ... 第1接続穴、

50 ... 第2金属配線、51 ... シリコン基板、52 ... 溝型素子分離領域、53 ... 表面酸化膜、54 ... レジストパターン、55 ... シリコン柱 (半導体柱)、56 ... ソース領域、57 ... 酸化膜、58 ... 窒化膜、59 ... レジストパターン、

60 ... ゲート酸化膜、61 ... 酸化膜、62 ... ポリシリコン膜、63 ... レジストパターン、64 ... 周辺ゲート、65 ... コントロールゲート、66 ... コントロールゲート接続用領域、67 ... ソース領域、68 , 69 ... ドレイン領域、

70 ... 酸化膜、71 ... 窒化膜、72 ... 酸化膜、73 ... レジストパターン、74 , 75 ... コンタクト穴、76 ... タングステンプラグ、77 ... 第1金属配線、78 ... 第1層間酸化膜、79 ... 第1接続プラグ、

80 ... 第2金属配線、81 ... ノンドープポリシリコン膜、82 ... 溝型素子分離領域 (絶縁体柱)、83 ... 酸化膜、84 ... 窒化膜、85 ... 酸化膜、86 ... コントロールゲート、87 ... コンタクト穴、88 ... ビット線、

91 ... p 型半導体基板、92 ... ソース領域、93 ... ドレイン領域、94 ... 酸化膜、95 ... 窒化膜、96 ... 酸化膜、97 ... コントロールゲート、98 ... 絶縁膜、99 ... コンタクトプラグ、

M S ... メモリセル、M S A ... メモリセルアレイ部、Q ... 不揮発性記憶素子、B L ... ビット線、W L ... ワード線、C N ... チャネル、L ... チャネル長、W ... チャネル幅。

10

20

【 図 1 】

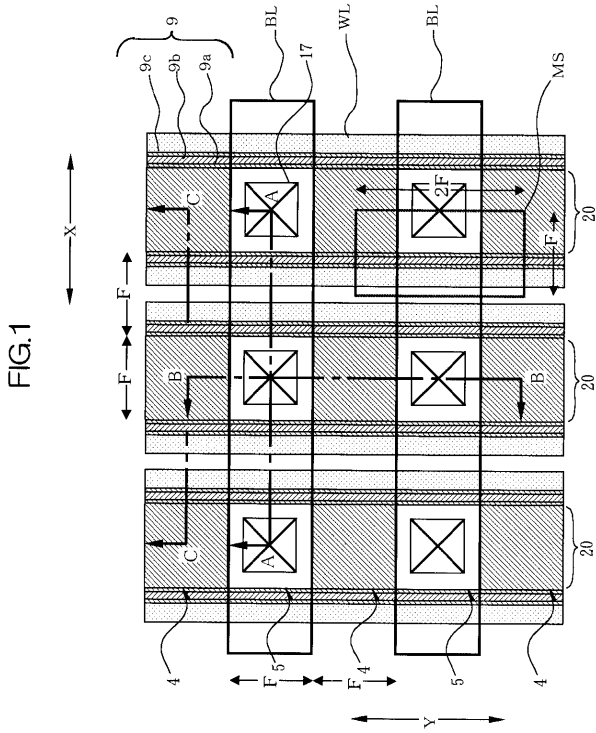


FIG.1

【 図 2 】

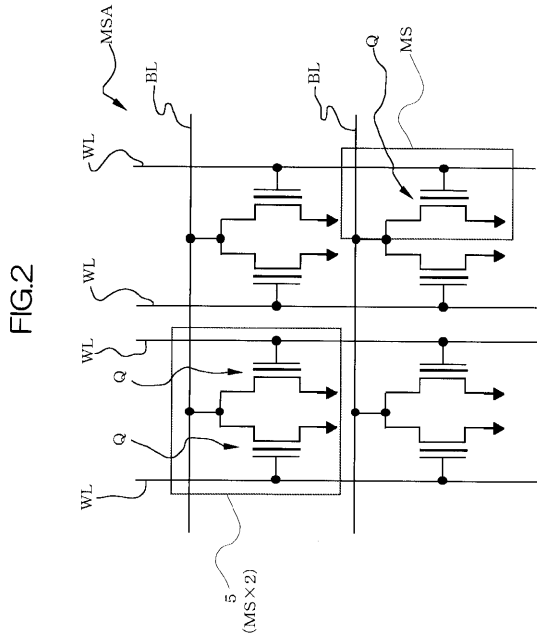
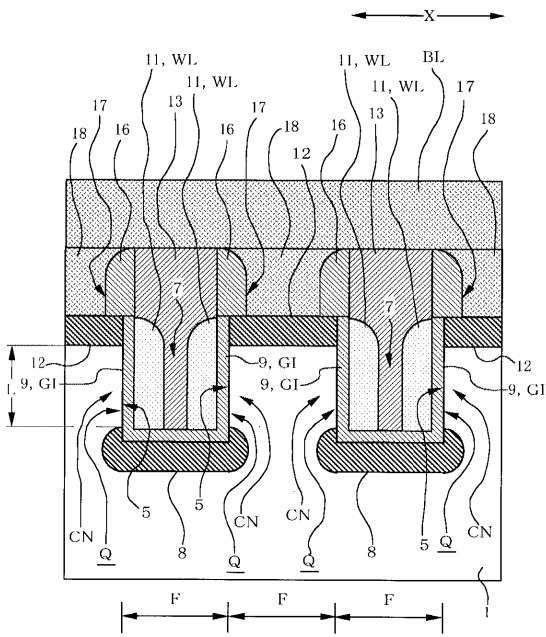


FIG.2

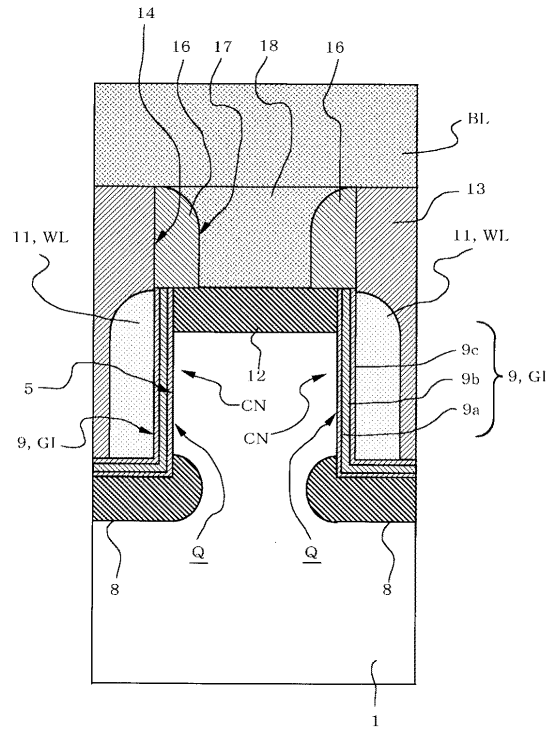
【 図 3 】

FIG.3



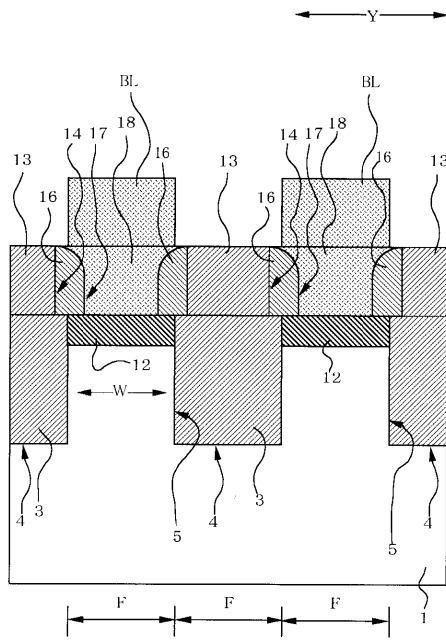
【 図 4 】

FIG.4



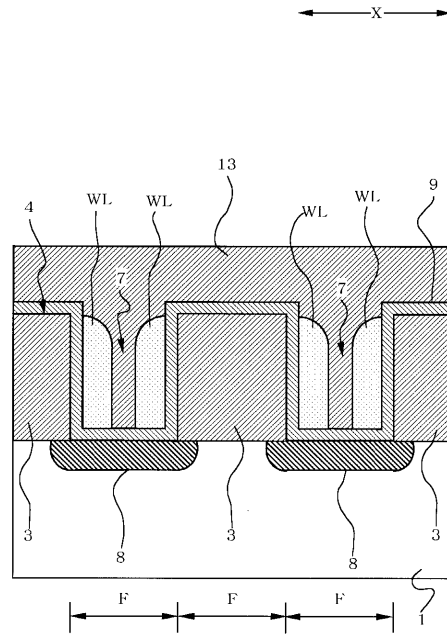
【 図 5 】

FIG.5



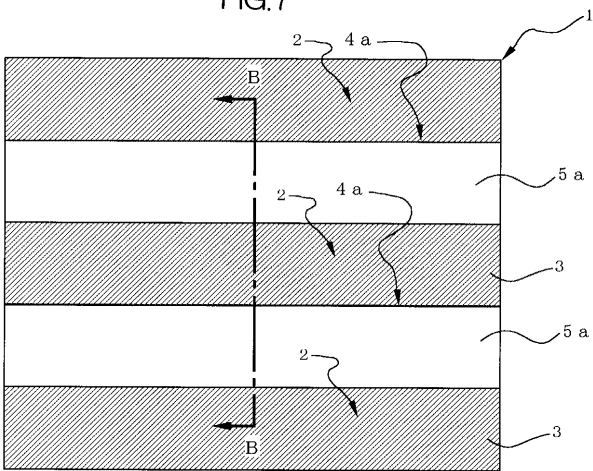
【 図 6 】

FIG.6



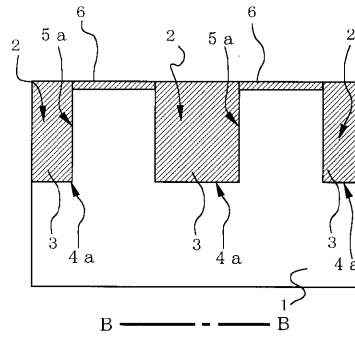
【 図 7 】

FIG.7



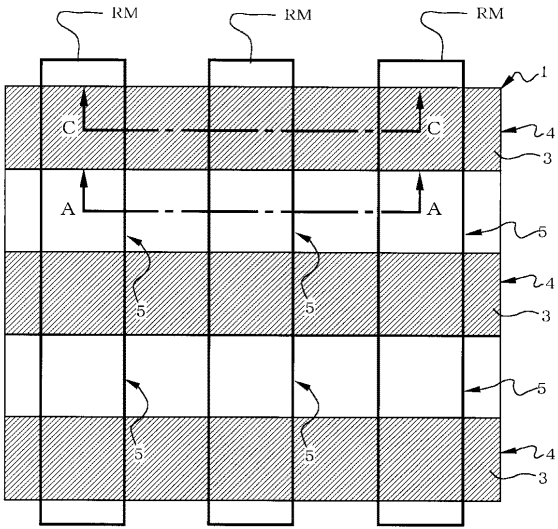
【 図 8 】

FIG.8



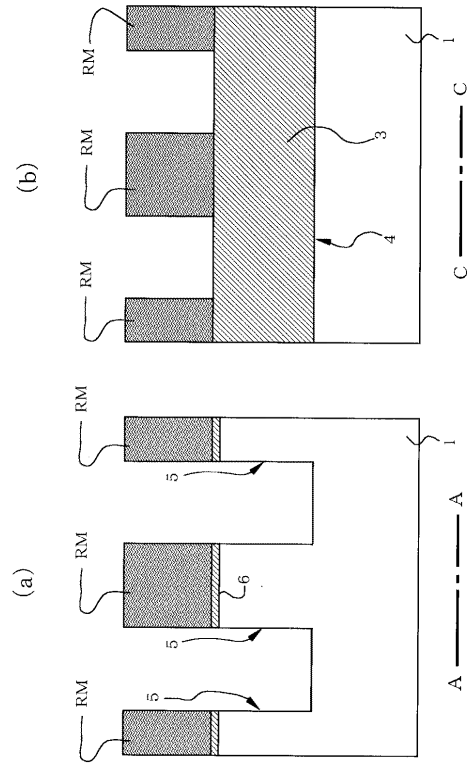
【 図 9 】

FIG.9



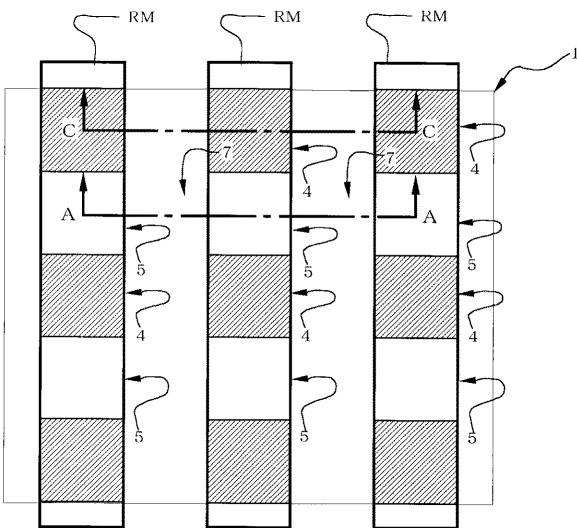
【 図 1 0 】

FIG.10



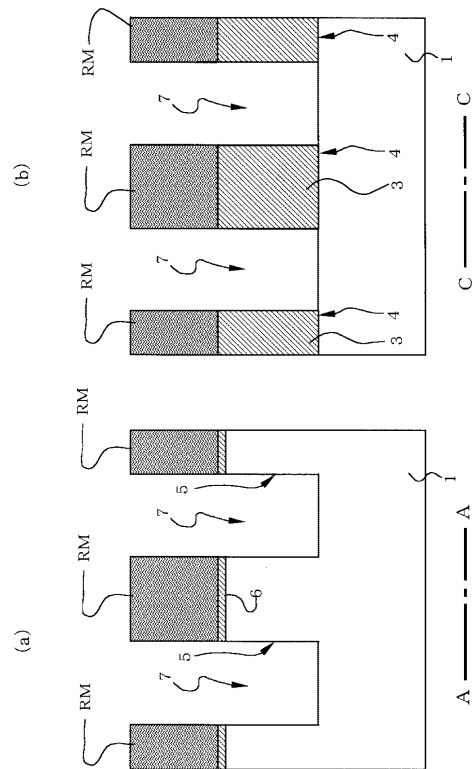
【 図 1 1 】

FIG.11



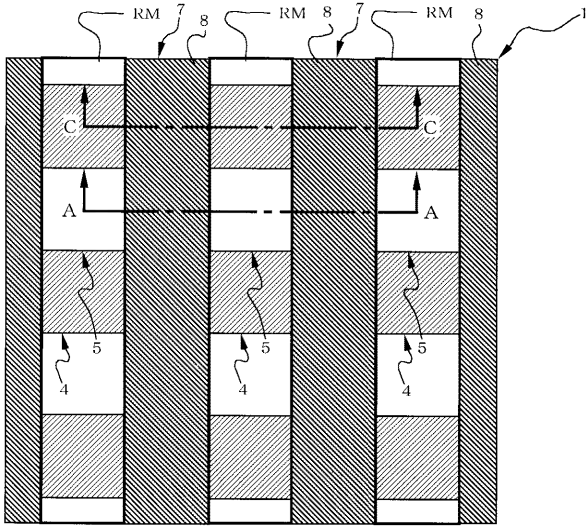
【 図 1 2 】

FIG.12



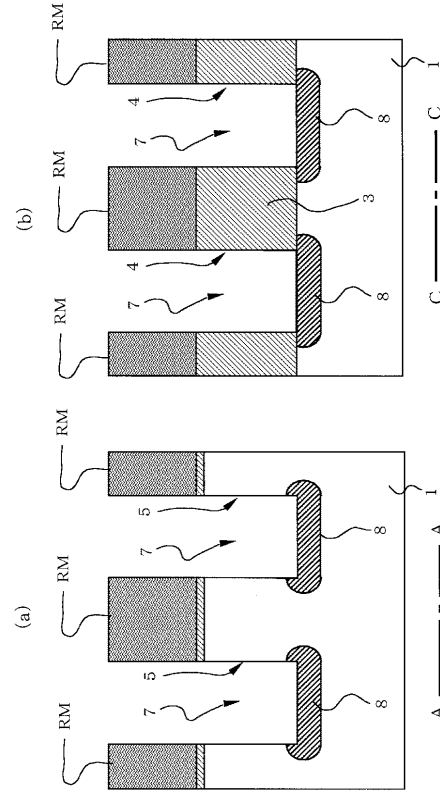
【 図 1 3 】

FIG.13



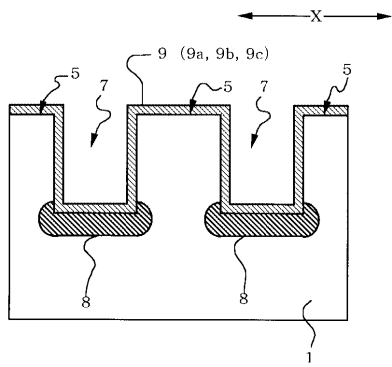
【 図 1 4 】

FIG.14



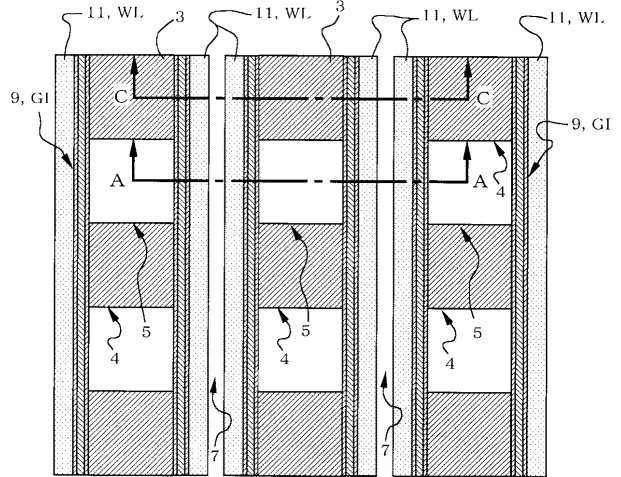
【 図 1 5 】

FIG.15



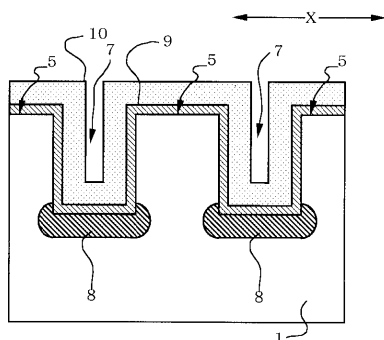
【 図 1 7 】

FIG.17



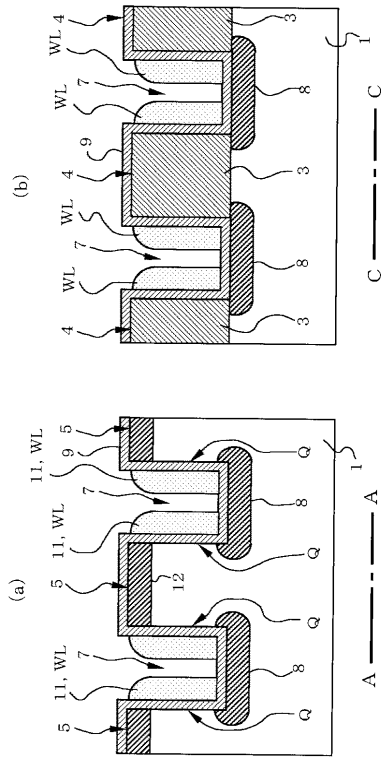
【 図 1 6 】

FIG.16



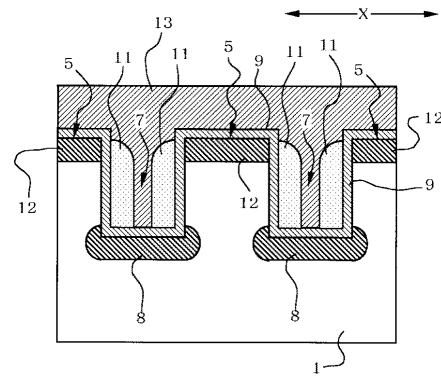
【 図 18 】

FIG.18



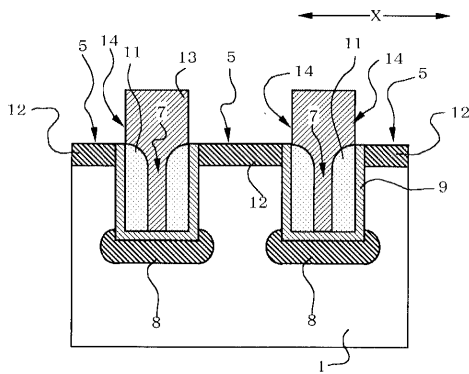
【 図 19 】

FIG.19



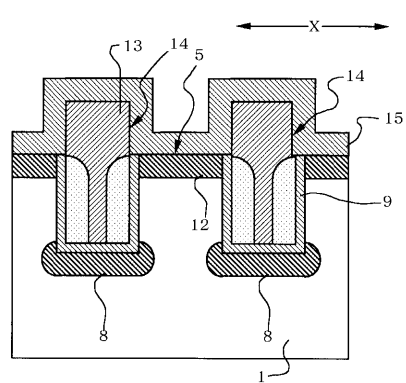
【 図 20 】

FIG.20



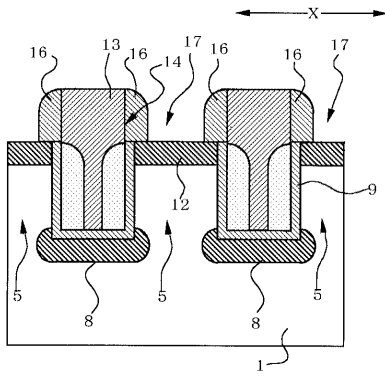
【 図 21 】

FIG.21



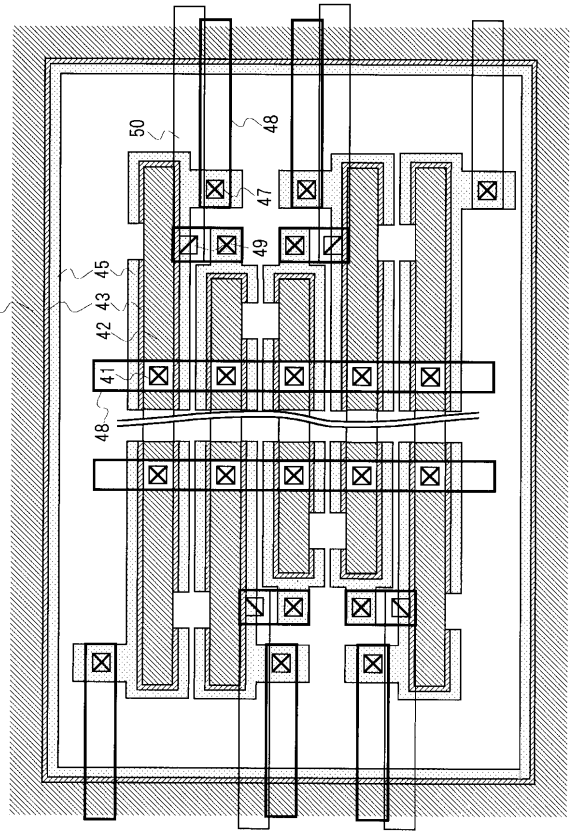
【 図 2 2 】

FIG.22



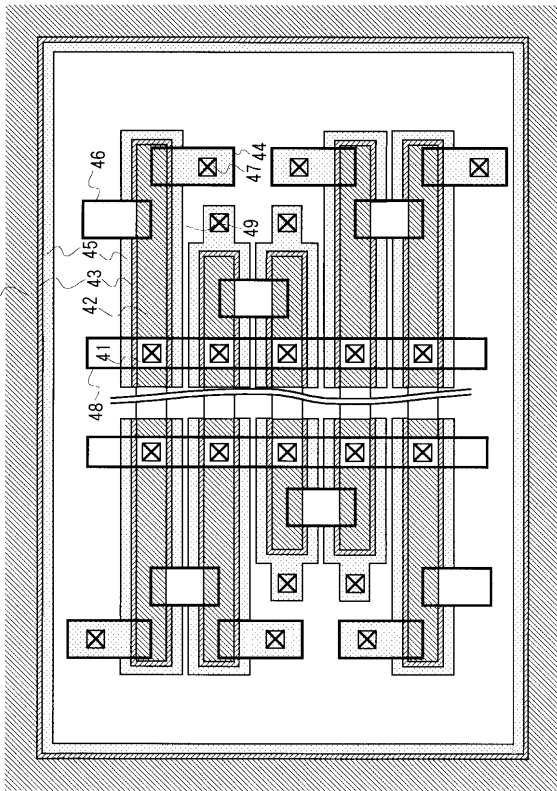
【 図 2 3 】

FIG.23



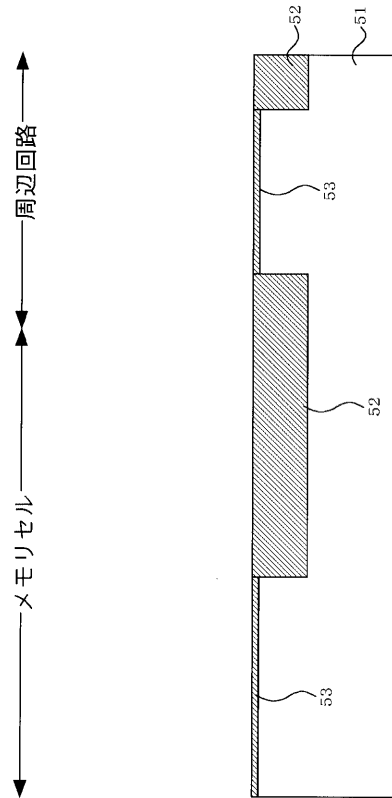
【 図 2 4 】

FIG.24



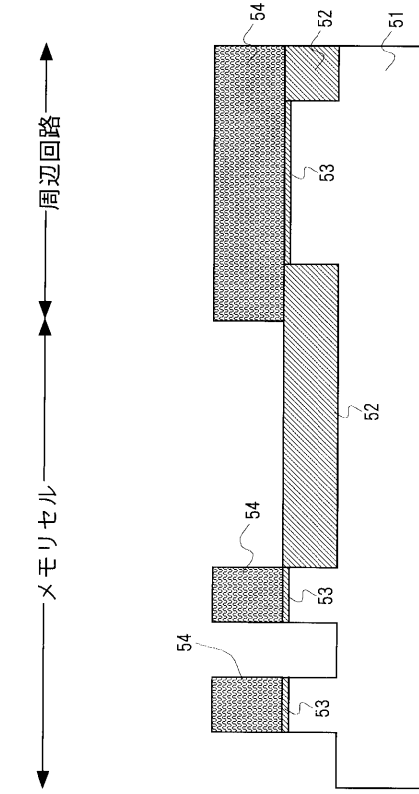
【 図 2 5 】

FIG.25



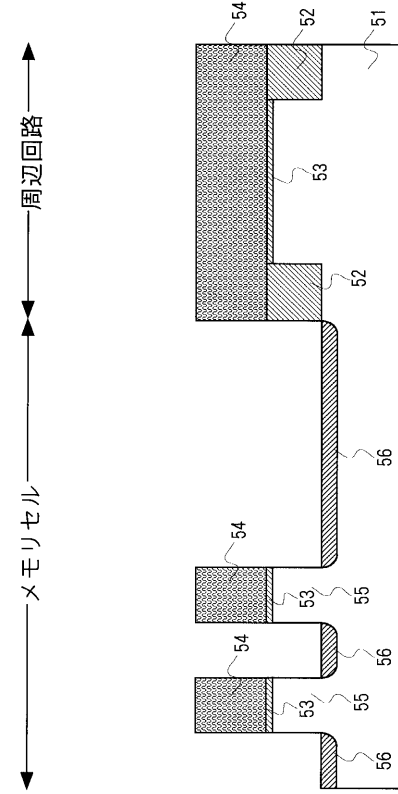
【図 26】

FIG.26



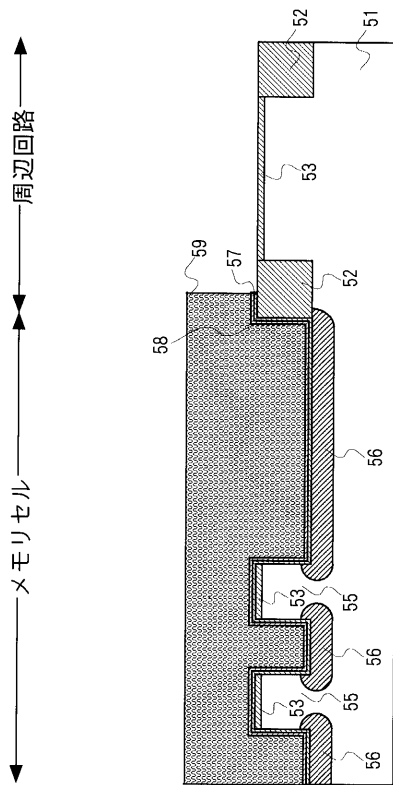
【図 27】

FIG.27



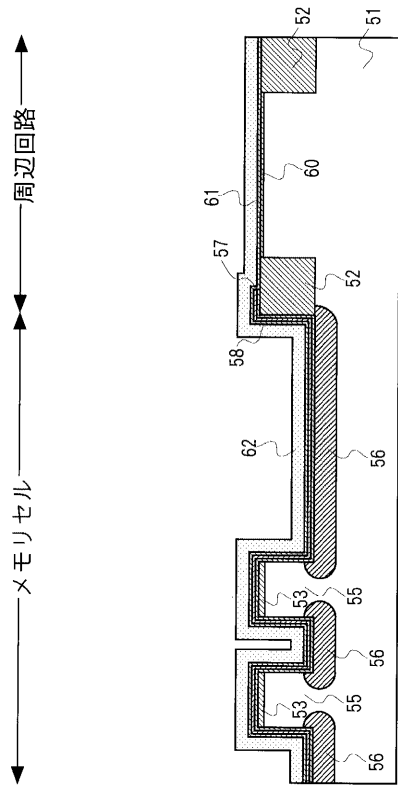
【図 28】

FIG.28



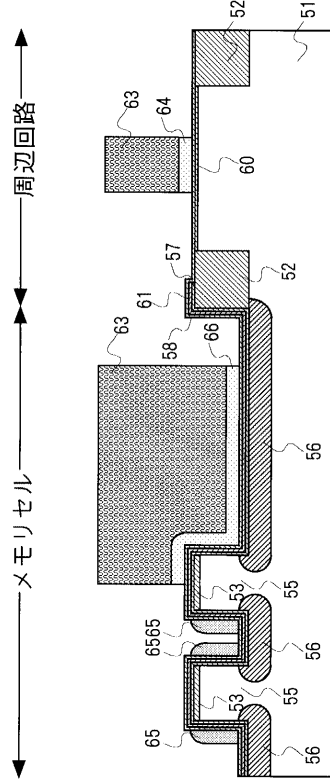
【図 29】

FIG.29



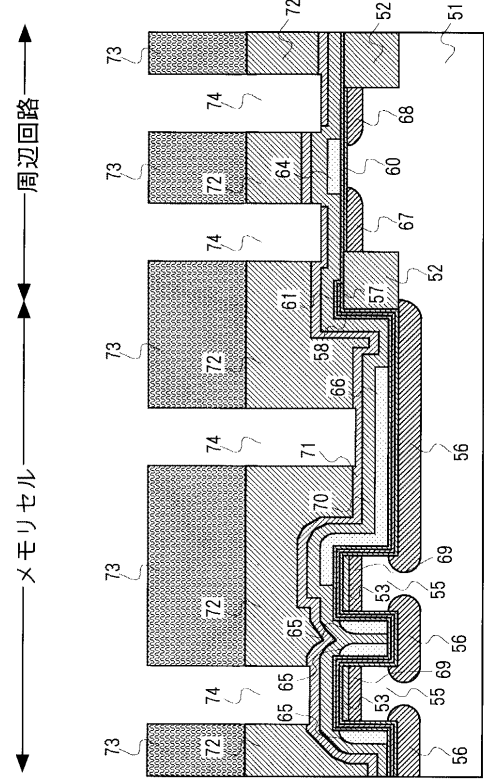
【 図 3 0 】

FIG.30



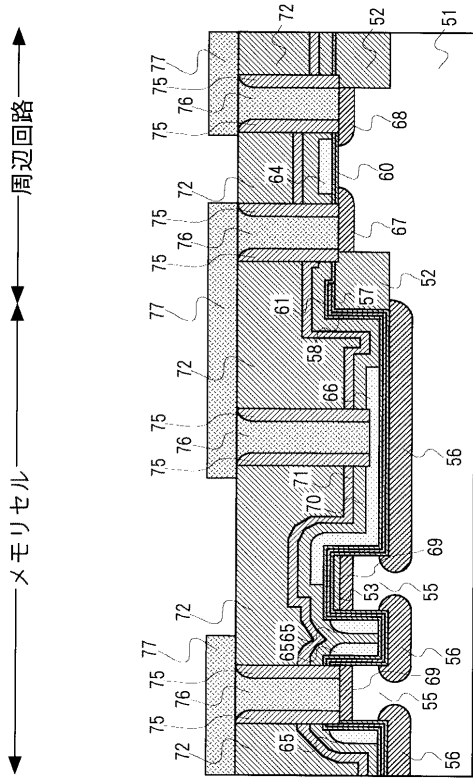
【 図 3 1 】

FIG.31



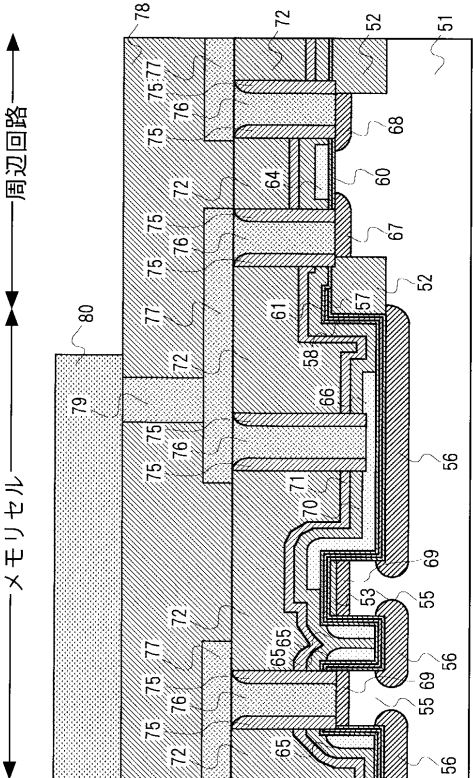
【 図 3 2 】

FIG.32

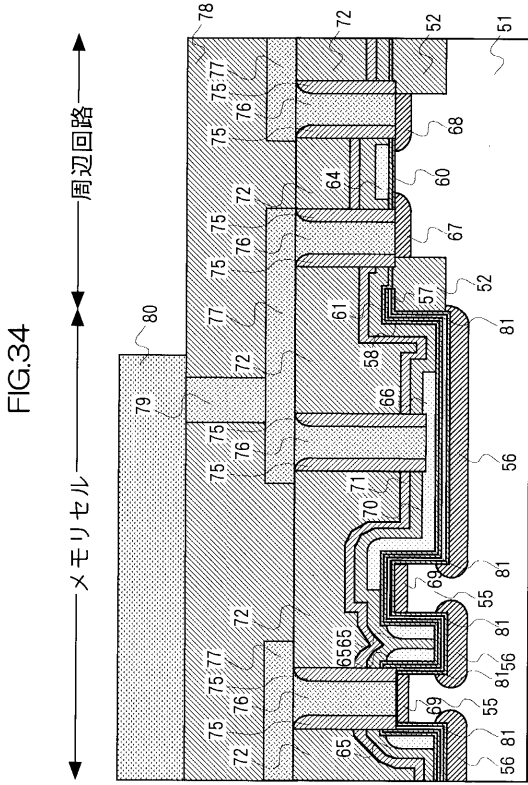


【 図 3 3 】

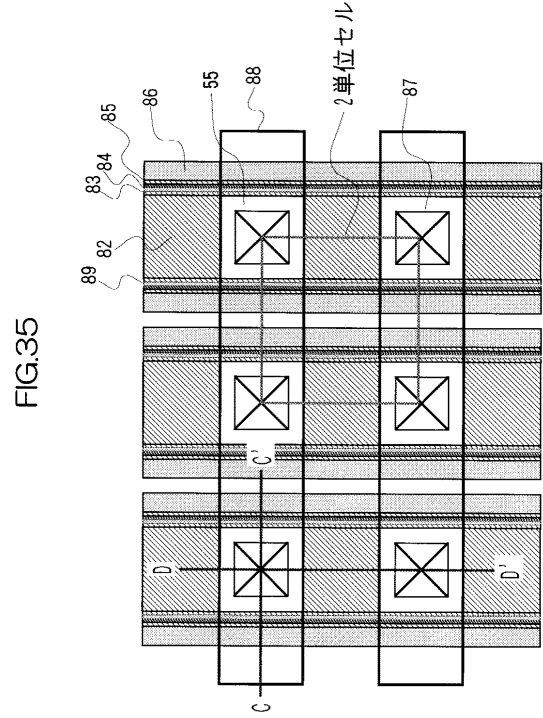
FIG.33



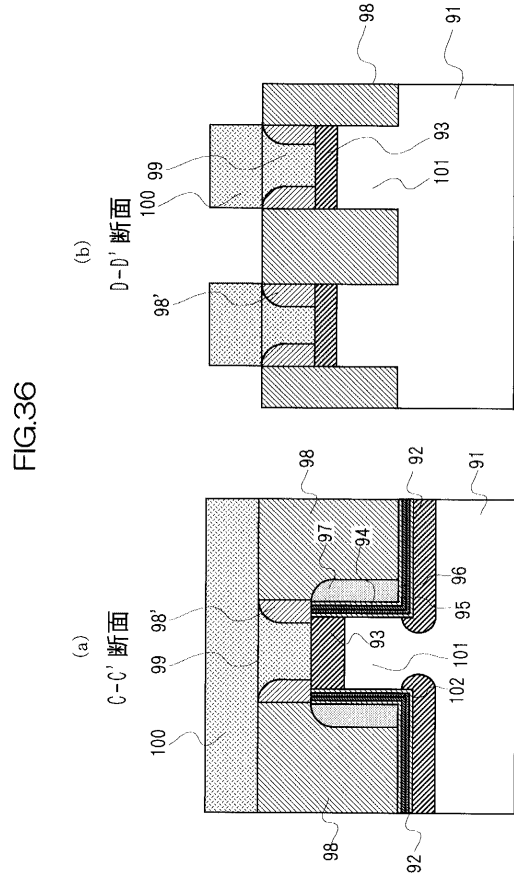
【 図 3 4 】



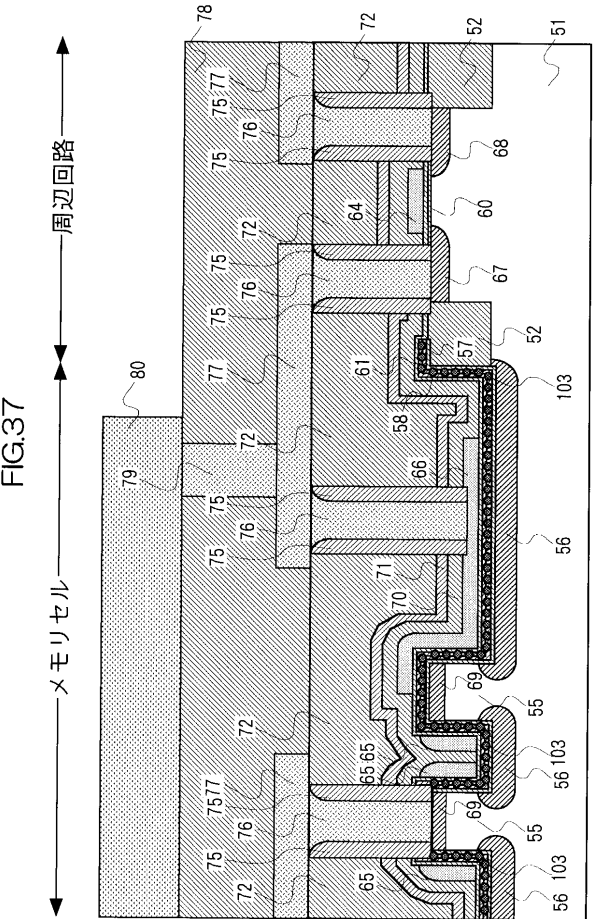
【 図 3 5 】



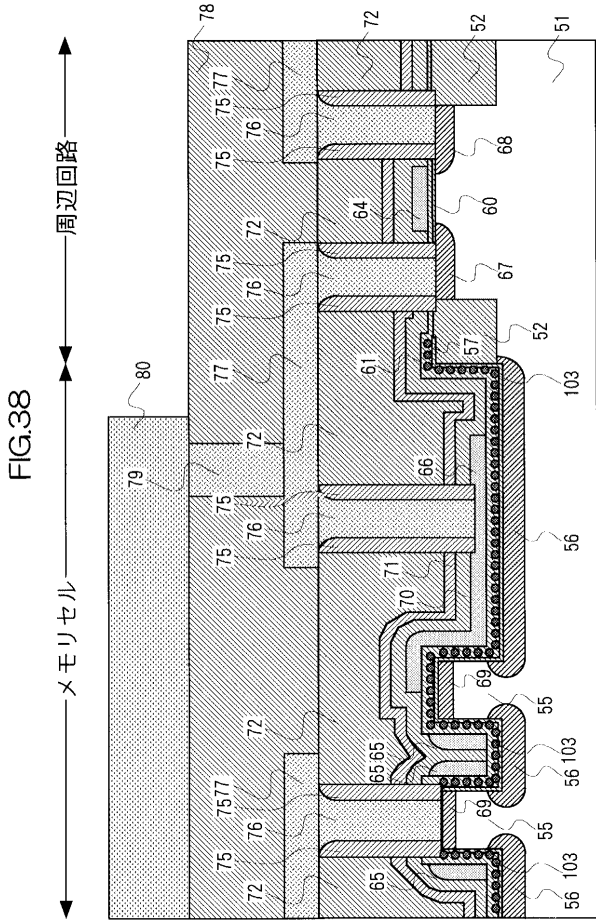
【 図 3 6 】



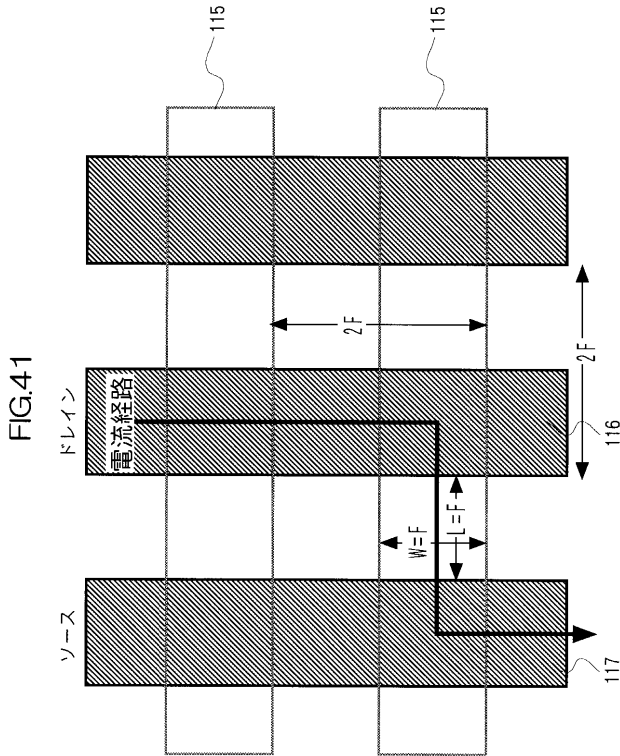
【 図 3 7 】



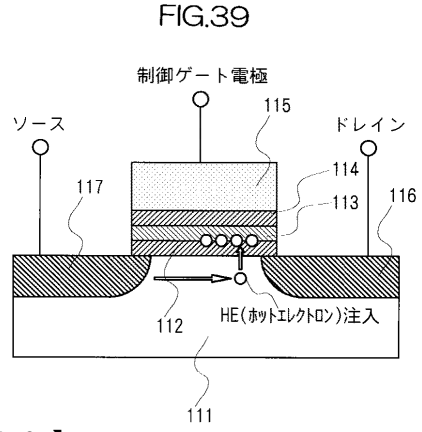
【図38】



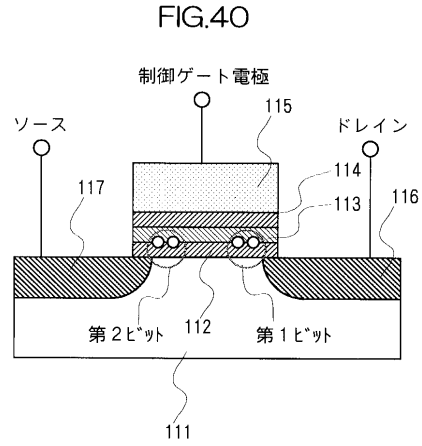
【図41】



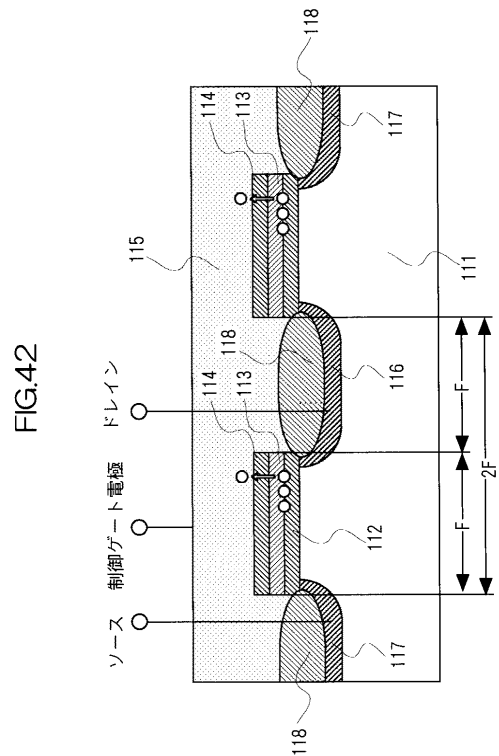
【図39】



【図40】



【図42】



【 図 4 3 】

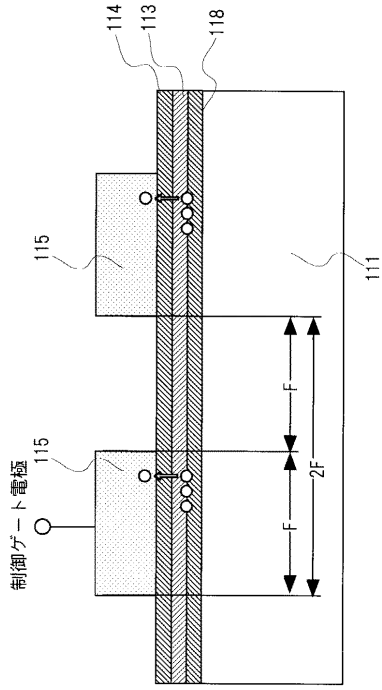


FIG.43

【 図 4 4 】

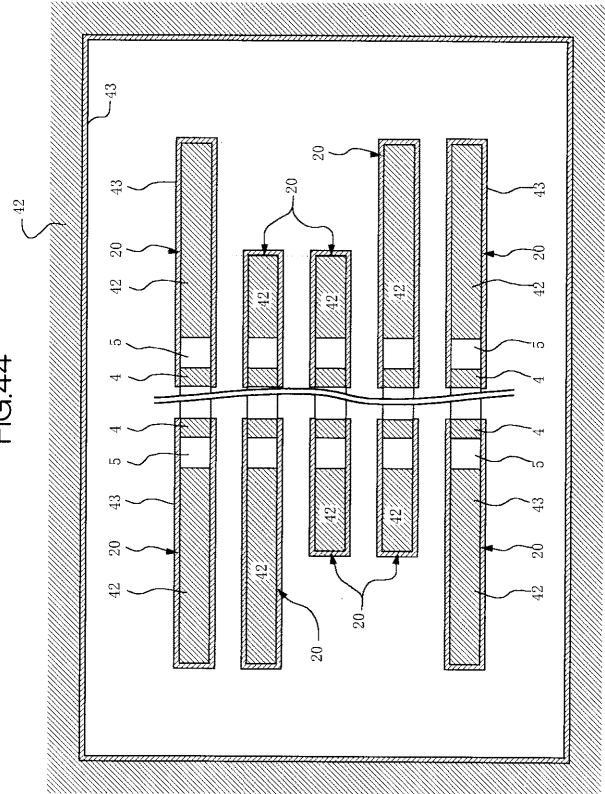


FIG.44

【 図 4 5 】

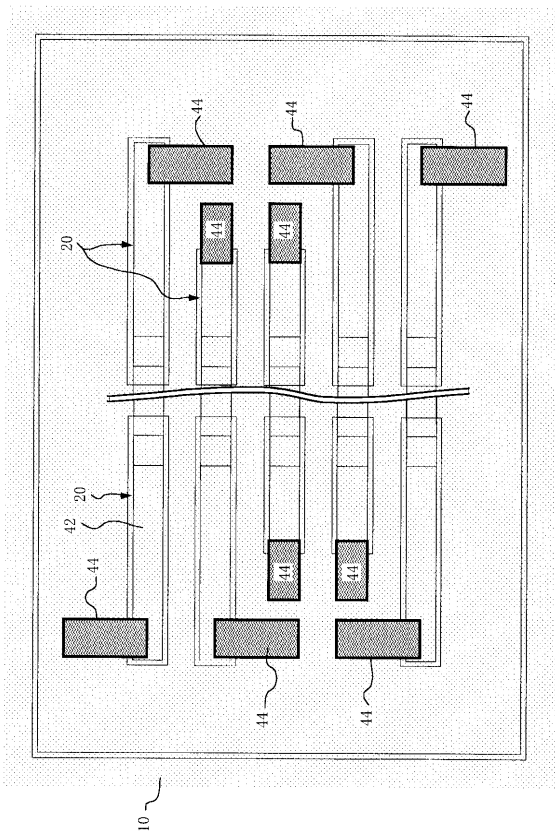


FIG.45

【 図 4 6 】

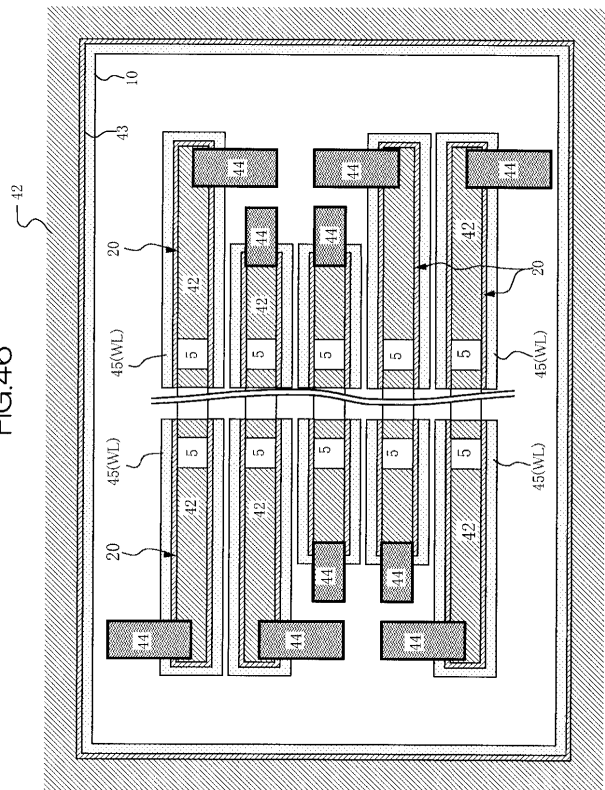


FIG.46

【 図 4 7 】

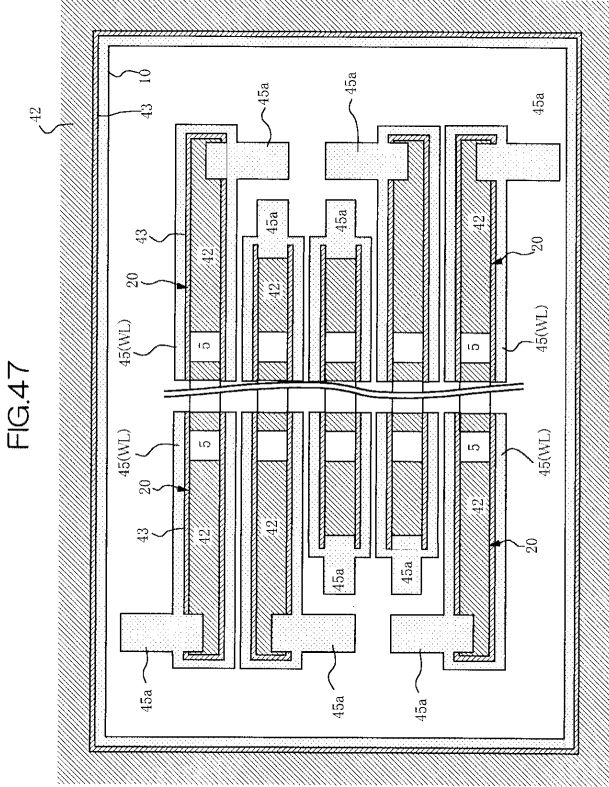


FIG.47

【 図 4 8 】

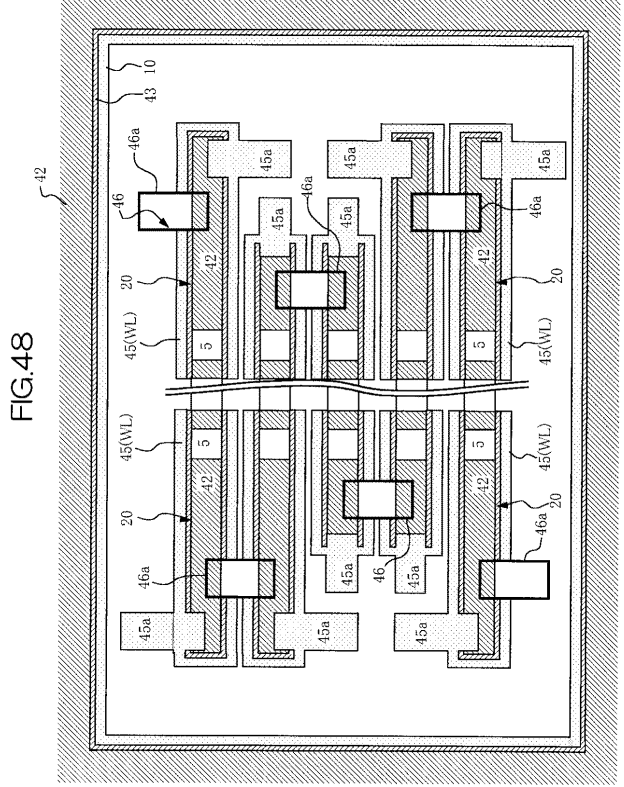


FIG.48

【 図 4 9 】

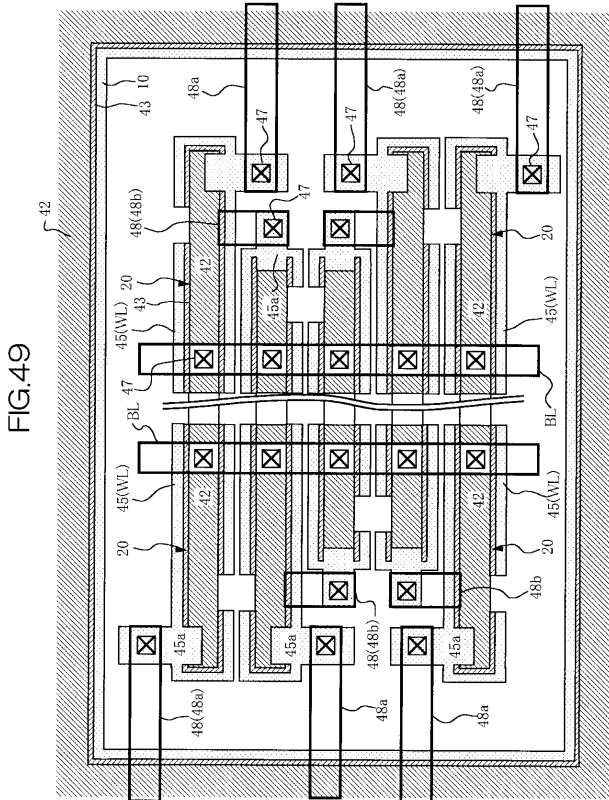


FIG.49

【 図 5 0 】

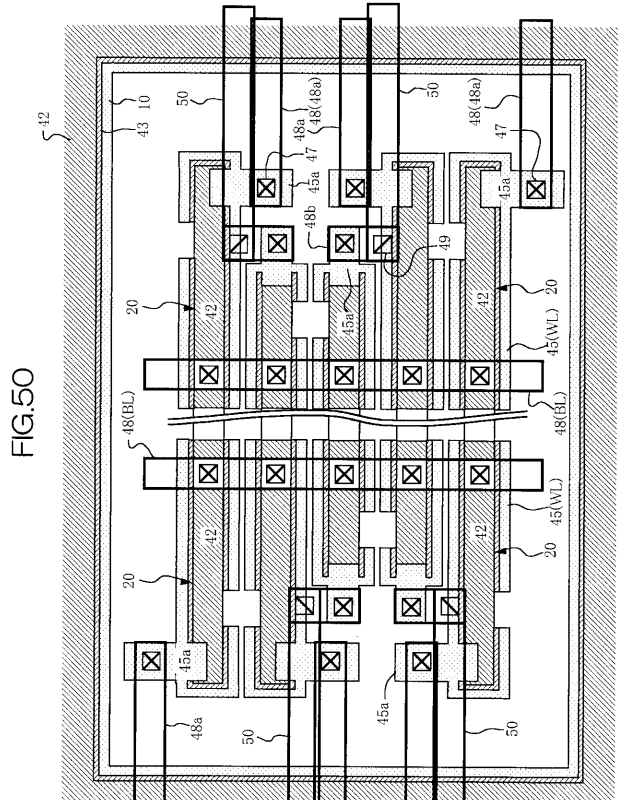


FIG.50

フロントページの続き

Fターム(参考) 5F083 EP17 EP18 EP22 EP48 EP49 ER02 ER14 ER15 ER27 ER30
GA02 GA09 GA12 GA15 GA16 GA21 GA28 JA03 JA04 JA36
JA39 KA13 LA21 MA06 MA16 MA19 MA20 NA01 PR06 PR10
PR29 PR36 PR40 PR43 PR44 PR45 PR46 PR53 PR54 PR55
PR56 ZA05 ZA06 ZA07 ZA21
5F101 BA45 BA53 BA54 BB02 BC11 BD16 BD35 BE02 BE05 BE07
BF05 BH09 BH19 BH21