



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년01월11일
 (11) 등록번호 10-0936101
 (24) 등록일자 2009년12월31일

(51) Int. Cl.
H01L 27/146 (2006.01)
 (21) 출원번호 10-2007-0139395
 (22) 출원일자 2007년12월27일
 심사청구일자 2007년12월27일
 (65) 공개번호 10-2009-0071171
 (43) 공개일자 2009년07월01일
 (56) 선행기술조사문헌
 KR100878696 B1
 KR100782779 B1
 KR100587141 B1
 KR100745985 B1

(73) 특허권자
주식회사 동부하이텍
 서울특별시 강남구 대치동 891-10
 (72) 발명자
전승호
 서울 송파구 방이2동 141-20
 (74) 대리인
서교준

전체 청구항 수 : 총 5 항

심사관 : 조근상

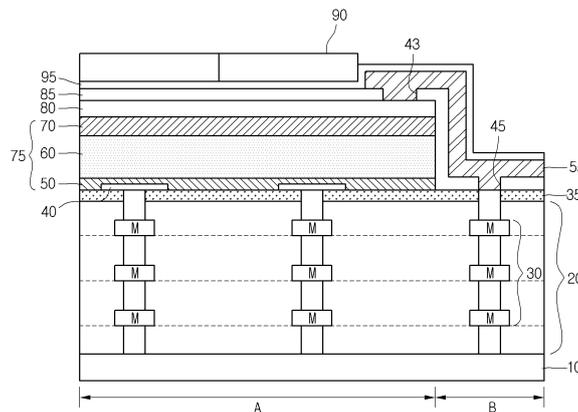
(54) 이미지 센서 및 그 제조방법

(57) 요약

실시예에 따른 이미지 센서는, 픽셀 영역 및 주변회로 영역을 포함하는 반도체 기판; 상기 반도체 기판 상에 배치된 금속배선을 포함하는 층간절연막 및 흡수층; 상기 금속배선과 연결되도록 상기 흡수층 상에 배치된 하부전극; 상기 픽셀 영역의 상기 흡수층 상에 배치된 포토다이오드; 및 상기 포토다이오드 상부에 배치된 투명전극을 포함한다.

실시예에 따른 이미지 센서의 제조 방법은 픽셀 영역 및 주변회로 영역을 포함하는 반도체 기판을 준비하는 단계; 상기 반도체 기판 상에 층간절연막 및 흡수층을 관통하는 금속배선을 형성하는 단계; 상기 금속배선과 연결되도록 상기 흡수층 상에 하부전극을 형성하는 단계; 및 상기 픽셀 영역의 상기 흡수층 상에 포토다이오드 및 투명전극을 형성하는 단계를 포함한다.

대표도 - 도8



특허청구의 범위

청구항 1

픽셀 영역 및 주변회로 영역을 포함하는 반도체 기관;
 상기 반도체 기관 상에 배치된 금속배선을 포함하는 층간절연막 및 광 흡수층;
 상기 금속배선과 연결되도록 상기 광 흡수층 상에 배치된 하부전극;
 상기 픽셀 영역에 형성되며, 상기 하부전극이 형성된 상기 광 흡수층 상에 배치된 포토다이오드; 및
 상기 포토다이오드 상부에 배치된 투명전극을 포함하며,
 상기 광 흡수층은 상기 층간절연막 상에 적층되어 배치된 것을 포함하며,
 상기 광 흡수층은 상기 포토다이오드를 통과한 광을 흡수하는 이미지 센서.

청구항 2

제 1항에 있어서,
 상기 광 흡수층은 상기 금속배선에 의해 관통된 것을 포함하는 이미지 센서.

청구항 3

제 1항에 있어서,
 상기 광 흡수층은 굴절율(n)이 1.9~2.4이며, 흡수율(k)이 0.39~0.55인 물질로 형성된 것을 포함하는 이미지 센서.

청구항 4

픽셀 영역 및 주변회로 영역을 포함하는 반도체 기관을 준비하는 단계;
 상기 반도체 기관 상에 층간절연막 및 광 흡수층을 관통하는 금속배선을 형성하는 단계;
 상기 금속배선과 연결되도록 상기 광 흡수층 상에 하부전극을 형성하는 단계;
 상기 픽셀 영역에 형성되며, 상기 하부전극이 형성된 상기 광 흡수층 상에 포토다이오드를 형성하는 단계; 및
 상기 포토다이오드 상부에 투명전극을 형성하는 단계를 포함하며,
 상기 광 흡수층은 상기 층간절연막 상에 적층되어 형성된 것을 포함하며,
 상기 광 흡수층은 상기 포토다이오드를 통과한 광을 흡수하는 이미지 센서의 제조 방법.

청구항 5

제 4항에 있어서,
 상기 반도체 기관 상에 층간절연막 및 광 흡수층을 관통하는 금속배선을 형성하는 단계는,
 상기 반도체 기관 상에 금속막 패터를 형성하는 단계;
 상기 금속막 패터 상에 층간절연막 및 광 흡수층을 형성하는 단계;
 상기 층간절연막 및 광 흡수층에 상기 금속막 패터를 노출시키는 비아홀을 형성하는 단계; 및
 상기 비아홀을 매립하여, 상기 금속막 패터와 연결된 플러그를 형성하여, 상기 금속막 패터와 플러그로 이루어진 금속배선을 형성하는 단계를 포함하는 이미지 센서의 제조 방법.

명세서

발명의 상세한 설명

기술 분야

- <1> 실시예에서는 이미지 센서 및 그 제조방법이 개시된다.
- <2> 이미지 센서는 광학적 영상(Optical Image)을 전기 신호로 변환시키는 반도체 소자로서, 크게 전하결합소자(charge coupled device:CCD) 이미지 센서와 씨모스(Complementary Metal Oxide Silicon:CMOS) 이미지 센서(CIS)를 포함한다.

배경 기술

- <3> 씨모스 이미지 센서는 단위 화소 내에 포토 다이오드와 모스트랜지스터를 형성시킴으로써 스위칭 방식으로 각 단위 화소의 전기적 신호를 순차적으로 검출하여 영상을 구현한다.
- <4> 씨모스 이미지 센서는 빛 신호를 받아서 전기신호로 바꾸어 주는 포토 다이오드(Photo diode) 영역과 이 전기신호를 처리하는 트랜지스터가 반도체 기판에 수평으로 배치되는 구조이다.
- <5> 수평형 씨모스 이미지 센서에 의하면 포토 다이오드와 트랜지스터가 기판 상에 상호 수평으로 인접하여 형성된다. 이에 따라, 포토 다이오드 형성을 위한 추가적인 영역이 요구된다.

발명의 내용

해결 하고자하는 과제

- <6> 실시예는 씨모스 회로와 포토 다이오드의 수직형 집적을 제공할 수 있는 이미지 센서 및 그 제조방법을 제공한다.
- <7> 또한, 실시예는 레졸루션(Resolution)과 센서티버티(sensitivity)가 함께 개선될 수 있는 이미지 센서 및 그 제조방법을 제공한다.
- <8> 또한, 실시예는 수직형의 포토 다이오드를 채용하면서 크로스 토크 및 노이즈 현상을 방지할 수 있는 이미지 센서 및 그 제조방법을 제공한다.

과제 해결수단

- <9> 실시예에 따른 이미지 센서는, 픽셀 영역 및 주변회로 영역을 포함하는 반도체 기판; 상기 반도체 기판 상에 배치된 금속배선을 포함하는 층간절연막 및 흡수층; 상기 금속배선과 연결되도록 상기 흡수층 상에 배치된 하부전극; 상기 픽셀 영역의 상기 흡수층 상에 배치된 포토다이오드; 및 상기 포토다이오드 상부에 배치된 투명전극을 포함한다.
- <10> 실시예에 따른 이미지 센서의 제조 방법은 픽셀 영역 및 주변회로 영역을 포함하는 반도체 기판을 준비하는 단계; 상기 반도체 기판 상에 층간절연막 및 흡수층을 관통하는 금속배선을 형성하는 단계; 상기 금속배선과 연결되도록 상기 흡수층 상에 하부전극을 형성하는 단계; 및 상기 픽셀 영역의 상기 흡수층 상에 포토다이오드 및 투명전극을 형성하는 단계를 포함한다.

효과

- <11> 실시예에 따른 이미지 센서 및 그 제조방법에 의하면 층간절연막 상에 흡수층을 형성하여, 포토다이오드를 통과한 광이 하부의 금속배선으로 입사된 후, 반도체 기판에 반사되어 인접한 픽셀로 유입되어 노이즈로 작용하는 것을 방지할 수 있다.
- <12> 즉, 포토다이오드를 통과한 빛이 상기 흡수층에서 1차적으로 흡수되며, 상기 흡수층을 통과한 광이 상기 반도체 기판에 반사되어 인접한 픽셀로 유입되기 전 2차적으로 흡수된다.
- <13> 따라서, 반사된 광에 의해 포토다이오드의 크로스 토크 및 노이즈의 발생을 방지하여, 이미지 센서의 신뢰성을 향상시킬 수 있다.
- <14> 또한, 트랜지스터 회로와 포토 다이오드의 수직형 집적을 제공할 수 있다.
- <15> 또한, 씨모스 회로와 포토 다이오드의 수직형 집적에 의해 필 팩터(fill factor)를 100%에 근접시킬 수 있다.
- <16> 또한, 수직형 집적에 의해 종래기술보다 같은 픽셀 사이즈에서 높은 센서티버티(sensitivity)를 제공할 수

있다.

- <17> 또한, 각 단위 픽셀은 센서티비티(sensitivity)의 감소없이 보다 복잡한 회로를 구현할 수 있다.
- <18> 또한, 포토 다이오드의 단위픽셀을 구현함에 있어 단위 픽셀 내의 포토 다이오드의 표면적을 증가시켜 광감지율을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- <19> 실시예에 따른 이미지 센서는, 픽셀 영역 및 주변회로 영역을 포함하는 반도체 기판; 상기 반도체 기판 상에 배치된 금속배선을 포함하는 층간절연막 및 흡수층; 상기 금속배선과 연결되도록 상기 흡수층 상에 배치된 하부전극; 상기 픽셀 영역의 상기 흡수층 상에 배치된 포토다이오드; 및 상기 포토다이오드 상부에 배치된 투명전극을 포함한다.
- <20> 실시예에 따른 이미지 센서의 제조 방법은 픽셀 영역 및 주변회로 영역을 포함하는 반도체 기판을 준비하는 단계; 상기 반도체 기판 상에 층간절연막 및 흡수층을 관통하는 금속배선을 형성하는 단계; 상기 금속배선과 연결되도록 상기 흡수층 상에 하부전극을 형성하는 단계; 및 상기 픽셀 영역의 상기 흡수층 상에 포토다이오드 및 투명전극을 형성하는 단계를 포함한다.
- <21> 실시예에 따른 이미지 센서 및 그 제조방법을 첨부된 도면을 참조하여 상세히 설명한다.
- <22> 실시예의 설명에 있어서, 각 층의 "상/위(on/over)"에 형성되는 것으로 기재되는 경우에 있어, 상/위(on/over)는 직접(directly)와 또는 다른 층을 개재하여(indirectly) 형성되는 것을 모두 포함한다.
- <23> 도면에서 각층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되거나 생략되거나 또는 개략적으로 도시되었다. 또한 각 구성요소의 크기는 실제크기를 전적으로 반영하는 것은 아니다.
- <24> 도 8은 실시예에 따른 이미지 센서의 단면도이다.
- <25> 도 8을 참조하여, 반도체 기판(10) 상에 금속배선(30)을 포함하는 층간절연층(20) 및 흡수층(35)이 배치된다.
- <26> 도시되지는 않았지만, 상기 반도체 기판(10)에는 씨모스 회로가 단위픽셀 별로 배치될 수 있다. 상기 씨모스 회로는 상부의 포토다이오드와 연결되어 수광된 광전하를 전기신호를 변환하는 트랜스퍼 트랜지스터, 리셋 트랜지스터, 드라이브 트랜지스터 및 셀렉트 트랜지스터 등으로 이루어질 수 있다.
- <27> 상기 반도체 기판(10) 상에는 금속배선(30)을 포함하는 층간 절연막(20) 및 흡수층(35)이 배치된다. 상기 층간절연막(20)은 복수의 층으로 배치되고, 상기 금속배선(30)도 복수개로 배치될 수 있다.
- <28> 이때, 상기 층간절연막(20) 상에는 흡수층(35)이 형성되며, 상기 흡수층(35)은 상기 금속배선(30)에 형성된 플러그(18)에 의해 관통된다.
- <29> 상기 흡수층(35)은 굴절율(n)과 흡수율(k)이 큰 물질을 사용할 수 있다.
- <30> 예를 들어, 굴절율(n)이 2.2이고, 흡수율(k)이 0.5인 SiON 등의 물질을 1500~4500 Å의 두께로 형성할 수 있다.
- <31> 그러나, 상기 흡수층(35)의 굴절율(n)과 흡수율(k)은 상기 SiON의 물질에 한정되지 않고, 굴절율(n)이 1.9~2.4이며, 흡수율(k)이 0.39~0.55인 물질이 될 수 있다.
- <32> 상기 흡수층(35)은 포토다이오드를 통과한 광이 하부의 금속배선(30)으로 입사된 후, 상기 반도체 기판(10)에 반사되어 인접한 픽셀로 유입되어 노이즈로 작용하는 것을 방지할 수 있다.
- <33> 즉, 포토다이오드를 통과한 빛이 상기 흡수층(35)에서 1차적으로 흡수되며, 상기 흡수층(35)을 통과한 광이 상기 반도체 기판(10)에 반사되어 인접한 픽셀로 유입되기 전 2차적으로 흡수된다.
- <34> 따라서, 반사된 광에 의해 포토다이오드의 크로스 토크 및 노이즈의 발생을 방지하여, 이미지 센서의 신뢰성을 향상시킬 수 있다.
- <35> 그리고, 상기 플러그(18)가 노출된 상기 흡수층(35) 상에는 하부전극(40)이 배치된다. 예를 들어, 상기 하부전극(40)은 Cr, Ti, TiW 및 Ta과 같은 금속으로 형성할 수 있다.
- <36> 상기 하부전극(40)은 상기 픽셀 영역(A)에 형성된 상기 금속배선(30)이 노출되지 않도록 상기 금속배선(30) 및 흡수층(35) 상에 배치된다. 또한, 상기 하부전극(40)은 단위픽셀 별로 배치된 상기 금속배선(30) 상부에 배치되

어 단위픽셀 별로 이격된다. 상기 하부전극(40)은 이웃하는 하부전극과 이격되어 형성될 수 있다.

- <37> 상기 하부전극(40)을 포함하는 상기 픽셀 영역(A)의 흡수층(35) 상에 포토다이오드(75)가 배치된다.
- <38> 상기 포토다이오드(75)는 제1 도전형 전도층(50), 진성층(60) 및 제2 도전형 전도층(70)을 포함한다. 예를 들어, 상기 제1 도전형 전도층(50)은 n형 비정질 실리콘층(n-type amorphous silicon)이고, 진성층(60)은 진성 비정질 실리콘층(intrinsic amorphous silicon)이고, 상기 제2 도전형 전도층(70)은 p형 비정질 실리콘층(p-type amorphous silicon)일 수 있다.
- <39> 상기 포토다이오드(75) 상부에는 투명전극(80)이 배치된다.
- <40> 상기 투명전극(80)은 빛의 투과성이 좋고 전도성이 높은 물질로 형성될 수 있다. 예를 들어, 상기 투명전극(80)은 ITO(indium tin oxide), CTO(cardium tin oxide), ZnO₂ 중 어느 하나로 형성될 수 있다.
- <41> 상기 투명전극(80)은 상기 포토다이오드(75)와 전기적으로 연결될 수 있다.
- <42> 상기 포토다이오드(75) 및 투명전극(80)을 포함하는 상기 흡수층(35) 상에는 제1 및 제2 트랜치(43, 45)를 가지는 제1 보호층(85)이 배치되어 있다. 상기 제1 및 제2 트랜치(43, 45)는 상기 투명전극(80) 및 상기 하부배선(30)을 노출시킨다.
- <43> 상기 제1 및 제2 트랜치(43, 45)를 포함하는 제1 보호층(85) 상부에는 상부전극(55)이 배치되어 있다. 이때, 상기 상부전극(55)은 단위픽셀에 대응하는 상기 포토다이오드(75)는 가리지 않도록 형성될 수 있다. 상기 제1 및 제2 트랜치(43, 45) 내부에 상부전극(55)이 배치되어 상기 상부전극(55)은 상기 투명전극(80)과 전기적으로 연결될 수 있다.
- <44> 상기 제1 보호층(85) 및 상부전극(55) 상에 제2 보호층(95)이 배치되어 있다. 상기 포토다이오드에 대응하는 상기 제2 보호층(95) 상에 컬러필터(90)가 배치되어 있다.
- <45> 도 1 내지 도 8을 참조하여 실시예에 따른 이미지 센서의 제조방법을 설명한다.
- <46> 도 1에 도시된 바와 같이, 반도체 기판(10) 상에 제1금속배선(12)이 형성된 제1절연막(22) 및 제2금속배선(14)을 형성한다.
- <47> 상기 반도체 기판(10)은 픽셀영역(A) 및 주변회로 영역(B)을 포함한다. 상기 픽셀 영역(A)에는 후술되는 포토다이오드와 연결되어 수광된 광전하를 전기신호로 변환하기 위하여 트랜지스터 회로가 단위화소 별로 형성될 수 있다.
- <48> 예를 들어, 상기 씨모스 회로는 3Tr, 4Tr 및 5Tr 중 어느 하나 일 수 있다. 상기 주변회로 영역(B)에는 상기 픽셀 영역(A)의 각 단위화소의 전기적 신호를 순차적으로 검출하여 영상을 구현하기 위한 트랜지스터 회로가 형성될 수 있다.
- <49> 상기 제2금속배선(14)은 상기 제1절연막(22) 상에 제1금속막을 형성한 후, 패터닝하여 형성될 수 있다.
- <50> 상기 제2금속배선(14)은 층간절연막의 최상단에 위치하는 최종 금속배선이 될 수 있으며, 상기 제1금속배선(12) 및 제2금속배선(14)은 금속, 합금 또는 살리사이드를 포함하는 다양한 전도성 물질, 즉, 알루미늄, 구리, 코발트 또는 텅스텐 등으로 형성될 수 있다.
- <51> 그리고, 상기 제1절연막(22)은 산화막 또는 질화막으로 형성될 수 있다.
- <52> 그리고, 도 2에 도시된 바와 같이, 상기 제2금속배선(14)이 형성된 제1절연막(22) 상에 제2절연막(24) 및 흡수층(35)을 형성한다.
- <53> 상기 제2절연막(24)은 산화막 또는 질화막으로 형성될 수 있으며, 상기 흡수층(35)은 굴절율(n)과 흡수율(k)이 큰 물질을 사용할 수 있다.
- <54> 예를 들어, 굴절율(n)이 2.2이고, 흡수율(k)이 0.5인 SiON 등의 물질을 1500~4500 Å의 두께로 형성할 수 있다.
- <55> 그러나, 상기 흡수층(35)의 굴절율(n)과 흡수율(k)은 상기 SiON의 물질에 한정되지 않고, 굴절율(n)이 1.9~2.4이며, 흡수율(k)이 0.39~0.55인 물질이 될 수 있다.
- <56> 상기 흡수층(35)은 포토다이오드를 통과한 광이 하부의 금속배선(30)으로 입사된 후, 상기 반도체 기판(10)에 반사되어 인접한 픽셀로 유입되어 노이즈로 작용하는 것을 방지할 수 있다.

- <57> 즉, 포토다이오드를 통과한 빛이 상기 흡수층(35)에서 1차적으로 흡수되며, 상기 흡수층(35)을 통과한 광이 상기 반도체 기관(10)에 반사되어 인접한 픽셀로 유입되기 전 2차적으로 흡수된다.
- <58> 따라서, 반사된 광에 의해 포토다이오드의 크로스 토크 및 노이즈의 발생을 방지하여, 이미지 센서의 신뢰성을 향상시킬 수 있다.
- <59> 그리고, 도 3에 도시된 바와 같이, 상기 흡수층(35) 및 제2절연막(24)을 관통하여, 상기 제2금속배선(14)과 연결된 플러그(18)를 형성한다.
- <60> 상기 플러그(18)는 상기 흡수층(35) 및 제2절연막(24)에 상기 제2금속배선(14)을 노출시키는 비아홀(16)을 형성한 후, 금속물질을 매립하여 형성할 수 있다.
- <61> 이로써, 상기 반도체 기관(10) 상에는 전원라인 또는 신호라인과의 접속을 위한, 금속배선(30)이 형성된 층간절연막(20)이 형성된다.
- <62> 상기 금속배선(30)은 포토다이오드에서 생성된 전자를 하부의 씨모스 회로로 전달하는 역할을 한다. 도시되지는 않았지만, 상기 금속배선(30)은 상기 반도체 기관(10)의 하부에 형성된 불순물이 도핑된 영역과 접속될 수 있다.
- <63> 그리고, 도 4에 도시된 바와 같이, 상기 플러그(18)가 노출된 상기 흡수층(35) 상에 하부전극(40)을 형성한다.
- <64> 상기 하부전극(40)은 Cr, Ti, TiW 및 Ta과 같은 금속으로 형성될 수 있으며, 상기 흡수층(35) 상에 제2금속막을 형성한 후, 패터닝하여 형성할 수 있다.
- <65> 상기 하부전극(40)은 상기 픽셀 영역(A)의 단위픽셀 별로 배치된 금속배선(30) 상부에 각각 형성된다. 상기 하부전극(40)은 단위픽셀 별로 패터닝되어 상기 하부전극(40) 사이에는 갭이 형성된다.
- <66> 그리고, 도 5에 도시된 바와 같이, 상기 하부전극(40)을 포함하는 상기 흡수층(35) 상에 상기 금속배선(30)과 연결되도록 포토다이오드(75) 및 투명전극(80)이 형성된다.
- <67> 상기 포토다이오드(75)는 픽셀 영역(A)의 상기 흡수층(35) 상에 형성된다.
- <68> 실시예에서 상기 포토다이오드(75)는 NIP 다이오드(NIP diode)를 사용한다. 상기 NIP 다이오드는 금속, n형 비정질 실리콘층(n-type amorphous silicon), 진성 비정질 실리콘층(intrinsic amorphous silicon), p형 비정질 실리콘층(p-type amorphous silicon)이 접합된 구조로 형성되는 것이다.
- <69> 상기 NIP 다이오드는 p형 실리콘층과 금속 사이에 순수한 반도체인 진성 비정질 실리콘층이 접합된 구조의 광다이오드로서, 상기 p형과 금속 사이에 형성되는 진성 비정질 실리콘층이 모두 공핍영역이 되어 전하의 생성 및 보관에 유리하게 된다.
- <70> 실시예에서는 포토 다이오드로서 NIP 다이오드를 사용하며 상기 다이오드의 구조는 P-I-N 또는 N-I-P, I-P 등의 구조로 형성될 수 있다.
- <71> 실시예에서는 N-I-P 구조의 포토 다이오드가 사용되는 것을 예로 하며, 상기 n형 비정질 실리콘층은 제1 도전형 전도층(50), 진성 비정질 실리콘층은 진성층(60), 상기 p형 비정질 실리콘층은 제2 도전형 전도층(70)이라 칭하도록 한다.
- <72> 상기 포토 다이오드(75)를 형성하는 방법에 대하여 설명하면 다음과 같다.
- <73> 상기 층간절연막(20)을 포함하는 흡수층(35) 상에 제1 도전형 전도층(50)이 형성된다. 경우에 따라서, 상기 제1 도전형 전도층(50)은 형성되지 않고 이후의 공정이 진행될 수도 있다.
- <74> 상기 제1 도전형 전도층(50)은 실시예에서 채용하는 N-I-P 다이오드의 N층의 역할을 할 수 있다. 즉, 상기 제1 도전형 전도층(50)은 N 타입 도전형 전도층일 수 있으나 이에 한정되는 것은 아니다.
- <75> 예를 들어, 상기 제1 도전형 전도층(50)은 N 도핑된 비정질 실리콘(n-doped amorphous silicon)을 이용하여 형성될 수 있으나, 이에 한정되는 것은 아니다.
- <76> 그리고, 상기 제1 도전형 전도층(50) 상에 진성층(intrinsic layer)(50)이 형성된다. 상기 진성층(60)은 실시예에서 채용하는 N-I-P 다이오드의 I층의 역할을 할 수 있다.
- <77> 상기 진성층(60)은 비정질 실리콘(intrinsic amorphous silicon)을 이용하여 형성될 수 있다.

- <78> 여기서, 상기 진성층(60)은 상기 제1 도전형 전도층(50)의 두께보다 약 10~1,000배 정도의 두꺼운 두께로 형성될 수 있다. 이는 상기 진성층(60)의 두께가 두꺼울수록 핀 다이오드의 공핍영역이 늘어나 많은 양의 광전하를 보관 및 생성하기에 유리하기 때문이다.
- <79> 상기 진성층(60) 상에 제2 도전형 전도층(70)이 형성된다. 상기 제2 도전형 전도층(70)은 상기 진성층(60)의 형성과 연속공정으로 형성될 수 있다.
- <80> 상기 제2 도전형 전도층(70)은 실시예에서 채용하는 N-I-P 다이오드의 P층의 역할을 할 수 있다. 즉, 상기 제2 도전형 전도층(70)은 P 타입 도전형 전도층일 수 있으나 이에 한정되는 것은 아니다.
- <81> 따라서, 상기 반도체 기판(10) 상에 형성된 트랜지스터 회로와 상기 포토다이오드(75)가 수집형 집적을 이루어 상기 포토다이오드의 필팩터를 100%에 근접시킬 수 있다.
- <82> 그리고, 상기 포토다이오드(75)의 상부에 투명전극(80)이 형성된다.
- <83> 상기 투명전극(80)은 빛의 투과성이 좋고 전도성이 높은 물질로 형성될 수 있다. 예를 들어, 상기 투명전극(80)은 ITO(indium tin oxide), CTO(cardium tin oxide), ZnO₂ 중 어느 하나로 형성될 수 있다.
- <84> 상기와 같이 포토다이오드(75) 및 투명전극(80)은 상기 반도체 기판(10) 상에 형성되어, 상기 주변회로 영역(B)의 상기 흡수층(35)은 노출된다.
- <85> 예를 들어, 상기 포토다이오드(75) 및 투명전극(80)은 상기 층간절연막(20) 상에 형성된 상기 흡수층(35) 상에 형성된 후, 포토공정 및 식각공정에 의하여 상기 픽셀 영역(A) 상에만 형성될 수 있다.
- <86> 따라서, 상기 포토다이오드(75) 및 투명전극(80)과 상기 주변회로 영역(B)의 흡수층(35) 표면은 단차를 가지도록 형성된다.
- <87> 그리고, 도 6에 도시된 바와 같이, 상기 투명전극(80)을 포함하는 상기 흡수층(35) 상에 제1 및 제2 트랜치(43,45)를 포함하는 제1 보호층(85)이 형성된다. 상기 제1 보호층(85)은 상기 포토다이오드(75) 상에 형성되고, 상기 주변회로 영역(B)의 흡수층(35)까지 형성되어 상기 포토다이오드를 보호 및 절연시킬 수 있게 된다.
- <88> 상기 제1 보호층(85) 상에 형성된 제1 트랜치(43)는 상기 포토다이오드(75)의 일부를 선택적으로 노출시킬 수 있다. 상기 제1 트랜치(43)는 상기 포토다이오드(75)의 일부 영역을 노출시키도록 선택적으로 형성되어 상기 포토다이오드(75)의 수광영역에 영향을 주지 않게 된다.
- <89> 또한, 상기 제2 트랜치(45)는 상기 주변부의 하부배선(30)을 노출시킬 수 있다. 상기 제1 트랜치(43)는 포토다이오드의 일부 영역을 노출시키도록 선택적으로 형성되어 상기 포토다이오드의 수광영역에 영향을 주지 않게 된다.
- <90> 상기 제1 및 제2 트랜치(43, 45)는 제1 보호층(85)을 형성한 후 포토 리소그래피 및 식각공정을 통해 형성될 수 있다.
- <91> 이어서, 도 7에 도시된 바와 같이, 상기 제1 및 제2 트랜치(45)를 포함하는 제1 보호층(85) 상에 상부전극(55)이 형성된다.
- <92> 상기 상부전극(55)은 상기 제1 트랜치(43) 내부에 형성되어 상기 투명전극(80)과 전기적으로 연결될 수 있다. 특히, 상기 상부전극(55)은 상기 제1 및 제2 트랜치(43, 45)를 포함하는 제1 보호층(85) 상으로 상부전극층을 형성한 후 상기 픽셀 영역(A)에 대응하는 상기 상부전극층을 제거하여 형성될 수 있다.
- <93> 따라서, 상기 상부전극(55)은 상기 제1 트랜치(43) 내부에 형성되어 상기 투명전극(80)과 전기적으로 연결될 수 있다. 또한, 상기 상부전극(55)은 상기 제2 트랜치(45) 내부에 형성되어 상기 하부배선(30)과 연결될 수 있다.
- <94> 상기 상부전극(55)은 상기 포토다이오드(75)의 일부 영역 상에 형성되므로 상기 포토다이오드(75)의 수광영역에 영향을 주지 않을 수 있다.
- <95> 그리고, 도 8에 도시된 바와 같이, 상기 제1 보호층(85) 및 상부전극(55) 상에 제2 보호층(95)이 형성된다. 그리고, 상기 픽셀 영역(A)의 상기 포토다이오드(75)에 대응하는 상기 제2 보호층(95) 상에 컬러필터(90)가 형성된다. 상기 컬러필터(90)는 단위 픽셀 마다 하나씩 형성되어 입사하는 빛으로부터 색을 분리해 낸다. 이러한, 컬러필터(90)는 각각 다른 색상을 나타내는 것으로 적색(red), 녹색(green) 및 청색(blue)의 3가지 색으로 형성될 수 있다.

<96>

<97> 실시예에 따른 이미지 센서 및 그 제조방법에 의하면 층간절연막 상에 흡수층을 형성하여, 포토다이오드를 통과한 광이 하부의 금속배선으로 입사된 후, 반도체 기판에 반사되어 인접한 픽셀로 유입되어 노이즈로 작용하는 것을 방지할 수 있다.

<98> 즉, 포토다이오드를 통과한 빛이 상기 흡수층에서 1차적으로 흡수되며, 상기 흡수층을 통과한 광이 상기 반도체 기판에 반사되어 인접한 픽셀로 유입되기 전 2차적으로 흡수된다.

<99> 따라서, 반사된 광에 의해 포토다이오드의 크로스 토크 및 노이즈의 발생을 방지하여, 이미지 센서의 신뢰성을 향상시킬 수 있다.

<100> 또한, 트랜지스터 회로와 포토 다이오드의 수직형 집적을 제공할 수 있다.

<101> 또한, 씨모스 회로와 포토 다이오드의 수직형 집적에 의해 필 팩터(fill factor)를 100%에 근접시킬 수 있다.

<102> 또한, 수직형 집적에 의해 종래기술보다 같은 픽셀 사이즈에서 높은 센서티비티(sensitivity)를 제공할 수 있다.

<103> 또한, 각 단위 픽셀은 센서티비티(sensitivity)의 감소없이 보다 복잡한 회로를 구현할 수 있다.

<104> 또한, 포토 다이오드의 단위픽셀을 구현함에 있어 단위 픽셀 내의 포토 다이오드의 표면적을 증가시켜 광감지율을 향상시킬 수 있다.

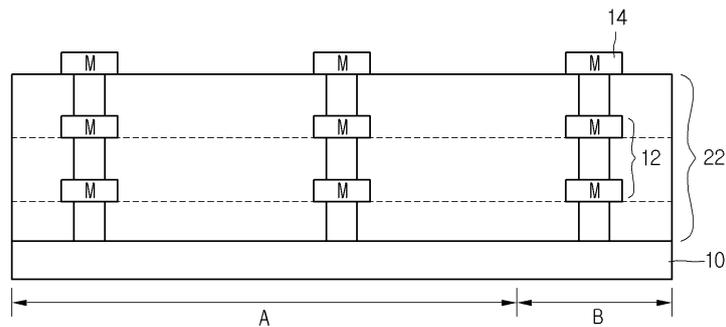
<105> 이상에서 설명한 실시예는 전술한 실시예 및 도면에 의해 한정되는 것이 아니고, 본 실시예의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경할 수 있다는 것은 본 실시예가 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

도면의 간단한 설명

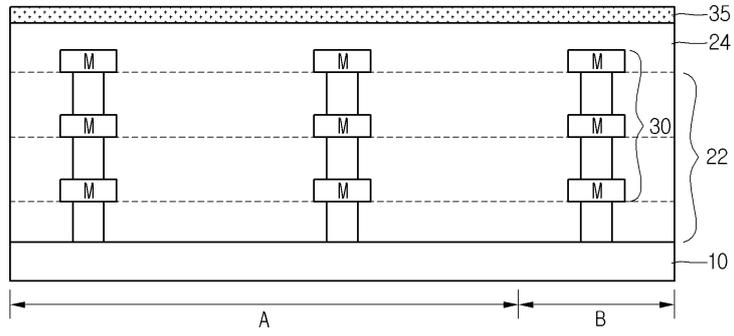
<106> 도 1 내지 도 8은 실시예에 따른 이미지 센서의 제조공정을 나타내는 단면도이다.

도면

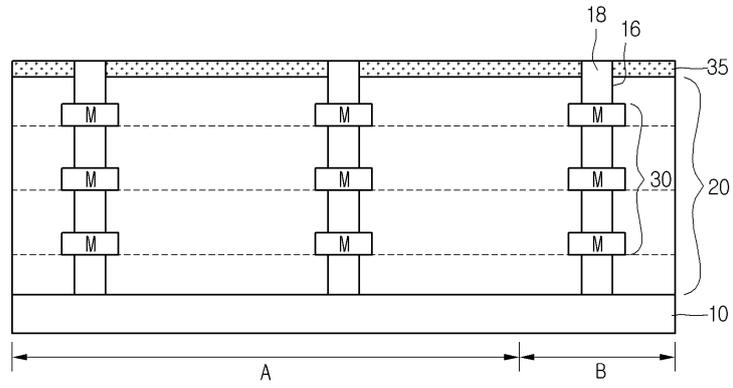
도면1



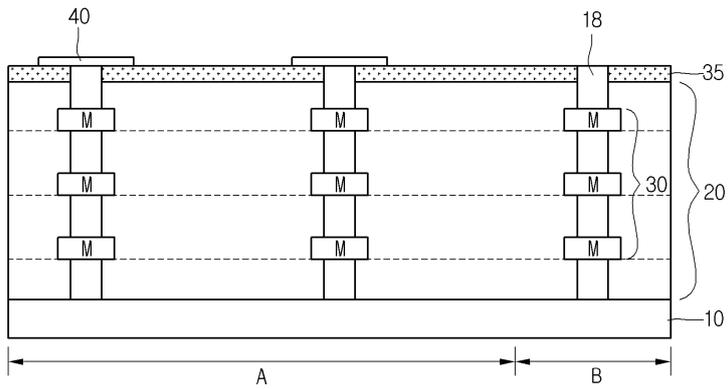
도면2



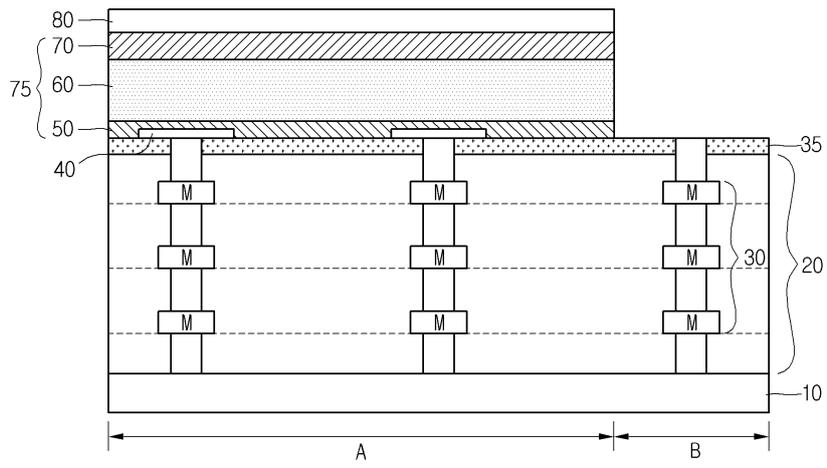
도면3



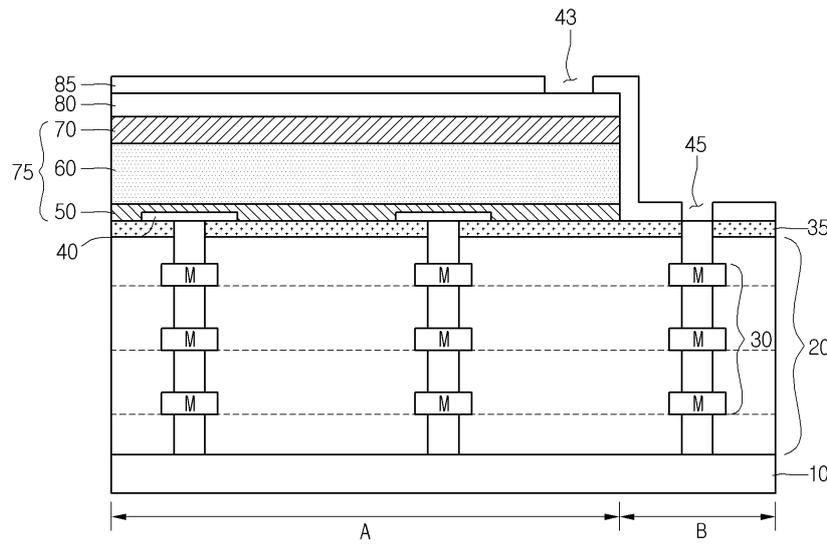
도면4



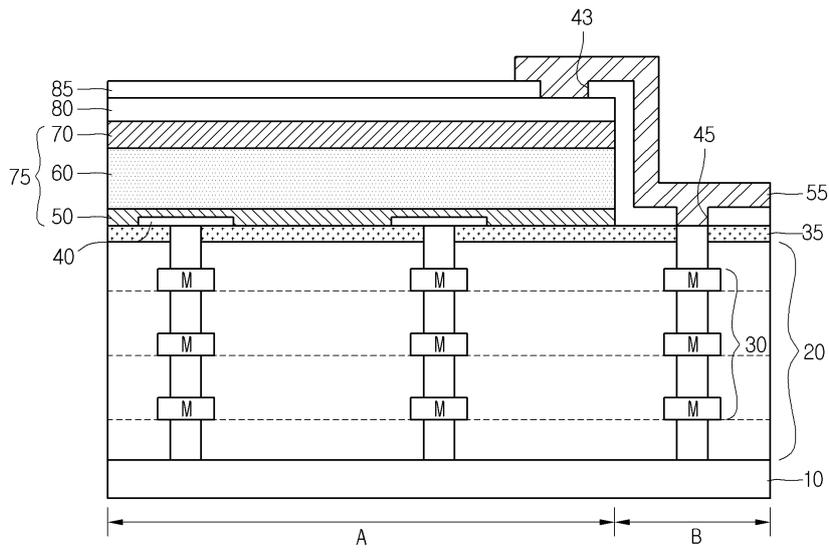
도면5



도면6



도면7



도면8

