

申請日期： 91.11.22	IPC分類
申請案號： G1134124	G11C17/16

(以上各欄由本局填註)

發明專利說明書

200409130

一、 發明名稱	中文	使用標準互補型金屬氧化層半導體製程之選擇熔絲電路
	英文	AN OPTION FUSE CIRCUIT USING STANDARD CMOS MANUFACTURING PROCESS
二、 發明人 (共2人)	姓名 (中文)	1. 林元泰 2. 黃志豪
	姓名 (英文)	1. Lin, Yen-Tai 2. Huang, Jie-Hau
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 新竹市柏川一路七號 2. 台中縣外埔鄉大馬路莊內巷一七一號
	住居所 (英文)	1. No. 7, Bou-Tsun 1st Rd., Hsin-Chu City, Taiwan, R.O.C. 2. No. 171, Lane Chuang-Nei, Ta-Ma Rd., Wai-Pu Hsiang, Taichun Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 力旺電子股份有限公司
	名稱或姓名 (英文)	1. eMemory Technology Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市科學工業園區力行一路十二號三樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 3F, No. 12, Li-Hsin Road 1, Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 黃崇仁
代表人 (英文)	1. Huang, Chong-Jen	



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

熟習該項技術者易於獲得,不須寄存。

五、發明說明 (1)

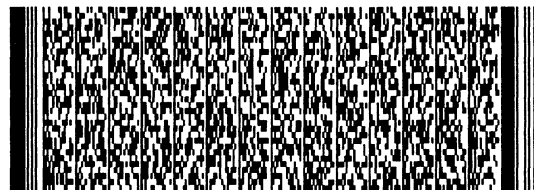
發明所屬之技術領域

本發明提供一種選擇熔絲電路，尤指一種使用標準互補型金屬氧化層半導體製程之選擇熔絲電路。

先前技術

於目前市面上常見之各種電子產品中，記憶體（例如 ROM，DRAM，以及 SRAM 等）向來都是非常重要的元件之一，其於電子產品中擔任儲存揮發性以及非揮發性資料的功能。一記憶體中包含有複數個記憶體單元（Memory Cell），每一記憶體單元係用來儲存一個位元（Bit）的數位資料，而該複數個記憶體單元則通常以一陣列（Array）之方式排列，並且是以積體電路之形式利用半導體製程製作而成。

在一般之半導體製程當中，由於良率（Yield）通常無法達到百分之百，故在積體電路的製造過程中，可以預期會有一定比例的不良品產生，也因此於積體電路從製造到出貨的流程當中，產品測試的步驟是非常重要的而不可或缺的，惟有經由產品測試的流程才能將半導體製程中因良率不足而導致功能不全或無法使用的產品篩選出來並予以淘汰，如此也才能確保於出貨時客戶所得到的是可正常運作的產品。由此可知，產品測試係於半導體製程中十分重

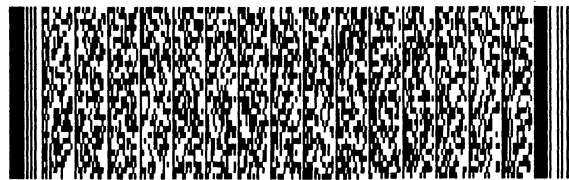
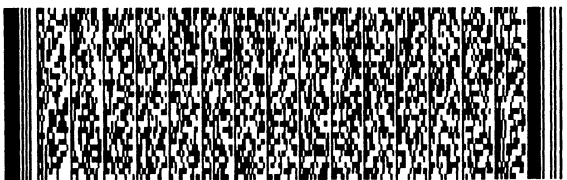


五、發明說明 (2)

要的流程之一。

由於記憶體中包含有非常大量之記憶體單元（目前之記憶體的容量大多為數十至數百個百萬位元組（Mbyte），例如 64M，128M等），因此在如此為數眾多的記憶體單元中，至少一個記憶體單元發生故障的機率將非常之高，且若一記憶體當中只要有一個記憶體單元發生故障，則該記憶體即會被視為不良品而導致其不堪使用，如此一來，將造成記憶體製造廠商很大的困擾。故於一般記憶體之設計中，通常會於原本的記憶體單元陣列之外，另外加入一組備用之記憶體單元（Redundancy Cell），並且利用一特殊之電路組態設計來控制及選擇該組備用之記憶體單元與該記憶體單元陣列之間的連結。有了此種設計，於產品測試流程中發現在該記憶體單元陣列內某些特定位置之記憶體單元發生故障時，便可以利用該特殊之電路組態來控制該組備用之記憶體單元以取代發生故障之記憶體單元原本的功能，如此則使該記憶體不致因少數部分發生故障而報廢，因而節省了大量成本。而該特殊之電路組態一般稱為選擇熔絲電路（Option Fuse Circuit）。

請參閱圖一，圖一中顯示習知一選擇熔絲電路 10 之示意圖。選擇熔絲電路 10 包含有一 P 型金屬氧化層半導體電晶體 12、一 P 型金屬氧化層半導體電晶體 14、一 N 型金屬氧化層半導體電晶體 16 以及一選擇熔絲 18。電晶體 14 及電晶

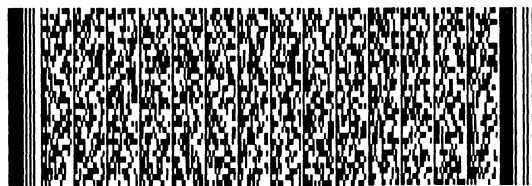
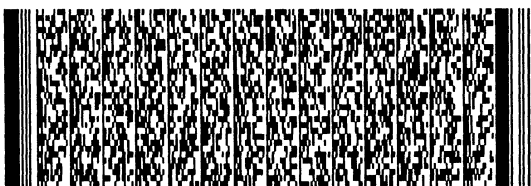


五、發明說明 (3)

體 16 係相互電連接而構成一反向器，其中二閘極相連接以為該反向器之輸入端，二汲極相連接以為該反向器之輸出端。電晶體 12 之汲極及選擇熔絲 18 之一端係電連接至該反向器之輸入端，電晶體 12 之閘極則電連接至該反向器之輸出端，而該輸出端即作為選擇熔絲電路 10 之一輸出端 V_{out} 。最後，電晶體 12、14 之源極電連接至一系統電壓 V_{dd} ，而電晶體 16 之源極及選擇熔絲 18 之另一端則電連接至接地電壓 V_{ss} 。

請參閱圖二 A 及圖二 B，圖二 A 中顯示圖一中選擇熔絲 18 之佈局 (Layout) 的示意圖。通常選擇熔絲 18 係使用金屬 (Metal) 線段或多晶矽 (Poly) 線段佈局而成，而選擇熔絲 18 可以於產品測試階段時，依照需要利用雷射進行點燒斷，如圖二 B 所示，由於選擇熔絲電路 10 於選擇熔絲 18 尚未被燒斷時與被燒斷時，其輸出端 V_{out} 所輸出之訊號值不同 (以圖一顯示之選擇熔絲電路 10 為例，於選擇熔絲 18 尚未被燒斷時， V_{out} 輸出訊號 "1"，即高電位，而於選擇熔絲 18 被燒斷時， V_{out} 輸出訊號 "0"，即低電位)，則一記憶體之電路設計中即可利用複數個選擇熔絲電路 10 之輸出訊號值來編碼決定該組備用之記憶體單元依何種組合取代該記憶體單元陣列中故障之記憶體單元。

然而，由於選擇熔絲 18 於佈局時，通常必須在其週圍之一定面積中預留足夠空間 (如圖二 A 及圖二 B 所示，預留



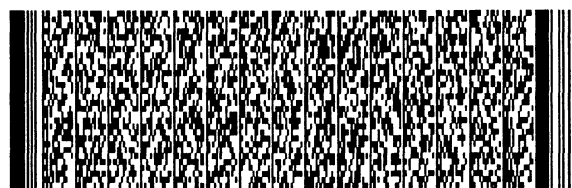
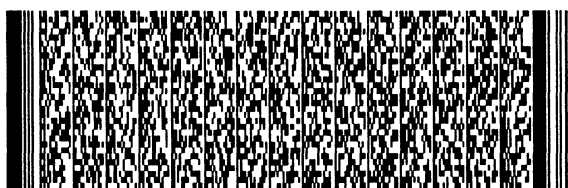
五、發明說明 (4)

一 $5\mu\text{m} \times 5\mu\text{m}$ 之空間) 以防止進行雷射燒斷時破壞週遭元件且為了進行雷射燒斷，於選擇熔絲 18 之處需挖空表面之氧化層以預留一開口，然而此一開口將導致水氣可能滲透腐蝕，進而破壞其他元件，降低週遭元件之可靠度，此一現象於一記憶體中之選擇熔絲電路 10 的數目隨著記憶體記憶容量之增加而大幅增多時最為明顯，因為愈多之選擇熔絲電路 10 代表著愈多的預留開口數，因而使得記憶體中各個元件受到污染的機會亦大增。另一方面，由於雷射燒斷相對來說係一較為耗時之過程，於測試流程中因為必須逐一對為數眾多之選擇熔絲 18 進行燒斷的動作，亦造成測試工作之時間冗長。

為避免於選擇熔絲電路技術中因使用雷射燒斷技術而導致之上述問題，習知技術亦利用非揮發性之快閃記憶體 (Flash Memory) 配合適合之電路設計來達到相同之目的，然而由於快閃記憶體無法使用與標準互補型金屬氧化層半導體製程相容之方法製造，而必須於製程中多使用一層多晶矽層 (Poly Silicon)，因此增加了製造成本。

發明內容

因此本發明之主要目的在於提供一種使用標準互補型金屬氧化層半導體製程、僅於製程中使用一層多晶矽層且無需使用雷射燒斷技術之選擇熔絲電路，以解決上述可靠

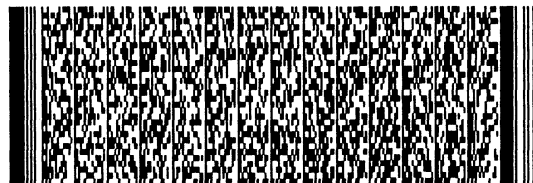
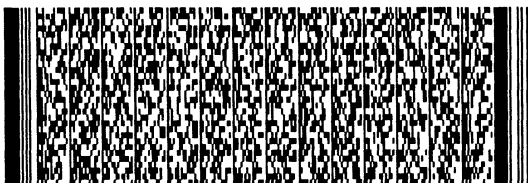


五、發明說明 (6)

知技術中依照一選擇熔絲之狀態來決定輸出訊號值的作法，因此不會發生前述為了使用雷射燒斷技術而產生之可靠度降低及測試時間過長的問題。

實施方式

請參閱圖三，圖三中顯示本發明之選擇熔絲電路 20 的示意圖。選擇熔絲電路 20 包含有一門鎖器 (Latch) 22，其包含有一第一端點 N 及一第二端點 ZN，用來門鎖住該第一及第二端點 N、ZN 的訊號；一比較器 (Comparator) 24，其包含有二輸入端及一輸出端，該二輸入端分別電連接至第一及第二端點 N、ZN，比較器 24 係用來於該二輸入端分別輸入第一及第二端點 N、ZN 之訊號，並比較該二訊號以於該輸出端輸出一比較訊號 WL；一第一邏輯單元 (Logic Cell) 26，用來儲存一非揮發性資料，第一邏輯單元 26 包含有一第一字元線 (Word Line) 端 WL1 及一第一位元線 (Bit Line) 端 BL1，第一字元線端 WL1 係電連接至比較器 24 之輸出端以輸入比較訊號 WL，而第一位元線端 BL1 則電連接至第一端點 N；以及一第二邏輯單元 28，用來儲存一非揮發性資料，第二邏輯單元 28 包含有一第二字元線端 WL2 及一第二位元線端 BL2，第二字元線端 WL2 係電連接至比較器 24 之輸出端以輸入比較訊號 WL，而第二位元線端 BL2 則電連接至第二端點 ZN。請注意，門鎖器 22 通常係利用二反向器相互反相連接而成，如圖三所示。接下來將

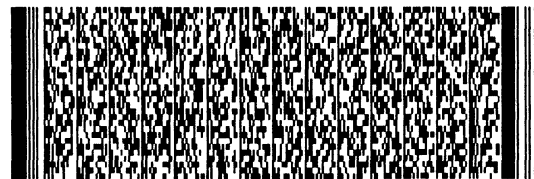


五、發明說明 (7)

利用本發明之一較佳實施例詳細說明選擇熔絲電路 20 之操作原理。

請參閱圖四及圖五，圖四中顯示作為本發明之一實施例的選擇熔絲電路 30 之示意圖，其中各個元件之間之連結與選擇熔絲電路 20 相同，故無須重覆說明。如圖四中所示，選擇熔絲電路 30 包含有一閃鎖器 32，其中一 P 型金屬氧化層半導體電晶體 42 及一 N 型金屬氧化層半導體電晶體 46 組成一反向器，而一 P 型金屬氧化層半導體電晶體 44 及一 N 型金屬氧化層半導體電晶體 48 組成另一反向器，該二反向器相互反相連接並以其二輸出端作為第一及第二端點 N、ZN。選擇熔絲電路 30 亦包含有一比較器 34，如圖四所示，比較器 34 係利用複數個邏輯閘比較從第一及第二端點 N、ZN 輸入之訊號以於其輸出端產生一比較訊號 ZWL。比較器 34 亦包含有一模式選擇輸入端 ZPGM，用來決定選擇熔絲電路 30 係處於寫入模式 (Program Mode) 或是處於讀取模式 (Read Mode)；一資料寫入輸入端 DB，用來輸入選擇熔絲電路 30 處於寫入模式時欲寫入之資料。

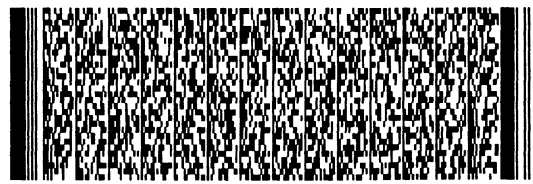
選擇熔絲電路 30 另包含有一第一邏輯單元 36 及一第二邏輯單元 38，與圖三所示之選擇熔絲電路 20 相同，邏輯單元 36、38 係用來儲存非揮發性資料，其字元線端電連接至比較器 34 之該輸出端以輸入比較訊號 ZWL，而其位元線端則分別電連接至第一及第二端點 N、ZN。於本實施例中，



五、發明說明 (8)

第一邏輯單元 36 及第二邏輯單元 38 係使用如圖五所示之一單次可程式化邏輯單元 40 (One-Time Programmable Cell)，單次可程式化邏輯單元 40 包含有一第一電晶體 52 及一第二電晶體 54，其中第一及第二電晶體 52、54 係為 P 型金屬氧化層半導體電晶體，第一電晶體 52 之源極電連接至一電源供應電壓 V_{cc} ，第一電晶體 52 之閘極作為邏輯單元 36、38 之該字元線端 (圖五中連接至比較訊號 ZWL 之處)，第一電晶體 52 之汲極則電連接至第二電晶體 54 之源極，第二電晶體 54 之閘極係浮接 (Floating)，而第二電晶體 54 之汲極則作為邏輯單元 36、38 之該位元線端 (圖五中標示 BL 之處)。單次可程式化邏輯單元 40 係利用改變其字元線端及位元線端之輸入訊號值以改變第二電晶體 54 之浮接閘極內所儲存之電子電荷數目，進而達到改變儲存於單次可程式化邏輯單元 40 中之資料的目的。

選擇熔絲電路 30 另包含有一初始模組，電連接至第一及第二邏輯單元 36、38，用來於寫入模式時將資料寫入第一及第二邏輯單元 36、38。如圖四所示，該初始模組包含有一第一初始電晶體 56 及一第二初始電晶體 58，第一及第二初始電晶體 56、58 係為 N 型金屬氧化層半導體電晶體，其汲極分別電連接至第一及第二邏輯單元 36、38 之位元線端，其源極則均電連接至一接地電壓 V_{ss} (0V)，而比較器 34 則另包含有二相位相反之初始輸出端 BLO、ZBLO，分別電連接至第一及第二初始電晶體 56、58 之閘極，用來控

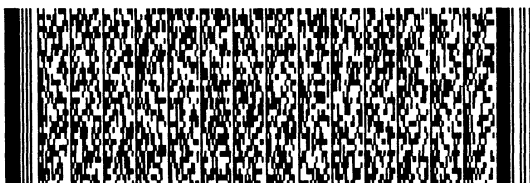


五、發明說明 (9)

制第一及第二初始電晶體 56、58之導通以將該資料寫入第一及第二邏輯單元 36、38之中。接下來將利用本實施例之選擇熔絲電路 30詳細說明其於寫入模式及讀取模式時之動作。

於產品測試之流程中，若測試人員發現於一記憶體之記憶體單元陣列中有某些特定之記憶體單元發生故障，則測試人員會對於該記憶體中之複數個選擇熔絲電路進行寫入之動作以選擇該記憶體中預先放置之複數個備用記憶體單元來取代發生故障之記憶體單元，在此將以該複數個選擇熔絲電路當中之—為例，並利用圖四中之選擇熔絲電路 30進行其寫入模式之操作原理說明。

當選擇熔絲電路 30欲進行資料寫入時，模式選擇輸入端 ZPGM會輸入一低電壓 (0V) (即代表選擇熔絲電路 30處於寫入模式)，並於資料寫入輸入端 DB輸入欲寫入第一及第二邏輯單元 36、38之資料，在此假設該資料為 "0"，則初始輸出端 BL0會輸出低電壓，而初始輸出端 ZBL0會輸出高電壓，因此導致第一初始電晶體 56及第二初始電晶體 58分別處於通路狀態及斷路狀態，進一步使得第一及第二端點 N、ZN分別為低電壓及高電壓，同時由於模式選擇輸入端 ZPGM為低電壓，使得比較訊號 ZWL為一低電壓，則第一及第二邏輯單元會因為其字元線端輸入低電壓而導致其第一電晶體 52導通，因此其第二電晶體之閘極內所儲存之電



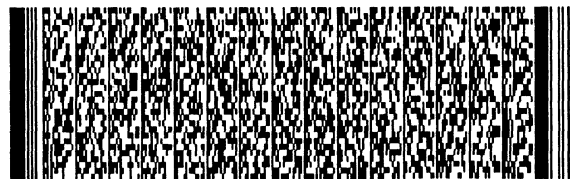
五、發明說明 (10)

子電荷數目會依據其位元線端輸入之電壓值而改變，進一步使第一及第二邏輯單元 36、38 分別處於寫入狀態

(Program State, 其第二電晶體之閘極載有電子電荷) 及消除狀態 (Erase State, 其第二電晶體之閘極未載有電子電荷) 而將資料儲存於第一及第二邏輯單元 36、38 中。經由相同的道理，若輸入之資料為 "1"，則第一及第二邏輯單元 36、38 會分別處於消除狀態及寫入狀態而將資料儲存於第一及第二邏輯單元 36、38 中。

經過產品測試之流程後，其複數個選擇熔絲電路已行進寫入動作之一記憶體被視為合格商品，其會被安裝於某一電子產品中。當使用該記憶體之該電子產品啟動電源時，該記憶體會對該複數個選擇熔絲電路進行讀取之動作以對該複數個備用之記憶體單元進行正確之選取，進而使其能夠正常地取代該發生故障之記憶體單元的功能，使得該記憶體能正確無誤地動作。在此將以該複數個選擇熔絲電路當中之—為例，並利用圖四中之選擇熔絲電路 30 進行其讀取模式之操作原理說明。

當選擇熔絲電路 30 欲進行資料讀取時，模式選擇輸入端 ZPGM 會輸入一高電壓 (Vcc) (即代表選擇熔絲電路 30 處於讀取模式) ，則初始輸出端 BL0 及 ZBL0 均會輸出低電壓，導致第一及第二初始電晶體 56、58 均處於斷路狀態。請參閱圖六，圖六中顯示圖四之訊號值隨時間變化之示意

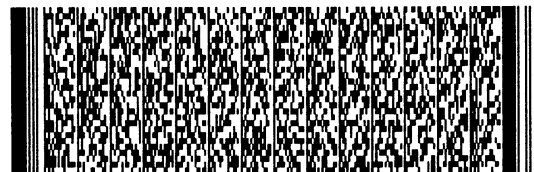


五、發明說明 (11)

圖，此時當電源啟動時，如圖六所示，電源供應電壓 V_{cc} 會隨時間而遞增直到到達一預設值，而依據選擇熔絲電路 30 之動作可分為資料感應及資料閉鎖二階段。請注意，由上述選擇熔絲電路 30 之寫入動作可知，第一及第二邏輯單元 36、38 中所儲存之資料必為反相，亦即若第一邏輯單元 36 處於寫入狀態則第二邏輯單元 38 必處於消除狀態，而若第一邏輯單元 36 處於消除狀態則第二邏輯單元 38 必處於寫入狀態。

當選擇熔絲電路 30 處於資料感應階段時，第一及第二端點 N、ZN 之電壓值會隨著電源供應電壓 V_{cc} 而增加，由於電源供應電壓 V_{cc} 之值尚未達到使第一及第二端點 N、ZN 之電壓值因第一及第二邏輯單元 36、38 所處之狀態不同而有所差異的程度，故第一及第二端點 N、ZN 之電壓值會同為高電壓，加上模式選擇輸入端 ZPGM 係為一高電壓，則經過如圖三所示之比較器 34 內的複數個邏輯閘之作用，會使比較訊號 ZWL 為低電壓而使第一及第二邏輯單元 36、38 之第一電晶體 52 維持通路狀態，因而第一及第二端點 N、ZN 將會感應出第一及第二邏輯單元 36、38 中所儲存的資料。

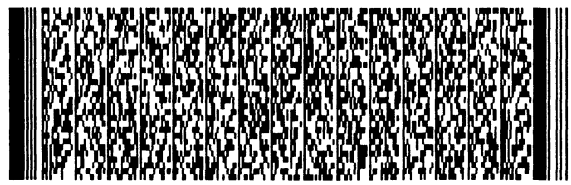
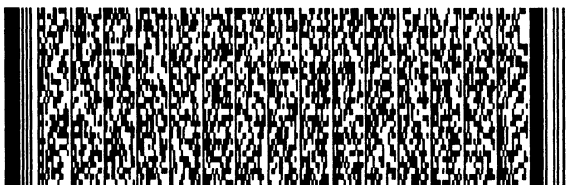
當選擇熔絲電路 30 進入資料閉鎖階段時，由於電源供應電壓 V_{cc} 之值已達到使第一及第二端點 N、ZN 之電壓值因第一及第二邏輯單元 36、38 所處之狀態不同而有所差異的程度，故第一及第二端點 N、ZN 之電壓值會出現差異，如



五、發明說明 (12)

圖六所示（於圖六中所示者為當第一邏輯單元 36 處於寫入狀態，而第二邏輯單元 38 處於消除狀態的情形），此時經由比較器 34 中複數個邏輯閘的作用，比較訊號 ZWL 會如圖六所示轉變為一高電壓而使第一及第二邏輯單元 36、38 之第一電晶體變為斷路狀態，因而第一及第二端點 N、ZN 將停止感應資料的動作而依據其所感應出的結果將該資料門鎖於門鎖器 32 中（如圖六所示，第一端點 N 為高電壓，第二端點 ZN 為低電壓），如此則完成了讀取的動作。此外，選擇熔絲電路 30 之比較器 34 另亦包含有一訊號輸出端 V_{out} ，用來輸出門鎖器 32 門鎖之訊號，於本實施例中，由於第一端點 N 係為高電壓，經由比較器 34 中複數個邏輯閘之作用，訊號輸出端 V_{out} 會輸出一低電壓，即邏輯值 "0"。

請參閱圖七及圖八，圖七中顯示作為本發明之另一實施例的選擇熔絲電路 60 之示意圖，選擇熔絲電路 60 包含有一門鎖器 62、一比較器 64、一第一邏輯單元 66 以及一第二邏輯單元 68，而圖八中則顯示圖七之第一及第二邏輯單元 66、68 所使用之單次可程式化邏輯單元 70 之示意圖，單次可程式化邏輯單元 70 則包含有一第一電晶體 82 及一第二電晶體 84，而電晶體 82、84 係為 N 型金屬氧化層半導體電晶體，其中各個元件之間之連結與選擇熔絲電路 30 及單次可程式化邏輯單元 40 十分相似，故無需重覆詳述。然而，比較器 64 中之複數個邏輯閘的相互連結係依據需要而與比較

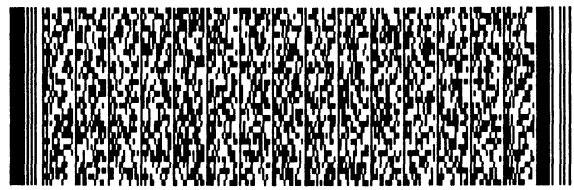
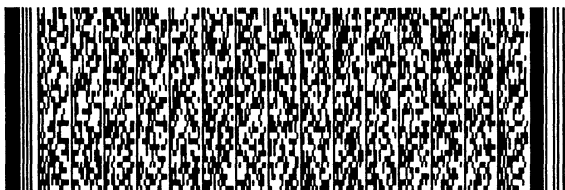


五、發明說明 (13)

器 34 有所不同，且比較器 64 係輸出一比較訊號 WL 至第一及第二邏輯單元 66、68，又單次可程式化邏輯單元 70 中之第一電晶體 82 的源極係電連接至一接地電壓 V_{SS} (0V)。而選擇熔絲電路 60 於寫入模式及讀取模式時之動作亦與選擇熔絲電路 30 十分相似，故依照上述對選擇熔絲電路 30 之動作的說明即可得到相同的結果。此外，圖七中之選擇熔絲電路 60 亦包含有一第一初始電晶體 86 及一第二初始電晶體 88，其連接及操作方式與圖四中之選擇熔絲電路 30 的第一及第二初始電晶體 56、58 十分相似，然而第一及第二初始電晶體 86、88 均為 P 型金屬氧化層半導體電晶體，且其源極係均電連接至一高電壓（此處為 V_{CC} ）。

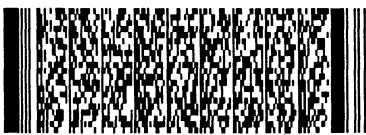
相較於習知之選擇熔絲電路技術，本發明之選擇熔絲電路係利用一門鎖器、一比較器以及二邏輯單元所構成，於寫入模式時將初始值設定於該二邏輯單元中，並於讀取模式當電源啟動時，利用該門鎖器感應儲存於該二邏輯單元中之資料並輸出，如此則避免了習知技術為了使用雷射燒斷技術而產生之可靠度降低及測試時間過長的問題，亦由於本發明之選擇熔絲電路係利用標準互補型金屬氧化層半導體製程技術製造，而於製程中僅需使用一層多晶矽層，故亦可避免習知技術因使用快閃記憶體而增加製造成本的問題。

以上所述僅為本發明之較佳實施例，凡依本發明申請



五、發明說明 (14)

專利範圍所做之均等變化與修飾，皆屬於本發明專利之涵蓋範圍。



圖式簡單說明

圖示之簡單說明

圖一為習知之選擇熔絲電路的示意圖。

圖二 A為圖一之選擇熔絲尚未被燒斷時之佈局的示意圖。

圖二 B為圖一之選擇熔絲被燒斷時之佈局的示意圖。

圖三為本發明之選擇熔絲電路的示意圖。

圖四為圖三之選擇熔絲電路之一實施例的示意圖。

圖五為圖四之邏輯單元之示意圖。

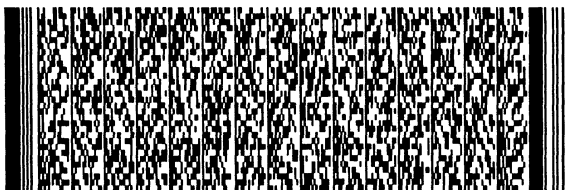
圖六為圖四之訊號值隨時間變化之示意圖。

圖七為圖三之選擇熔絲電路之另一實施例的示意圖。

圖八為圖七之邏輯單元之示意圖。

圖示之符號說明

10、20、30、60	選擇熔絲電路
12、14、42、44	P型金屬氧化層半導體電晶體
16、46、48	N型金屬氧化層半導體電晶體
18	選擇熔絲
22、32、62	閃鎖器
24、34、64	比較器
26、36、66	第一邏輯單元
28、38、68	第二邏輯單元
40、70	單次可程式化邏輯單元



圖式簡單說明

52、82

第一電晶體

54、84

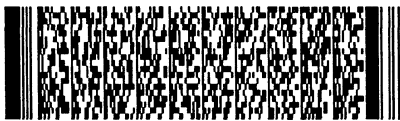
第二電晶體

56、86

第一初始電晶體

58、88

第二初始電晶體



四、中文發明摘要 (發明名稱：使用標準互補型金屬氧化層半導體製程之選擇熔絲電路)

一種使用標準互補型金屬氧化層半導體製程之選擇熔絲電路，包含有一門鎖器，其包含有一第一端點及一第二端點，用來門鎖訊號；一比較器，其包含有二輸入端及一輸出端，用來於該二輸入端分別輸入該第一及第二端點之訊號，並比較該二訊號以於該輸出端輸出一比較訊號；二邏輯單元，用來儲存非揮發性資料，其包含有一字元線端及一位元線端，該字元線端係電連接至該比較器之輸出端，而該位元線端則分別電連接至該第一及第二端點。

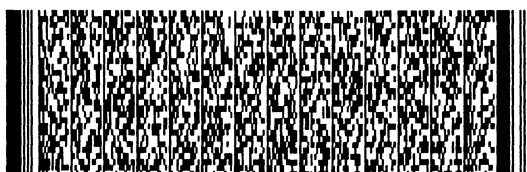
伍、(一)、本案代表圖為：第三圖

(二)、本案代表圖之元件代表符號簡單說明

20 選擇熔絲電路	22 門鎖器
24 比較器	26 第一邏輯元件
28 第二邏輯元件	

陸、英文發明摘要 (發明名稱：AN OPTION FUSE CIRCUIT USING STANDARD CMOS MANUFACTURING PROCESS)

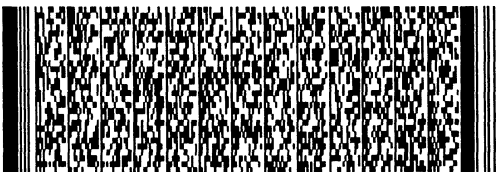
An option fuse circuit using standard CMOS manufacturing process. The option fuse circuit contains a latch for latching signals, which includes a first endpoint and a second endpoint. The option fuse circuit also contains a comparator, which includes two input nodes and an output node. The comparator is inputted at the two input nodes with signals from the first and the



四、中文發明摘要 (發明名稱：使用標準互補型金屬氧化層半導體製程之選擇熔絲電路)

陸、英文發明摘要 (發明名稱：AN OPTION FUSE CIRCUIT USING STANDARD CMOS MANUFACTURING PROCESS)

second endpoints, and compares the two signals in order to output a comparison signal. The option fuse circuit further contains two logic cells for storing non-volatile data. The logic cell includes a word line end and a bit line end. The word line ends are electrically connected to the output end of the comparator, while the bit line ends are electrically connected to the first and the second



四、中文發明摘要 (發明名稱：使用標準互補型金屬氧化層半導體製程之選擇熔絲電路)

陸、英文發明摘要 (發明名稱：AN OPTION FUSE CIRCUIT USING STANDARD CMOS MANUFACTURING PROCESS)

endpoints, respectively.



六、申請專利範圍

1. 一種選擇熔絲電路 (Option Fuse Circuit)，其係利用標準互補型金屬氧化層半導體製程 (Standard CMOS Manufacturing Process) 技術製造，該選擇熔絲電路包含有：

一門鎖器 (Latch)，其包含有一第一端點及一第二端點，用來門鎖該第一及第二端點之訊號；

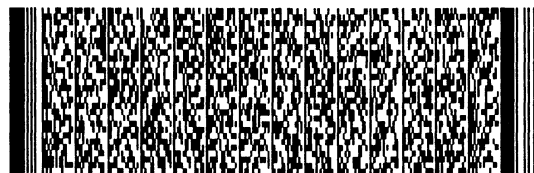
一比較器 (Comparator)，其包含有二輸入端及一輸出端，該二輸入端分別電連接至該第一及第二端點，該比較器係用來於該二輸入端分別輸入該第一及第二端點之訊號，並比較該二訊號以於該輸出端輸出一比較訊號；

一第一邏輯單元 (Logic Cell)，用來儲存一非揮發性資料，該第一邏輯單元包含有一第一字元線 (Word Line) 端及一第一位元線 (Bit Line) 端，該第一字元線端係電連接至該比較器之輸出端以輸入該比較訊號，而該第一位元線端則電連接至該第一端點；以及

一第二邏輯單元，用來儲存一非揮發性資料，該第二邏輯單元包含有一第二字元線端及一第二位元線端，該第二字元線端係電連接至該比較器之輸出端以輸入該比較訊號，而該第二位元線端則電連接至該第二端點；

其中該第一邏輯單元中儲存之資料係與該第二邏輯單元中儲存之資料係為互補。

2. 如申請專利範圍第 1 項所述之選擇熔絲電路，其處於讀取模式 (Read Mode) 且當電源啟動時，一電源供應電



六、申請專利範圍

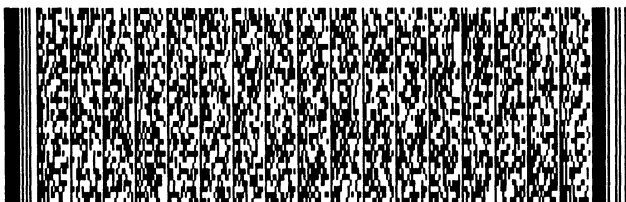
壓會隨時間而遞增直到到達一預設值，該第一及第二位元線端之電壓值則會隨著該電源供應電壓而遞增。

3. 如申請專利範圍第2項所述之選擇熔絲電路，若該第一及第二位元線端之電壓於遞增過程中彼此相等，則由該比較器所輸出之該比較訊號會使該第一及第二邏輯單元處於通路 (Turn-On) 狀態，而該第一端點會感應出該第一邏輯單元所儲存之資料，該第二端點會感應出該第二邏輯單元所儲存之資料。

4. 如申請專利範圍第2項所述之選擇熔絲電路，若該第一及第二位元線端之電壓於遞增過程中彼此有差異，則由該比較器所輸出之該比較訊號會使該第一及第二邏輯單元處於斷路 (Turn-Off) 狀態，而該門鎖器會門鎖該第一及第二端點之訊號。

5. 如申請專利範圍第1項所述之選擇熔絲電路，其中該門鎖器係由二反向器反相連接而成。

6. 如申請專利範圍第5項所述之選擇熔絲電路，其中該反向器係由一 P型金屬氧化層半導體電晶體 (PMOS Transistor) 及一 N型金屬氧化層半導體電晶體 (NMOS Transistor) 所組成，該二電晶體之閘極相互電連接以為該反向器之一輸入端，該二電晶體之汲極相互電連接以為



六、申請專利範圍

該反向器之一輸出端。

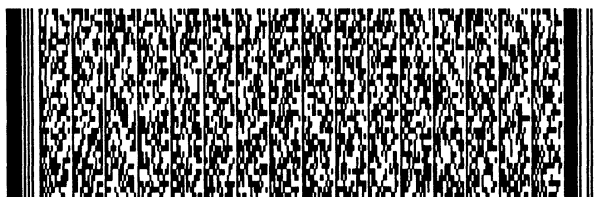
7. 如申請專利範圍第1項所述之選擇熔絲電路，其中該比較器包含有複數個邏輯閘（Logic Gate），用來比較該第一及第二端點之訊號以於該輸出端輸出該比較訊號。

8. 如申請專利範圍第1項所述之選擇熔絲電路，其中該比較器另包含有一模式選擇輸入端，用來決定該選擇熔絲電路係處於寫入模式（Program Mode）或是處於讀取模式。

9. 如申請專利範圍第1項所述之選擇熔絲電路，其中該比較器另包含有一資料寫入輸入端，用來輸入該選擇熔絲電路處於寫入模式時欲寫入該第一及第二邏輯單元之資料。

10. 如申請專利範圍第1項所述之選擇熔絲電路，其中該第一及第二邏輯單元係為單次可程式化邏輯單元（One-Time Programmable Cell）。

11. 如申請專利範圍第10項所述之選擇熔絲電路，其中該單次可程式化邏輯單元包含有一第一電晶體及一第二電晶體，該第一電晶體之源極電連接至一電源供應電壓，該第一電晶體之閘極作為該邏輯單元之字元線端，該第一電晶



六、申請專利範圍

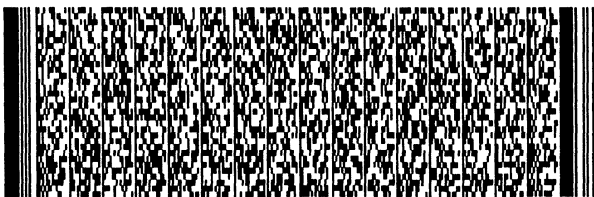
體之汲極則電連接至該第二電晶體之源極，該第二電晶體之閘極係浮接（Floating），而該第二電晶體之汲極則作為該邏輯單元之位元線端。

12. 如申請專利範圍第11項所述之選擇熔絲電路，其中該第一及第二電晶體係為P型金屬氧化層半導體電晶體，而該第一電晶體之源極係電連接至一高電壓。

13. 如申請專利範圍第11項所述之選擇熔絲電路，其中該第一及第二電晶體係為N型金屬氧化層半導體電晶體，而該第一電晶體之源極係電連接至一接地電壓（0V）。

14. 如申請專利範圍第1項所述之選擇熔絲電路，其另包含有一初始模組，電連接至該第一及第二邏輯單元，用來於寫入模式時將資料寫入該第一及第二邏輯單元。

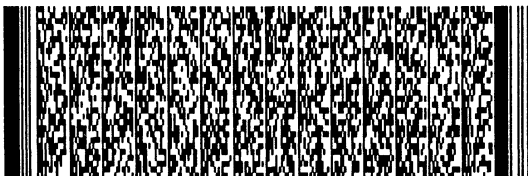
15. 如申請專利範圍第14項所述之選擇熔絲電路，其中該初始模組包含有一第一初始電晶體及一第二初始電晶體，該第一及第二初始電晶體係為N型金屬氧化層半導體電晶體，其汲極分別電連接至該第一及第二位元線端，其源極則均電連接至一接地電壓，而該比較器則另包含有二相位相反之初始輸出端，分別電連接至該第一及第二初始電晶體之閘極，用來控制該第一及第二初始電晶體之導通以將該資料寫入該第一及第二邏輯單元。

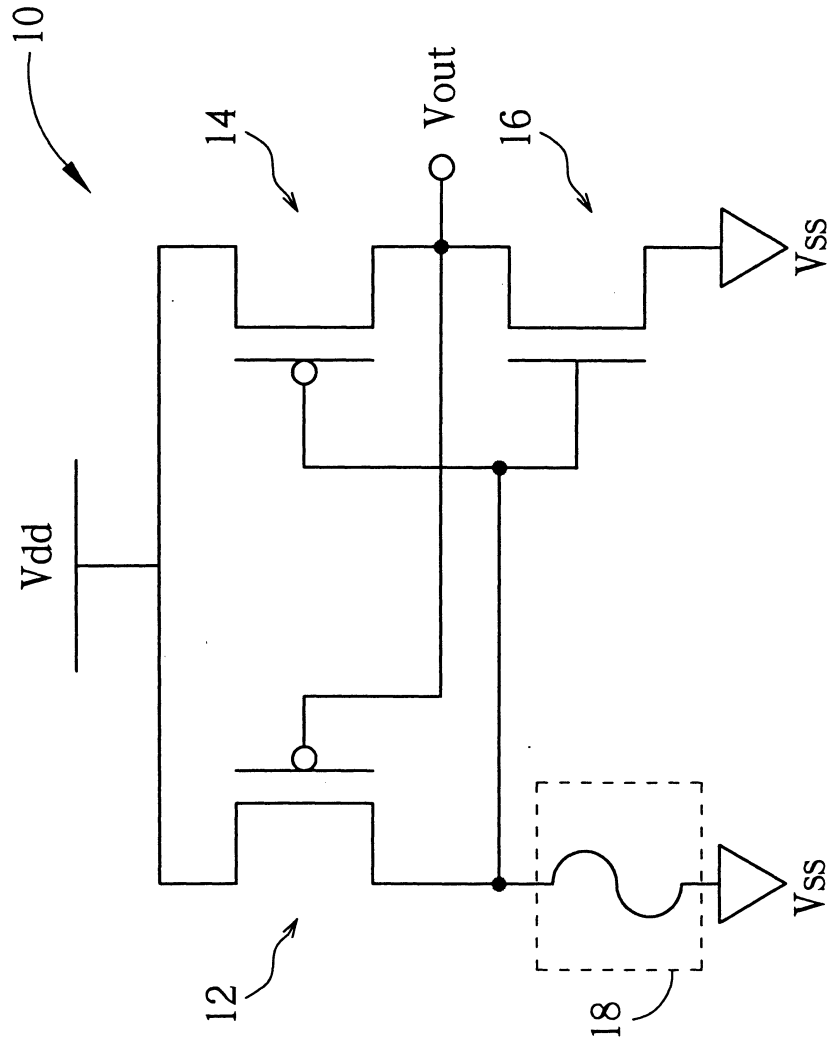


六、申請專利範圍

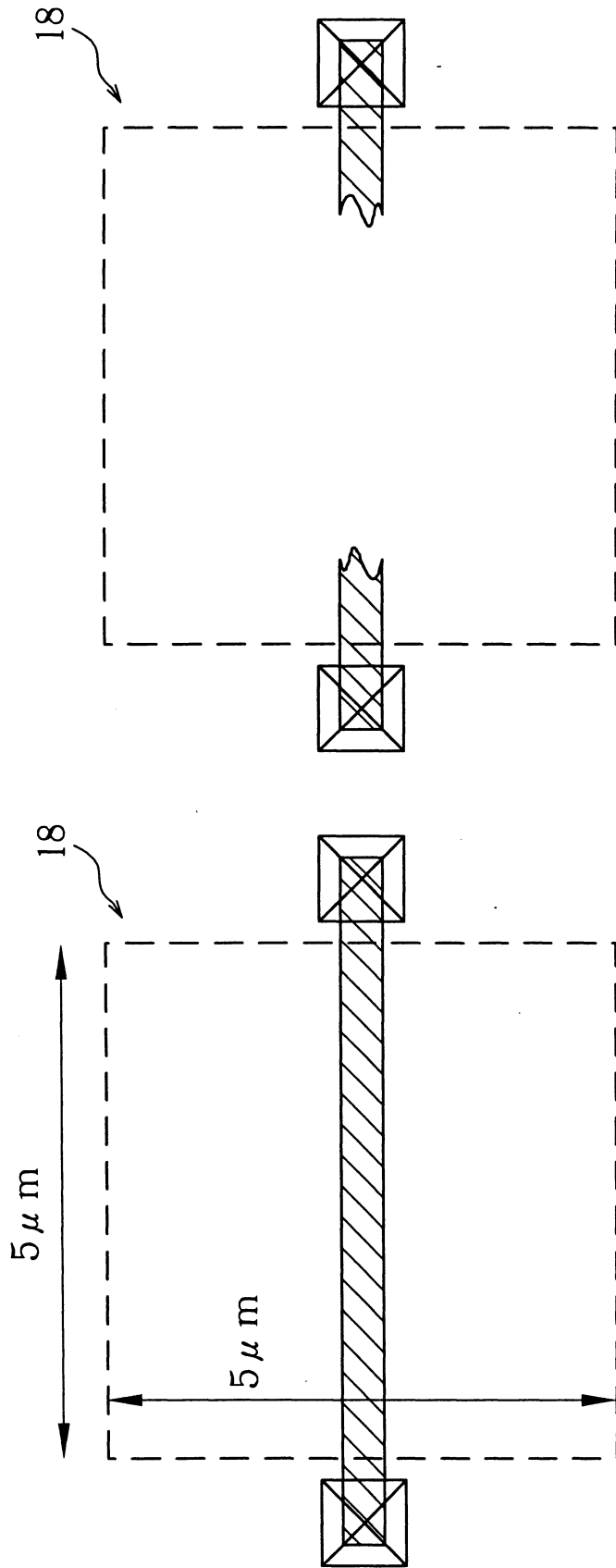
16. 如申請專利範圍第14項所述之選擇熔絲電路，其中該初始模組包含有一第一初始電晶體及一第二初始電晶體，該第一及第二初始電晶體係為P型金屬氧化層半導體電晶體，其汲極分別電連接至該第一及第二位元線端，其源極則均電連接至一高電壓，而該比較器則另包含有二相位相反之初始輸出端，分別電連接至該第一及第二初始電晶體之閘極，用來控制該第一及第二初始電晶體之導通以將該資料寫入該第一及第二邏輯單元。

17. 如申請專利範圍第1項所述之選擇熔絲電路，其中該比較器另包含有一訊號輸出端，用來輸出該閃鎖器閃鎖之訊號。



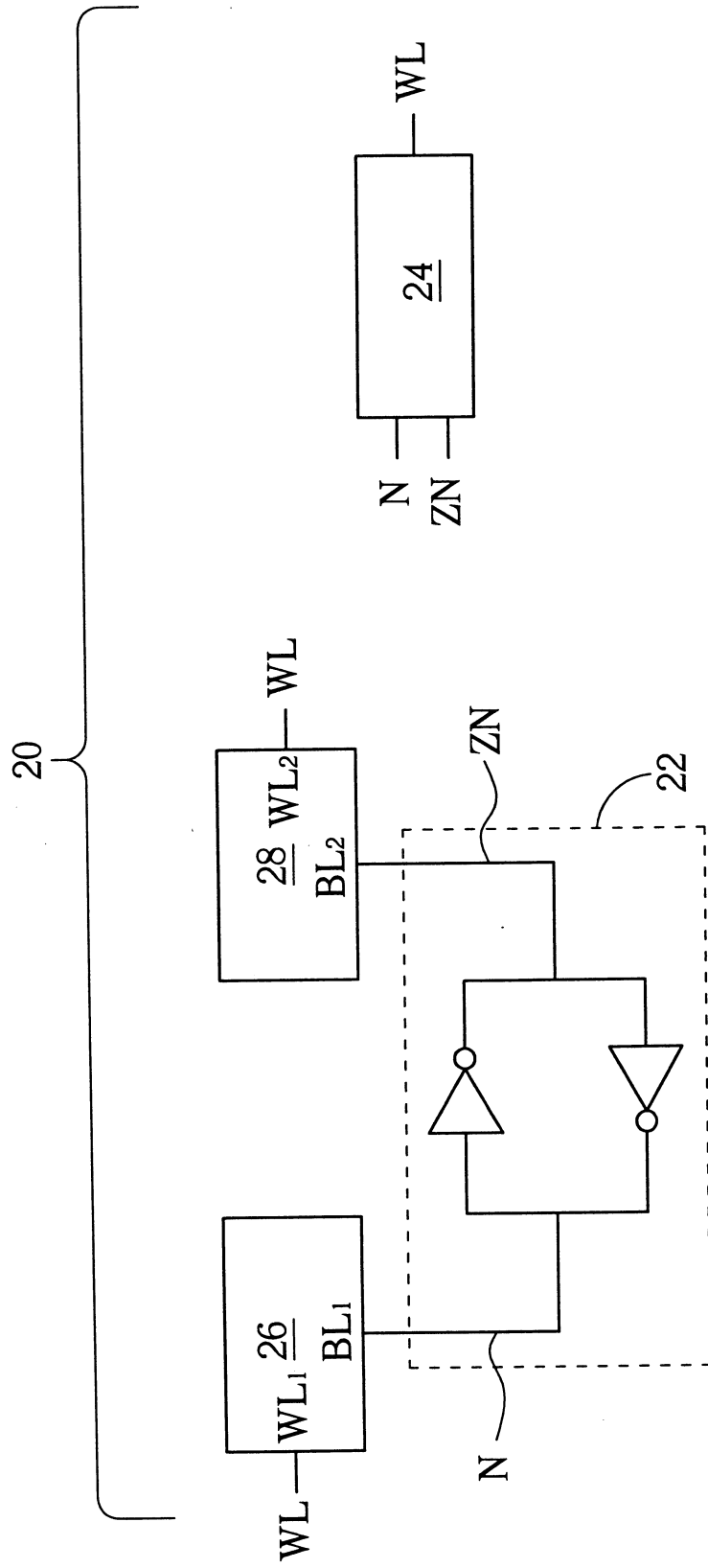


圖一

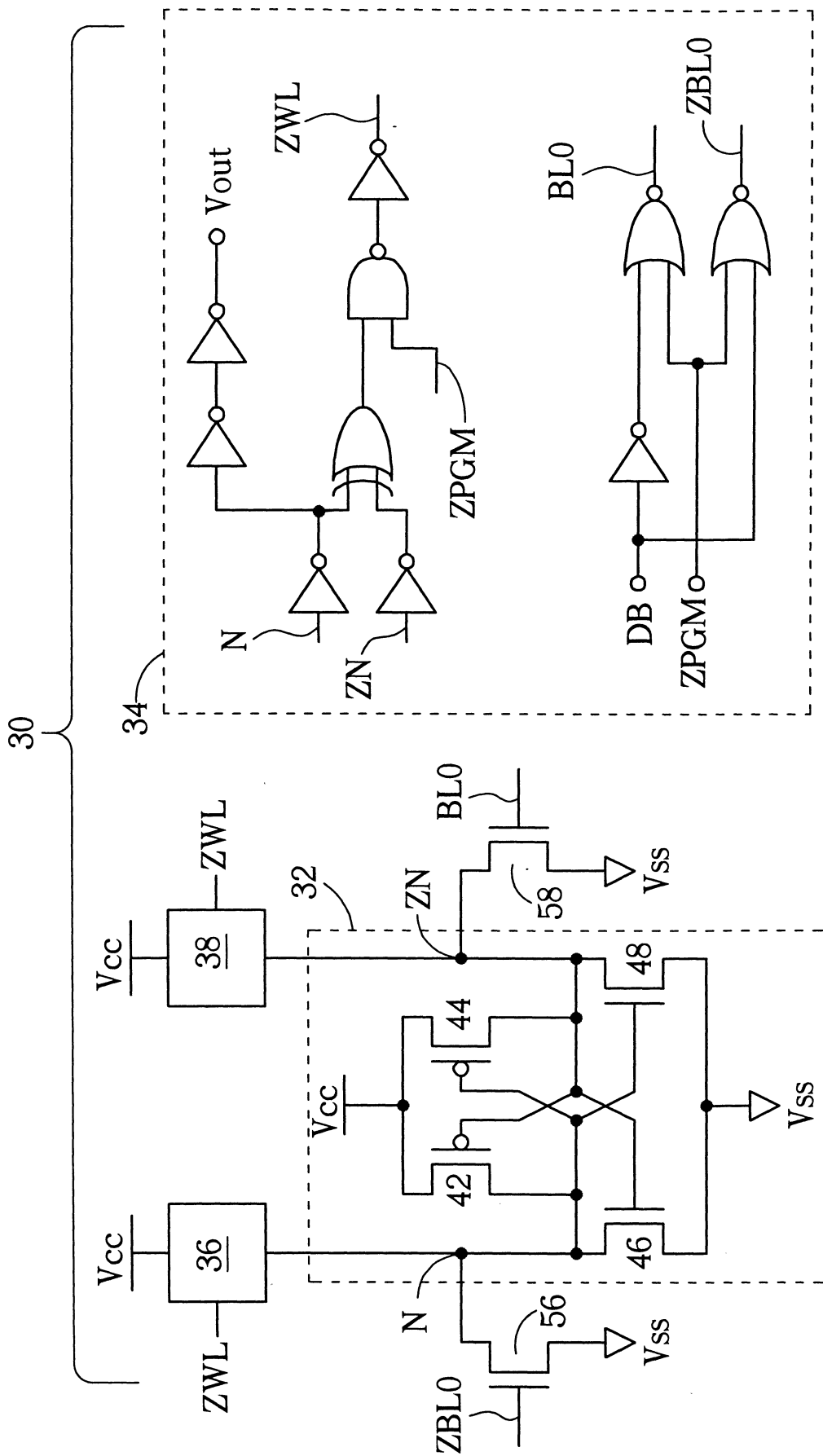


圖二(B)

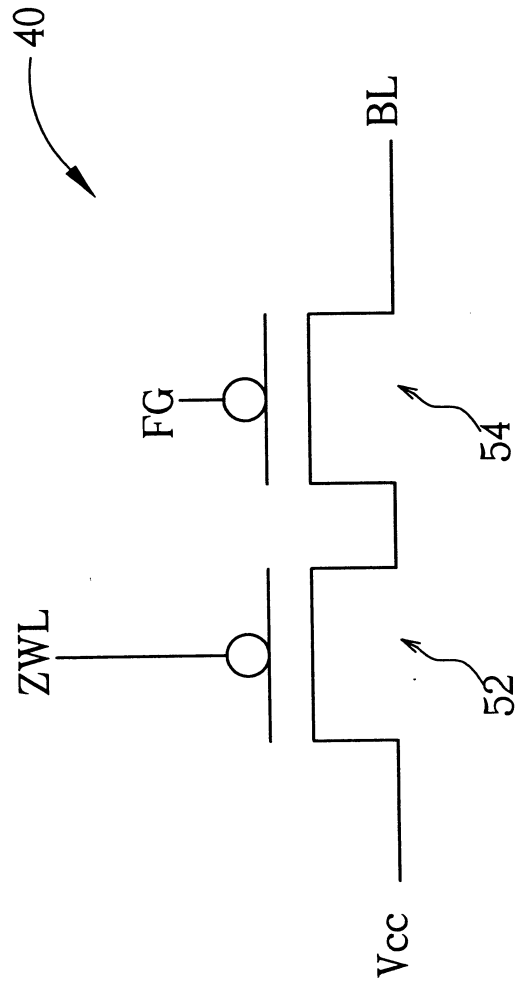
圖二(A)



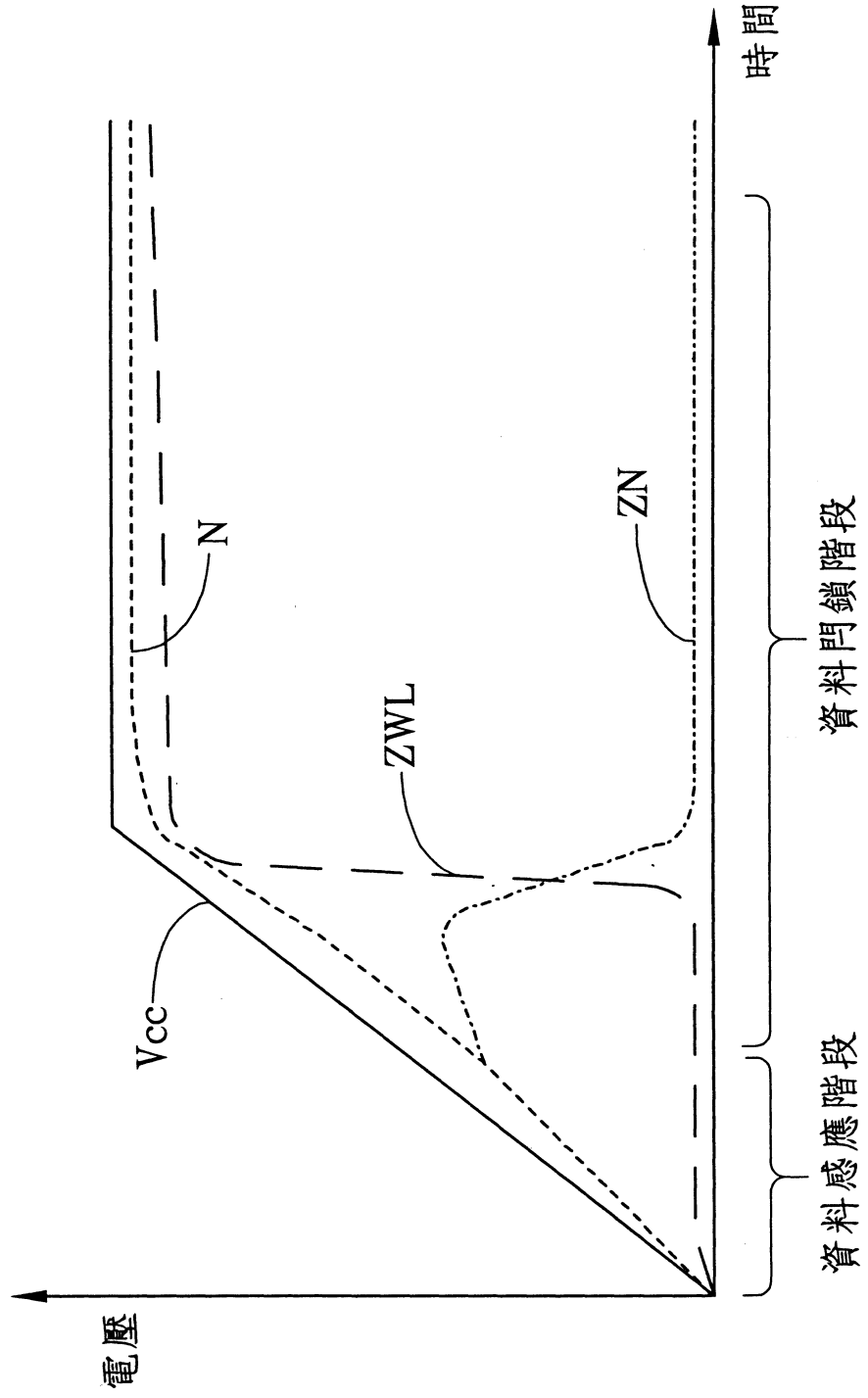
圖三



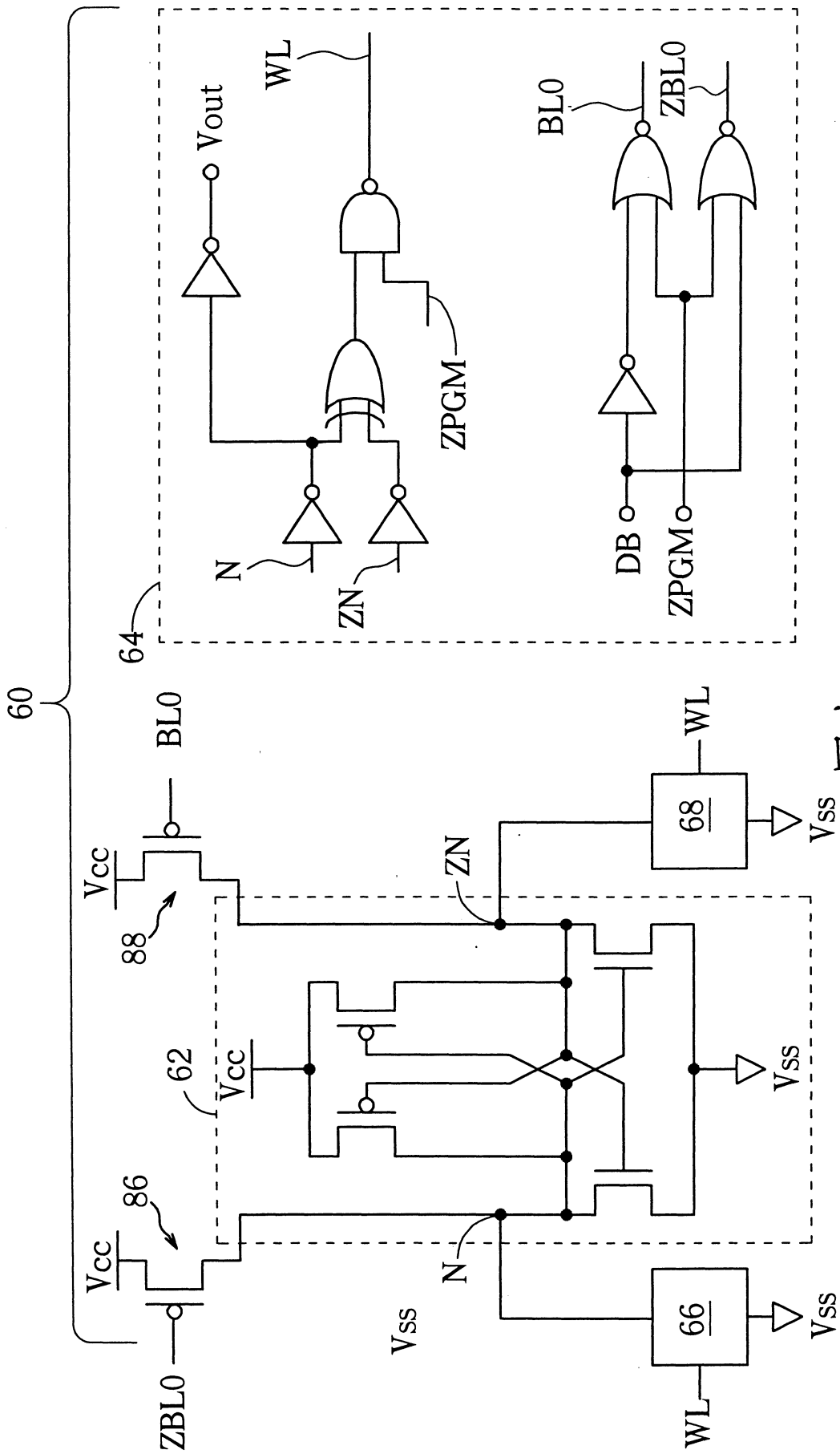
圖四



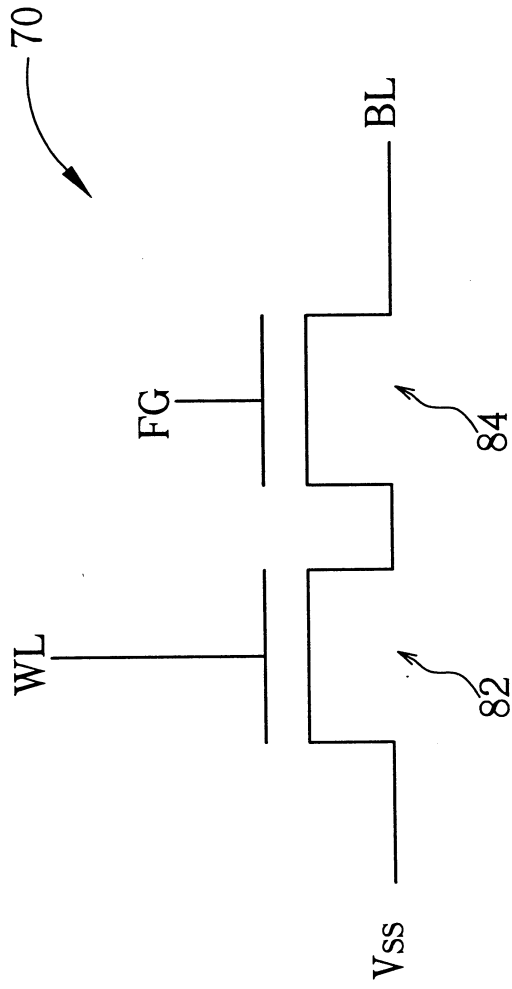
圖五



圖六



圖七



圖八