



(12)发明专利

(10)授权公告号 CN 106611767 B

(45)授权公告日 2020.09.22

(21)申请号 201610487376.9
 (22)申请日 2016.06.28
 (65)同一申请的已公布的文献号
 申请公布号 CN 106611767 A
 (43)申请公布日 2017.05.03
 (30)优先权数据
 10-2015-0145911 2015.10.20 KR
 (73)专利权人 爱思开海力士有限公司
 地址 韩国京畿道
 (72)发明人 李宰演
 (74)专利代理机构 北京弘权知识产权代理事务
 所(普通合伙) 11363
 代理人 李少丹 许伟群

(51)Int.Cl.
 H01L 27/24(2006.01)
 H01L 27/22(2006.01)
 H01L 27/115(2017.01)
 H01L 21/768(2006.01)
 G11C 13/00(2006.01)
 G11C 11/02(2006.01)
 G11C 16/02(2006.01)

(56)对比文件
 US 2013/0200322 A1,2013.08.08
 US 2004/0232463 A1,2004.11.25
 CN 101506980 A,2009.08.12
 CN 1670859 A,2005.09.21

审查员 付伍君

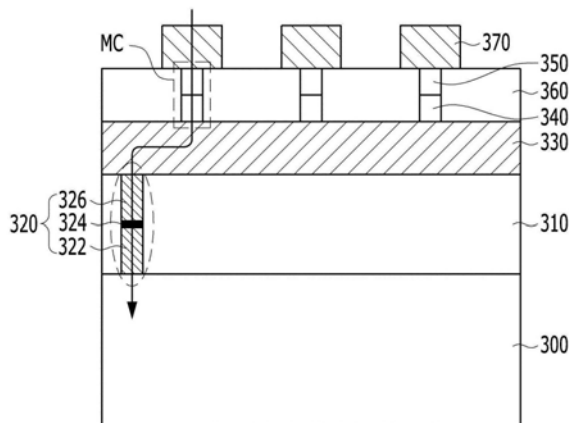
权利要求书3页 说明书18页 附图11页

(54)发明名称

电子设备及其制造方法

(57)摘要

提供了一种电子设备及其制造方法。根据所公开技术的实施方式的电子设备是包括半导体存储器的电子设备,其中,半导体存储器包括:多个第一线,沿着第一方向延伸;多个第二线,沿着与第一方向交叉的第二方向延伸;多个可变电阻元件,设置在第一线与第二线之间且位于第一线和第二线的交叉处;以及插塞,连接到每个第一线的第一部分,其中,插塞包括导电层和具有比导电层的电阻值高的电阻值的材料层。



1. 一种包括半导体存储器的电子设备,其中,半导体存储器包括:
多个第一线,沿着第一方向延伸;
多个第二线,沿着与第一方向垂直的第二方向延伸;
多个可变电阻元件,设置在第一线与第二线之间;以及
插塞,连接到每个第一线的第一部分,其中,插塞沿第三方向与可变电阻元件分隔开、且沿第三方向不与可变电阻元件交迭,第三方向与第一方向和第二方向垂直,
其中,每个第一线沿第三方向设置在可变电阻元件与插塞之间;
其中,插塞包括导电层和具有比导电层的电阻值高的电阻值的材料层;
其中,在用于将数据储存在可变电阻元件中的写入操作中,插塞的导电层和材料层被用作电流路径,以及
其中,半导体存储器还包括导电插塞,导电插塞连接到每个第一线的第二部分,第二部分与第一部分分开。
2. 根据权利要求1所述的电子设备,其中,材料层包括电介质材料或半导体材料。
3. 根据权利要求1所述的电子设备,其中,材料层对半导体存储器的操作电流表现出类欧姆特征。
4. 根据权利要求1所述的电子设备,其中,导电层和材料层沿第三方向层叠。
5. 根据权利要求1所述的电子设备,其中,材料层的厚度小于导电层的厚度。
6. 根据权利要求1所述的电子设备,其中,在用于读取储存在可变电阻元件中的数据的读取操作中,导电插塞被用作电流路径。
7. 根据权利要求1所述的电子设备,其中,插塞和导电插塞设置在第一方向上,所述多个可变电阻元件设置在插塞与导电插塞之间。
8. 根据权利要求1所述的电子设备,其中,插塞和导电插塞相对于在第一方向上设置在插塞与导电插塞之间的可变电阻元件和第二线而彼此相对地设置,以及插塞和导电插塞在第一线、可变电阻元件和第二线层叠所沿的第三方向上具有基本相同的厚度。
9. 根据权利要求1所述的电子设备,其中,导电层的侧壁与材料层的侧壁对准。
10. 一种包括半导体存储器的电子设备,其中,半导体存储器包括:
多个第一线,沿着第一方向延伸;
多个第二线,沿着与第一方向交叉的第二方向延伸;
多个可变电阻元件,设置在第一线与第二线之间且位于第一线和第二线的交叉处;以及
插塞,连接到每个第一线的第一部分,其中,插塞包括导电层和具有比导电层的电阻值高的电阻值的材料层,
其中,导电层包括第一导电层和第二导电层,以及材料层设置在第一导电层与第二导电层之间。
11. 根据权利要求10所述的电子设备,其中,材料层还沿着第二导电层的侧壁延伸。
12. 根据权利要求1所述的电子设备,其中,材料层位于插塞的一端或两端。
13. 根据权利要求1所述的电子设备,其中,
所述多个第二线被划分为第一组和第二组;
电子设备包括第一区块区域和第二区块区域,第一区块区域包括位于所述多个第一线

与第一组的第二线的交叉处的可变电阻元件,第二区块区域包括位于所述多个第一线与第二组的第二线的交叉处的可变电阻元件;以及

插塞位于第一区块区域与第二区块区域之间的第一区域中,或者位于与第一区块区域和第二区块区域的两侧相对应的第二区域中。

14. 根据权利要求13所述的电子设备,其中,

半导体存储器还包括连接到每个第一线的第二部分的导电插塞;以及

如果插塞位于第一区域和第二区域中的一个中,则导电插塞位于第一区域和第二区域中的另一个中。

15. 根据权利要求1所述的电子设备,还包括微处理器,微处理器包括:

控制单元,被配置成从微处理器的外部接收包括命令的信号,以及执行命令的提取、解码或者对微处理器的信号的输入或输出的控制;

操作单元,被配置成基于控制单元解码命令的结果来执行操作;以及

存储单元,被配置成储存用于执行操作的数据、与执行操作的结果相对应的数据或者被执行操作的数据的地址,

其中,半导体存储器是微处理器中的存储单元的部件。

16. 根据权利要求1所述的电子设备,还包括处理器,处理器包括:

核心单元,被配置成基于从处理器的外部输入的命令来通过使用数据执行与命令相对应的操作;

高速缓存存储单元,被配置成储存用于执行操作的数据、与执行操作的结果相对应的数据或者被执行操作的数据的地址;以及

总线接口,连接在核心单元与高速缓存存储单元之间,以及被配置成在核心单元与高速缓存存储单元之间传输数据,

其中,半导体存储器是处理器中的高速缓存存储单元的部件。

17. 根据权利要求1所述的电子设备,还包括处理系统,处理系统包括:

处理器,被配置成将通过处理器接收的命令解码,以及基于将命令解码的结果来控制针对信息的操作;

辅助存储器件,被配置成储存用于将命令解码的程序和信息;

主存储器件,被配置成调用和储存来自辅助存储器件的程序和信息,使得处理器可以在执行程序时利用程序和信息来执行操作;以及

接口设备,被配置成执行处理器、辅助存储器件和主存储器件中的至少一个与外部之间的通信,

其中,半导体存储器是处理系统中的辅助存储器件或主存储器件的部件。

18. 根据权利要求1所述的电子设备,还包括数据储存系统,数据储存系统包括:

储存设备,被配置成储存数据以及不管电源如何都保存储存的数据;

控制器,被配置成根据从外部输入的命令来控制数据向储存设备的输入和数据从储存设备的输出;

暂时储存设备,被配置成暂时储存在储存设备与外部之间交换的数据;以及

接口,被配置成执行储存设备、控制器和暂时储存设备中的至少一个与外部之间的通信,

其中,半导体存储器是数据储存系统中的储存设备或暂时储存设备的部件。

19.根据权利要求1所述的电子设备,还包括存储系统,存储系统包括:

存储器,被配置成储存数据以及不管电源如何都保存储存的数据;

存储器控制器,被配置成根据从外部输入的命令来控制数据向存储器的输入和数据从存储器的输出;

缓冲存储器,被配置成缓冲在储存器与外部之间交换的数据;以及

接口,被配置成执行存储器、存储器控制器和缓冲存储器中的至少一个与外部之间的通信,

其中,半导体存储器是存储系统中的存储器或缓冲存储器的部件。

电子设备及其制造方法

[0001] 相关申请的交叉引用

[0002] 本申请要求2015年10月20日提交的第10-2015-0145911号、发明名称为“电子设备及其制造方法”的韩国专利申请的优先权,其通过引用整体合并于此。

技术领域

[0003] 本专利文件涉及存储电路或器件以及它们在电子设备或系统中的应用。

背景技术

[0004] 近来,随着电子电器朝着微型化、低功耗、高性能、多功能等的发展,本领域已需要能够在诸如计算机、便携式通信设备等的各种电子电器中储存信息的半导体器件,且已经半导体器件开展了研发。这种半导体器件包括可以根据施加的电压或电流在不同的电阻状态之间切换的特性来储存数据的半导体器件,例如,RRAM(电阻式随机存取存储器)、PRAM(相变随机存取存储器)、FRAM(铁电随机存取存储器)、MRAM(磁随机存取存储器)、电子熔丝等。

发明内容

[0005] 本专利文件中的公开技术包括存储电路或器件、它们在电子设备或系统中的应用以及电子设备的各种实施方式,其中,半导体存储器的操作特性和可靠性可以得到改善。

[0006] 在实施方式中,提供了一种包括半导体存储器的电子设备,其中,半导体存储器包括:多个第一线,沿着第一方向延伸;多个第二线,沿着与第一方向交叉的第二方向延伸;多个可变电阻元件,设置在第一线与第二线之间且位于第一线和第二线的交叉处;以及插塞,连接到每个第一线的第一部分,其中,插塞包括导电层和具有比导电层的电阻值高的电阻值的材料层。

[0007] 上述电子设备的实施方式可以包括以下实施方式中的一种或更多种。

[0008] 材料层包括电介质材料或半导体材料。材料层对半导体存储器的操作电流表现出类欧姆特征。材料层在半导体存储器的操作电流下不分解。在用于将数据储存在可变电阻元件中的写入操作中,插塞被用作电流路径。半导体存储器还包括与每个第一线的第二部分连接的导电插塞,第二部分与第一部分分开。在用于将数据储存在可变电阻元件中的写入操作中,插塞被用作电流路径,以及在用于读取储存在可变电阻元件中的数据的读取操作中,导电插塞被用作电流路径。插塞和导电插塞设置在第一方向上,所述多个可变电阻元件设置在插塞与导电插塞之间。插塞和导电插塞相对于在第一方向上设置在插塞与导电插塞之间的可变电阻元件和第二线而彼此相对地设置,插塞和导电插塞在第一线、可变电阻元件和第二线层叠所沿的第三方向上具有基本相同的厚度。导电层的侧壁与材料层的侧壁对准。导电层包括第一导电层和第二导电层,材料层设置在第一导电层与第二导电层之间。材料层还沿着第二导电层的侧壁延伸。材料层位于插塞的一端或两端。所述多个第二线被划分为第一组和第二组;电子设备包括第一区块区域和第二区块区域,第一区块区域包括

位于所述多个第一线与第一组的第二线的交叉处的可变电阻元件,第二区块区域包括位于所述多个第一线与第二组的第二线的交叉处的可变电阻元件;以及插塞位于第一区块区域与第二区块区域之间的第一区域中,或者位于与第一区块区域和第二区块区域的两侧相对应的第二区域中。半导体存储器还包括连接到每个第一线的第二部分的导电插塞;以及如果插塞位于第一区域和第二区域中的一个中,则导电插塞位于第一区域和第二区域中的另一个中。

[0009] 电子设备还可以包括微处理器,微处理器包括:控制单元,被配置成从微处理器的外部接收包括命令的信号,以及执行对命令的提取、解码或者对微处理器的信号的输入或输出的控制;操作单元,被配置成基于控制单元解码命令的结果来执行操作;以及存储单元,被配置成储存用于执行操作的数据、与执行操作的结果相对应的数据或者被执行操作的数据的地址,其中,半导体存储器是微处理器中的存储单元的部件。

[0010] 电子设备还可以包括处理器,处理器包括:核心单元,被配置成基于从处理器的外部输入的命令来利用数据执行与命令相对应的操作;高速缓存存储单元,被配置成储存用于执行操作的数据、与执行操作的结果相对应的数据或者被执行操作的数据的地址;以及总线接口,连接在核心单元与高速缓存存储单元之间,以及被配置成在核心单元与高速缓存存储单元之间传输数据,其中,半导体存储器是处理器中的高速缓存存储单元的部件。

[0011] 电子设备还可以包括处理系统,处理系统包括:处理器,被配置成将处理器接收的命令解码以及基于将命令解码的结果来控制针对信息的操作;辅助存储器件,被配置成储存用于将命令解码的程序和信息;主存储器件,被配置成调用和储存来自辅助存储器件的程序和信息,使得处理器可以在执行程序时利用程序和信息来执行操作;以及接口设备,被配置成执行处理器、辅助存储器件和主存储器件中的至少一个与外部之间的通信,其中,半导体存储器是处理系统中的辅助存储器件或主存储器件的部件。

[0012] 电子设备还可以包括数据储存系统,数据储存系统包括:储存设备,被配置成储存数据以及不管电源如何都保存储存的数据;控制器,被配置成根据从外部输入的命令来控制数据向储存设备的输入和数据从储存设备的输出;暂时储存设备,被配置成暂时储存在储存设备与外部之间交换的数据;以及接口,被配置成执行储存设备、控制器和暂时储存设备中的至少一个与外部之间的通信,其中,半导体存储器是数据储存系统中的储存设备或暂时储存设备的部件。

[0013] 电子设备还可以包括存储系统,存储系统包括:存储器,被配置成储存数据以及不管电源如何都保存储存的数据;存储器控制器,被配置成根据从外部输入的命令来控制数据向存储器的输入和数据从存储器的输出;缓冲存储器,被配置成缓冲存储器与外部之间交换的数据;以及接口,被配置成执行存储器、存储器控制器和缓冲存储器中的至少一个与外部之间的通信,其中,半导体存储器是存储系统中的存储器或缓冲存储器的部件。

[0014] 在实施方式中,一种制造包括半导体存储器的电子设备的方法包括:在衬底之上形成插塞,插塞包括导电层和具有比导电层的电阻值高的电阻值的材料层;在插塞之上形成第一线,第一线沿着第一方向延伸;在第一线之上形成可变电阻元件;以及在可变电阻元件之上形成第二线,第二线沿着与第一方向交叉的第二方向延伸。

[0015] 上述方法的实施方式可以包括以下实施方式中的一种或更多种。

[0016] 材料层包括电介质材料或半导体材料。形成插塞包括:在衬底之上形成层间绝缘

层;刻蚀层间绝缘层以形成贯通层间绝缘层的孔;形成填充孔的下部的导电层;以及形成填充其中形成有导电层的孔的其余部分的至少一部分的材料层。材料层填充孔的其余部分的所述部分,形成插塞还包括:在形成材料层之后,形成完全填充孔的其余部分的另外的导电层。材料层沿着其中形成有导电层的孔的其余部分的侧壁和底表面形成,另外的导电层的侧壁和底表面被材料层包围。形成插塞包括:在衬底之上形成层间绝缘层;刻蚀层间绝缘层以形成贯通层间绝缘层的孔;形成填充孔的下部的材料层;以及形成填充孔的其余部分的导电层。所述方法还包括在衬底之上形成与第一线连接的导电插塞。形成插塞和导电插塞包括:在衬底之上形成层间绝缘层;选择性地刻蚀层间绝缘层,以形成第一孔和第二孔,第一孔提供其中要形成插塞的区域,第二孔提供其中要形成导电插塞的区域;用导电材料填充第一孔和第二孔;形成具有暴露出第一孔的开口的掩模图案;去除第一孔中的导电材料的部分;以及形成将导电材料被去除的第一孔的部分的至少一部分填充的材料层。开口具有比第一孔的宽度大的宽度。所述方法还包括:形成布置在第二方向上的多个第一孔,其中,暴露出所述多个第一孔的多个开口每个都具有在第二方向上延伸的线形。插塞和导电插塞设置在第一方向上,可变电阻元件设置在插塞与导电插塞之间。

[0017] 在附图、说明书和权利要求中更详细地描述这些和其他方面、实施方式和相关优点。

附图说明

- [0018] 图1A是说明第一比较例的可变电阻元件的截面图。
- [0019] 图1B是解释图1A中所示的可变电阻元件的操作方法的曲线图。
- [0020] 图2A是说明第二比较例的可变电阻元件的截面图。
- [0021] 图2B是解释图2A中所示的可变电阻元件的操作方法的曲线图。
- [0022] 图3A是说明根据所公开技术的实施方式的半导体器件的俯视平面图。
- [0023] 图3B是沿着图3A的线A-A'截取的截面图。
- [0024] 图4A是说明根据所公开技术的另一个实施方式的半导体器件的俯视平面图。
- [0025] 图4B是沿着图4A的线B-B'截取的截面图。
- [0026] 图4C至4D是示出图4A和4B中所示的半导体器件的制造方法的截面图。
- [0027] 图5是示出根据实施方式的包括电阻元件的插塞的截面图。
- [0028] 图6是示出根据另一个实施方式的包括电阻元件的插塞的截面图。
- [0029] 图7是说明根据所公开技术的另一个实施方式的半导体器件的俯视平面图。
- [0030] 图8是基于所公开技术的实施存储电路的微处理器的配置图的示例。
- [0031] 图9是基于所公开技术的实施存储电路的处理器配置图的示例。
- [0032] 图10是基于所公开技术的实施存储电路的系统的配置图的示例。
- [0033] 图11是基于所公开技术的实施存储电路的数据储存系统的配置图的示例。
- [0034] 图12是基于所公开技术的实施存储电路的存储系统的配置图的示例。

具体实施方式

- [0035] 下文参照附图详细描述所公开技术的各个示例和实施方式。
- [0036] 附图可以无需按比例绘制,且在某些情况中,附图中的至少一些结构的比例可以

放大,以便清楚地图示所描述的示例或实施方式的某些特征。在附图或描述中呈现具有多层结构中的两层或更多层的具体示例中,所示的这些层的相对位置关系或布置层的顺序反映出描述或图示的示例的特定实施方式,不同的相对位置关系或布置层的顺序是可能的。此外,描述或图示的多层结构的示例可以不反映出在特定多层结构中存在的的所有层(例如,一个或更多个另外的层可以存在于两个图示的层之间)。作为具体的示例,当描述或图示的多层结构中的第一层被称为“在”第二层“上”或“之上”或者“在”衬底“上”或“之上”时,第一层可以直接形成在第二层或衬底上,但是还可以表示在第一层与第二层之间或在第一层与衬底之间可以存在一个或更多个其他中间层的结构。

[0037] 在描述所公开技术的实施方式之前,将描述比较例的可变电阻元件和操作该可变电阻元件的方法。

[0038] 图1A是说明第一比较例的可变电阻元件的截面图,图1B是解释图1A中所示的可变电阻元件的操作方法的曲线图。

[0039] 参见图1A,第一比较例的可变电阻元件包括第一电极11、与第一电极11 分隔开的第二电极14、设置在第一电极11与第二电极14之间的可变电阻层12 以及设置在可变电阻层12与第二电极14之间的选择元件层13。

[0040] 这里,第一电极11和第二电极14位于可变电阻元件的两端(例如,相对端),并且可以提供电压或电流到可变电阻元件。第一电极11和第二电极14可以由诸如金属、金属氮化物和它们的组合的各种导电材料中的任何导电材料形成。

[0041] 可变电阻层12可以具有根据经由第一电极11和第二电极14提供的电压或电流而在不同的电阻状态之间切换的可变电阻特性。可变电阻层12可以包括单层结构或多层结构,该单层结构或多层结构包括在RRAM、PRAM、FRAM、MRAM等中使用的各种材料中的任何材料。所述各种材料可以包括诸如过渡金属氧化物或基于钙钛矿的材料的金属氧化物、诸如基于硫族化合物的材料的相变材料、铁电材料和铁磁材料等。可以根据是否在可变电阻层12产生导电路径或者是否从可变电阻层12去除导电路径,来改变可变电阻层12的电阻状态。具体地,如果在可变电阻层12中产生穿过可变电阻层12的导电路径,则可变电阻层12可以具有低电阻状态。如果从可变电阻层12去除导电路径,则可变电阻层12可以具有高电阻状态。例如,如果可变电阻层12由包含大量氧空位的金属氧化物形成时,可以通过氧空位的移动来产生或去除导电路径。然而,实施方式不限于此,可以基于可变电阻层12的种类、结构或操作特性来以各种方式形成导电路径。

[0042] 选择元件层13可以连接到可变电阻层12的一端,以便控制对可变电阻层 12的访问。选择元件层13可以具有阈值开关特性。因此,当经由第一电极12 和第二电极14提供的电压或电流的大小低于特定的临界值时,选择元件层13 可以阻断电流流到可变电阻层12,以及当提供的电压或电流的大小超过特定的临界值时,选择元件层13可以使电流通过,因而通过的电流与提供的电压或电流的大小成正比地快速增加。选择元件层13可以包括具有相对宽的能带隙的隧穿电介质层。隧穿电介质层可以包括用作二极管的材料、诸如基于硫族化合物的材料的双向阈值开关(OST)材料、诸如含金属的基于硫族化合物的材料的混合离子电子传导(MIEC)材料、或者诸如NbO₂或VO₂、SiO₂、Al₂O₃等的金属绝缘体过渡材料。

[0043] 在图1A所示的第一比较例中,选择元件层13设置在可变电阻层12与第二电极14之间,但是它也可以设置在可变电阻层12与第一电极11之间。替换地,选择元件层13可以设置

在可变电阻层12与第一电极11之间,或者可以省略选择元件层13。

[0044] 在图1B中示出了图1A中所示的可变电阻元件的电流-电压曲线。

[0045] 参见图1B,可变电阻元件初始在高电阻状态(HRS)。当施加的电压达到具有第一极性的电压(例如,具有一定大小的正电压)时,可以执行设置操作,使得可变电阻元件的电阻状态从高电阻状态(HRS)改变为低电阻状态(LRS)。导致设置操作的所施加的电压在下文将称为“设置电压(Vset)”。

[0046] 即使施加的电压的电平减小,可变电阻元件的低电阻状态(LRS)也被保持。当施加的电压达到具有第二极性的电压(例如,具有特定大小的负电压)时,可以执行复位操作,使得可变电阻元件的电阻状态再次改变到高电阻状态(HRS)。在下文,导致复位操作的所施加的电压将称为“复位电压(Vreset)”。

[0047] 以此方式,可变电阻元件可以反复地,在高电阻状态(HRS)与低电阻状态(LRS)之间切换。因此,可变电阻元件可以用作根据电阻状态储存不同数据的非易失性存储单元,且即使在施加的电能消失时也保持储存的数据。在储存在可变电阻元件中的数据被读出的读取操作中,可以施加处于设置电压(Vset)与复位电压(Vreset)之间的读取电压(Vread)到可变电阻元件。因为读取操作中的可变电阻元件的电阻状态已经由读取操作之前执行的先前的写入操作来确定,因此当施加读取电压Vread到可变电阻元件时,可以基于在先前的写入操作中确定的电阻状态来从可变电阻元件读出不同的数据。

[0048] 同时,对可变电阻元件初始执行的设置操作可以称为形成操作。形成操作中使用的形成电压(Vforming)可以比设置电压(Vset)高。这是因为用于在可变电阻层12中形成初始的导电路径的操作可能需要比在后续设置操作中形成导电路径的电压高的电压。在形成操作之后执行的设置操作和复位操作中分别使用的设置电压(Vset)和复位电压(Vreset)中的每个可以保持在基本恒定的电平。

[0049] 然而,上述第一比较例的可变电阻元件具有的问题在于,在诸如形成操作和/或设置操作(其中可变电阻元件的电阻状态从高电阻状态(HRS)改变为低电阻状态(LRS))(见图1B中的①)的操作中发生高的过冲电流(overshooting current)。过冲电流的大小可以比遵循电流(CC,compliance current)大很多。这种过冲电流可以增加可变电阻层12中产生的导电路径的尺寸,导致可变电阻元件的截止电流(off current)增加。当可变电阻元件的截止电流增加时,经由可变电阻元件的电流泄漏可以增加,数据读取裕度可以由于导通电流(on current)与截止电流之间的差而增加。

[0050] 图2A是说明第二比较例的可变电阻元件的截面图,图2B是说明图2A中所示的可变电阻元件的操作方法的曲线图。提供第二比较例以说明第一比较例的问题的潜在解决方法。在以下图2A和2B的描述中,将省略与第一比较例的部件基本相同的部件的详细描述。

[0051] 参见图2A,第二比较例的可变电阻元件包括第一电极21、与第一电极21分分隔的第二电极24、设置在第一电极21与第二电极24之间的可变电阻层22、以及夹在可变电阻层22与第二电极24之间的选择元件层23。

[0052] 这里,第一电极21可以包括第一子电极21A、与第一子电极21A分分隔的第二子电极21C、以及夹在第一子电极21A与第二子电极21C之间的材料层21B。第一子电极21A、材料层21B以及第二子电极21C可以顺序地布置在与第一电极21、可变电阻层22、选择元件层23以及第二电极24顺序地布置所沿的方向相同的方向上。

[0053] 第一子电极21A和第二子电极21C可以由包括金属、金属氮化物和它们的组合的各种导电材料中的任何导电材料形成。

[0054] 材料层21B可以在可变电阻元件的操作期间用作一种电阻部件,以及可以包括具有比第一子电极21A和第二子电极21C的电阻值大的电阻值的材料。例如,材料层21B可以包括各种电介质材料中的任何电介质材料,包括诸如金属氧化物或氧化硅的氧化物、诸如氮化硅的氮化物和它们的组合。

[0055] 替换地,材料层21B可以包括具有相对低的能带隙的半导体材料。这里,材料层21B可以足够薄,使得它表现出其中可变电阻元件的操作电流随着施加的电压增加而增加的类欧姆特征。这是因为材料层21B的电阻值随着材料层 21B变薄而减小而不管材料的种类如何,因而材料层21B具有泄漏特性。如果材料层21B的厚度大于特定的临界值,则材料层21B将在操作电流下分解,因而将具有导电特性。换言之,材料层21B不可以再用作电阻部件。这里,材料层21B可以足够薄而对刻蚀造成负担。此外,材料层21B的厚度可以比第一子电极21A的厚度和/或第二子电极21C的厚度小。

[0056] 在第二比较例中,第一电极21具有第一子电极21A、材料层21B和第二子电极21C的层叠结构。然而,在另一个示例中,取代第一电极21,第二电极 24可以具有子电极和电介质层的层叠结构或半导体层和子电极的层叠结构。替换地,第一电极21和第二电极24两者都可以具有子电极和电介质层的层叠结构或半导体层和子电极的层叠结构。

[0057] 在图2B中图示了图2A中所示的可变电阻元件的电流-电压曲线。

[0058] 参见图2B,第二比较例的电流-电压曲线看起来与图2B中的虚线所指示的图1B的电流-电压曲线相似。然而,第二比较例的曲线在0V与设置电压(V_{set})之间的电压区域中和/或在0V与形成电压($V_{forming}$)之间的电压区域中稍微向下偏移,如图2B所示。这表示:在第二比较例的可变电阻元件的高电阻状态(HRS)下流动的电流(即,截止电流)相比于第一比较例而下降。

[0059] 第二比较例的可变电阻元件中的截止电流如上所述地下降,因为在诸如形成操作或设置操作(其中电阻状态改变为低电阻状态(LRS))的操作中的过冲电流大大减小。即,过冲电流被限制为与遵循电流(CC)的电平相似的电平。过冲电流减小,因为可变电阻元件的两端处的寄生电容通过插入在第一电极21中的薄电介质层或半导体层(为一种电阻部件)而减小。过冲电流的减小可以减小形成在可变电阻层22中的导电路径的大小,导致可变电阻元件的截止电流的减小。结果,经由可变电阻元件的电流泄漏可以减少,因而可以提高可变电阻元件的数据读取裕度,由此改善可变电阻元件的操作特性。因为过冲电流的减小也减少了可变电阻层22中的物理缺陷,所以也可以改善可变电阻元件的诸如耐久和保持特性的可靠性。

[0060] 然而,在第二比较例的可变电阻元件中,相比于第一比较例,用于将可变电阻元件图案化的工艺会增加制造工艺的复杂性,因为在可变电阻元件中包括材料层21B。

[0061] 此外,在用于将数据储存在可变电阻元件中的写入操作中,优选地使用材料层21B,以便改善可变电阻元件的特性,但是优选地不在用于读取储存在可变电阻元件中的数据的读取操作中使用材料层21B。这是因为材料层21B可以干扰电流流动,尤其可变电阻元件中的低电阻状态(LRS)下的电流流动。结果,可以减小可变电阻元件的数据读取裕度。然而,在第二比较例的情况下,不能根据是执行写入操作还是执行读取操作来选择性地使用

材料层21B,因为在可变电阻元件中包括材料层21B。

[0062] 所公开技术的实施方式涉及一种可以改善可变电阻元件的特性以及可以容易地执行将可变电阻元件图案化的工艺的半导体器件及其制造方法。另外,所公开技术的实施方式涉及一种可以根据是执行写入操作还是执行读取操作来选择性地使用电阻部件的半导体器件及其制造方法。

[0063] 图3A是说明根据所公开技术的实施方式的半导体器件的俯视平面图,图 3B是沿着图3A的线A-A'截取的截面图。

[0064] 参见图3A和3B,根据此实施方式的半导体器件可以包括:衬底300;多个第一线330,形成在衬底300之上且在第一方向上延伸;多个第二线370,形成在第一线330之上且在与第一方向交叉的第二方向上延伸;多个层叠结构,每个层叠结构包括可变电阻层340和选择元件层350,多个层叠结构夹在第一线330与第二线370之间且形成在第一线330与第二线370的交叉处;以及多个插塞320,夹在衬底300与第一线330之间以便将第一线330连接到衬底300。

[0065] 这里,第一线330和第二线370施加电压或电流到多个层叠结构(每个包括可变电阻层340和选择元件层350)。第一线330和第二线370可以由包括金属、金属氮化物和它们的组合的各种导电材料中的任何导电材料形成。

[0066] 夹在单个第一线330与单个第二线370之间的可变电阻层340和选择元件层350的层叠结构可以形成单位存储单元(MC)。换言之,可以在第一线330 和第二线370的每个交叉处设置存储单元(MC)。

[0067] 存储单元(MC)中的可变电阻层340可以由与图1A所示的可变电阻层12 的材料基本相同的材料形成。此外,存储单元(MC)中的选择元件层350可以由与图1A所示的选择元件层13的材料基本相同的材料形成。

[0068] 在此实施方式中,选择元件层350夹在可变电阻层340与第二线370中的相应一个之间。然而,实施方式不限于此。在另一个实施方式中,选择元件层 350也可以夹在可变电阻层340与第一线330中的相应一个之间。在又一个实施方式中,选择元件层350夹在可变电阻层340与第一线330中的相应一个之间,或者省略选择元件层350。

[0069] 在此实施方式中,第一线330和第二线370可以用作电极。然而,在另一个实施方式中,还可以在第一线330中的每个与可变电阻层340之间和/或在选择元件层350与第二线370中的每个之间设置电极。

[0070] 多个插塞320可以分别连接到第一线330的底表面,以便提供电压或电流到第一线330。插塞320可以位于沿着第一方向和第二方向布置有存储单元(MC)的区域之外。在图3A和图3B所示的实施方式中,插塞320可以分别与第一方向上的每个第一线330的一端重叠。每个插塞320可以包括第一导电层322、位于第一导电层322之上的第二导电层326以及夹在第一导电层322 与第二导电层326之间的材料层324。材料层324具有比第一导电层322和第二导电层326的电阻值大的电阻值。

[0071] 第一导电层322和第二导电层326中的每个可以由包括金属、金属氮化物和它们的组合的各种导电材料中的任何一种形成。

[0072] 材料层324可以由与图2A中所示的材料层21B的材料基本相同的材料形成,以及可以在半导体器件的操作期间用作一种电阻部件。材料层324可以包括各种电介质材料中的

任何电介质材料,包括诸如金属氧化物或氧化硅的氧化物、诸如氮化硅的氮化物和它们的组合。在另一个实施方式中,材料层324可以包括具有相对低的能带隙的半导体材料。材料层324可以充分薄,使得它表现出类欧姆特征以及在半导体器件的操作期间可以不分解。在实施方式中,材料层324可以比第一导电层322和第二导电层326中的每个都薄。因为材料层324与第一导电层322和第二导电层326一起被图案化,因此它可以具有与第一导电层322和第二导电层326中的至少一个的侧壁对准的侧壁。

[0073] 在图3A和图3B所示的半导体器件中,在用于将数据储存在选中的存储单元(MC)中的写入操作中和/或在用于读取在选中的存储单元(MC)中储存的数据的读取操作中,可以形成电流流动(见例如图3B中的箭头)以传输经过与选中的存储单元(MC)连接的第二线370、选中的存储单元(MC)、与选中的存储单元(MC)连接的第一线330以及与第一线330连接的插塞320。插塞320可以连接到用于写入操作和/或读取操作的驱动电路(未示出)。可以在插塞320下面的衬底300中设置驱动电路。

[0074] 因为传输经过包括材料层324(为电阻部件)的插塞320的电流流动在选中的存储单元(MC)的写入操作和/或读取操作期间形成,因此可以获得与上述第二比较例的效果基本相同的效果。换言之,可以减小存储单元(MC)的截止电流,因而可以减少电流泄漏以及可以改善数据读取裕度。另外,可以保证存储单元(MC)的操作的可靠性。

[0075] 下面将简要地描述图3A和3B中示出的上述半导体器件的制造方法。

[0076] 首先,可以在衬底300上形成第一层间绝缘层310,然后可以选择性地刻蚀第一层间绝缘层310以形成提供其中要形成插塞320的区域的孔。

[0077] 之后,可以在包括形成在第一层间绝缘层310中的孔的所得结构之上沉积导电材料。然后,可以回刻蚀导电材料,直至它具有期望的厚度,由此形成填充每个孔的下部的第一导电层322。接着,可以在包括第一导电层322的所得结构上沉积电介质材料或半导体材料。可以回刻蚀沉积的电介质材料或半导体材料,直至获得期望的厚度,由此形成填充每个孔的中部的材料层324。

[0078] 之后,在包括材料层324的所得结构上,可以沉积导电材料以完全填充每个孔的其余部分。之后,可以对沉积的导电材料执行例如化学机械抛光(CMP)工艺的平坦化工艺,直至第一层间绝缘层310的顶表面暴露出来,由此形成填充每个孔的上部的第二导电层326。

[0079] 以此方式,形成柱形插塞320。柱形插塞320包括第一导电层322、材料层324和第二导电层326的层叠结构,插塞320连接到衬底300的一部分且穿透第一层间绝缘层310。在实施方式中,可以省略用于形成第一导电层322的工艺或用于形成第二导电层326的工艺。

[0080] 接着,可以在第一层间绝缘层310和插塞320上沉积导电材料。可以选择性地刻蚀沉积的导电材料,由此形成与插塞320的顶表面接触且沿着第一方向延伸的第一线330。之后,可以用电介质材料(未示出)填充第一线330之间的空间。

[0081] 接着,可以在第一线330与电介质材料上顺序地沉积可变电阻材料和选择元件材料。可以选择性地刻蚀沉积的可变电阻材料和选择元件材料,由此形成可变电阻层340和选择元件层350的层叠结构。可变电阻层340和选择元件层350的层叠结构的底表面可以连接到第一线330。

[0082] 接着,可以用电介质材料填充可变电阻层340和选择元件层350的层叠结构之间的空间,以形成第二层间绝缘层360。

[0083] 然后,可以在可变电阻层340和选择元件层350的层叠结构上和在第二层间绝缘层360上沉积导电材料。可以选择性地刻蚀沉积的导电材料,由此形成与可变电阻层340和选择元件层350的层叠结构的顶表面接触且沿着与第一方向交叉的第二方向延伸的第二线370。

[0084] 在上面参照图3A和图3B描述的制造方法中,与第二比较例不同,在与用于形成存储单元(MC)的工艺分开的工艺中将材料层(为电阻部件)图案化。因此,可以简化用于形成存储单元(MC)的工艺。

[0085] 同时,在此实施方式中,插塞320不仅可以在写入操作中用作电流流动路径而且还可以在读取操作中用作电流流动路径。然而,如上所述,电阻部件优选地不用在读取操作中,以防止存储单元(MC)的导通电流在读取操作中降低,由此增加数据读取裕度。将参照图4A和图4B对此进行详细的描述。

[0086] 图4A是说明根据所公开技术的另一个实施方式的半导体器件的俯视平面图。图4B是沿着图4A的线B-B'截取的截面图。图4C和4D是示出图4A和4B中图示的半导体器件的制造方法的截面图。下面的描述将集中在图4A和4B中所示的实施方式与图3A和3B中所示的实施方式之间的差异。

[0087] 参见图4A和4B,半导体器件可以包括:衬底400;多个第一线430,形成在衬底400之上且在第一方向上延伸;多个第二线470,形成在第一线430之上且在与第一方向交叉的第二方向上延伸;层叠结构,每个层叠结构包括可变电阻层430和选择元件层450,层叠结构夹在第一线430与第二线470之间且形成在第一线430与第二线470的交叉处;第一插塞420,夹在衬底400与第一线430之间且将衬底400的第一部分分别连接到第一线430;以及第二插塞425,夹在衬底400与第一线430之间且将衬底400的第二部分分别连接到第一线430。

[0088] 与图3A和图3B中所示的插塞320相似,第一插塞420可以包括第一导电层422、位于第一导电层422之上的第二导电层426、以及夹在第一导电层422与第二导电层426之间的材料层424。材料层424具有比第一导电层422和第二导电层426中的每个高的电阻值。此外,第二插塞425可以仅包括导电材料而没有电阻部件。

[0089] 第一插塞420和第二插塞425可以位于沿着第一方向和第二方向布置有存储单元(MC)的区域之外。在实施方式中,第一插塞420和第二插塞425可以在第一方向上彼此相对地定位。换言之,第一插塞420可以连接到第一线430的一端,第二插塞425可以连接到第一线430的另一端。

[0090] 在此半导体器件中,在用于将数据储存在选中的存储单元(MC)中的写入操作中,可以形成电流流动(见例如图4B中的实线箭头)以传输经过与选中的存储单元(MC)连接的第二线470、选中的存储单元(MC)、与选中的存储单元(MC)连接的选中的第一线430以及与选中的第一线430连接的选中的第一插塞420。为此目的,第一插塞420可以连接到设置于第一插塞420下面的衬底400中且执行写入操作的驱动电路(未示出)。

[0091] 另一方面,在用于读取储存在选中的存储单元(MC)中的数据的读取操作中,可以形成电流流动(见例如图4B中的虚线箭头)以传输经过与选中的第二线470、选中的存储单元(MC)、选中的第一线430以及与选中的第一线430连接的选中的第二插塞425。为此目的,第二插塞425可以连接到设置于第二插塞425下面的衬底400中且执行读取操作的驱动电路(未示出)。

[0092] 根据此实施方式,写入操作中的电流流动可以独立于读取操作中的电流流动。换言之,在写入操作中,可以产生传输经过材料层424(为电阻部件)的电流流动,而在读取操作中,可以产生仅传输经过包括在第二插塞425中的导电材料的电流流动。因此,图4A和4B中所示的半导体器件的数据读取裕度相比于图3A和3B中所示的半导体器件的数据读取裕度可以得到改善。

[0093] 将参照图4C和4D描述上述半导体器件的制造方法。

[0094] 参见图4C,可以在衬底400上形成第一层间绝缘层410。可以选择性地刻蚀第一层间绝缘层410以形成第一孔H1和第二孔H2,第一孔H1提供其中要形成第一插塞420的区域,第二孔H2提供其中要形成第二插塞425的区域。

[0095] 然后,可以在包括第一孔H1和第二孔H2的所得结构之上沉积导电材料,以充分地填充第一孔H1和第二孔H2。然后,可以对沉积的导电材料执行平坦化工艺,直至第一层间绝缘层410的顶表面暴露出来。因此,在第一孔H1中形成初始导电层422',在第二孔H2中形成第二插塞425。

[0096] 接着,如图4D所示,可以形成具有开口O的掩模图案M。开口O暴露出与第一孔H1相对应的区域。之后,可以回刻蚀被每个开口O暴露出的初始第一导电层422'的部分,以形成填充每个第一孔H1的下部的第一导电层422。这里,开口O的水平宽度可以大于第一孔H1的水平宽度,以便保证重叠裕度。后续工艺与上面参照图3A和3B描述的工艺基本相同,因而将省略对其的详细描述。

[0097] 在实施方式中,可以在形成第一线430的工艺之前去除掩模图案M。可以在用于形成材料层424的工艺和/或用于形成第二导电层426的工艺中自然地去除掩模图案M,或者可以通过独立的去除工艺(诸如光刻胶剥离工艺)去除掩模图案M。

[0098] 同时,只要上述实施方式中的插塞320和第一插塞420包括导电材料和具有比导电材料的电阻值高的电阻值的电阻部件,就可以以各种方式来修改导电材料和电阻部件的配置。这样的示例将参照图5和6来描述。

[0099] 图5是示出根据实施方式的包括电阻部件的插塞的截面图。

[0100] 参见图5,夹在衬底500与第一线530之间的插塞520可以包括导电层522 和材料层524。材料层524位于导电层522上且具有比导电层522的电阻值高的电阻值。

[0101] 在此实施方式中,材料层524位于插塞520的上端。在另一个实施方式中,材料层524可以位于插塞520的下端或两端。换言之,材料层524可以位于第一线530与导电层522之间的界面处。替换地,尽管未在图中示出,材料层524 可以位于衬底500与导电层522之间的界面处。

[0102] 图6是示出根据另一个实施方式的包括电阻部件的插塞的截面图。

[0103] 参见图6,夹在衬底600与第一线630之间的插塞620可以包括第一导电层622、材料层624(为电阻部件)和第二导电层626。

[0104] 这里,第一导电层622可以具有柱形。第二导电层626可以具有柱形,此柱形具有比第一导电层622的水平宽度小的水平宽度。材料层624可以形成在第一导电层622上且包围第二导电层626的侧壁和底表面。因此,在实施方式中,材料层624可以具有与第一导电层622的侧壁对准的外侧壁,同时它将第一导电层622与第二导电层626分隔开。

[0105] 将简要地描述形成上述插塞620的工艺。

[0106] 首先,可以选择性地刻蚀形成在衬底600上的第一层间绝缘层610以形成孔,然后,可以形成第一导电层622以填充孔的下部。

[0107] 接着,可以沿着孔的上部的侧壁和底表面在包括第一导电层622的所得结构上沉积电介质材料或半导体材料。之后,可以在电介质材料或半导体材料上沉积导电材料以填充孔的上部的其余部分。

[0108] 之后,可以对沉积的导电材料执行平坦化工艺,直至第一层间绝缘层610 的顶表面暴露出来。结果,材料层624沿着孔(在其下部中包括第一导电层622) 的上部的底表面和侧壁形成,第二导电层626形成为填充孔的上部的其余部分且具有被材料层62包围的侧壁和底表面。

[0109] 图7是说明根据所公开技术的另一个实施方式的半导体器件的俯视平面图。半导体器件包括多个区块区域(mat region)。

[0110] 参见图7,半导体器件可以包括形成在衬底(未示出)上且在第一方向上延伸的多个第一线730、形成在第一线730之上且在与第一方向交叉的第二方向上延伸的多个第二线770、设置在第一线730与第二线770之间且形成在第一线730和第二线770的交叉处的存储单元、以及设置在衬底与第一线730之间且将第一线730连接到衬底的第一插塞720和第二插塞725。

[0111] 这里,可以将多个第一线730在第二方向上划分成两组或更多组,以及可以将多个第二线770在第一方向上划分成两组或更多组。存储单元位于第一组的第一线730(属于单个组)与第二组的第二线770(包括在另一单个组中)的各个交叉处所在的区域可以称为“区块区域”。在图7所示的实施方式中,半导体器件包括六个第一线730和六个第二线770,六个第一线730划分成两组,每组包括三个第一线,六个第二线770划分成两组,每组包括三个第二线。因此,半导体器件包括四个区块区域,即,第一至第四区块区域(MAT1、MAT2、MAT3和MAT4)。第一至第四区块区域(MAT1、MAT2、MAT3和MAT4) 中的每个可以包括设置在三个第一线730与三个第二线770的交叉处的 3×3 个存储单元。

[0112] 第一插塞720(每个包括电阻部件)可以位于在第一方向上布置的两个相邻区块区域之间。例如,第一插塞720可以设置在第一区块区域(MAT1)与第二区块区域(MAT2)之间以及在第三区块区域(MAT3)与第四区块区域(MAT4)之间。不包括电阻部件的第二插塞725可以位于在第一方向上布置的两个相邻区块区域的两侧。例如,第二插塞725可以设置到第一区块区域(MAT1)的左边和第二区块区域(MAT2)的右边,以及设置到第三区块区域(MAT3)的左边和第四区块区域(MAT4)的右边。

[0113] 在这种情况下,在第一区块区域(MAT1)或第二区块区域(MAT2)的写入操作中,设置在第一区块区域(MAT1)与第二区块区域(MAT2)之间的第一插塞720可以用作电流路径。另一方面,在第一区块区域(MAT1)的读取操作中,设置到第一区块区域(MAT1)的左边的第二插塞725可以用作电流路径,以及在第二区块区域(MAT2)的读取操作中,设置到第二区块区域(MAT2)的右边的第二插塞725可以用作电流路径。可以采用与第一区块区域和第二区块区域(MAT1和MAT2)的写入操作和读取操作类似的方式,来执行第三区块区域和第四区块区域(MAT3和MAT4)的写入操作和读取操作。

[0114] 在另一个实施方式中,第一插塞720的位置和第二插塞725的位置可以反过来。换言之,第二插塞725可以位于两个相邻的区块区域之间,第一插塞720 可以位于两个相邻的

区块区域的两侧。

[0115] 在制造图7所示的半导体器件的工艺中,使用具有暴露出其中形成有第一插塞720的区域的开口0的掩模图案(见图4D)。开口0可以具有线性,该线性在第一方向上具有比第一插塞720的宽度大的宽度且沿着第二方向延伸。

[0116] 根据上述的所公开技术的实施方式,可以提供一种电子设备及其制造方法,该电子设备包括具有改善的操作特性和可靠性的半导体器件。

[0117] 可以在设备或系统的范围内使用基于所公开技术的以上和其他存储电路或半导体器件。图8至图12提供可以实施本文公开的存储电路的设备或系统的一些示例。

[0118] 图8是基于所公开技术的实施存储电路的微处理器的配置图的示例。

[0119] 参见图8,微处理器1000可以执行用于控制和调节从各种外部设备接收数据、处理数据和输出处理结果到外部设备的一系列处理的任务。微处理器1000 可以包括存储单元1010、操作单元1020、控制单元1030等。微处理器1000可以是各种数据处理单元,诸如中央处理单元(CPU)、图形处理单元(GPU)、数字信号处理器(DSP)和应用处理器(AP)。

[0120] 存储单元1010是在微处理器中储存数据的部件,如处理器寄存器、寄存器等。存储单元1010可以包括数据寄存器、地址寄存器、浮点寄存器等。除此之外,存储单元1010可以包括各种寄存器。存储单元1010可以执行暂时储存要被操作单元1020执行操作的数据、执行操作的结果数据、以及执行操作的数据所储存的地址的功能。

[0121] 存储单元1010可以包括根据实施方式的上述半导体器件中的一个或多个。例如,存储单元1010可以包括:多个第一线,沿着第一方向延伸;多个第二线,沿着与第一方向交叉的第二方向延伸;多个可变电阻元件,设置在第一线与第二线之间且位于第一线和第二线的交叉处;以及插塞,连接到每个第一线的第一部分,其中,插塞包括导电层和具有比导电层的电阻值高的电阻值的材料层。由此,可以改善存储单元1010的操作特性和可靠性。结果,可以改善微处理器1000的操作特性和可靠性。

[0122] 操作单元1020可以根据控制单元1030将命令解码的结果来执行四种算术运算或逻辑运算。操作单元1020可以包括至少一个算术逻辑单元(ALU)等。

[0123] 控制单元1030可以从存储单元1010、操作单元1020和微处理器1000的外部设备接收信号,执行命令的提取、解码以及对微处理器1000的信号的输入和输出的控制,以及执行程序所表示的处理。

[0124] 根据本实施方式的微处理器1000可以另外包括高速缓存存储单元1040,高速缓存存储单元1040可以暂时储存要从除了存储单元1010之外的外部设备输入或输出到外部设备的数据。在这种情况下,高速缓存存储单元1040可以经由总线接口1050与存储单元1010、操作单元1020和控制单元1030交换数据。

[0125] 图9是基于所公开技术的实施存储电路的处理器配置图的示例。

[0126] 参见图9,处理器1100可以通过包括除了微处理器(执行用于控制和调节从各种外部设备接收数据、处理数据和输出处理结果到外部设备的一系列处理的任务)的那些功能之外的各种功能来改善性能和实现多功能。处理器1100可以包括:核心单元1110,用作微处理器;高速缓存存储单元1120,用来暂时地储存数据;以及总线接口1130,用于在内部设备与外部设备之间传输数据。处理器1100可以包括诸如多核处理器、图形处理单元(GPU)和应用处理器(AP)的各种芯片上系统(SoC)。

[0127] 本实施方式的核心单元1110是对从外部设备输入的数据执行算术逻辑运算的部件,以及可以包括存储单元1111、操作单元1112和控制单元1113。

[0128] 存储单元1111是在处理器1100中储存数据的部件,如处理器寄存器、寄存器等。存储单元1111可以包括数据寄存器、地址寄存器、浮点寄存器等。除此之外,存储单元1111可以包括各种寄存器。存储单元1111可以执行暂时储存要被操作单元1112执行操作的数据、执行操作的结果数据、以及执行操作的数据所储存的地址的功能。操作单元1112是在处理器1100中执行操作的部件。操作单元1112可以根据控制单元1113解码命令的结果执行四种算术运算、逻辑运算等。操作单元1112可以包括至少一个算术逻辑单元(ALU)等。控制单元1113可以从存储单元1111、操作单元1112和处理器1100的外部设备接收信号,执行命令的提取、解码以及对处理器1100的信号的输入和输出的控制、以及执行程序所表示的处理。

[0129] 高速缓存存储单元1120是暂时储存数据以补偿高速操作的核心单元1110与低速操作的外部设备之间的数据处理速度的差异的部件。高速缓存存储单元1120可以包括初级储存部1121、二级储存部1122和三级储存部1123。一般而言,高速缓存存储单元1120包括初级储存部1121和二级储存部1122,以及可以在需要高储存容量的情况下包括三级储存部1123。应情况需要,高速缓存存储单元1120可以包括更多数量的储存部。也就是说,高速缓存存储单元1120中所包括的储存部的数量可以根据设计而改变。初级储存部1121、二级储存部1122和三级储存部1123储存和辨别数据的速度可以相同或不同。在各个储存部1121、1122和1123的速度不同的情况下,初级储存部1121的速度可以最大。高速缓存存储单元1120的初级储存部1121、二级储存部1122和三级储存部1123中的至少一个储存部可以包括根据实施方式的上述半导体器件中的一个或多个。例如,高速缓存存储单元1120可以包括:多个第一线,沿着第一方向延伸;多个第二线,沿着与第一方向交叉的第二方向延伸;多个可变电阻元件,设置在第一线与第二线之间且位于第一线和第二线的交叉处;以及插塞,连接到每个第一线的第一部分,其中,插塞包括导电层和具有比导电层的电阻值高的电阻值的材料层。由此,可以改善高速缓存存储单元1120的操作特性和可靠性。结果,可以改善处理器1100的操作特性和可靠性。

[0130] 尽管在图9中示出了初级储存部1121、二级储存部1122和三级储存部1123都配置在高速缓存存储单元1120的内部,但是要注意,高速缓存存储单元1120的初级储存部1121、二级储存部1122和三级储存部1123都可以配置在核心单元1110的外部,且可以补偿核心单元1110与外部设备之间的数据处理速度的差异。同时,要注意,高速缓存存储单元1120的初级储存部1121可以设置在核心单元1110内部,二级储存部1122和三级储存部1123可以配置在核心单元1110外部以增强补偿数据处理速度之差的功能。在另一个实施方式中,初级储存部1121和二级储存部1122可以设置在核心单元1110内部,三级储存部1123可以设置在核心单元1110的外部。

[0131] 总线接口1130是连接核心单元1110、高速缓存存储单元1120和外部设备的部件且允许数据有效传输。

[0132] 根据本实施方式的处理器1100可以包括多个核心单元1110,多个核心单元1110可以共享高速缓存存储单元1120。多个核心单元1110和高速缓存存储单元1120可以直接连接或者经由总线接口1130连接。多个核心单元1110可以采用与核心单元1110的上述配置相同的方式来配置。在处理器1100包括多个核心单元1110的情况下,高速缓存存储单元1120的

初级储存部1121可以与多个核心单元1110的数量相对应地配置在每个核心单元1110中,二级储存部1122和三级储存部1123可以配置在多个核心单元1110的外部以便经由总线接口1130被共享。初级储存部1121的处理速度可以大于二级储存部1122和三级储存部1123的处理速度。在另一个实施方式中,初级储存部1121和二级储存部1122可以与多个核心单元1110的数量相对应地配置在每个核心单元1110中,三级储存部1123可以配置在多个核心单元1110的外部以便经由总线接口1130被共享。

[0133] 根据本实施方式的处理器1100还可以包括:嵌入式存储单元1140,储存数据;通信模块单元1150,可以以无线或有线方式从外部设备接收数据和传送数据到外部设备;存储器控制单元1160,驱动外部存储器件;以及媒体处理单元1170,处理在处理器1100中处理的数据或从外部输入设备输入的数据,以及输出处理的数据到外部设备等。除此之外,处理器1100可以还包括多个各种模块和设备。在这种情况下,加入的多个模块可以经由总线接口1130与核心单元1110和高速缓存存储单元1120交换数据以及彼此交换数据。

[0134] 嵌入式存储单元1140不仅可以包括易失性存储器而且还可以包括非易失性存储器。易失性存储器可以包括DRAM(动态随机存取存储器)、移动DRAM、SRAM(静态随机存取存储器)以及具有与上述存储器相似功能的存储器等。非易失性存储器可以包括ROM(只读存储器)、NOR闪存、NAND闪存、相变随机存取存储器(PRAM)、电阻式随机存取存储器(RRAM)、自旋转移力矩随机存取存储器(STTRAM)、磁随机存取存储器(MRAM)、具有相似功能的存储器。

[0135] 通信模块单元1150可以包括能够与有线网路连接的模块、能够与无线网络连接的模块以及它们两者。有线网络模块可以包括局域网络(LAN)、通用串行总线(USB)、以太网、电力线通信(PLC)等,诸如经由传输线发送和接收数据的各种设备。无线网络模块可以包括红外数据协会(IrDA)、码分多址(CDMA)、时分多址(TDMA)、频分多址(FDMA)、无线LAN、无线个域网(Zigbee)、泛在传感器网络(USN)、蓝牙、射频识别(RFID)、长期演进(LTE)、近场通信(NFC)、无线宽带网络(Wibro)、高速下行链路分组接入(HSDPA)、宽带CDMA(WCDMA)、超宽带(UWB)等,诸如不使用传输线发送和接收数据的各种设备。

[0136] 存储器控制单元1160管理和处理在处理器1100与根据不同的通信标准操作的外部储存设备之间传输的数据。存储器控制单元1160可以包括各种存储器控制器,例如,可以控制IDE(集成电子设备)、SATA(串行高级技术附件)、SCSI(小型计算机系统接口)、RAID(独立盘冗余阵列)、SSD(固态硬盘)、eSATA(外部SATA)、PCMCIA(个人计算机存储卡国际协会)、USB(通用串行总线)、安全数字(SD)卡、迷你安全数字(mSD)卡、微型安全数字(微型SD)卡、安全数字高容量(SDHC)卡、记忆棒卡、智能媒体(SM)卡、多媒体卡(MMC)、嵌入式MMC(eMMC)、紧凑型闪存(CF)卡等的设备。

[0137] 媒体处理单元1170可以处理在处理器1100中处理的数据或者从外部输入设备以图像、声音和其他形式输入的数据,以及输出数据到外部接口设备。媒体处理单元1170可以包括图形处理单元(GPU)、数字信号处理器(DSP)、高分辨率音频设备(HD音频)、高分辨率多媒体接口(HDMI)控制器等。

[0138] 图10是基于所公开技术的实施存储电路的系统的配置图的示例。

[0139] 参见图10,作为用于处理数据的设备的系统1200可以执行输入、处理、输出、通信、储存等以进行一系列数据操作。系统1200可以包括处理器1210、主存储器件1220、辅助存储

器件1230、接口设备1240等。本实施方式的系统 1200可以是利用处理器来操作的各种电子系统,诸如计算机、服务器、PDA(个人数字助理)、便携式计算机、网络平板、无线电话、移动电话、智能电话、数字音乐播放器、PMP(便携式多媒体播放器)、照相机、全球定位系统(GPS)、摄像机、录音机、远程信息处理、试听(AV)系统、智能电视等。

[0140] 处理器1210可以解码输入的命令,以及处理针对储存在系统1200中的数据的操作、比较等和控制这些操作。处理器1210可以包括微处理器单元(MPU)、中央处理单元(CPU)、单核/多核处理器、图形处理单元(GPU)、应用处理器(AP)、数字信号处理器(DSP)等。

[0141] 主存储器件1220是这样的存储器:其可以在执行程序时暂时储存、调用和执行来自辅助存储器件1230的程序码或数据,以及即使在断电时也可以保留存储的内容。主存储器件1220可以包括根据实施方式的上述半导体器件中的一个或多个。例如,主存储器件1220可以包括:多个第一线,沿着第一方向延伸;多个第二线,沿着与第一方向交叉的第二方向延伸;多个可变电阻元件,设置在第一线与第二线之间且位于第一线和第二线的交叉处;以及插塞,连接到每个第一线的第一部分,其中,插塞包括导电层和具有比导电层的电阻值高的电阻值的材料层。由此,可以改善主存储器件1220的操作特性和可靠性。结果,可以改善系统1200的操作特性和可靠性。

[0142] 此外,主存储器件1220还可以包括在断电时所有内容都被擦除的易失性存储器类型的静态随机存取存储器(SRAM)、动态随机存取存储器(DRAM)等。与此不同,主存储器件1220可以不包括根据实施方式的半导体器件,但是可以包括在断电时所有内容都被擦除的易失性存储器类型的静态随机存取存储器(SRAM)、动态随机存取存储器(DRAM)等。

[0143] 辅助存储器件1230是用于储存程序码或数据的存储器件。尽管辅助存储器件1230的速度比主存储器件1220慢,但是辅助存储器件1230可以储存更大量的数据。辅助存储器件1230可以包括根据实施方式的上述半导体器件中的一个或多个。例如,辅助存储器件1230可以包括:多个第一线,沿着第一方向延伸;多个第二线,沿着与第一方向交叉的第二方向延伸;多个可变电阻元件,设置在第一线与第二线之间且位于第一线和第二线的交叉处;以及插塞,连接到每个第一线的第一部分,其中,插塞包括导电层和具有比导电层的电阻值高的电阻值的材料层。由此,可以改善辅助存储器件1230的操作特性和可靠性。结果,可以改善系统1200的操作特性和可靠性。

[0144] 此外,辅助存储器件1230还可以包括数据储存系统(见图10的附图标记 1300),诸如利用磁学的磁带、磁盘、利用光学的光盘、利用磁学和光学二者的磁光盘、固态硬盘(SSD)、USB存储器(通用串行总线存储器)、安全数字(SD)卡、迷你安全数字(mSD)卡、微型安全数字(微型SD)卡、安全数字大容量(SDHC)卡、记忆棒卡、智能媒体(SM)卡、多媒体卡(MMC)、嵌入式MMC(eMMC)、紧凑型闪存(CF)卡等。与此不同,辅助存储器件1230可以不包括根据本实施方式的半导体器件,但是可以包括数据储存系统(见图10的附图标记1300),诸如利用磁学的磁带、磁盘、利用光学的光盘、利用磁学和光学二者的磁光盘、固态硬盘(SSD)、USB存储器(通用串行总线存储器)、安全数字(SD)卡、迷你安全数字(mSD)卡、微型安全数字(微型SD)卡、安全数字大容量(SDHC)卡、记忆棒卡、智能媒体(SM)卡、多媒体卡(MMC)、嵌入式MMC(eMMC)、紧凑型闪存(CF)卡等。

[0145] 接口设备1240可以用来执行本实施方式的系统1200与外部设备之间的命令和数

据的交换。接口设备1240可以是小型键盘、键盘、鼠标、扬声器、麦克风、显示器、各种人机交互设备(HID)、通信设备等。通信设备可以包括能够与有线网络连接的模块、能与无线网络连接的模块以及它们两者。有线网络模块可以包括局域网(LAN)、通用串行总线(USB)、以太网、电力线通信(PLC)等,诸如经由传输线发送和接收数据的各种设备。无线网络模块可以包括红外数据协会(IrDA)、码分多址(CDMA)、时分多址(TDMA)、频分多址(FDMA)、无线LAN、无线个域网(Zigbee)、泛在传感器网络(USN)、蓝牙、射频识别(RFID)、长期演进(LTE)、近场通信(NFC)、无线宽带网络(Wibro)、高速下行链路分组接入(HSDPA)、宽带CDMA(WCDMA)、超宽带(UWB)等,诸如不使用传输线来发送和接收数据的各种设备。

[0146] 图11是基于所公开技术的实施存储电路的数据储存系统的配置图的示例。

[0147] 参见图11,数据储存系统1300可以包括:储存设备1310,作为用于储存数据的部件而具有非易失性特性;控制器1320,控制储存设备1310;接口1330,用于与外部设备的连接;以及暂时储存设备1340,用于暂时储存数据。数据储存系统1300可以是诸如硬盘驱动器(HDD)、紧凑盘只读存储器(CDROM)、数字通用盘(DVD)和固态硬盘(SSD)等的盘类型;以及诸如USB存储器(通用串行总线存储器)、安全数字(SD)卡、迷你安全数字(mSD)卡、微型安全数字(微型SD)卡、安全数字高容量(SDHC)卡、记忆棒卡、智能媒体(SM)卡、多媒体卡(MMC)、嵌入式MMC(eMMC)、紧凑型闪存(CF)卡等的卡类型。

[0148] 储存设备1310可以包括半永久地储存数据的非易失性存储器。非易失性存储器可以包括ROM(只读存储器)、NOR闪存、NAND闪存、相变随机存取存储器(PRAM)、电阻式随机存取存储器(RRAM)、磁随机存取存储器(MRAM)等。

[0149] 控制器1320可以控制储存设备1310与接口1330之间的数据的交换。为此,控制器1320可以包括处理器1321,处理器1321执行用于处理经由接口1330从数据储存系统1300外部输入的命令的操作等。

[0150] 接口1330执行数据储存系统1300与外部设备之间的命令和数据的交换。在数据储存系统1300是卡型的情况下,接口1330可以与用在以下设备中的接口兼容,诸如USB存储器(通用串行总线存储器)、安全数字(SD)卡、迷你安全数字(mSD)卡、微型安全数字(微型SD)卡、安全数字高容量(SDHC)卡、记忆棒卡、智能媒体(SM)卡、多媒体卡(MMC)、嵌入式MMC(eMMC)、紧凑型闪存(CF)卡等,或者接口1330可以与用在与上述设备相似的设备中的接口兼容。在数据储存系统1300是盘型的情况下,接口1330可以与以下接口兼容,诸如IDE(集成电子设备)、SATA(串行高级技术附件)、SCSI(小型计算机系统接口)、eSATA(外部SATA)、PCMCIA(个人计算机存储卡国际协会)、USB(通用串行总线)等,或者接口1330可以与类似于上述接口的接口兼容。接口1330可以与彼此具有不同类型的一个或更多个接口兼容。

[0151] 暂时储存设备1340可以暂时地储存数据,用于根据与外部设备、控制器和系统的接口的多样化和高性能在接口1330与储存设备1310之间有效地传送数据。用于暂时储存数据的暂时储存设备1340可以包括根据实施方式的上述半导体器件中的一个或更多个。暂时储存设备1340可以包括:多个第一线,沿着第一方向延伸;多个第二线,沿着与第一方向交叉的第二方向延伸;多个可变电阻元件,设置在第一线与第二线之间且位于第一线和第二线的交叉处;以及插塞,连接到每个第一线的第一部分,其中,插塞包括导电层和具有比导电层的电阻值高的电阻值的材料层。由此,可以改善储存设备1310或暂时储存设备1340的操作特性和可靠性。结果,可以改善数据储存系统1300的操作特性、可靠性和数据储存特

性。

[0152] 图12是基于所公开技术的实施存储电路的存储系统的配置图的示例。

[0153] 参见图12,存储系统1400可以包括作为储存数据的部件的具有非易失性特性的存储器1410、控制存储器1410的存储器控制器1420、用于与外部设备的连接的接口1430等。存储系统1400可以是诸如固态硬盘(SSD)、USB存储器(通用串行总线存储器)、安全数字(SD)卡、迷你安全数字(mSD)卡、微型安全数字(微型SD)卡、安全数字高容量(SDHC)卡、记忆棒卡、智能媒体(SM)卡、多媒体卡(MMC)、嵌入式MMC(eMMC)、紧凑型闪存(CF)卡等的卡型。

[0154] 用于储存数据的存储器1410可以包括根据实施方式的上述半导体器件中的一个或更多个。例如,存储器1410可以包括:多个第一线,沿着第一方向延伸;多个第二线,沿着与第一方向交叉的第二方向延伸;多个可变电阻元件,设置在第一线与第二线之间且位于第一线和第二线的交叉处;以及插塞,连接到每个第一线的第一部分,其中,插塞包括导电层和具有比导电层的电阻值高的电阻值的材料层。由此,可以改善存储器1410的操作特性和可靠性。结果,可以改善存储系统1400的操作特性、可靠性和存储特性。

[0155] 此外,根据本实施方式的存储器1410还可以包括具有非易失性特性的ROM(只读存储器)、NOR闪存、NAND闪存、相变随机存取存储器(PRAM)、电阻式随机存取存储器(RRAM)、磁随机存取存储器(MRAM)等。

[0156] 存储器控制器1420可以控制存储器1410与接口1430之间的数据的交换。为此,存储器控制器1420可以包括处理器1421,处理器1421执行用于对经由接口1430从存储系统1400的外部输入的命令进行处理的操作。

[0157] 接口1430执行存储系统1400与外部设备之间的命令和数据的交换。接口1430可以与用在以下设备中的接口兼容,诸如USB存储器(通用串行总线存储器)、安全数字(SD)卡、迷你安全数字(mSD)卡、微型安全数字(微型SD)卡、安全数字高容量(SDHC)卡、记忆棒卡、智能媒体(SM)卡、多媒体卡(MMC)、嵌入式MMC(eMMC)、紧凑型闪存(CF)卡等,或者接口1430可以与用在与上述设备相似的设备中的接口兼容。接口1430可以与彼此具有不同类型的一个或更多个接口兼容。

[0158] 根据本实施方式的存储系统1400还可以包括缓冲存储器1440,缓冲存储器1440用于根据与外部设备、存储器控制器和存储系统的接口的多样化和高性能在接口1430与存储器1410之间有效地传送数据。例如,用于暂时储存数据的缓冲存储器1440可以包括根据实施方式的上述半导体器件中的一个或更多个。缓冲存储器1440可以包括:多个第一线,沿着第一方向延伸;多个第二线,沿着与第一方向交叉的第二方向延伸;多个可变电阻元件,设置在第一线与第二线之间且位于第一线和第二线的交叉处;以及插塞,连接到每个第一线的第一部分,其中,插塞包括导电层和具有比导电层的电阻值高的电阻值的材料层。由此,可以改善缓冲存储器1440的操作特性和可靠性。结果,可以改善存储系统1400的操作特性、可靠性和存储特性。

[0159] 另外,根据本实施方式的缓冲存储器1440还可以包括:具有易失性特性的SRAM(静态随机存取存储器)、DRAM(动态随机存取存储器)等;以及具有非易失性特性的相变随机存取存储器(PRAM)、电阻式随机存取存储器(RRAM)、自旋转移力矩随机存取存储器(STTRAM)、磁随机存取存储器(MRAM)等。与此不同,缓冲存储器1440可以不包括根据实施方式的半导体器件,但是可以包括:具有易失性特性的SRAM(静态随机存取存储器)、DRAM

(动态随机存取存储器)等;以及具有非易失性特性的相变随机存取存储器 (PRAM)、电阻式随机存取存储器 (RRAM)、自旋转移力矩随机存取存储器 (STTRAM)、磁随机存取存储器 (MRAM) 等。

[0160] 基于本文件中公开的存储器件的图8至图12中的电子设备或系统的上述示例中的特征可以在各种设备、系统或应用中实施。一些示例包括移动电话或其他便携式通信设备、平板电脑、笔记本电脑或膝上型电脑、游戏机、智能电视机、电视机机顶盒、多媒体服务器、具有或不具有无线通信功能的数码相机、具有无线通信能力的手表或其他可穿戴的设备。

[0161] 尽管本专利文件包含许多细节,但是这些不应理解为对任何发明的范围或可要求保护的内容的范围的限制,而是对可针对特定发明的特定实施例的特征的描述。本专利文件中描述的在分开的实施例的上下文中的特定特征也可以在单个实施例中组合实施。相反地,在单个实施例的上下文中描述的各种特征也可以在多个实施例中分开地实施,或者以任何合适的子组合来实施。另外,尽管特征在上面可以被描述为在特定组合中起作用,甚至初始要求这样,但是在一些情况下,来自要求的组合的一个或更多个特征可以从组合去除,以及要求的组合可以针对子组合或子组合的变型。

[0162] 类似地,尽管在附图中以特定顺序描绘了操作,但是这不应被理解为需要这些操作以示出的特定顺序来执行或按顺序次序来执行,或者不应被理解为需要执行所有示出的操作来实现期望的结果。另外,本专利文件中描述的实施例中的各种系统部件的分开不应被理解为在所有实施例中都需要这种分开。

[0163] 仅描述了若干实施方式和示例。可以基于本专利文件中所描述和图示的内容作出其他实施方式、增强和变型。

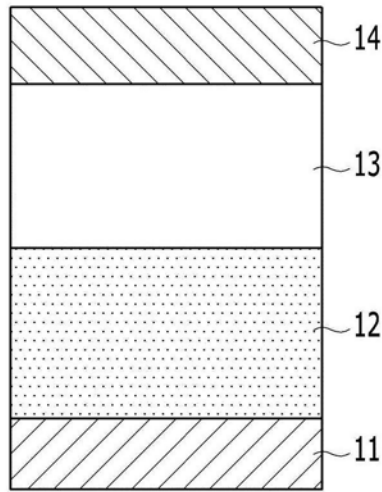


图1A

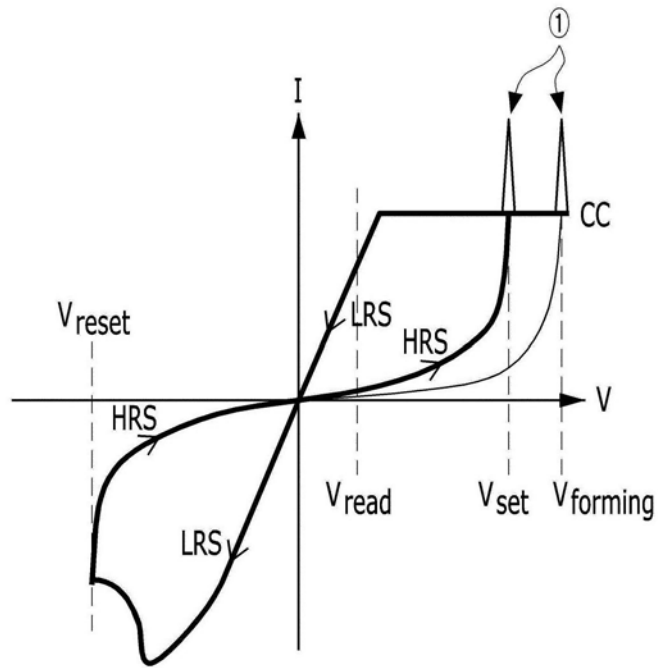


图1B

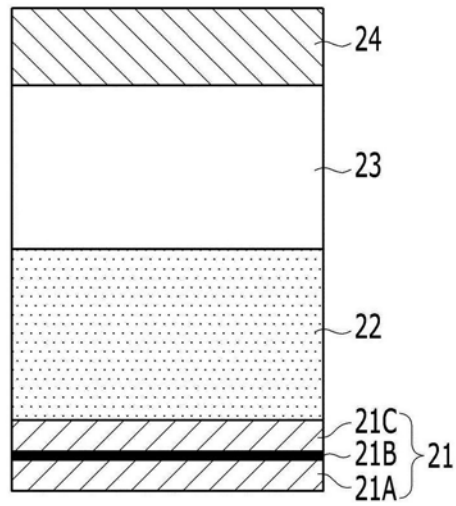


图2A

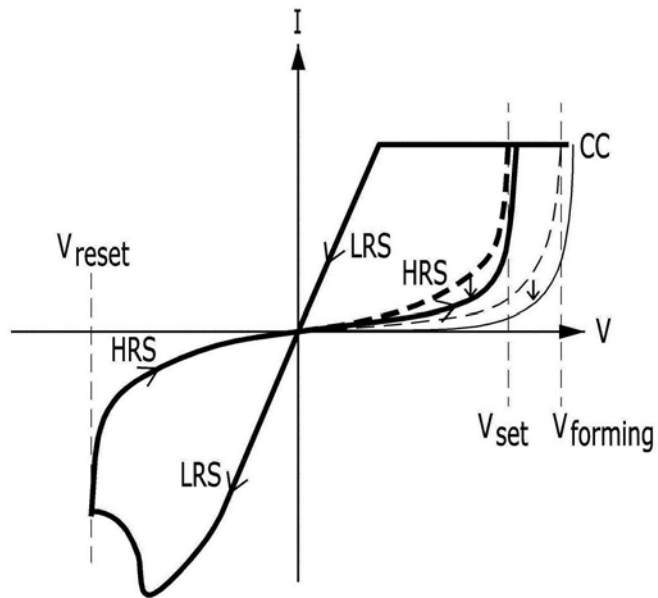


图2B

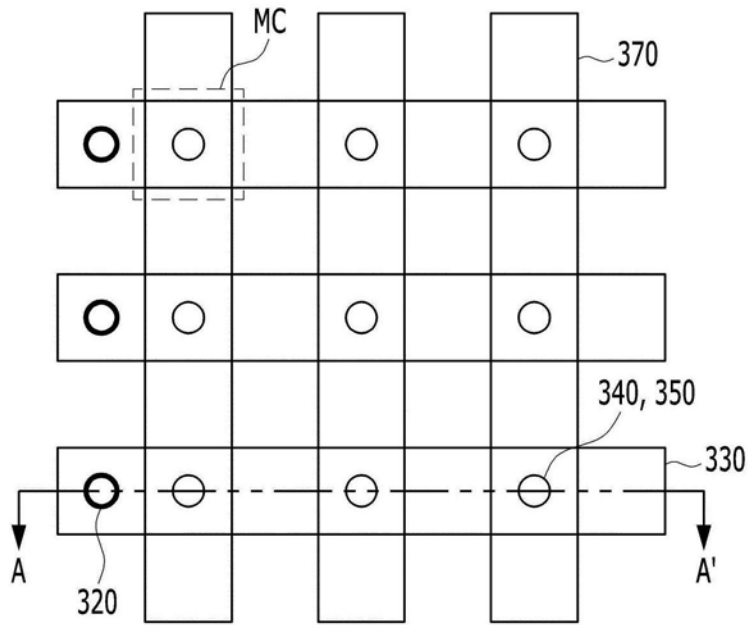


图3A

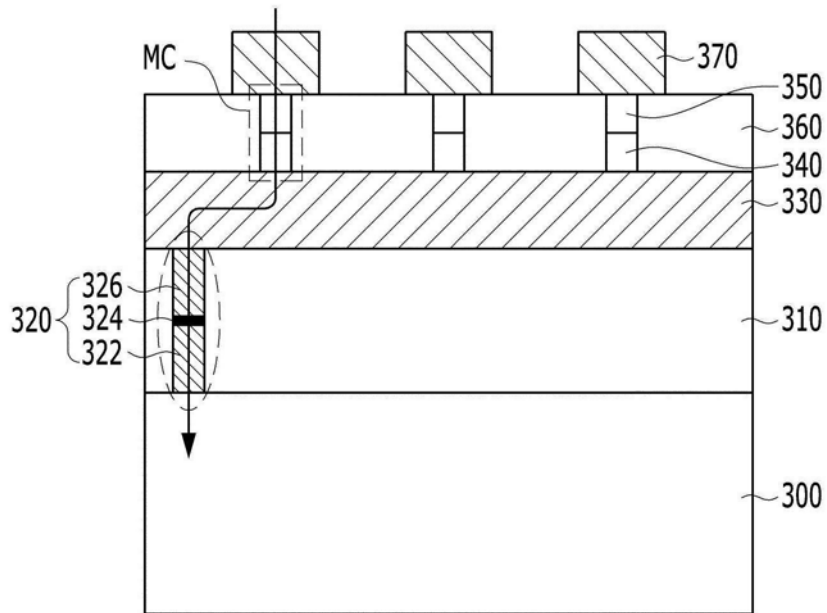


图3B

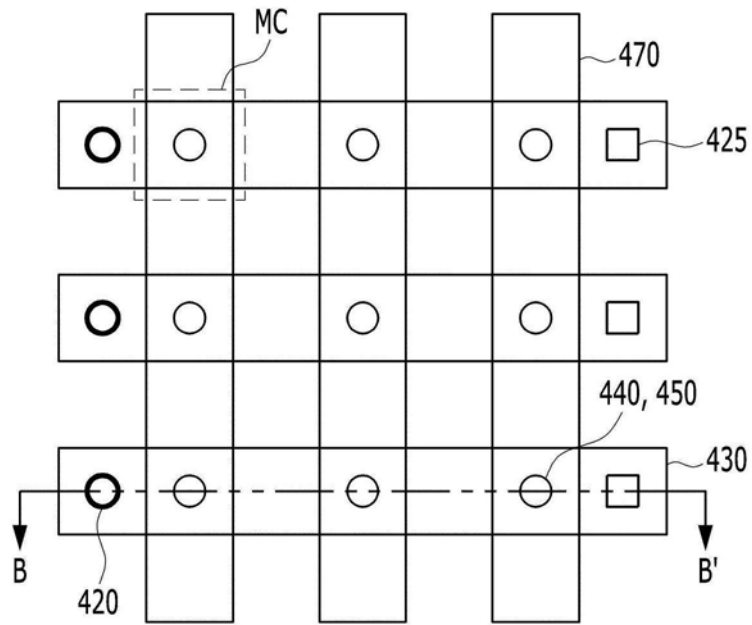


图4A

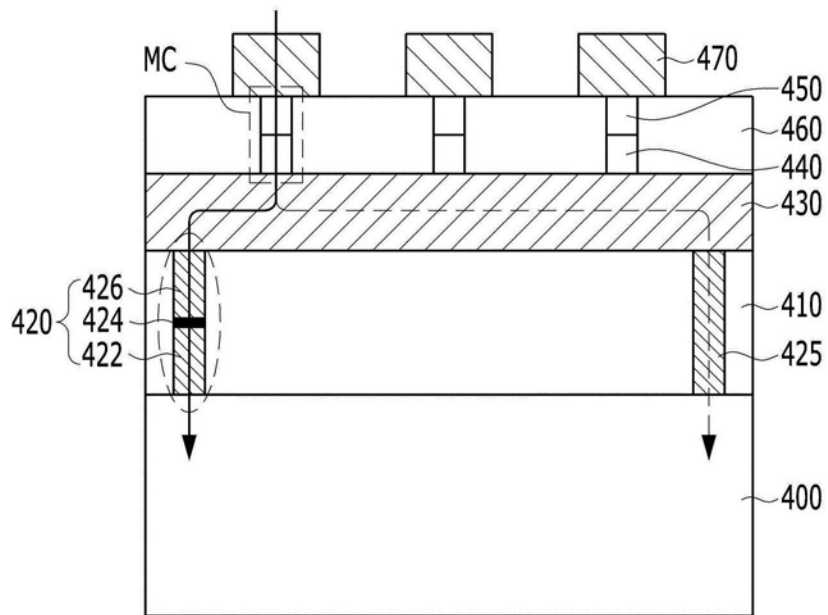


图4B

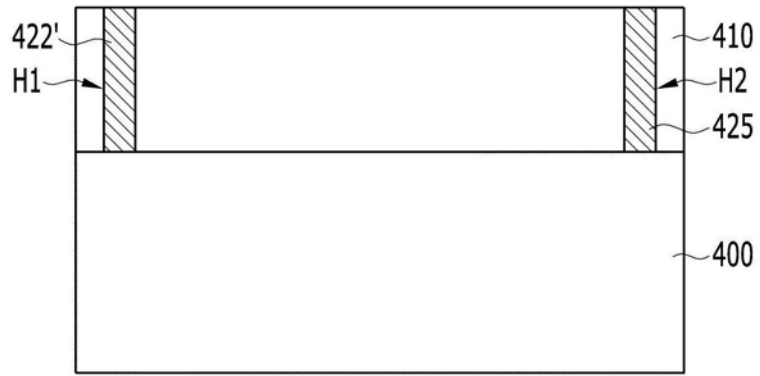


图4C

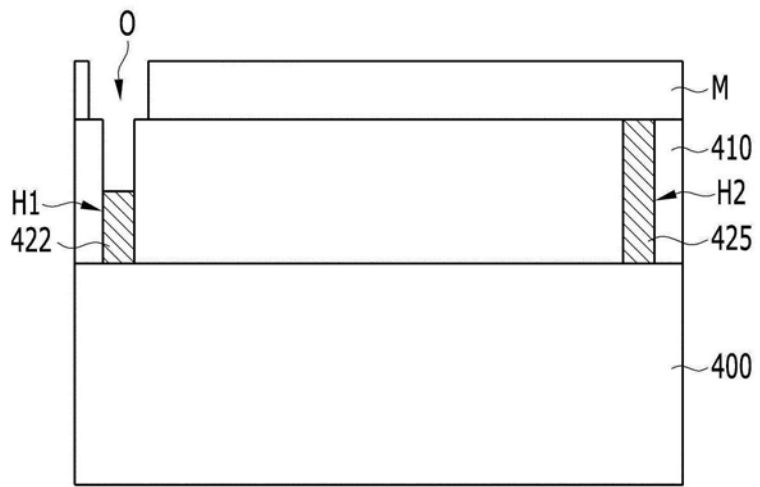


图4D

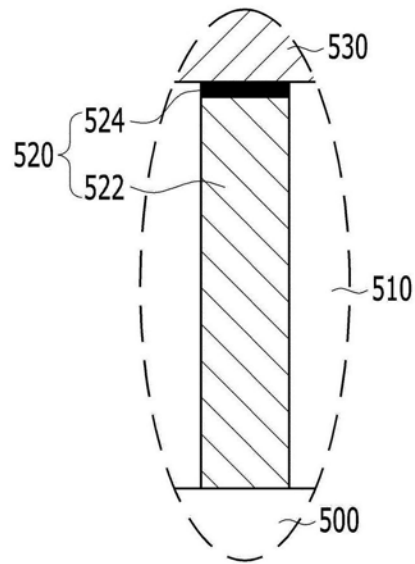


图5

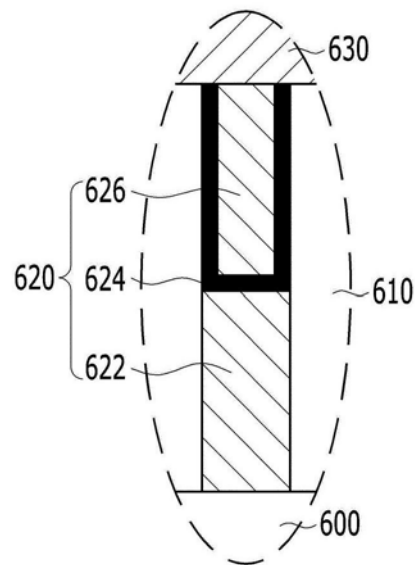


图6

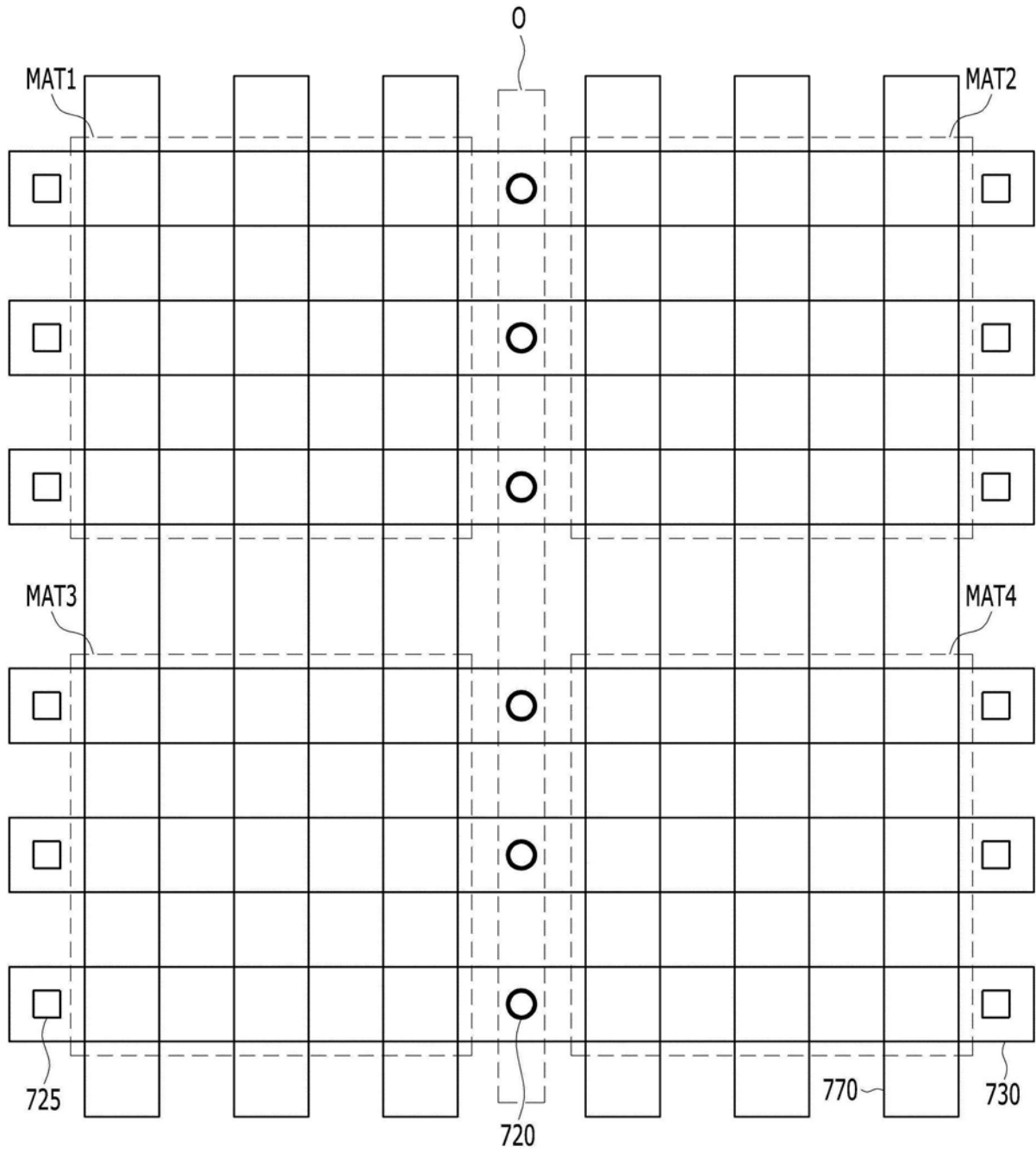


图7

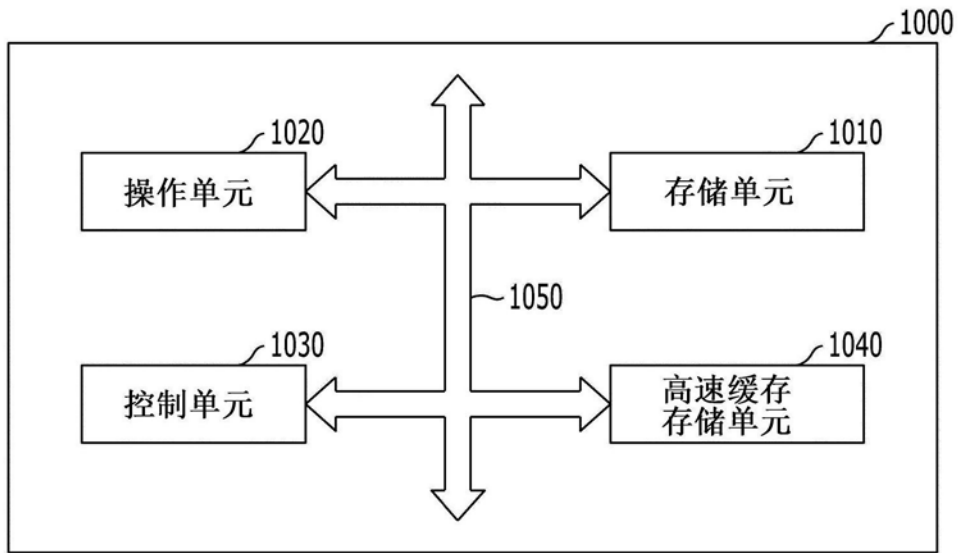


图8

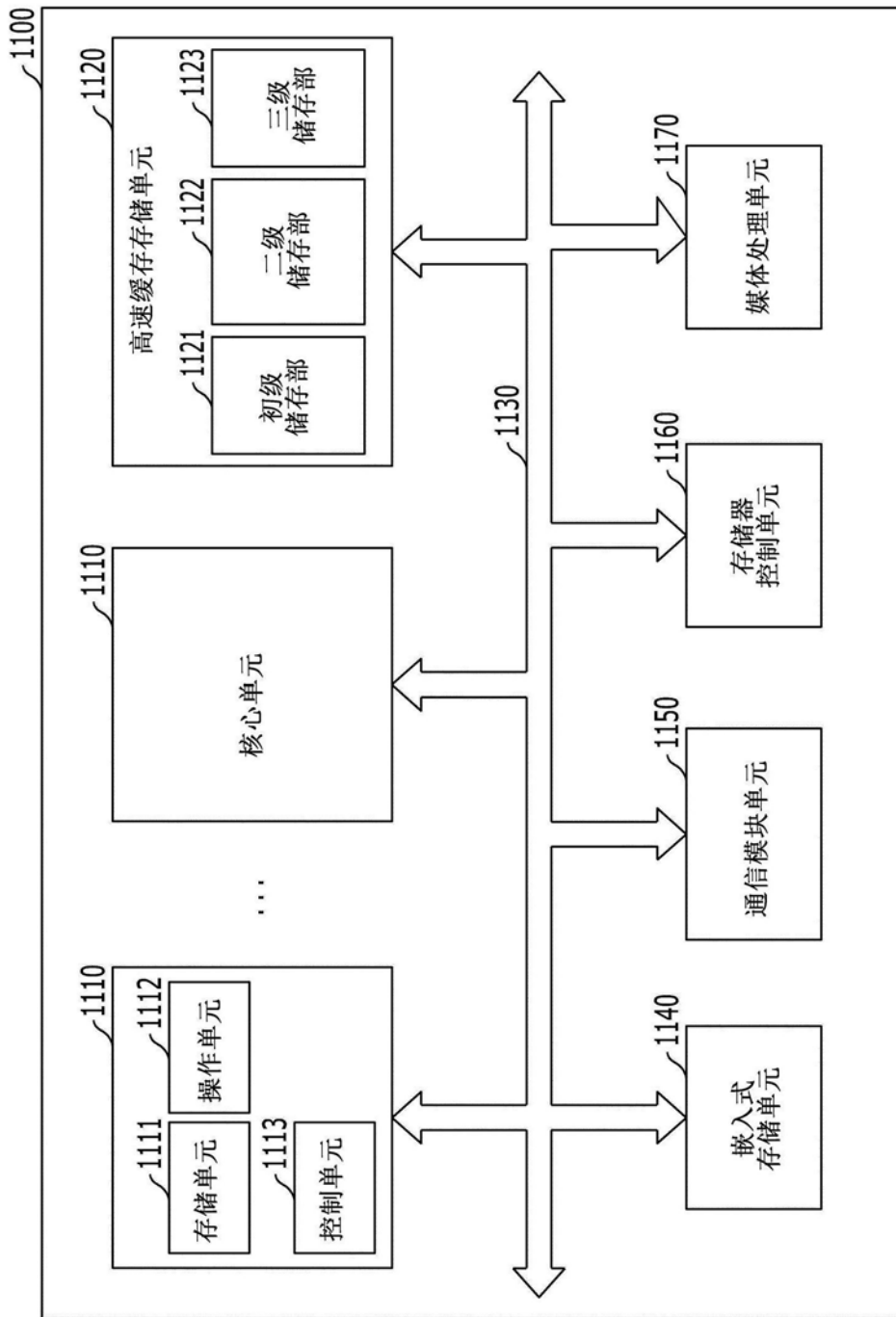


图9

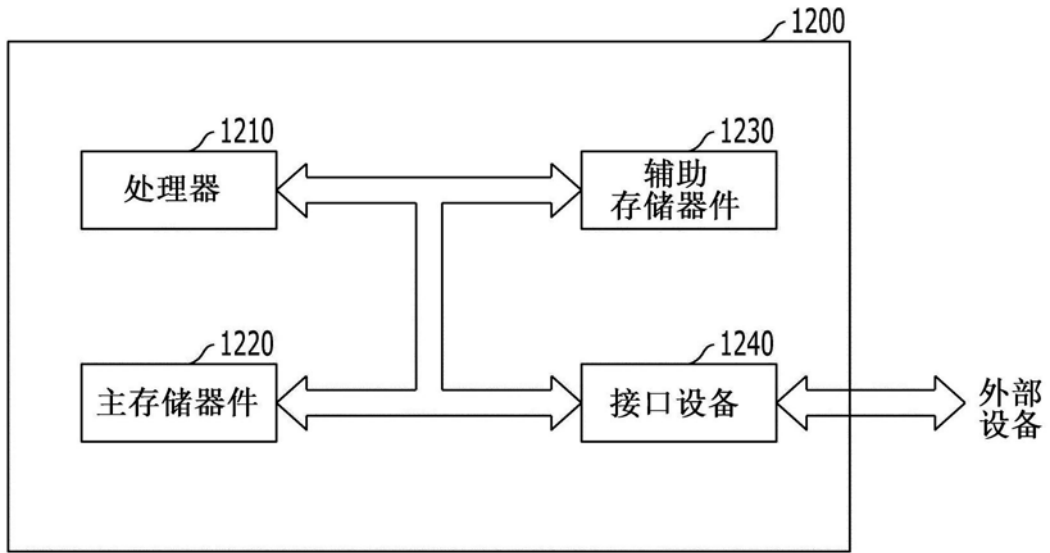


图10

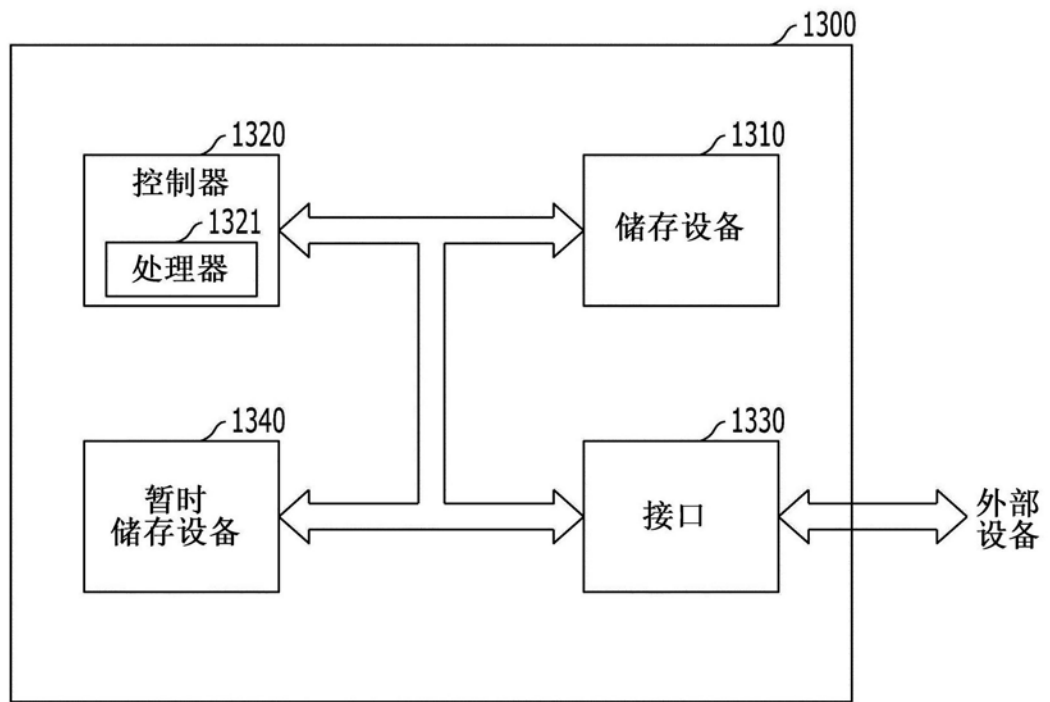


图11

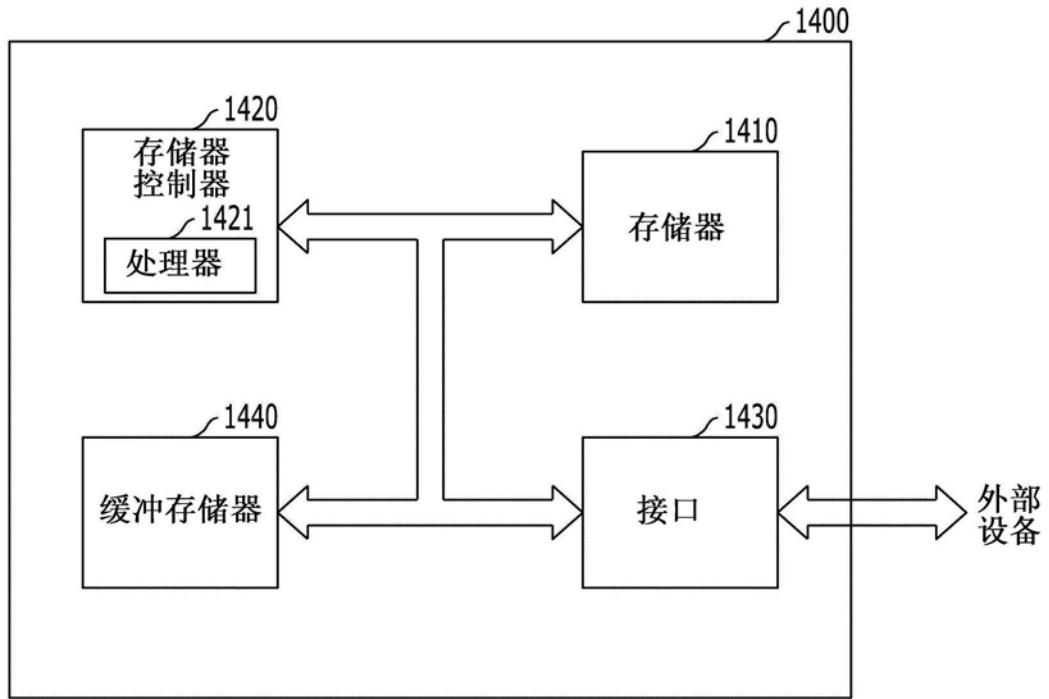


图12