

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



# [12] 发明专利申请公布说明书

[21] 申请号 200910140221.8

H01L 27/105 (2006.01)

H01L 27/108 (2006.01)

H01L 29/78 (2006.01)

H01L 29/51 (2006.01)

H01L 21/8234 (2006.01)

H01L 21/8242 (2006.01)

[43] 公开日 2010年1月13日

[11] 公开号 CN 101626022A

[22] 申请日 2009.7.9

[21] 申请号 200910140221.8

[30] 优先权

[32] 2008.7.9 [33] JP [31] 2008-179601

[71] 申请人 恩益禧电子股份有限公司

地址 日本神奈川

[72] 发明人 松原义久

[74] 专利代理机构 中原信达知识产权代理有限责  
任公司

代理人 孙志湧 穆德骏

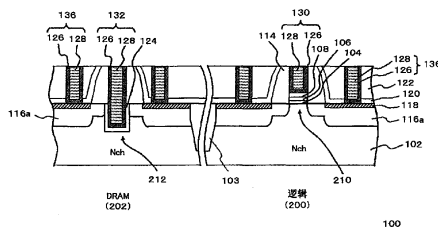
权利要求书4页 说明书15页 附图14页

## [54] 发明名称

半导体器件及其制造方法

## [57] 摘要

本发明涉及半导体器件及其制造方法。提供一种半导体器件，包括：第一晶体管，形成在衬底上，并且包括作为其栅绝缘膜的含Hf膜；以及第二晶体管，形成在所述衬底上，并且具有与所述第一晶体管的导电类型相同的导电类型，所述第二晶体管包括氧化硅膜并且不包括含Hf膜作为其栅绝缘膜。



1. 一种半导体器件，包括：

第一晶体管，形成在衬底上并且包括作为其栅绝缘膜的含 Hf 膜；  
以及

第二晶体管，形成在所述衬底上并且具有与所述第一晶体管的导电类型相同的导电类型，并且，作为该第二晶体管的栅绝缘膜，该第二晶体管包括氧化硅膜而不包括含 Hf 膜。

2. 根据权利要求 1 所述的半导体器件，其中，

所述第二晶体管的栅绝缘膜具有的等效氧化层厚度（EOT）大于所述第一晶体管的栅绝缘膜的等效氧化层厚度。

3. 根据权利要求 1 所述的半导体器件，还包括：

绝缘膜，形成在所述衬底上；

第一沟槽，形成在所述绝缘膜中；以及

第二沟槽，形成在所述绝缘膜中，

其中，所述第一晶体管包括第一栅电极，该第一栅电极由在所述第一沟槽中形成的第一金属膜和第二金属膜组成，所述第一金属膜覆盖所述第二金属膜的底表面和侧表面，以及

所述第二晶体管包括第二栅电极，该第二栅电极由在所述第二沟槽中形成的所述第一金属膜和所述第二金属膜组成，所述第一金属膜覆盖所述第二金属膜的底表面和侧表面。

4. 根据权利要求 3 所述的半导体器件，其中，

所述第二沟槽形成在所述绝缘膜中以贯穿所述绝缘膜，进而进一步形成在所述衬底中。

5. 根据权利要求 4 所述的半导体器件，其中，

所述第一沟槽只形成在所述绝缘膜中。

6. 根据权利要求 4 所述的半导体器件，其中，  
在形成于所述衬底中的所述第二沟槽中，所述第二晶体管的所述氧化硅膜覆盖所述第一金属膜的底表面和侧表面。

7. 根据权利要求 1 所述的半导体器件，该半导体器件是在所述衬底上形成有存储器区和逻辑区的嵌入式器件，其中，  
所述第一晶体管形成在所述逻辑区中，并且  
所述第二晶体管形成在所述存储器区中。

8. 根据权利要求 4 所述的半导体器件，该半导体器件是在所述衬底上形成有存储器区和逻辑区的嵌入式器件，其中，  
所述第一晶体管形成在所述逻辑区中，并且  
所述第二晶体管形成在所述存储器区中。

9. 一种制造半导体器件的方法，所述半导体器件包括在衬底上形成的并且具有相同的导电类型的第一晶体管和第二晶体管，所述方法包括：

在要形成所述第一晶体管的第一区域中选择性地形成含 Hf 膜；

在所述第一区域和要形成所述第二晶体管的第二区域中，形成由多晶硅制成的虚拟栅电极，并且在第一区域中，使用所述虚拟栅电极作为掩模来将所述含 Hf 膜蚀刻成栅极形状；

使用所述虚拟栅电极作为掩模以在所述衬底中注入杂质，并且执行热处理来形成源/漏区；

在所述衬底上形成用于掩埋所述虚拟栅电极的绝缘膜；

平坦化所述绝缘膜并且暴露所述虚拟栅电极的顶表面；

通过使用覆盖除了所述第二区域之外的区域的第一掩模来去除所述第二区域的所述虚拟栅电极，在所述绝缘膜中形成第二沟槽，以使所述衬底暴露于所述第二沟槽的底部；

在去除所述第一掩模之后，在所述第二区域中，在所述衬底的暴

露表面上形成氧化硅膜；

通过使用覆盖除了所述第一区域之外的区域的第二掩模来去除所述第一区域的所述虚拟栅电极，在所述绝缘膜中形成第一沟槽，使得含 Hf 膜保留在所述第一沟槽的底部；

在去除所述第二掩模之后，在所述衬底的整个表面上形成金属膜，以用所述金属膜掩埋所述第一沟槽和所述第二沟槽；以及

使用化学机械抛光工艺，去除暴露于所述第一沟槽和所述第二沟槽的外部的所述金属膜，以在所述第一沟槽和所述第二沟槽中的每个沟槽中形成栅电极。

10. 根据权利要求 9 所述的方法，其中，

在所述的在所述绝缘膜中的第二沟槽的形成中，使得所述第二沟槽形成在所述绝缘膜中以贯穿所述绝缘膜进而进一步形成在所述衬底中。

11. 根据权利要求 9 所述的方法，其中，

所述的选择性地形成所述含 Hf 膜包括：

在所述衬底的整个表面上形成所述含 Hf 膜；以及

选择性地去除在所述第二区域中形成的所述含 Hf 膜。

12. 根据权利要求 9 所述的方法，其中，

所述衬底是硅衬底，以及

在所述氧化硅膜的形成中，氧化所述衬底的暴露表面以形成氧化硅膜。

13. 根据权利要求 9 所述的方法，其中，

在所述氧化硅膜的形成中，将所述氧化硅膜形成为使得所述第二晶体管的栅绝缘膜具有的等效氧化层厚度 (EOT) 大于所述第一晶体管的栅绝缘膜的等效氧化层厚度。

14. 根据权利要求 9 所述的方法，其中，

所述半导体器件是在所述衬底上形成有存储器区和逻辑区的嵌入式器件，所述第一晶体管形成在所述逻辑区中，并且所述第二晶体管形成在所述存储器区中。

## 半导体器件及其制造方法

该申请基于日本专利申请 No.2008-179601，其内容通过引用结合于此。

### 技术领域

本发明涉及一种半导体器件和制造该半导体器件的方法。

### 背景技术

近年来，已经研究出利用称作高  $k$  的高介电常数膜作为构成半导体器件的材料。高  $k$  材料的代表性示例可以包括包含 Zr 和 Hf 的氧化物。如果将这些材料用于 MOSFET 的栅绝缘膜，则可以实现高速晶体管。日本未经审查的专利公布 No.2002-280461 公开了一种包括使用高  $k$  材料的 nMOSFET 和 pMOSFET 的 CMOS 器件。

另外，可以采用在形成源/漏之后形成栅电极的后栅（镶嵌栅极）工艺，作为形成金属栅的方法。日本未经审查的专利公布 No.2007-134674、No.2007-123551、No.2002-270797 和 NO.2002-184958 公开了金属栅的结构。如果使用该工艺，则难以进行构图的金属材料可以用作电极材料。

本发明的发明人已经认识到以下事实。存在构成例如动态随机存取存储器(DRAM)的一种晶体管。在这种晶体管中，可以优选的是维持优良的保持特性而不是具有高速特性。因此，在这种晶体管中，可以优选的是使用厚的氧化硅膜作为栅电介质膜，而不是使用高  $k$  介电常数膜作为栅电介质膜。

### 发明内容

在一个实施例中，提供了一种半导体器件，该半导体器件包括：第一晶体管，形成在衬底上，并且包括作为其栅绝缘膜的含 Hf 膜；以及第二晶体管，形成在衬底上，并且具有与第一晶体管的导电类型相同的导电类型，第二晶体管包括氧化硅膜并且不包括含 Hf 膜作为其栅绝缘膜。

根据该构造，可以使需要高速特性的晶体管和需要保持特性或高电压特性而不需要高速特性的晶体管中的每个具有可优选的特性。即，可以使用包括含 Hf 膜作为栅绝缘膜的第一晶体管作为需要高速特性的晶体管，所述含 Hf 膜是高介电常数膜。同时，可以使用包括氧化硅膜作为栅绝缘膜的第二晶体管，作为需要保持特性或高电压特性而不需要高速特性的晶体管。

在另一个实施例中，提供了一种制造半导体器件的方法，所述半导体器件包括在衬底上形成并且具有相同的导电类型的第一晶体管和第二晶体管，所述方法包括：在要形成第一晶体管的第一区域中选择性地形成含 Hf 膜；在第一区域和形成第二晶体管的第二区域中，形成由多晶硅制成的虚拟栅电极，并且在使用虚拟栅电极作为掩模，第一区域中的含 Hf 膜被蚀刻成栅极形状；使用虚拟栅电极作为掩模，将杂质注入衬底中，并且执行热处理以形成源/漏区；形成绝缘膜，以将虚拟栅电极掩埋在衬底上；对绝缘膜进行平坦化并且暴露虚拟栅电极的顶表面；通过使用覆盖除了第二区域之外的区域的第一掩模，去除第二区域的虚拟栅电极，在绝缘膜中形成第二沟槽，以使衬底暴露于第二沟槽的底部；在去除第一掩模之后，在第二区域中，在衬底的暴露表面上形成氧化硅膜；通过使用覆盖除了第一区域之外的区域的第二掩模，去除第一区域的虚拟栅电极，在绝缘膜中形成第一沟槽，使得含 Hf 膜保留在第一沟槽的底部；在去除第二掩模之后，在衬底的整个表面上形成金属膜，以用金属膜掩埋第一沟槽和第二沟槽；以及使用化学机械抛光工艺，去除暴露于第一沟槽和第二沟槽外部的金属膜，以在第一沟槽和第二沟槽中的每个中形成栅电极。

根据本发明的发明人的检查结果，当执行将衬底暴露于第二沟槽底部的工艺时，如果在衬底上形成含 Hf 膜，则难以通过蚀刻去除含 Hf 膜并且暴露衬底。这样的原因如下。由于当杂质注入到衬底中以形成源/漏区时执行热处理，因此在含 Hf 膜中进行 Hf 的结晶，并且变得难以通过蚀刻去含 Hf 膜。具体地来说，当含 Hf 膜不包括 Si 时，蚀刻变得困难。在以上的构造中，在执行形成源/漏区的工艺时，由于在第二区域中没有形成含 Hf 膜，因此在将衬底暴露于第二沟槽底部的工艺中，可以容易地暴露衬底的表面。同时，由于第一晶体管被构造成包括含 Hf 膜，因此当需要高速特性时，可以通过使用第一晶体管来得到期望的特性。

另外，可以包括根据本发明实施例的方法和器件的各个构造的任意组合或各种修改和变化作为本发明的多个方面。

根据本发明，即使晶体管具有相同的导电类型，也可以使晶体管根据使用目的而具有可优选的特性。

#### 附图说明

根据下面结合附图的对某些实施例进行的描述，使本发明的以上和其他目的、优点和特征更加清楚，在附图中：

图 1 是示出根据本发明实施例的半导体器件构造的横截面图；

图 2A 和图 2B 是示出制造根据本发明实施例的半导体器件的次序的工艺横截面图；

图 3A 和图 3B 是示出制造根据本发明实施例的半导体器件的次序的工艺横截面图；

图 4A 和图 4B 是示出制造根据本发明实施例的半导体器件的次序的工艺横截面图；

图 5A 和图 5B 是示出制造根据本发明实施例的半导体器件的次序的工艺横截面图；



图 6A 和图 6B 是示出制造根据本发明实施例的半导体器件的次序的工艺横截面图；

图 7A 和图 7B 是示出制造根据本发明实施例的半导体器件的次序的工艺横截面图；

图 8A 和图 8B 是示出制造根据本发明实施例的半导体器件的次序的工艺横截面图；

图 9 是示出制造根据本发明实施例的半导体器件的次序的工艺横截面图；

图 10 是示出根据本发明实施例的半导体器件构造的横截面图；

图 11A 和图 11B 是制造示出根据本发明实施例的半导体器件的次序的工艺横截面图；

图 12A 和图 12B 是制造示出根据本发明实施例的半导体器件的次序的工艺横截面图；

图 13A 和图 13B 是示出根据本发明实施例的半导体器件构造的横截面图；

图 14 是示出制造根据本发明实施例的半导体器件的次序的工艺横截面图。

### 具体实施方式

现在在此将参照示例性实施例来描述本发明。本领域的技术人员将认识到，可以使用本发明的教导来实现许多可替选的实施例，并且本发明不限于为了说明目的而示出的实施例。

下文中，将参照附图来描述本发明的实施例。另外，在所有附图中，用相同的附图标记来表示相同的组成元件，并将不再重复对其的描述。

在下面的实施例中，半导体器件是嵌入式器件，在嵌入式器件中，逻辑区和包括其中形成的诸如动态随机存取存储器(DRAM)的存储器的存储器区被形成在衬底上。这里，逻辑区形成在与存储器区不同的

区域中，不是存储器区的存储元件的外围电路。例如，逻辑区可以作为形成了诸如中央处理单元(CPU)的高速逻辑电路的区域的例子。

(第一实施例)

图 1 是示出根据本实施例的半导体器件 100 的构造的横截面图。

半导体器件 100 (衬底) 包括半导体衬底 102，在半导体衬底 102 中形成逻辑区 200 (在附图中被描述为逻辑) 和用作存储器区的动态随机存取存储器(DRAM)区 202 (在附图中被描述为 DRAM)。半导体衬底 102 例如是硅衬底。

半导体器件 100 包括第一晶体管 210 和第二晶体管 212，第一晶体管 210 和第二晶体管 212 形成在半导体衬底 102 上并且具有相同的导电类型。第一晶体管 210 形成在逻辑区 200 中。第二晶体管 212 形成在 DRAM 区 202 中。在本实施例中，第一晶体管 210 包括作为栅绝缘膜的含 Hf 栅绝缘膜 106 (含 Hf 膜)。同时，第二晶体管 212 包括作为栅绝缘膜的氧化硅膜 124，而不包括作为栅绝缘膜的含 Hf 膜。

在半导体衬底 102 的表面上形成 N 型杂质扩散区 116a。N 型杂质扩散区 116a 分别变为第一晶体管 210 和第二晶体管 212 的源/漏区。另外，在 N 型杂质扩散区 116a 的表面上形成硅化物层 118。此外，侧壁 114、绝缘膜 120 和层间绝缘膜 122 (绝缘膜) 形成在半导体衬底 102 上，以便掩埋第一晶体管 210 和第二晶体管 212 的栅绝缘膜和栅电极。另外，层间绝缘膜 122 和绝缘膜 120 提供有接触 136，接触 136 通过硅化物层 118 连接到各个 N 型杂质扩散区 116a。

第一晶体管 210 的栅绝缘膜由层压的膜组成，在该层压的膜中，栅绝缘膜 104、含 Hf 栅绝缘膜 106 和阈值控制金属膜 108 以此顺序从底面形成。第一晶体管 210 包括由第二金属膜 128 和第一金属膜 126 组成的第一栅电极 130，第二金属膜 128 形成在侧壁 114 (绝缘膜) 内

形成的第一沟槽中，第一金属膜 126 覆盖第二金属膜 128 的底表面和侧表面。

第二晶体管 212 的栅绝缘膜由氧化硅膜 124 组成。第二晶体管 212 的氧化硅膜 124 可以被形成为比第一晶体管 210 的栅绝缘膜（栅绝缘膜 104、含 Hf 栅绝缘膜 106 和阈值控制金属膜 108）具有更大的等效氧化层厚度(EOT)。第二晶体管 212 包括由第二金属膜 128 和第一金属膜 126 组成的第二栅电极 132，第二金属膜 128 形成在侧壁 114（绝缘膜）和半导体衬底 102 内形成的第二沟槽中，第一金属膜 126 覆盖第二沟槽中的第二金属膜 128 的底表面和侧表面。氧化硅膜 124 被形成为覆盖半导体衬底 102 中形成的第二沟槽中的第一金属膜 126 的底表面和侧表面。这样，在 DRAM 区 202 中，如果第二栅电极 132 刻入到半导体衬底 102 中，则可以增大第二晶体管 212 的沟道长度。结果，可以减小截止电流，并且可以得到优良的保持特性。

接着，参照图 2A 至图 9，将描述根据该实施例的制造半导体器件 100 的次序。图 2A 至图 9 是示出制造根据该实施例的半导体器件 100 的次序的工艺横截面图。在下面的描述中，作为示例的情况是：在逻辑区 200 中，形成第一晶体管 210 和导电类型与第一晶体管 210 的导电类型相反的第三晶体管 214。另外，在该实施例中，使用后栅工艺形成第一晶体管 210、第二晶体管 212 和第三晶体管 214。

在逻辑区 200 中，提供 P 型沟道区（在附图中描述为 Pch）和 N 型沟道区（在附图中描述为 Nch）。另外，可以将 DRAM 区 202 设置为 N 型沟道区。由元件分离绝缘膜 103 来分离这些区域。元件分离绝缘膜 103 可以由例如氧化硅膜组成。另外，诸如氮化硅膜的衬垫膜可以形成在元件分离绝缘膜 103 的底表面和侧表面上。

接着，在半导体衬底 102 的整个表面上形成栅绝缘膜 104。栅绝缘膜 104 可以由例如 TaN 形成。虽然在此没有示出，但是在形成栅绝缘

膜 104 之前，可以在半导体衬底 102 的整个表面上形成氧化硅膜，并且可以在氧化硅膜上形成栅绝缘膜 104。

接着，可以在半导体衬底 102 的整个表面上形成含 Hf 栅绝缘膜 106。在该实施例中，含 Hf 栅绝缘膜 106 可以由包含 Hf 而不包含硅的膜组成。含 Hf 栅绝缘膜 106 可以由例如  $\text{HfO}_2$  或 HfON 形成。

接着，形成选择性地掩蔽逻辑区 200 的抗蚀剂膜（未示出），并且通过使用相应的抗蚀剂膜作为掩模的湿法蚀刻，选择性地去除 DRAM 区 202 的含 Hf 栅绝缘膜 106。接下来，去除抗蚀剂膜（图 2A）。

接下来，在半导体衬底 102 的整个表面上形成阈值控制金属膜 108。在这种情况下，可以由例如 La 形成阈值控制金属膜 108。接着，形成只选择性地掩蔽逻辑区 200 的 N 型沟道区的抗蚀剂膜（未示出），并且通过使用相应的抗蚀剂膜作为掩模的湿法蚀刻，选择性地去除逻辑区 200 的 P 型沟道区和 DRAM 区 202 的阈值控制金属膜 108。接着，去除抗蚀剂膜（图 2B）。接下来， $\text{N}_2$  照射到半导体衬底 102 的整个表面上。

接着，在半导体衬底 102 的整个表面上形成当此后蚀刻多晶硅层时用作蚀刻停止膜的蚀刻停止膜 110（图 3A）。蚀刻停止膜 110 可以由例如 TiN 形成。

接下来，使用例如 CVD 方法，在蚀刻停止膜 110 上形成多晶硅层 112。接着，使用现有的光刻技术，以栅电极的形状顺序地对多晶硅层 112、蚀刻停止膜 110、阈值控制金属膜 108、含 Hf 栅绝缘膜 106 和栅绝缘膜 104 进行构图（图 3B）。结果，形成由多晶硅层 112 组成的虚拟栅电极。

接着，使用多晶硅层 112、虚拟栅电极作为掩模，将离子注入到半

导体衬底 102 中, 由此形成 N 型杂质扩散区 116a 和 P 型杂质扩散区 116b 的 LDD (轻度掺杂漏极) 结构。接着, 在以栅电极的形状进行构图的多晶硅层 112 和栅绝缘膜的侧面中形成侧壁 114。侧壁 114 可以由例如氮化硅膜形成。接着, 使用多晶硅层 112、虚拟栅电极和侧壁 114 作为掩模, 使杂质被离子注入到半导体衬底 102 中并且执行热处理, 由此形成 N 型杂质扩散区 116a 和 P 型杂质扩散区 116b (图 4B)。可以在例如大约 1000℃ 的温度下执行热处理。N 型杂质扩散区 116a 和 P 型杂质扩散区 116b 中的每个变成晶体管的源/漏区。

接着, 在半导体衬底 102 的整个表面上形成金属膜。在该实施例中, 金属膜由镍或钴形成。可以通过溅射来形成金属膜。接着, 执行热处理, 以使金属膜与接触相应金属膜的硅起反应, 由此形成硅化物层 118。在这种情况下, 硅化物层 118 形成在多晶硅层 112 上(图 4B)。接着, 去除未反应的金属膜。硅化物层 118 可以由例如 NiSi 或 CoSi 形成。

接下来, 绝缘膜 120 和层间绝缘膜 122 以此顺序形成在半导体衬底 102 的整个表面上, 并且掩埋多晶硅层 112、虚拟栅电极和侧壁 114 (图 5A)。绝缘膜 120 可以由例如氮化硅膜组成。层间绝缘膜 122 可以由例如氧化硅膜组成。

接着, 通过化学机械抛光 (CMP), 将层间绝缘膜 122 和绝缘膜 120 的表面平坦化 (图 5B)。此时, 还去除在多晶硅层 112 的表面上形成的硅化物层 118, 并且暴露多晶硅层 112、虚拟栅电极的顶表面。

接下来, 形成选择性地掩蔽逻辑区 200 的抗蚀剂膜 140 (第一掩模) (图 6A)。接着, 通过使用抗蚀剂膜 140 作为掩模的湿法蚀刻, 选择性地去除 DRAM 区 202 的多晶硅层 112、虚拟栅电极。结果, 在 DRAM 区 202 的侧壁 114 中形成沟槽 142 (第二沟槽)。此时, 当蚀刻多晶硅层 112 时, 蚀刻停止膜 110 变成蚀刻停止层。

接着，通过使用侧壁 114 作为掩模的干法蚀刻，顺序地并且选择性地去除沟槽 142 的底部的蚀刻停止膜 110 和栅绝缘膜 104。另外，还蚀刻沟槽 142 的底部处的半导体衬底 102。结果，沟槽 142 贯穿侧壁 114，以延伸到半导体衬底 102 的内部，并且半导体衬底 102 暴露于沟槽 142 的底部。在这种情况下，底部对应于沟槽 142 的底表面和靠近底表面的侧壁。接着，去除抗蚀剂膜 140（图 6B）。

根据本发明的发明人的检查结果，当执行将半导体衬底 102 暴露于沟槽 142 底部的工艺时，如果在半导体衬底 102 上形成含 Hf 膜，则难以通过蚀刻来去除含 Hf 膜以及暴露半导体衬底 102。原因如下：由于当杂质被注入到半导体衬底 102 中以形成 N 型杂质扩散区 116a 或 P 型杂质扩散区 116b 时执行热处理，因此含 Hf 膜中的 Hf 进行结晶，并且变得难以通过蚀刻去除含 Hf 膜。具体地说，当含 Hf 膜不包含 Si 时，蚀刻变得困难。在这个实施例中，在执行形成 N 型杂质扩散区 116a 或 P 型杂质扩散区 116b 的工艺时，由于从 DRAM 区 202 去除了含 Hf 栅绝缘膜 106，因此在将半导体衬底 102 暴露于沟槽 142 的底部的工艺中，可以容易地暴露半导体衬底 102 的表面。

接着，对半导体衬底 102 的整个表面进行热氧化。此时，在沟槽 142 的底部，由于暴露半导体衬底 102，所以沟槽 142 底部处的半导体衬底 102 的暴露表面被氧化，形成氧化硅膜 124（图 7A）。使用  $H_2O_2$ ，在大约 1060℃ 的温度下执行热氧化处理大约 10 秒。结果，可以在 DRAM 区 202 中致密地形成结晶优良的氧化硅膜 124。在这种情况下，氧化硅膜 124 可以被形成为具有的膜厚度大于含 Hf 栅绝缘膜 106 的膜厚度。氧化硅膜 124 的膜厚度可以被设定为例如 100nm。结果，可以得到优良的保持特性。

另外，甚至在逻辑区 200 中，多晶硅层 112 的顶表面也被氧化，并且形成氧化物膜 144。此时，在逻辑区 200 中，如果含 Hf 栅绝缘膜

106 暴露于表面，则含 Hf 栅绝缘膜 106 也被氧化，这样会导致降低其作为高介电常数膜的功能。在该实施例中，当在 DRAM 区 202 中形成氧化硅膜 124 时，可以保持含 Hf 栅绝缘膜 106 具有优良的特性，这是因为逻辑区 200 的含 Hf 栅绝缘膜 106 受其他层保护。

接着，形成选择性地掩蔽 DRAM 区 202 的抗蚀剂膜 146（第二掩模）。接下来，通过使用抗蚀剂膜 146 作为掩模的湿法蚀刻，选择性地去除逻辑区 200 的氧化物膜 144 和多晶硅层 112、虚拟栅电极。结果，在逻辑区 200 的侧壁 114 中形成沟槽 148（第一沟槽）（图 7B）。此时，当蚀刻多晶硅层 112 时，蚀刻停止膜 110 变成蚀刻停止层。接着，去除抗蚀剂膜 146（图 8A）。

接下来，在半导体衬底 102 的整个表面上，顺序形成第一金属膜 126 和第二金属膜 128。第一金属膜 126 可以由例如 TiAln 形成。另外，第一金属膜 126 的平坦化部分的膜厚度可以被设定为例如 10nm。第一金属膜 126 被形成为覆盖沟槽 142 和沟槽 148 的底表面和侧壁。甚至在形成第一金属膜 126 之后，在沟槽 142 和沟槽 148 中形成凹部。在该实施例中，在沟槽 142 和沟槽 148 中，第一金属膜 126 可以被构造为具有底表面部分和外围壁部分，所述底表面部分形成在栅绝缘膜（用于第一晶体管 210 的阈值控制金属膜 108 和用于第二晶体管 212 的氧化硅膜 124）的顶表面上，所述外壁部分从底表面部分的边缘竖起。接着，在第一金属膜 126 上形成第二金属膜 128，以掩埋沟槽 142 和 148。第二金属膜可以由例如 W、Al 或 Cu 形成。

接下来，通过 CMP 去除暴露于沟槽 142 和沟槽 148 外部的第二金属膜 128 和第一金属膜 126（图 8B）。结果，在逻辑区 200 的 N 型沟槽区、逻辑区 200 的 P 型沟槽区和 DRAM 区 202 中分别形成第一栅电极 130、第三栅电极 134 和第二栅电极 132。

接着，选择性地去除层间绝缘膜 122 和绝缘膜 120，由此形成连接

到作为源/漏区的 N 型杂质扩散区 116a 和 P 型杂质扩散区 116b 的接触孔。接下来,在接触孔中顺序地形成第一金属膜 126 和第二金属膜 128。与形成第一栅电极 130 的情况类似地,通过 CMP 去除暴露于接触孔外部的第二金属膜 128 和第一金属膜 126。结果,形成接触 136。另外,可以由与构成栅电极的材料相同的材料形成接触 136,或者可以由与构成栅电极的材料不同的材料形成接触 136。构成接触 136 的第二金属膜 128 可以由例如 W、Al 或 Cu 形成。

接着,在半导体衬底 102 的整个表面上形成层间绝缘膜 160 和层间绝缘膜 162。层间绝缘膜 160 和层间绝缘膜 162 中的每个可以由例如低介电常数膜组成。另外,虽然在附图中没有示出,但是可以根据需要在各个层间绝缘膜之间提供诸如蚀刻停止膜的另一膜。

接下来,在层间绝缘膜 160 和层间绝缘膜 162 中,形成用于形成插塞 186 的孔和用于形成位线 184 的双镶嵌式布线凹槽。此时,该孔和该双嵌入式布线凹槽被形成为连接到接触 136。另外,在逻辑区 200 中,该孔被形成为连接到第一栅电极 130。接着,用阻挡金属膜 180 和金属膜 182 掩埋该孔和该双嵌入式布线凹槽。阻挡金属膜 180 可以由例如 Ti、TiN、W、WN、Ta 或 TaN 形成。另外,阻挡金属膜 180 可以由层压的膜组成,在该层压的膜具有层压 TaN 和 Ta 的结构。金属膜 182 可以由例如铜形成。

接着,通过 CMP 去除暴露于该孔和该双嵌入式布线结构外部的金属膜 182 和阻挡金属膜 180,由此形成电连接到接触 136 或第一栅电极 130 的插塞 186 和位线 184。

接下来,在半导体衬底 102 的整个表面上形成层间绝缘膜 172。接着,在层间绝缘膜 172 中形成达到插塞 186 的孔,并且用阻挡金属膜 180 和金属膜 182 覆盖相应的孔。接着,通过 CMP 去除暴露于孔外部的金属膜 182 和阻挡金属膜 180,由此形成插塞 188。



接着,在半导体衬底 102 的整个表面上形成层间绝缘膜 174。接着,在 DRAM 区 202 中,层间绝缘膜 174 提供有用于形成电容器 198 的凹部。接下来,用下电极 192、电容性膜 194 和上电极 196 掩埋凹部。结果,形成电容器 198。另外,可以使用各种其他的构造和工艺制造电容器。

接下来,在半导体衬底 102 的整个表面上形成层间绝缘膜 176。在逻辑区 200 中,在层间绝缘膜 174 和层间绝缘膜 176 中形成达到插塞 188 的孔,并且用阻挡金属膜 180 和金属膜 182 掩埋相应的孔。接着,通过 CMP 去除暴露于孔外部的金属膜 182 和阻挡金属膜 180,由此形成插塞 190。以此方式,得到具有图 9 所示结构的半导体器件 100。

接着,将描述根据该实施例的半导体器件 100 的效果。

根据该实施例中的半导体器件 100,当执行形成 N 型杂质扩散区 116a 或 P 型杂质扩散区 116b 的工艺时,从 DRAM 区 202 去除含 Hf 栅绝缘膜 106。因此,在将半导体衬底 102 暴露于沟槽 142 的底表面的工艺中,可以容易地暴露半导体衬底 102 的表面。结果,沟槽 142 可以刻入到半导体衬底 102 中。如此,在 DRAM 区 202 中,如果第二栅电极 132 被刻入在半导体衬底 102 中,则可以增大第二晶体管 212 的长度。结果,可以降低截止电流,并且可以得到优良的保持特性。同时,由于逻辑区 200 的第一晶体管 210 被构造为包括含 Hf 栅绝缘膜 106,所以第一晶体管可以具有高速特性。

根据该实施例中的半导体器件 100,可以使需要高速特性的晶体管和需要保持特性或高电压特性而不需要高速特性的晶体管中的每个具有可优选的特性。即,可以使用包括含 Hf 膜作为栅绝缘膜的第一晶体管 210 作为需要高速特性的晶体管,该含 Hf 膜是高介电常数膜。同时,可以使用包括氧化硅膜的第二晶体管 212,作为需要保持特性或高电压

特性而不需要高速特性的晶体管。

(第二实施例)

图 10 是示出根据该实施例的半导体器件 100 的构造的横截面图。

第二实施例与第一实施例的不同之处在于，第二晶体管 212 的第二栅电极 132 不形成在半导体衬底 102 中。

接着，参照图 11A 至图 14，将描述制造根据该实施例的半导体器件 100 的次序。图 11A 至图 14 是示出制造根据该实施例的半导体器件 100 的次序的工艺横截面图。在后面的描述中，作为示例的情况是：在逻辑区 200 中，形成第一晶体管 210 和导电类型与第一晶体管 210 的导电类型相反的第三晶体管 214。

即使在该实施例中，由于参照图 2A 至图 5B 描述的次序与第一实施例的次序相同，所以将不再重复对其的描述。在形成如第一实施例中描述的图 5B 所示的构造之后，形成选择性地掩蔽逻辑区 200 的抗蚀剂膜 150（第一掩模）（图 11A）。接下来，通过使用抗蚀剂膜 150 作为掩模的湿法蚀刻，选择性地去除作为 DRAM 区 202 的虚拟栅电极的多晶硅层 112。结果，在 DRAM 区 202 的侧壁 114 中形成沟槽 152（第二沟槽）。此时，蚀刻停止膜 110 变成当蚀刻多晶硅层 112 时的蚀刻停止层。

接着，通过使用侧壁 114 作为掩模的干法蚀刻，顺序地并且选择性地去除沟槽 152 底部的蚀刻停止膜 110 和栅绝缘膜 104。在这种情况下，第二实施例与第一实施例的不同之处在于，不蚀刻半导体衬底 102。接下来，去除抗蚀剂膜 150（图 11B）。

接下来，半导体衬底 102 的整个表面被热氧化。此时，在沟槽 152 的底部，由于暴露了半导体衬底 102，所以沟槽 152 底部处的半导体衬

底 102 的暴露表面被氧化，并且形成氧化硅膜 154（图 12A）。可以使用  $H_2O_2$  在大约 1060℃ 的温度下，执行热氧化处理大约 10 秒。结果，可以在 DRAM 区 202 中致密地形成结晶优良的氧化硅膜。在这种情况下，氧化硅膜 154 可以被形成为具有的膜厚度大于含 Hf 栅绝缘膜 106 的膜厚度。氧化硅膜 154 的膜厚度可以被设定为例如 100nm。结果，可以得到优良的保持特性。此时，甚至在逻辑区 200 中，多晶硅层 112 的顶表面也被氧化，并且形成氧化物膜 156。

接下来，形成选择性地掩蔽 DRAM 区 202 的抗蚀剂膜 158（第二掩模）。接着，通过使用抗蚀剂膜 158 作为掩模的湿法蚀刻，选择性地去除逻辑区 200 的氧化物膜 156 和多晶硅层 112、虚拟栅电极。结果，在逻辑区 200 的侧壁 114 中形成沟槽 159（第一沟槽）（图 12B）。此时，当蚀刻多晶硅层 112 时，蚀刻停止膜 110 变成蚀刻停止层。接着，去除抗蚀剂膜 158（图 13A）。

根据与第一实施例中参照图 8B 所描述的次序相同的次序，在沟槽 152 和沟槽 159 中形成第一金属膜 126 和第二金属膜 128，然后通过 CMP 去除第一金属膜 126 和第二金属膜 128，由此在逻辑区 200 的 N 型沟道区、逻辑区 200 的 P 型沟道区和 DRAM 区 202 中分别形成第一栅电极 130、第三栅电极 134 和第二栅电极 132。

接着，根据与第一实施例中描述的次序相同的次序，得到具有图 14 所示构造的半导体器件 100。

甚至在该实施例中，在执行形成 N 型杂质扩散区 116a 或 P 型杂质扩散区 116b 的工艺时，由于从 DRAM 区 202 去除含 Hf 栅绝缘膜 106，所以在将半导体衬底 102 暴露于沟槽 152 的底部的工艺中，可以容易地暴露半导体衬底 102 的表面。结果，可以容易地暴露半导体衬底 102 的表面，并且可以在半导体衬底 102 的表面上致密地形成具有优良结晶的氧化硅膜 154。同时，由于逻辑区 200 的第一晶体管 210 被构造成

包括含 Hf 栅绝缘膜 106，所以第一晶体管可以具有高速特性。

根据该实施例中的半导体器件 100，可以使需要高速特性的晶体管和需要保持特性或高电压特性而不需要高速特性的晶体管中的每个具有可优选的特性。即，可以使用包括含 Hf 膜作为栅绝缘膜的第一晶体管 210 作为需要高速特性的晶体管，该含 Hf 膜是高介电常数膜。同时，可以使用包括氧化硅膜的第二晶体管 212，作为需要保持特性或高电压特性而不需要高速特性的晶体管。

已经参照附图描述了本发明的实施例。然而，实施例只是示例性的，并且可以采用其他各种构造。

在上述实施例中，第一晶体管 210 形成在逻辑区 200 中，并且第二晶体管 212 形成在 DRAM 区 202 中。然而，第一晶体管 210 和第二晶体管 212 可以都形成在逻辑区 200 中或者都形成在 DRAM 区 202 中。例如，在逻辑区 200 中，第二晶体管 212 可以用作需要高电压特性的晶体管，并且第一晶体管 210 可以用作需要高速特性的晶体管。

明显的是，本发明不限于以上实施例，并且在不脱离本发明的范围和精神的情况下可以进行修改和变化。

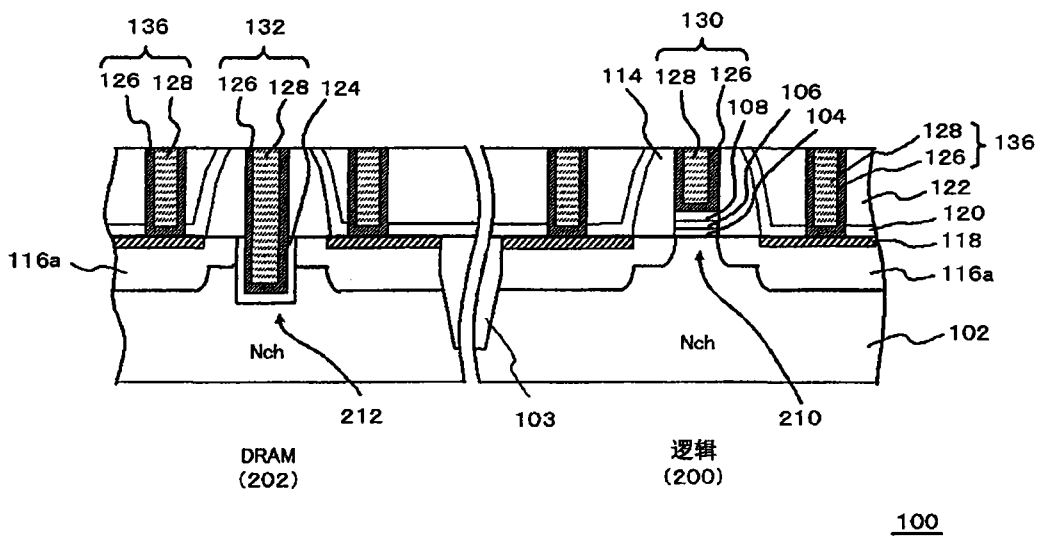


图1

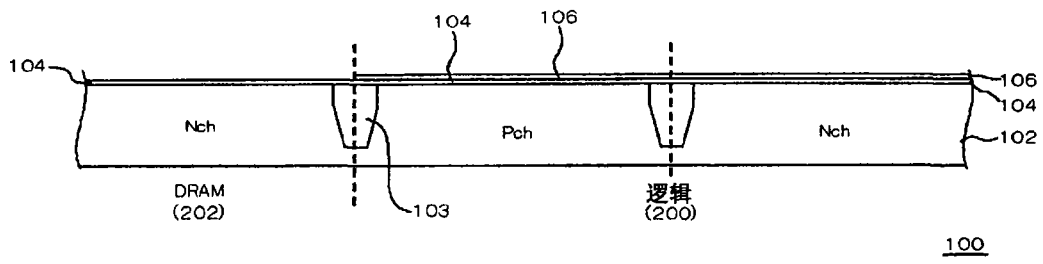


图2A

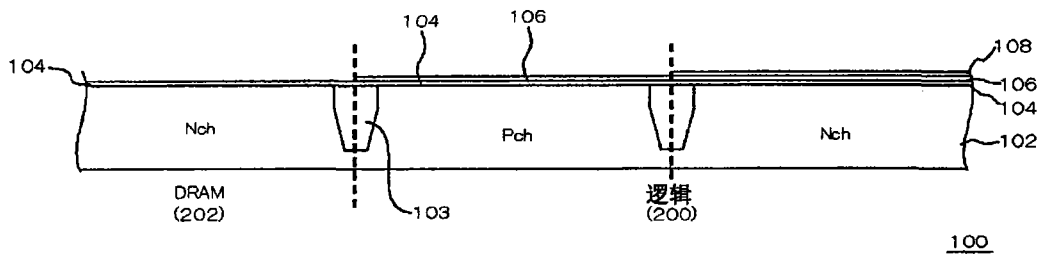


图2B

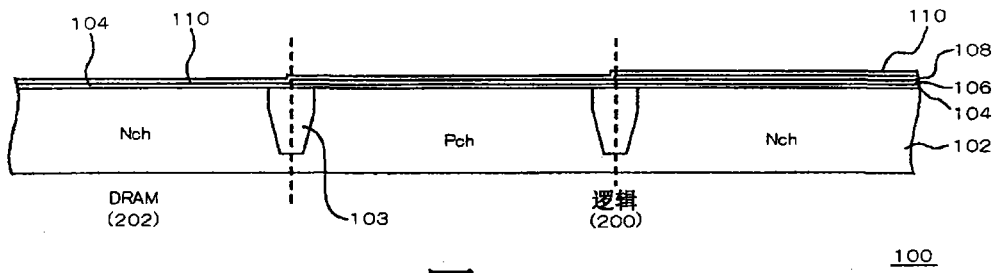


图3A

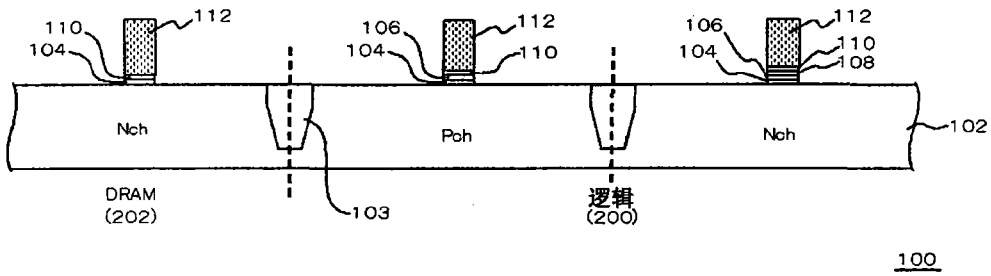


图3B

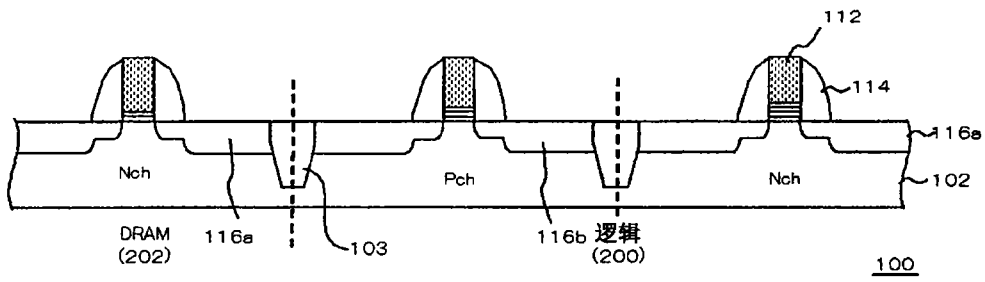


图4A

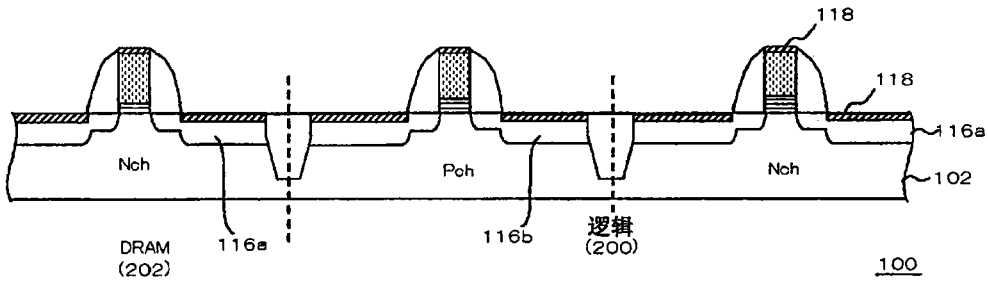


图4B



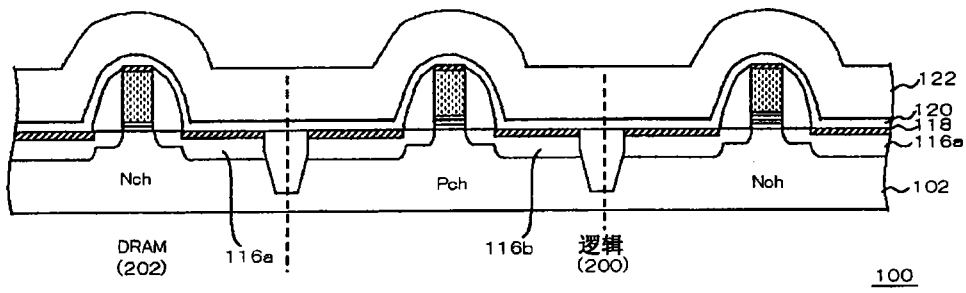


图5A

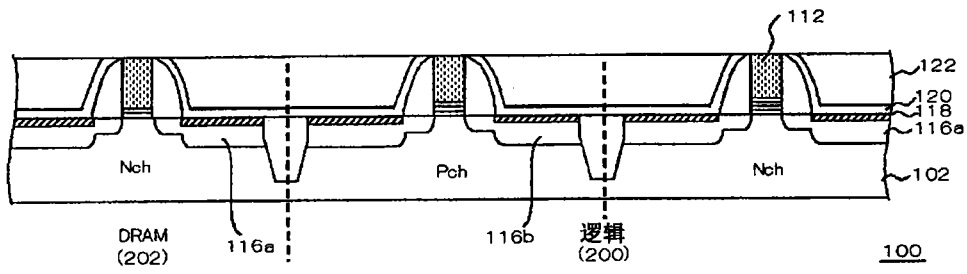


图5B

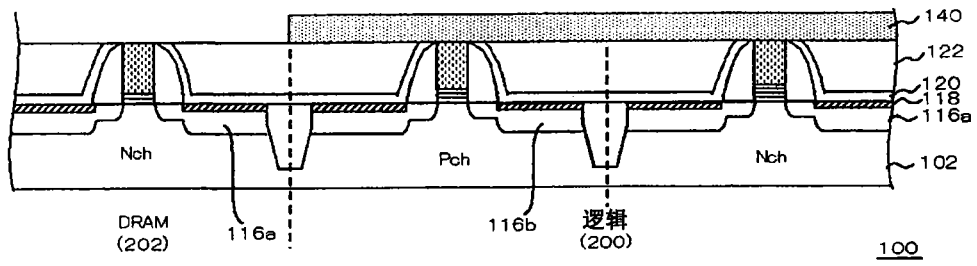


图6A

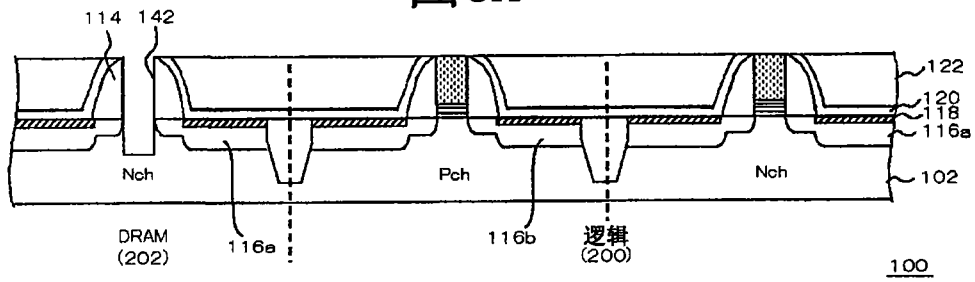


图6B

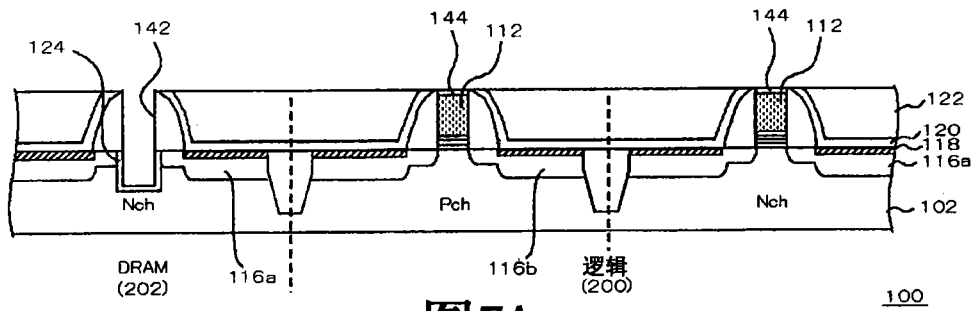


图7A

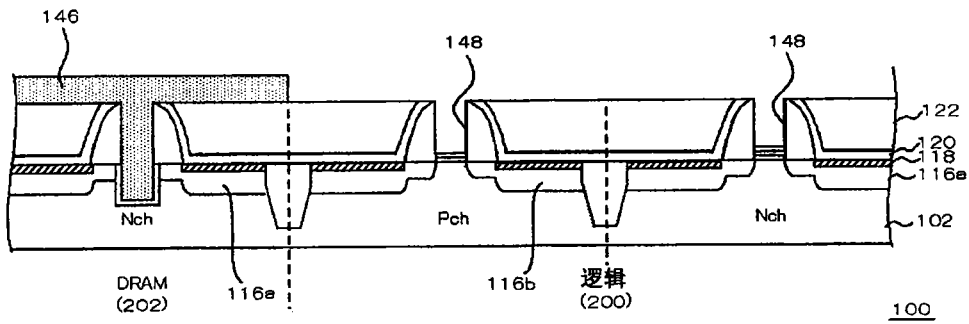


图7B

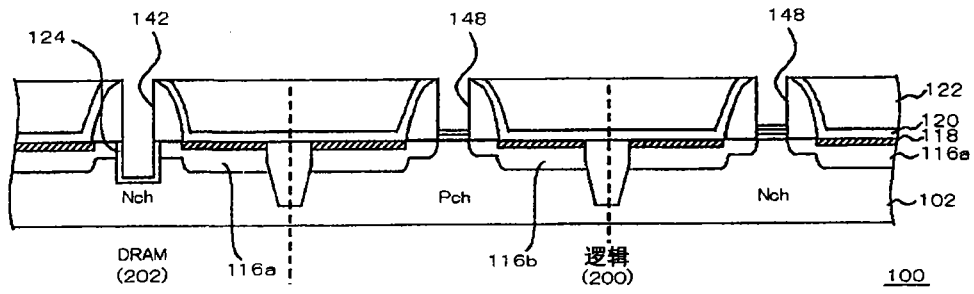


图8A

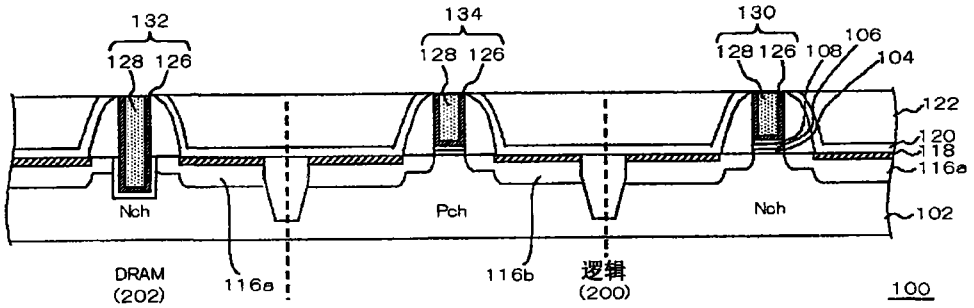


图8B

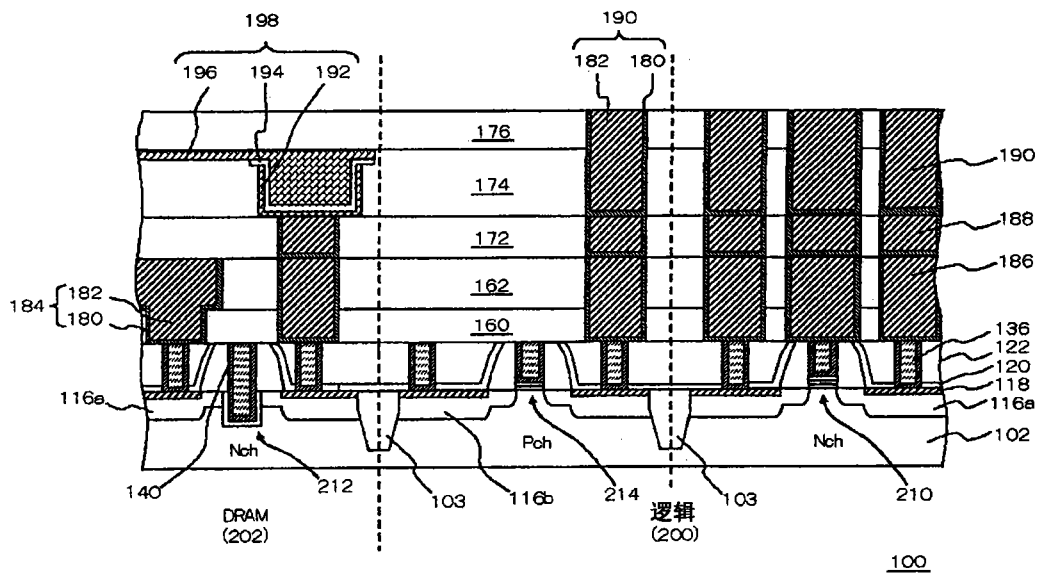


图9

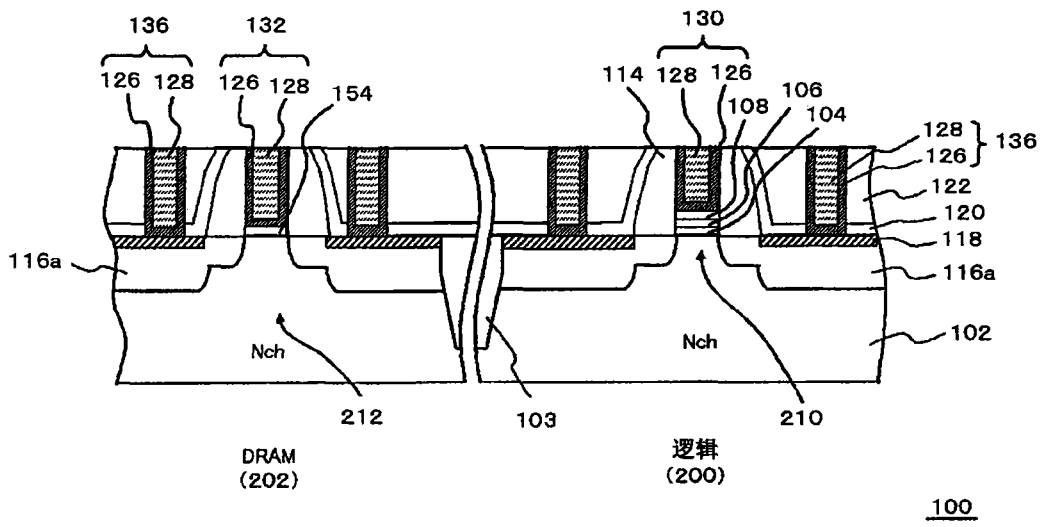


图10

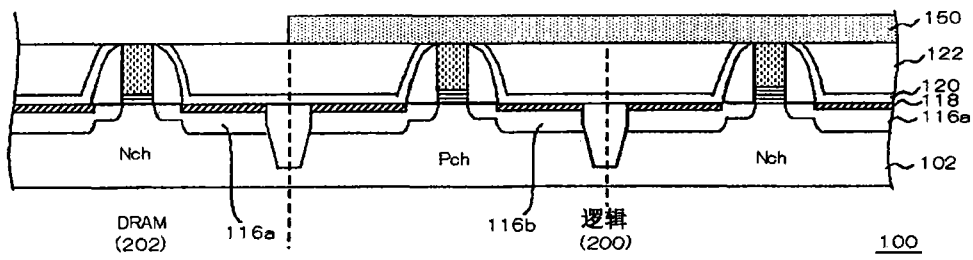


图11A

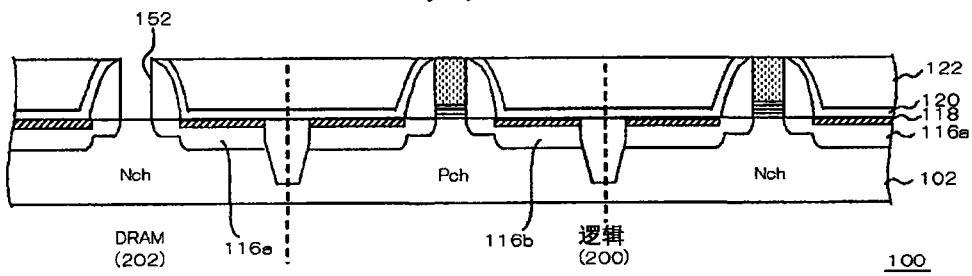


图11B

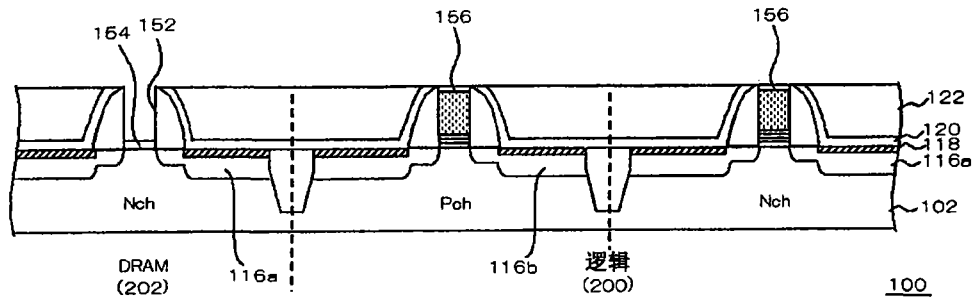


图12A

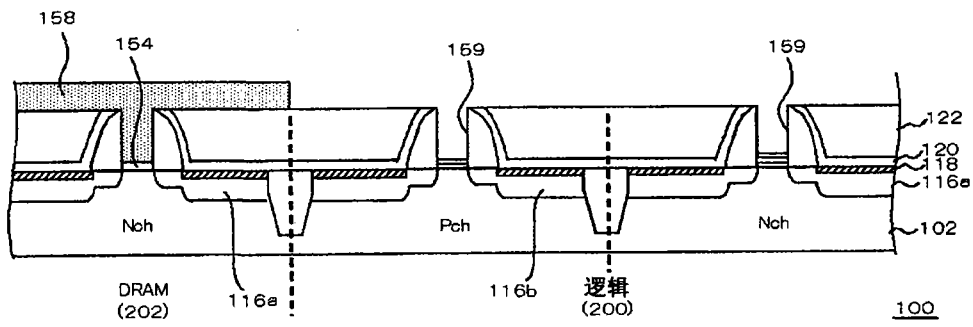


图12B



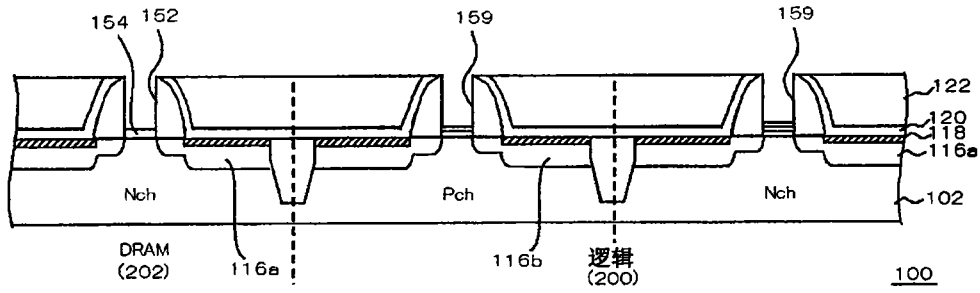


图13A

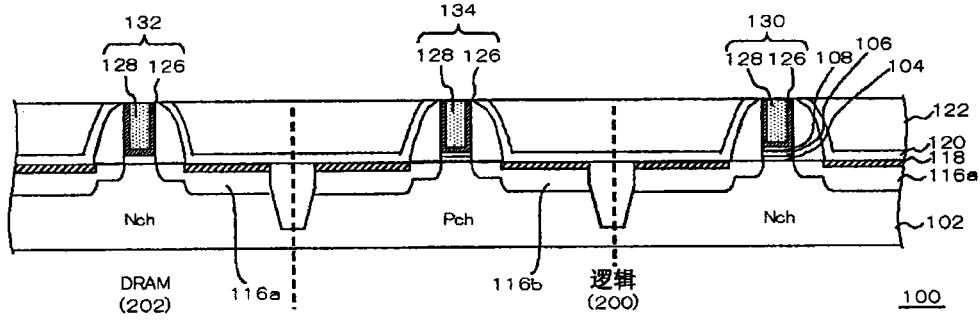


图13B

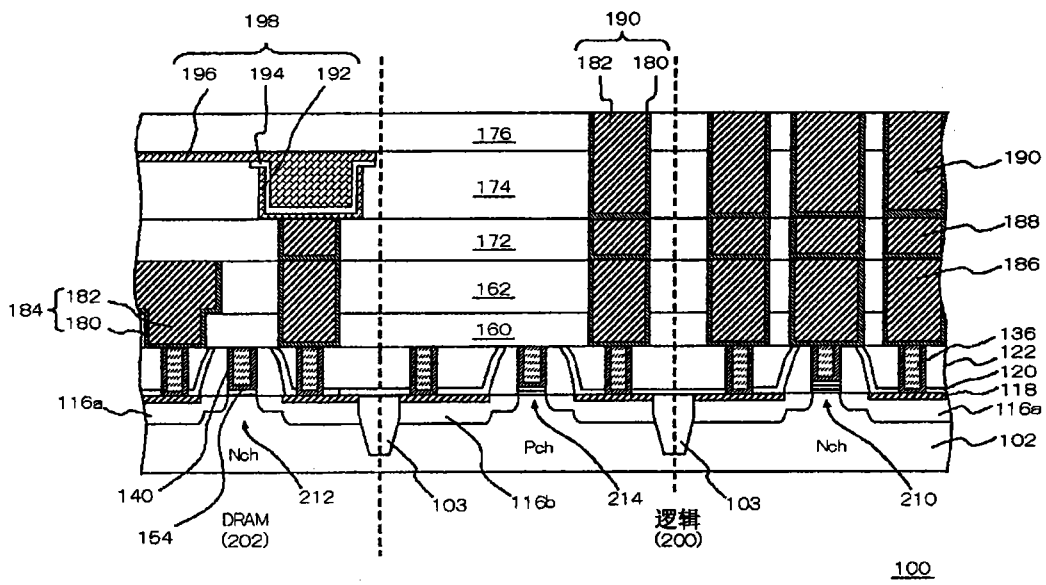


图14