



(10) **DE 10 2019 102 135 B4** 2024.05.29

(12)

Patentschrift

(21) Aktenzeichen: **10 2019 102 135.9**

(51) Int Cl.: **H01L 21/8234 (2006.01)**

(22) Anmeldetag: **29.01.2019**

(43) Offenlegungstag: **30.04.2020**

(45) Veröffentlichungstag
der Patenterteilung: **29.05.2024**

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:

62/753,682	31.10.2018	US
16/252,282	18.01.2019	US

(72) Erfinder:

Wu, Shao-Jyun, Hsinchu, TW; Pan, Sheng-Liang, Hsinchu, TW

(73) Patentinhaber:

Taiwan Semiconductor Manufacturing Co., Ltd., Hsinchu, TW

(56) Ermittelter Stand der Technik:

US 2017 / 0 110 324 A1

(74) Vertreter:

BOEHMERT & BOEHMERT Anwaltspartnerschaft mbB - Patentanwälte Rechtsanwälte, 28359 Bremen, DE

(54) Bezeichnung: **VERFAHREN ZUM HERSTELLEN EINER HALBLEITERVORRICHTUNG**

(57) Hauptanspruch: Verfahren zum Ausbilden einer Halbleitervorrichtung, das Verfahren umfassend:

Ausbilden einer ersten Dummy-Gatestruktur (75A) und einer zweiten Dummy-Gatestruktur (75B) über einer Finne (64);

Ausbilden einer ersten dielektrischen Schicht (90) um die erste Dummy-Gatestruktur und um die zweite Dummy-Gatestruktur herum;

Entfernen der ersten Dummy-Gatestruktur und der zweiten Dummy-Gatestruktur, um eine erste Vertiefung (91A) bzw. eine zweite Vertiefung (91B) in der ersten dielektrischen Schicht auszubilden;

Ausbilden einer Gatedielektrikumsschicht (82) in der ersten Vertiefung und der zweiten Vertiefung;

Ausbilden einer ersten Austrittsarbeitsschicht (84') über der Gatedielektrikumsschicht in der ersten Vertiefung und in der zweiten Vertiefung;

Entfernen der ersten Austrittsarbeitsschicht aus der ersten Vertiefung; Umwandeln einer Oberflächenschicht der ersten Austrittsarbeitsschicht in der zweiten Vertiefung in ein Oxid (85); und

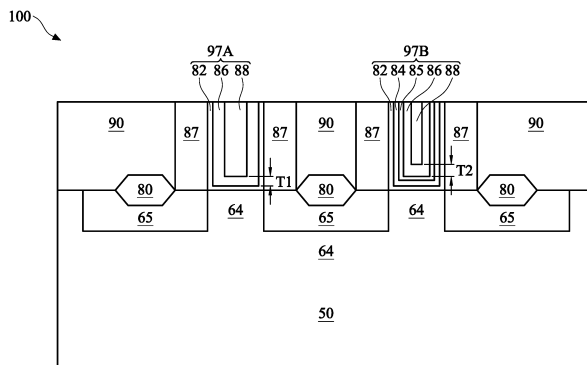
Ausbilden einer zweiten Austrittsarbeitsschicht (86) in der ersten Vertiefung über der Gatedielektrikumsschicht und in der zweiten Vertiefung über dem Oxid, wobei das Entfernen der ersten Austrittsarbeitsschicht aus der ersten Vertiefung umfasst:

Ausbilden einer strukturierten Maskenschicht (83) in der zweiten Vertiefung, um die erste Austrittsarbeitsschicht in der zweiten Vertiefung abzudecken, wobei die erste Aus-

trittsarbeitsschicht in der ersten Vertiefung von der strukturierten Maskenschicht freigelegt wird;

Durchführen eines Ätzprozesses zum Entfernen der freiliegenden ersten Austrittsarbeitsschicht in der ersten Vertiefung; und

nach dem Durchführen des Ätzprozesses, Durchführen eines Plasmaprozesses zum Entfernen der strukturierten Maskenschicht in der zweiten Vertiefung, wobei die strukturierte Maskenschicht Sauerstoff umfasst und der Plasmaprozess Sauerstoffspezies aus der strukturierten Maskenschicht erzeugt, wobei das Umwandeln der Oberflächenschicht der ersten Austrittsarbeitsschicht das Umwandeln der Oberflächenschicht der ersten Austrittsarbeitsschicht in das Oxid unter Verwendung der Sauerstoffspezies aus der strukturierten Maskenschicht umfasst.



Beschreibung

DETAILLIERTE BESCHREIBUNG

HINTERGRUND

[0001] Die Halbleiterindustrie hat aufgrund fortlaufender Verbesserungen der Integrationsdichte einer Vielzahl von elektronischen Komponenten (z. B. Transistoren, Dioden, Widerständen, Kondensatoren usw.) ein schnelles Wachstum erlebt. Meistens resultierte diese Verbesserung der Integrationsdichte aus einer wiederholten Verkleinerung der minimalen Strukturgröße, die es erlaubt, mehr Komponenten in eine vorgegebene Fläche zu integrieren.

[0002] Fin-Feldeffekttransistorvorrichtungen (FinFET-Vorrichtungen) werden allgemein in integrierten Schaltungen verwendet. FinFET-Vorrichtungen weisen eine dreidimensionale Struktur auf, die eine aus einem Substrat hervorstehende Halbleiterfinne umfasst. Eine Gatestruktur, die zum Steuern des Flusses von Ladungsträgern in einem leitfähigen Kanal der FinFET-Vorrichtung konfiguriert ist, umschließt die Halbleiterfinne. In einer Tri-Gate-FinFET-Vorrichtung umschließt beispielsweise die Gatestruktur drei Seiten der Halbleiterfinne, wodurch leitfähige Kanäle auf drei Seiten der Halbleiterfinne gebildet werden.

[0003] Aus der US 2017/0110324 A1 ist ein Verfahren zum Ausbilden von Austrittsarbeitsschichten für Transistorstrukturen bekannt.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0004] Aspekte der vorliegenden Erfindung werden am besten aus der folgenden detaillierten Beschreibung verstanden, wenn sie mit den beigefügten Zeichnungen gelesen wird. Man beachte, dass gemäß dem üblichen Vorgehen in der Branche verschiedene Merkmale nicht maßstabsgetreu gezeichnet sind. Tatsächlich können die Abmessungen der verschiedenen Merkmale zur Klarheit der Beschreibung beliebig vergrößert oder verkleinert werden.

Fig. 1 ist eine Perspektivansicht eines Fin-Feldeffekttransistors (FinFET) für einige Ausführungsformen.

Die **Fig. 2-5, 6A - 6C, 7 - 13, 14A, 14B, 15, 16A, 16B, 17A, 17B, 18A und 18B** zeigen verschiedene Ansichten (z. B. Querschnittsansichten, Draufsichten) einer FinFET-Vorrichtung in verschiedenen Herstellungsstadien gemäß einigen Ausführungsformen.

Fig. 19 zeigt ein Flussdiagramm eines Verfahrens zum Herstellen einer Halbleitervorrichtung gemäß einigen Ausführungsformen.

[0005] Die Erfindung betrifft Verfahren zum Ausbilden einer Halbleitervorrichtung mit den Merkmalen des Anspruchs 1 bzw. 9. Beispielshafte Ausführungsformen sind in den abhängigen Ansprüchen angegeben. Die folgende Offenbarung sieht viele verschiedene Ausführungsformen oder Beispiele vor, um verschiedene Merkmale der Erfindung zu implementieren. Spezielle Beispiele von Komponenten und Anordnungen sind unten beschrieben, um die vorliegende Offenbarung zu vereinfachen. Beispielsweise kann das Ausbilden eines ersten Merkmals über oder auf einem zweiten Merkmal in der folgenden Beschreibung Ausführungsformen umfassen, in denen das erste und das zweite Merkmal in direktem Kontakt ausgebildet sind, und kann auch Ausführungsformen umfassen, in denen zusätzliche Merkmale zwischen dem ersten Merkmal und dem zweiten Merkmal ausgebildet sein können, so dass das erste und das zweite Element nicht in direktem Kontakt stehen müssen.

[0006] Weiter können räumlich relative Begriffe, wie „unten“, „unter“, „unterer“, „über“, „oberer“ und ähnliche, hier der Einfachheit der Beschreibung halber verwendet werden, um die Beziehung eines Elements oder Merkmals mit einem oder mehreren anderen Elementen oder Merkmalen zu beschreiben, wie in den Figuren gezeigt ist. Die räumlich relativen Begriffe sollen verschiedene Ausrichtungen der Vorrichtung, die verwendet oder betrieben wird, zusätzlich zu der in den Figuren gezeigten Ausrichtung umfassen. Die Vorrichtung kann anders orientiert sein (um 90 Grad gedreht oder in einer anderen Ausrichtung) und die räumlich relativen Begriffe, die hier verwendet werden, können ebenfalls demgemäß interpretiert werden. In der gesamten Beschreibung bezieht sich, sofern nicht anders angegeben, das gleiche Bezugszeichen in verschiedenen Figuren auf das gleiche oder ein ähnliches Element, das durch denselben oder einen ähnlichen Prozess unter Verwendung eines oder mehrerer gleicher oder ähnlicher Materialien ausgebildet wird.

[0007] Ausführungsformen der vorliegenden Erfindung werden im Zusammenhang mit dem Ausbilden einer Halbleitervorrichtung und insbesondere im Zusammenhang mit dem Ausbilden von Austrittsarbeitsschichten einer FinFET-Vorrichtung während der Fertigung der Vorrichtung beschrieben. Die vorliegende Erfindung kann auch in anderen Arten von Vorrichtungen verwendet werden, beispielsweise bei planaren Vorrichtungen.

[0008] In einer Ausführungsform werden eine erste Dummy-Gatestruktur und eine zweite Dummy-Gatestruktur über einer Finne ausgebildet und eine dielektrische Schicht (z. B. eine dielektrische Zwischenschicht) wird um die erste Dummy-Gatestruktur

tur und um die zweite Dummy-Gatestruktur herum ausgebildet. Als nächstes werden die erste Dummy-Gatestruktur und die zweite Dummy-Gatestruktur entfernt, um eine erste Vertiefung bzw. eine zweite Vertiefung in der dielektrischen Schicht auszubilden. Eine erste Austrittsarbeitsschicht (z. B. eine p-Austrittsarbeitsschicht) wird konform ausgebildet, um Seitenwände und Böden der ersten Vertiefung und der zweiten Vertiefung auszukleiden. Eine strukturierte Maskenschicht (z. B. eine Polymerschicht wie beispielsweise eine untere Antireflexbeschichtungsschicht (BARC-Schicht)) wird dann so ausgebildet, dass sie die erste Austrittsarbeitsschicht in der zweiten Vertiefung abdeckt und die erste Austrittsarbeitsschicht in der ersten Vertiefung freilegt. Die freiliegende erste Austrittsarbeitsschicht in der ersten Vertiefung wird dann durch einen Ätzprozess entfernt. Als nächstes wird die strukturierte Maskenschicht in der zweiten Vertiefung durch einen Plasmaprozess entfernt. In der gezeigten Ausführungsform umfasst eine Zusammensetzung der strukturierten Maskenschicht Sauerstoff, wobei der Sauerstoff durch den Plasmaprozess in aktive Sauerstoffspezies umgewandelt wird. Die Sauerstoffspezies reagieren dann mit einer Oberflächenschicht der ersten Austrittsarbeitsschicht in der zweiten Vertiefung, um die Oberflächenschicht in ein Oxid (z. B. Siliziumoxid) umzuwandeln. Als nächstes wird eine zweite Austrittsarbeitsschicht (z. B. eine n-Austrittsarbeitsschicht) in der ersten Vertiefung und in der zweiten Vertiefung ausgebildet. In der gezeigten Ausführungsform ist die zweite Austrittsarbeitsschicht, die in der zweiten Vertiefung ausgebildet wird, dicker als die zweite Austrittsarbeitsschicht, die in der ersten Vertiefung ausgebildet wird, weil das Oxid in der zweiten Vertiefung der Abscheidung der zweiten Austrittsarbeitsschicht förderlich ist. Als nächstes wird ein Füllmetall ausgebildet, um die erste Vertiefung und die zweite Vertiefung zu füllen, um ein erstes Metallgate bzw. ein zweites Metallgate auszubilden. In einigen Ausführungsformen wird durch Ändern der Dauer des Plasmaprozesses oder durch Ändern der Strömungsrate des im Plasmaprozess verwendeten Stickstoffs die Dicke der Oxidschicht geändert, was wiederum die Dicke der zweiten Austrittsarbeitsschicht ändert, die über der Oxidschicht ausgebildet wird. Daher haben das erste Metallgate und das zweite Metallgate unterschiedlich dicke zweite Austrittsarbeitsschichten, was zusammen mit der unterschiedlichen Struktur des ersten Metallgates und des zweiten Metallgates zu einer unterschiedlichen Schwellenspannung V_t für das erste Metallgate und das zweite Metallgate führt.

[0009] Fig. 1 zeigt ein Beispiel eines FinFET 30 in einer Perspektivansicht. Der FinFET 30 umfasst ein Substrat 50 und eine Finne 64, die über das Substrat 50 vorsteht. Isolationsbereiche 62 sind auf gegenüberliegenden Seiten der Finne 64 ausgebildet,

wobei die Finne 64 über die Isolationsbereiche 62 vorsteht. Ein Gatedielektrikum 66 ist entlang Seitenwänden und über einer oberen Fläche der Finne 64 angeordnet und ein Gate 68 ist über dem Gatedielektrikum 66 angeordnet. Source/Drain-Bereiche 80 befinden sich in der Finne 64 und auf gegenüberliegenden Seiten des Gatedielektrikums 66 und des Gates 68. Fig. 1 zeigt ferner Referenzquerschnitte, die in späteren Figuren verwendet werden. Der Querschnitt B-B erstreckt sich entlang einer Längsachse des Gates 68 des FinFET 30. Der Querschnitt A-A steht im rechten Winkel zu dem Querschnitt B-B und verläuft entlang einer Längsachse der Finne 64 und beispielsweise in einer Richtung eines Stromflusses zwischen den Source/Drain-Bereichen 80. Der Querschnitt C-C ist parallel zum Querschnitt B-B und kreuzt die Source/Drain-Bereiche 80. Der Querschnitt D-D ist parallel zu dem Querschnitt A-A und außerhalb der Finne 64. Die nachfolgenden Figuren beziehen sich der Klarheit halber auf diese Referenzquerschnitte.

[0010] Die Fig. 2 - 5, 6A - 6C, 7 - 13, 14A, 14B, 15, 16A, 16B, 17A, 17B, 18A und 18B zeigen verschiedene Ansichten (z. B. Querschnittsansichten, Draufsichten) einer FinFET-Vorrichtung 100 in verschiedenen Herstellungsstadien gemäß einigen Ausführungsformen. In der vorliegenden Offenbarung beziehen sich Figuren mit der gleichen Ziffer, aber unterschiedlichen Buchstaben (z. B. 14A, 14B) auf unterschiedliche Ansichten der FinFET-Vorrichtung 100 in demselben Herstellungsstadium. Die FinFET-Vorrichtung 100 ähnelt dem FinFET 30 in Fig. 1 mit Ausnahme der mehreren Finnen und mehreren Gatestrukturen. Die Fig. 2 - 5 zeigen Querschnittsansichten der FinFET-Vorrichtung 100 entlang des Querschnitts B-B und die Fig. 6A, 7 - 13 und 14A zeigen Querschnittsansichten der FinFET-Vorrichtung 100 entlang des Querschnitts A-A. Die Fig. 6B und 6C zeigen verschiedene Querschnittsansichten der Ausführungsform der FinFET-Vorrichtung 100 entlang des Querschnitts C-C. Fig. 14B zeigt die Querschnittsansicht der FinFET-Vorrichtung 100 entlang des Querschnitts D-D. Fig. 15 ist eine Draufsicht der FinFET-Vorrichtung 100. Die Fig. 16A und 17A zeigen Querschnittsansichten der FinFET-Vorrichtung 100 entlang des Querschnitts D-D und die Fig. 16B und 17B zeigen Querschnittsansichten der FinFET-Vorrichtung 100 entlang des Querschnitts B-B. Die Fig. 18A und Fig. 18B zeigen Querschnittsansichten der FinFET-Vorrichtung 100 entlang der Querschnitte A-A bzw. B-B.

[0011] Fig. 2 zeigt eine Querschnittsansicht eines Substrats 50. Das Substrat 50 kann ein Halbleiter-substrat sein, beispielsweise ein Bulk-Halbleiter, ein Halbleiter-auf-Isolator-Substrat (SOI-Substrat) oder dergleichen, das (z. B. mit einem p- oder einem n-Dotierstoff) dotiert oder undotiert sein kann. Das Substrat 50 kann ein Wafer sein, etwa ein Silizium-

wafer. Im Allgemeinen umfasst ein SOI-Substrat eine Schicht aus einem Halbleitermaterial, das auf einer Isolierschicht ausgebildet ist. Die Isolierschicht kann beispielsweise eine vergrabene Oxidschicht (BOX-Schicht), eine Siliziumoxidschicht oder dergleichen sein. Die Isolierschicht ist auf einem Substrat vorgesehen, üblicherweise einem Silizium- oder Glassubstrat. Es können auch andere Substrate verwendet werden, beispielsweise ein Mehrschicht- oder ein Gradientensubstrat. In einigen Ausführungsformen kann das Halbleitermaterial des Substrats 50 Silizium; Germanium; einen Verbindungshalbleiter, beispielsweise Siliziumkarbid, Gallium-Arsen, Galliumphosphid, Indiumphosphid, Indiumarsenid und/oder Indiumantimonid; einen Legierungshalbleiter, beispielsweise SiGe, GaAsP, AlInAs, AlGaAs, GaInAs, GaInP und/oder GaInAsP; oder Kombinationen davon umfassen.

[0012] Wie in **Fig. 2** gezeigt, umfasst das Substrat 50 einen Bereich 200 und einen Bereich 300, die zum Ausbilden unterschiedlicher Typen von Halbleitervorrichtungen (z. B. dem n-Typ und dem p-Typ) verwendet werden können. Zum Beispiel kann der Bereich 200 zum Ausbilden von n-Transistoren verwendet werden und kann als n-Vorrichtungsbereich bezeichnet werden (z. B. ein NMOS-Bereich) und der Bereich 300 kann zum Ausbilden von p-Transistoren verwendet werden und kann als p-Vorrichtungsbereich bezeichnet werden (z. B. ein PMOS-Bereich).

[0013] Mit Bezug auf **Fig. 3** wird das in **Fig. 2** gezeigte Substrat 50 unter Verwendung beispielsweise von Photolithographie- und Ätztechniken strukturiert. Beispielsweise wird eine Maskenschicht, wie eine Pad-Oxidschicht 52 (Fülloxidschicht) und eine darüber liegende Pad-Nitridschicht 56 (Füllnitridschicht), über dem Substrat 50 ausgebildet. Die Pad-Oxidschicht 52 kann eine Dünnschicht sein, die Siliziumoxid umfasst, das beispielsweise unter Verwendung eines thermischen Oxidationsprozesses ausgebildet wird. Die Pad-Oxidschicht 52 kann als Haftschicht zwischen dem Substrat 50 und der darüber liegenden Pad-Nitridschicht 56 dienen und kann als Ätzstoppschicht zum Ätzen der Pad-Nitridschicht 56 dienen. In einigen Ausführungsformen besteht die Pad-Nitridschicht 56 aus Siliziumnitrid, Siliziumoxy-nitrid, Siliziumkarbonitrid oder dergleichen oder einer Kombination davon und kann beispielsweise unter Verwendung chemischer Niederdruck-Gasphasenabscheidung (LPCVD) oder plasmaunterstützter chemischer Gasphasenabscheidung (PECVD) ausgebildet werden.

[0014] Die Maskenschicht kann unter Verwendung von Photolithographietechniken strukturiert werden. Im Allgemeinen verwenden Photolithographietechniken ein Photoresistmaterial (nicht gezeigt), das abgeschieden, bestrahlt (belichtet) und entwickelt wird, um einen Teil des Photoresistmaterials zu ent-

fernen. Das verbleibende Photoresistmaterial schützt das darunterliegende Material, wie in diesem Beispiel die Maskenschicht, vor nachfolgenden Verarbeitungsschritten, wie etwa Ätzen. In diesem Beispiel wird das Photoresistmaterial verwendet, um die Pad-Oxidschicht 52 und die Pad-Nitridschicht 56 zu strukturieren, um eine strukturierte Maske 58 auszubilden, wie in **Fig. 3** gezeigt ist.

[0015] Die strukturierte Maske 58 wird anschließend verwendet, um freiliegende Abschnitte des Substrats 50 zu strukturieren, um Gräben 61 auszubilden, wodurch Halbleiterfinnen 64 (auch als Finnen bezeichnet) zwischen benachbarten Gräben 61 definiert wird, wie in **Fig. 3** gezeigt ist. In einigen Ausführungsformen werden die Halbleiterfinnen 64 durch Ätzen von Gräben in dem Substrat 50 unter Verwendung von beispielsweise reaktivem Ionenätzen (RIE), Neutralstrahlätzen (NBE) oder dergleichen oder einer Kombination davon ausgebildet. Das Ätzverfahren kann anisotrop sein. In einigen Ausführungsformen können die Gräben 61 (von oben gesehen) Streifen sein, die parallel zueinander und in engem Abstand zueinander angeordnet sind. In einigen Ausführungsformen können die Gräben 61 durchgängig sein und die Halbleiterfinnen 64 umgeben. Nachdem die Halbleiterfinnen 64 ausgebildet sind, kann die strukturierte Maske 58 durch Ätzen oder ein beliebiges geeignetes Verfahren entfernt werden.

[0016] Die Finnen 64 können durch irgendein geeignetes Verfahren strukturiert werden. Zum Beispiel können die Finnen 64 unter Verwendung eines oder mehrerer Photolithographieprozesse, beispielsweise Doppelstrukturierungs- oder Mehrfachstrukturierungsprozesse, strukturiert werden. Im Allgemeinen kombinieren Doppelstrukturierungs- oder Mehrfachstrukturierungsprozesse Photolithographie- und selbstjustierte Prozesse, so dass Strukturen erzeugt werden können, die beispielsweise Mittenabstände aufweisen, die kleiner als die sind, die sonst mit einem einzigen, direkten Photolithographieprozess erhalten werden können. Zum Beispiel wird in einer Ausführungsform eine Opferschicht über einem Substrat ausgebildet und unter Verwendung eines Photolithographieprozesses strukturiert. Abstandshalter werden neben der strukturierten Opferschicht unter Verwendung eines selbstjustierten Prozesses ausgebildet. Die Opferschicht wird dann entfernt und die verbleibenden Abstandshalter oder Dorne können dann verwendet werden, um die Finnen zu strukturieren.

[0017] **Fig. 4** zeigt die Ausbildung eines Isolationsmaterials zwischen benachbarten Halbleiterfinnen 64, um Isolationsbereiche 62 auszubilden. Das Isolationsmaterial kann ein Oxid wie Siliziumoxid, ein Nitrid, dergleichen oder eine Kombination davon sein und kann durch eine chemische Gasphasenabschei-

derung im hochdichten Plasma (HDP-CVD), eine fließfähige CVD (FCVD) (z. B. eine CVD-basierte Abscheidung von Material in einem entfernten Plasmasystem und eine Nachhärtung, um es zu einem anderen Material wie einem Oxid umzuwandeln), dergleichen oder eine Kombination davon ausgebildet werden. Andere Isolationsmaterialien und/oder andere Ausbildungsprozesse können verwendet werden. In der gezeigten Ausführungsform ist das Isolationsmaterial Siliziumoxid, das durch einen FCVD-Prozess ausgebildet wird. Ein Tempervorgang kann durchgeführt werden, sobald das Isoliermaterial ausgebildet ist. Ein Planarisierungsprozess, wie beispielsweise ein chemisch-mechanisches Polieren (CMP), kann jegliches überschüssiges Isolationsmaterial (und, falls vorhanden, die strukturierte Maske 58) entfernen und obere Flächen der Isolationsbereiche 62 und obere Flächen der Halbleiterfinnen 64 ausbilden, die koplanar sind (nicht gezeigt).

[0018] In einigen Ausführungsformen umfassen die Isolationsbereiche 62 an der Grenzfläche zwischen dem Isolationsbereich 62 und dem Substrat 50/den Halbleiterfinnen 64 eine Auskleidung, z. B. ein Auskleidungsoxid (nicht gezeigt). In einigen Ausführungsformen wird das Auskleidungsoxid ausgebildet, um Kristalldefekte an der Grenzfläche zwischen dem Substrat 50 und dem Isolationsbereich 62 zu verringern. In ähnlicher Weise kann das Auskleidungsoxid auch verwendet werden, um Kristalldefekte an der Grenzfläche zwischen den Halbleiterfinnen 64 und dem Isolationsbereich 62 zu verringern. Das Auskleidungsoxid (z. B. Siliziumoxid) kann ein thermisches Oxid sein, das durch thermische Oxidation einer Oberflächenschicht des Substrats 50 ausgebildet wird, obwohl auch ein anderes geeignetes Verfahren zum Ausbilden des Auskleidungsoxids verwendet werden kann.

[0019] Als nächstes werden die Isolationsbereiche 62 vertieft, um Flachgrabenisolationsbereiche (STI-Bereiche) auszubilden. Die Isolationsbereiche 62 werden derart vertieft, dass die oberen Abschnitte der Halbleiterfinnen 64 zwischen benachbarten Isolationsbereichen 62 hervorsteht. Die oberen Flächen der Isolationsbereiche 62 können eine flache Oberfläche (wie gezeigt), eine konvexe Oberfläche, eine konkave Oberfläche (wie etwa Dishing bzw. Mulden) oder eine Kombination davon aufweisen. Die oberen Flächen der Isolationsbereiche 62 können durch eine geeignete Ätzung flach, konvex und/oder konkav ausgebildet werden. Die Isolationsbereiche 62 können unter Verwendung eines geeigneten Ätzprozesses vertieft werden, der beispielsweise selektiv für das Material der Isolationsbereiche 62 ist. Beispielsweise kann ein Nassätzprozess unter Verwendung von verdünnter Fluorwasserstoffsäure (dHF) verwendet werden.

[0020] Die Fig. 2 bis 4 zeigen eine Ausführungsform zum Ausbilden der Finnen 64, aber die Finnen können in anderen Prozessen ausgebildet werden. In einem Beispiel kann eine dielektrische Schicht über einer oberen Fläche eines Substrats ausgebildet werden; Gräben können durch die dielektrische Schicht geätzt werden; homoepitaktische Strukturen können in den Gräben epitaktisch gezüchtet werden; und die dielektrische Schicht kann so vertieft werden, dass die homoepitaktischen Strukturen aus der dielektrischen Schicht hervorstehen, so dass sie Finnen bilden. In einem weiteren Beispiel können heteroepitaktische Strukturen für die Finnen verwendet werden. Zum Beispiel können die Halbleiterfinnen vertieft werden und ein von den Halbleiterfinnen verschiedenes Material kann an ihrer Stelle epitaktisch gezüchtet werden.

[0021] In noch einem weiteren Beispiel kann eine dielektrische Schicht über einer oberen Fläche eines Substrats ausgebildet werden; Gräben können durch die dielektrische Schicht geätzt werden; heteroepitaktische Strukturen können in den Gräben unter Verwendung eines Materials epitaktisch gezüchtet werden, das sich von dem Substrat unterscheidet; und die dielektrische Schicht kann so vertieft werden, dass die heteroepitaktischen Strukturen aus der dielektrischen Schicht hervorstehen, so dass sie Finnen bilden.

[0022] In einigen Ausführungsformen, in denen homoepitaktische oder heteroepitaktische Strukturen epitaktisch gezüchtet werden, können die gezüchteten Materialien während des Wachstums in situ dotiert werden, was vorherige und nachfolgende Implantierungen unnötig machen kann, obwohl In-Situ-Dotierung und Implantationsdotierung zusammen verwendet werden können. Weiterhin kann es vorteilhaft sein, ein Material in einem NMOS-Bereich epitaktisch zu züchten, das sich von dem Material in einem PMOS-Bereich unterscheidet. In verschiedenen Ausführungsformen können die Finnen Silizium-Germanium ($\text{Si}_x\text{Ge}_{1-x}$, wobei x zwischen etwa 0 und 1 liegen kann), Siliziumkarbid, reines oder im Wesentlichen reines Germanium, einen III-V-Verbindungshalbleiter, einen II-VI-Verbindungshalbleiter oder dergleichen umfassen. Beispielsweise umfassen die verfügbaren Materialien zum Ausbilden von III-V-Verbindungshalbleitern ohne Einschränkungen InAs, AlAs, GaAs, InP, GaN, InGaAs, InAlAs, GaSb, AlSb, AlP, GaP und dergleichen.

[0023] Fig. 5 zeigt die Ausbildung einer Dummy-Gatestruktur 75 über den Halbleiterfinnen 64. Die Dummy-Gatestruktur 75 umfasst in einigen Ausführungsformen ein Gatedielektrikum 66 und ein Gate 68. Die Dummy-Gatestruktur 75 kann durch Strukturieren einer Maskenschicht, einer Gateschicht und einer Gatedielektrikumsschicht ausgebildet werden, wobei die Maskenschicht, die Gateschicht und die

Gatedielektrumsschicht ein gleiches Material wie die Maske 70, das Gate 68 bzw. das Gatedielektrum 66 umfassen. Um die Dummy-Gatestruktur 75 auszubilden, wird die Gatedielektrumsschicht auf den Halbleiterfinnen 64 und den Isolationsbereichen 62 ausgebildet. Die Gatedielektrumsschicht kann beispielsweise aus Siliziumoxid, Siliziumnitrid, Mehrschichten davon oder dergleichen bestehen und kann durch geeignete Techniken abgeschieden oder thermisch gezüchtet werden.

[0024] Die Gateschicht wird über der Gatedielektrumsschicht ausgebildet und die Maskenschicht wird über der Gateschicht ausgebildet. Die Gateschicht kann über der Gatedielektrumsschicht abgeschieden und dann planarisiert werden, beispielsweise durch ein CMP. Die Maskenschicht kann über der Gateschicht abgeschieden werden. Die Gateschicht kann zum Beispiel aus Polysilizium ausgebildet sein, obwohl auch andere Materialien verwendet werden können. Die Maskenschicht kann beispielsweise aus Siliziumnitrid oder dergleichen ausgebildet sein.

[0025] Nachdem die Gatedielektrumsschicht, die Gateschicht und die Maskenschicht ausgebildet sind, kann die Maskenschicht unter Verwendung geeigneter Photolithographie- und Ätztechniken strukturiert werden, um die Maske 70 auszubilden. Die Struktur der Maske 70 kann dann durch eine geeignete Ätztechnik auf die Gateschicht und die Gatedielektrumsschicht übertragen werden, um das Gate 68 bzw. das Gatedielektrum 66 auszubilden. Das Gate 68 und das Gatedielektrum 66 bedecken jeweilige Kanalbereiche der Halbleiterfinnen 64. Das Gate 68 kann auch eine Längsrichtung aufweisen, die im Wesentlichen senkrecht zu der Längsrichtung der jeweiligen Halbleiterfinnen 64 ist. Obwohl eine Dummy-Gatestruktur 75 in der Querschnittsansicht von **Fig. 5** gezeigt ist, kann mehr als eine Dummy-Gatestruktur 75 über den Halbleiterfinnen 64 ausgebildet werden. Zum Beispiel sind in **Fig. 6A** zwei Dummy-Gatestrukturen 75 (z. B. 75A und 75B) gezeigt. Die Anzahl der hier gezeigten Dummy-Gatestrukturen ist beispielhaft und nicht einschränkend; eine andere Anzahl von Dummy-Gatestrukturen ist ebenfalls möglich.

[0026] **Fig. 6A** zeigt die Querschnittsansichten einer weiteren Bearbeitung der FinFET-Vorrichtung 100 entlang des Querschnitts A-A (entlang einer Längsachse der Finne). Wie in **Fig. 6A** gezeigt, werden leicht dotierte Drainbereiche (LDD-Bereiche) 65 in der Finne 64 ausgebildet. Die LDD-Bereiche 65 können durch einen Implantationsprozess ausgebildet werden. Der Implantationsprozess kann n- oder p-Verunreinigungen in die Finnen 64 implantieren, um die LDD-Bereiche 65 auszubilden. In einigen Ausführungsformen grenzen die LDD-Bereiche 65 an den Kanalbereich der FinFET-Vorrichtung 100 an. Abschnitte der LDD-Bereiche 65 können sich unter

das Gate 68 und in den Kanalbereich der FinFET-Vorrichtung 100 erstrecken. **Fig. 6A** zeigt ein nicht einschränkendes Beispiel der LDD-Bereiche 65. Andere Konfigurationen, Formen und Ausbildungsverfahren der LDD-Bereiche 65 sind ebenfalls möglich. Zum Beispiel können die LDD-Bereiche 65 ausgebildet werden, nachdem die Gateabstandshalter 87 ausgebildet sind.

[0027] Unter nochmaliger Bezugnahme auf **Fig. 6A** werden nach dem Ausbilden der LDD-Bereiche 65 Gateabstandshalter 87 auf der Gatestruktur ausgebildet. In dem Beispiel von **Fig. 6A** werden die Gateabstandshalter 87 auf gegenüberliegenden Seitenwänden des Gates 68 und auf gegenüberliegenden Seitenwänden des Gatedielektrikums 66 ausgebildet. Die Gateabstandshalter 87 können aus einem Nitrid wie Siliziumnitrid, Siliziumoxynitrid, Siliziumkarbid, Siliziumkarbonitrid oder dergleichen oder einer Kombination davon bestehen und können beispielsweise unter Verwendung einer thermischen Oxidation, CVD oder eines anderen geeigneten Abscheidungsprozesses ausgebildet werden. Die Gateabstandshalter 87 können sich auch über die obere Fläche der Halbleiterfinnen 64 und die obere Fläche des Isolationsbereichs 62 erstrecken.

[0028] Die Formen und Ausbildungsverfahren der Gateabstandshalter 87 wie in **Fig. 6A** gezeigt sind lediglich nicht einschränkende Beispiele und andere Formen und Ausbildungsverfahren sind möglich. Zum Beispiel können die Gateabstandshalter 87 erste Gateabstandshalter (nicht gezeigt) und zweite Gateabstandshalter (nicht gezeigt) umfassen. Die ersten Gateabstandshalter können auf den gegenüberliegenden Seitenwänden der Dummy-Gatestruktur 75 ausgebildet werden. Die zweiten Gateabstandshalter können auf den ersten Gateabstandshaltern ausgebildet werden, wobei die ersten Gateabstandshalter zwischen einer jeweiligen Gatestruktur und den jeweiligen zweiten Gateabstandshaltern angeordnet sind. Die ersten Gateabstandshalter können in einer Querschnittsansicht eine L-Form aufweisen. Als ein weiteres Beispiel können die Gateabstandshalter 87 ausgebildet werden, nachdem die epitaktischen Source/Drain-Bereiche 80 ausgebildet sind. In einigen Ausführungsformen werden Dummy-Gateabstandshalter auf den ersten Gateabstandshaltern (nicht gezeigt) vor dem Epitaxieprozess der epitaktischen Source/Drain-Bereiche 80 ausgebildet und die Dummy-Gateabstandshalter werden entfernt und durch die zweiten Gateabstandshalter ersetzt, nachdem die epitaktischen Source/Drain-Bereiche 80 ausgebildet sind.

[0029] Als nächstes werden, wie in **Fig. 6A** gezeigt, Source/Drain-Bereiche 80 ausgebildet. Die Source/Drain-Bereiche 80 werden ausgebildet, indem die Finnen 64 zur Ausbildung von Vertiefungen geätzt werden und ein Material in den Vertiefungen

unter Verwendung geeigneter Verfahren wie metallorganischer CVD (MOCVD), Molekularstrahlepitaxie (MBE), Flüssigphasenepitaxie (LPE), Gasphasenepitaxie (VPE), selektivem epitaktischem Wachstum (SEG) oder dergleichen oder einer Kombination davon gezüchtet wird.

[0030] Wie in **Fig. 6A** gezeigt, können die epitaktischen Source/Drain-Bereiche 80 Oberflächen aufweisen, die von jeweiligen Oberflächen der Finnen 64 erhaben sind (z. B. über die nicht vertieften Abschnitte der Finnen 64 erhaben sind), und können Facetten aufweisen. Die Source/Drain-Bereiche 80 der benachbarten Finnen 64 (z. B. von Finnen 64 in den Bereichen 200 oder den Bereichen 300 in **Fig. 6B**) können verschmelzen, so dass sie einen durchgängigen epitaktischen Source/Drain-Bereich 80 bilden, wie in **Fig. 6B** gezeigt. In einigen Ausführungsformen verschmelzen die Source/Drain-Bereiche 80 benachbarter Finnen 64 nicht miteinander und verbleiben als getrennte Source/Drain-Bereiche 80, wie in **Fig. 6C** gezeigt. In einigen Ausführungsformen umfassen die Source/Drain-Bereiche 80 in n-Vorrichtungsbereichen (z. B. dem Bereich 200) Siliziumkarbid (SiC), Siliziumphosphor (SiP), Phosphordotierten Silizium-Kohlenstoff (SiCP) oder dergleichen. In einigen Ausführungsformen umfassen die Source/Drain-Bereiche 80 in p-Vorrichtungsbereichen (z. B. dem Bereich 300) SiGe und eine p-Verunreinigung wie Bor oder Indium.

[0031] Die epitaktischen Source/Drain-Bereiche 80 können mit Dotierstoffen implantiert werden, gefolgt von einem Temperprozess, um die Source/Drain-Bereiche 80 auszubilden. Der Implantationsprozess kann das Ausbilden und Strukturieren von Masken wie einem Photoresist umfassen, um die Bereiche des FinFETs abzudecken, die vor dem Implantationsprozess geschützt werden sollen. Zum Beispiel kann eine strukturierte Maskenschicht ausgebildet werden, um den Bereich 200 freizulegen und den Bereich 300 vor dem Implantationsprozess für den Bereich 200 zu schützen, und eine weitere strukturierte Maskenschicht kann ausgebildet werden, um den Bereich 300 freizulegen und den Bereich 200 vor dem Implantationsprozess für den Bereich 300 zu schützen. Die Source/Drain-Bereiche 80 können eine Verunreinigungskonzentration (z. B. Dotierstoffkonzentration) in einem Bereich von etwa $1E19\text{ cm}^{-3}$ bis etwa $1E21\text{ cm}^{-3}$ haben. In einigen Ausführungsformen können die epitaktischen Source/Drain-Bereiche während des Wachstums in situ dotiert werden.

[0032] Als nächstes wird, wie in **Fig. 6A** gezeigt, ein erstes Zwischenschichtdielektrikum (ILD) 90 über den Dummy-Gatestrukturen 75, den Gateabstandshaltern 87 und dem Source/Drain-Bereich 80 ausgebildet. In einigen Ausführungsformen besteht das erste ILD 90 aus einem Dielektrikum wie Siliziumoxid

(SiO), Phosphorsilikatglas (PSG), Borsilikatglas (BSG), Bor-dotiertem Phosphorsilikatglas (BPSG), undotiertem Silikatglas (USG) oder dergleichen und kann durch ein beliebiges geeignetes Verfahren wie CVD, PECVD oder FCVD abgeschieden werden. Ein Planarisierungsprozess, wie beispielsweise ein CMP-Prozess, kann durchgeführt werden, um die Maske 70 zu entfernen und die obere Fläche des ersten ILD 90 zu planarisieren, so dass die obere Fläche des ersten ILD 90 nach dem CMP-Prozess plan mit der oberen Fläche des Gates 68 ist (nicht gezeigt). Daher ist in einigen Ausführungsformen nach dem CMP-Prozess die obere Fläche des Gates 68 freiliegend.

[0033] Als nächstes wird, wie in den **Fig. 7 - 13, 14A** und **14B** gezeigt, ein Gate-Last-Prozess (manchmal als Ersatzgateprozess bezeichnet) durchgeführt, um die Dummy-Gatestrukturen 75 durch Ersatzgates zu ersetzen. In einem Gate-Last-Prozess werden das Gate 68 und das Gatedielektrikum 66 (siehe **Fig. 5**) als Dummy-Gate bzw. Dummy-Gatedielektrikum angesehen und werden entfernt und durch ein aktives Gate und ein aktives Gatedielektrikum ersetzt, die gemeinsam als Ersatzgate bezeichnet werden können. Das Ersatzgate kann auch als Metallgate oder Metallgatestruktur bezeichnet werden.

[0034] In den **Fig. 7 - 13, 14A** und **14B** werden Abschnitte der Dummy-Gatestrukturen 75 in dem Bereich 200 (siehe **Fig. 15**) durch Metallgates (z. B. 97A_1, 97B_1) in einem ersten Ersatzgateprozess ersetzt, während der Bereich 300 durch eine erste Maskenschicht (z. B. einen strukturierten Photoresist, nicht gezeigt) vor dem ersten Ersetzungsprozess geschützt ist. Mit anderen Worten werden Abschnitte der Dummy-Gatestruktur 75 in dem Bereich 300 durch den ersten Ersatzgateprozess nicht entfernt. Nach dem ersten Ersatzgateprozess wird die erste Maskenschicht entfernt und ein zweiter Ersatzgateprozess, der dem ersten Ersatzgateprozess entspricht oder ähnelt, wird durchgeführt, um die Abschnitte der Dummy-Gatestrukturen 75 in dem Bereich 300 durch Metallgates (z. B. 97A_2, 97B_2) zu ersetzen, während der Bereich 200 durch eine zweite Maskenschicht (z. B. einen strukturierten Photoresist, nicht gezeigt) vor dem zweiten Ersatzgateprozess geschützt ist. Die zweite Maskenschicht kann dann nach dem zweiten Ersatzgateprozess entfernt werden.

[0035] Die **Fig. 7 - 13, 14A** und **14B** zeigen die Verarbeitung durch den oben beschriebenen ersten Ersatzgateprozess, um Abschnitte der Dummy-Gatestrukturen 75 in dem Bereich 200 durch Metallgates zu ersetzen. Ein Fachmann wird beim Lesen der vorliegenden Offenbarung die Verarbeitung für den oben beschriebenen zweiten Ersatzgateprozess leicht verstehen, so dass Details nicht wiederholt werden. Daher wird in dieser Offenbarung nur der

erste Ersatzgateprozess unter Bezugnahme auf die Fig. 7 - 13, 14A und 14B beschrieben.

[0036] Die Fig. 7 - 13, 14A und 14B zeigen Querschnittsansichten der FinFET-Vorrichtung 100 entlang des Querschnitts A-A der Finne 64B (siehe Fig. 15) in dem Bereich 200 (z. B. einem n-Vorrichtungsbereich). Daher beziehen sich in der nachstehenden Beschreibung unter Bezugnahme auf die Fig. 7 - 13, 14A und 14B die Dummy-Gatestruktur 75 (z. B. 75A, 75B) und die Metallgatestruktur 97 (z. B. 97A, 97B) auf Abschnitte der jeweiligen Strukturen (z. B. der Dummy-Gatestruktur 75 und der Metallgatestruktur 97) in dem Bereich 200.

[0037] Bezugnehmend auf Fig. 7 werden die Dummy-Gatestrukturen 75 (siehe Fig. 6A) entfernt, um Vertiefungen 91 (z. B. 91A und 91B) in dem ersten ILD 90 auszubilden. Gemäß einigen Ausführungsformen werden das Gate 68 und das Gatedielektrikum 66 direkt unter dem Gate 68 in einem oder mehreren Ätzschritten entfernt, so dass die Vertiefungen 91 ausgebildet werden. Jede Vertiefung 91 legt einen Kanalbereich einer jeweiligen Finne 64 frei. Jeder Kanalbereich kann zwischen benachbarten Paaren von epitaktischen Source/Drain-Bereichen 80 angeordnet sein. Während dem Entfernen der Dummy-Gates kann das Gatedielektrikum 66 als Ätzstoppschicht verwendet werden, wenn das Gate 68 geätzt wird. Das Gatedielektrikum 66 kann dann nach dem Entfernen des Gates 68 entfernt werden.

[0038] Als nächstes wird in Fig. 8 eine Gatedielektrikumsschicht 82 in den Vertiefungen 91 und über dem ersten ILD 90 (z. B. konform) ausgebildet. Wie in Fig. 8 gezeigt, kleidet die Gatedielektrikumsschicht 82 Seitenwände und Böden der Vertiefungen 91 aus und erstreckt sich entlang oberen Flächen der Gateabstandshalter 87 und entlang der oberen Fläche des ersten ILD 90. Gemäß einigen Ausführungsformen umfasst die Gatedielektrikumsschicht 82 Siliziumoxid, Siliziumnitrid oder Mehrschichten davon. In der gezeigten Ausführungsform umfasst die Gatedielektrikumsschicht 82 ein High-k-Dielektrikum, das einen k-Wert von mehr als etwa 7,0 haben kann, und kann ein Metalloxid oder ein Silikat von Hf, Al, Zr, La, Mg, Ba, Ti, Pb und Kombinationen davon umfassen. Die Ausbildungsverfahren der Gatedielektrikumsschicht 82 können MBD, ALD, PECVD und dergleichen umfassen.

[0039] Als nächstes wird in Fig. 9 eine erste Austrittsarbeitsschicht 84' (z. B. konform) über der Gatedielektrikumsschicht 82 ausgebildet. In der gezeigten Ausführungsform ist die erste Austrittsarbeitsschicht 84' eine p-Austrittsarbeitsschicht und umfasst ein p-Austrittsarbeitmetall wie Titan-Siliziumnitrid (z. B. TiSiN), das durch ein geeignetes Ausbildungsverfahren wie ALD ausgebildet wird. Obwohl TiSiN als Bei-

spiel verwendet wird, können auch andere geeignete Austrittsarbeitmetalle wie TiN, TaN, Ru, Mo, Al, WN, ZrSi₂, MoSi₂, TaSi₂, NiSi₂, WN oder Kombinationen davon als das Material der ersten Austrittsarbeitsschicht 84' verwendet werden.

[0040] Als nächstes wird in Fig. 10 eine strukturierte Maskenschicht 83 über der ersten Austrittsarbeitsschicht 84' ausgebildet. Die strukturierte Maskenschicht 83 füllt die Vertiefung 91B (siehe Fig. 9) und erstreckt sich über die obere Fläche der ersten Austrittsarbeitsschicht 84' in der Nähe der Vertiefung 91B (z. B. bedeckt sie). Wie in Fig. 10 gezeigt, füllt die strukturierte Maskenschicht 83 die Vertiefung 91A nicht und legt die obere Fläche der ersten Austrittsarbeitsschicht 84' in der Nähe der Vertiefung 91A frei.

[0041] In einer Ausführungsform werden zum Ausbilden der strukturierten Maskenschicht 83 nacheinander eine untere Antireflexbeschichtungsschicht (BARC-Schicht) und ein Photoresist deckend über der in Fig. 9 gezeigten FinFET-Vorrichtung 100 abgeschieden. Als nächstes wird der Photoresist strukturiert, indem der Photoresist einer strukturierten Energiequelle ausgesetzt wird und der Photoresist unter Verwendung eines Entwicklers entwickelt wird. Nach dem Entwickeln des Photoresists weist ein verbleibender Abschnitt des Photoresists eine Form auf, die der Form der auszubildenden strukturierten Maskenschicht 83 entspricht. Als nächstes wird die Struktur des strukturierten Photoresists unter Verwendung beispielsweise eines anisotropen Ätzprozesses auf die BARC-Schicht übertragen und nach dem anisotropen Ätzprozess bildet ein verbleibender Abschnitt der BARC-Schicht die strukturierte Maskenschicht 83. Die BARC-Schicht kann aus einem geeigneten Dielektrikum wie einem Polymer ausgebildet sein. In einer beispielhaften Ausführungsform umfasst eine Zusammensetzung der BARC-Schicht Sauerstoff und daher umfasst die strukturierte Maskenschicht 83 auch Sauerstoff. In einigen Ausführungsformen ist der zum Strukturieren der BARC-Schicht verwendete anisotrope Ätzprozess ein Trockenätzprozess, der unter Verwendung eines Ätzgases durchgeführt wird, das Stickstoff (z. B. N₂) und Wasserstoff (z. B. H₂) umfasst.

[0042] Als nächstes werden in Fig. 11 freiliegende Abschnitte der ersten Austrittsarbeitsschicht 84' entfernt, z. B. Abschnitte, die nicht durch die strukturierte Maskenschicht 83 bedeckt sind, und die verbleibenden Abschnitte der ersten Austrittsarbeitsschicht 84' werden als erste Austrittsarbeitsschicht 84 bezeichnet. In einigen Ausführungsformen wird ein Nassätzprozess durchgeführt, um die freiliegenden Abschnitte der ersten Austrittsarbeitsschicht 84' zu entfernen, wobei ein Ätzmittel verwendet wird, das für das Material der ersten Austrittsarbeitsschicht 84' selektiv ist. In der gezeigten Ausführungsform umfasst die erste Austrittsarbeitsschicht

schicht 84' Titan-Siliziumnitrid und das in dem Nassätzprozess verwendete Ätzmittel umfasst Ammoniak (z. B. NH_3). Wie in **Fig. 11** gezeigt, entfernt der Nassätzprozess die freiliegenden Abschnitte der ersten Austrittsarbeitsschicht 84' und legt die darunterliegende Gatedielektrikumsschicht 82 frei.

[0043] Als nächstes wird in **Fig. 12** die strukturierte Maskenschicht 83 (z. B. eine sauerstoffhaltige Polymerschicht) durch einen Plasmaprozess entfernt. In einer Ausführungsform wird der Plasmaprozess unter Verwendung einer Gasmischung aus Stickstoff (z. B. N_2), Wasserstoff (z. B. H_2) und Helium (z. B. He) durchgeführt. Es sei angemerkt, dass in der gezeigten Ausführungsform das Gasgemisch keinen Sauerstoff umfasst. In einigen Ausführungsformen reagieren die H-Radikale aus dem Wasserstoff mit der strukturierten Maskenschicht 83, wenn die Gasmischung zu Plasma aktiviert wird, um die strukturierte Maskenschicht 83 zu entfernen. Das Helium in der Gasmischung kann die Bildung der H-Radikale unterstützen und der Stickstoff in der Gasmischung kann die Ätzrate des Plasmaprozesses verbessern.

[0044] In einigen Ausführungsformen wird der Plasmaprozess unter Verwendung der Gasmischung aus Stickstoff, Wasserstoff und Helium durchgeführt und bei einer Temperatur zwischen etwa 240 °C und etwa 260 °C und einem Druck zwischen etwa 100 Pa und etwa 150 Pa durchgeführt. Eine Strömungsrate des Heliums liegt in einigen Ausführungsformen zwischen etwa 800 Standardkubikzentimetern pro Minute (sccm) und etwa 6000 sccm, eine Strömungsrate des Wasserstoffs liegt zwischen etwa 3000 sccm und etwa 5000 sccm und eine Strömungsrate des Stickstoffs liegt zwischen etwa 0 sccm und etwa 6000 sccm.

[0045] Gemäß einigen Ausführungsformen ist die strukturierte Maskenschicht 83 eine Polymerschicht, die Sauerstoff umfasst, wobei Sauerstoff während des Plasmaprozesses zu einer aktiven Sauerstoffspezies aktiviert wird. Die Sauerstoffspezies reagiert mit der ersten Austrittsarbeitsschicht 84 und wandelt eine Oberflächenschicht (z. B. einen oberen Abschnitt von 84 distal zu dem Substrat 50) der ersten Austrittsarbeitsschicht 84 in eine Oxidschicht 85 um. In dem gezeigten Beispiel von **Fig. 12** umfasst die erste Austrittsarbeitsschicht 84 Titan-Siliziumnitrid und die Oxidschicht 85 umfasst Siliziumoxid.

[0046] Als nächstes wird in **Fig. 13** eine zweite Austrittsarbeitsschicht 86 über der in **Fig. 12** gezeigten Struktur (z. B. konform) ausgebildet. Insbesondere umfasst die zweite Austrittsarbeitsschicht 86 einen ersten Abschnitt 86A, der Seitenwände und den Boden der Vertiefung 91A auskleidet und sich entlang der oberen Fläche der freiliegenden Abschnitte der Gatedielektrikumsschicht 82 erstreckt (z. B. diese körperlich berührt). Außerdem umfasst die

zweite Austrittsarbeitsschicht 86 auch einen zweiten Abschnitt 86B, der Seitenwände und den Boden der Vertiefung 91B auskleidet und sich entlang der oberen Fläche der Oxidschicht 85 erstreckt (z. B. diese körperlich berührt). Die zweite Austrittsarbeitsschicht 86 umfasst in einer beispielhaften Ausführungsform ein n-Austrittsarbeitmetall wie Aluminium-dotiertes Titankarbid (z. B. TiAlC), das durch ein geeignetes Abscheidungsverfahren wie beispielsweise ALD ausgebildet wird. Obwohl TiAlC ein Beispiel für die zweite Austrittsarbeitsschicht 86 ist, können auch andere geeignete n-Austrittsarbeitmetalle wie TaAl , TaAlC , TiAlN , Mn, Zr oder Kombinationen davon als zweite Austrittsarbeitsschicht 86 verwendet werden.

[0047] Wie in **Fig. 13** gezeigt, haben der erste Abschnitt 86A und der zweite Abschnitt 86B der zweiten Austrittsarbeitsschicht 86 eine unterschiedliche Dicke. Insbesondere hat der erste Abschnitt 86A eine Dicke T_1 , die kleiner als eine Dicke T_2 des zweiten Abschnitts 86B ist. Ohne auf eine bestimmte Theorie beschränkt zu sein, wird angenommen, dass die Oxidschicht 85 (z. B. Siliziumoxid) hydrophob ist, was der Ausbildung der zweiten Austrittsarbeitsschicht 86 (z. B. TiAlC) förderlich ist. Obwohl derselbe Abscheidungsprozess, beispielsweise ein ALD-Prozess, ausgeführt wird, um die zweite Austrittsarbeitsschicht 86 gleichzeitig über der Gatedielektrikumsschicht 82 und über der Oxidschicht 85 auszubilden, wird die zweite Austrittsarbeitsschicht 86 über der Oxidschicht 85 in der gezeigten Ausführungsform somit schneller (z. B. mit einer höheren Abscheidungsrate) ausgebildet. Beispielsweise kann nach einem ALD-Prozess mit acht Abscheidungszyklen die Dicke T_1 des ersten Abschnitts 86A zwischen etwa 1 nm und etwa 1,5 nm liegen und die Dicke T_2 des zweiten Abschnitts 86B kann um etwa 0,2 nm bis etwa 0,3 nm größer als die Dicke T_1 sein.

[0048] In einigen Ausführungsformen ändert (z. B. erhöht) die Ausbildung der Oxidschicht 85 eine Diffusionsrate von Aluminium von der zweiten Austrittsarbeitsschicht 86 in die Gatedielektrikumsschicht 82. Beispielsweise ist eine Aluminiumintensität in der Gatedielektrikumsschicht 82, gemessen durch Röntgenfluoreszenztechnologie (XRF-Technologie), höher als ein Bezugswert von 7,38 Kilo-Zählungen pro Sekunde (kcps), beispielsweise zwischen etwa 7,57 kcps und etwa 7,84 kcps, wobei der Bezugswert von 7,38 kcps der Aluminiumintensität in der Gatedielektrikumsschicht 82 entspricht, wenn die strukturierte Maskenschicht 83 nicht durch den oben beschriebenen Plasmaprozess (z. B. den Plasmaprozess unter Verwendung einer stickstoffhaltigen Gasmischung) verarbeitet wird.

[0049] In einigen Ausführungsformen wird die Strömungsrate des Stickstoffs in dem Plasmaprozess, der zum Entfernen der strukturierten Maskenschicht

83 durchgeführt wird, abgestimmt (z. B. erhöht oder verringert), um die Dicke T2 des zweiten Abschnitts 86B der zweiten Austrittsarbeitsschicht 86 zu steuern. Beispielsweise kann das Erhöhen der Strömungsrate des Stickstoffs in dem Plasmaprozess die Dicke der Oxidschicht 85 erhöhen, was wiederum zu einer Zunahme der Dicke T2 des zweiten Abschnitts 86B führt, der über der Oxidschicht 85 ausgebildet wird, und umgekehrt. In einigen Ausführungsformen wird die Dauer des Plasmaprozesses abgestimmt (z. B. erhöht oder verringert), um die Dicke T2 des zweiten Abschnitts 86B der zweiten Austrittsarbeitsschicht 86 zu steuern. Zum Beispiel kann die Dauer des Plasmaprozesses erhöht werden, um die Dicke der Oxidschicht 85 zu erhöhen, was wiederum zu einer Zunahme der Dicke T2 des zweiten Abschnitts 86B führt, der über der Oxidschicht 85 ausgebildet wird, und umgekehrt. Die Dicke T1 des ersten Abschnitts 86A der zweiten Austrittsarbeitsschicht 86 wird in einigen Ausführungsformen nicht durch die Strömungsrate des Stickstoffs oder durch die Dauer des Plasmaprozesses beeinflusst.

[0050] Durch Einstellen der Strömungsrate des Stickstoffs in dem Plasmaprozess und/oder der Dauer des Plasmaprozesses ermöglicht das vorliegend offenbarte Verfahren, dass die zweite Austrittsarbeitsschicht 86 mit einer unterschiedlichen Dicke (z. B. T1, T2) in unterschiedlichen Bereichen der FinFET-Vorrichtung 100 in einem gleichen Abscheidungsprozess (z. B. einem gleichen ALD-Prozess) ausgebildet wird. Um den Vorteil des vorliegend offenbarten Verfahrens zu erkennen, sollte ein Referenzverfahren betrachtet werden, bei dem eine unterschiedliche Dicke der zweiten Austrittsarbeitsschicht 86 unter Verwendung unterschiedlicher Abscheidungsprozesse erzielt wird. Zum Beispiel kann das Referenzverfahren zwei verschiedene ALD-Prozesse verwenden, die eine unterschiedliche Anzahl von Abscheidungszyklen aufweisen, um eine unterschiedliche Dicke zu erreichen. Die beiden ALD-Prozesse müssen möglicherweise in zwei getrennten Verarbeitungsschritten durchgeführt werden, wobei ein erster ALD-Prozess (mit einer ersten Anzahl von Abscheidungszyklen) eine erste strukturierte Maske verwendet, um einen ersten Bereich der FinFET-Vorrichtung 100 abzudecken, während die zweite Austrittsarbeitsschicht 86 in einem zweiten Bereich abgeschieden wird, und ein zweiter ALD-Prozess eine zweite strukturierte Maske verwendet, um den zweiten Bereich der FinFET-Vorrichtung 100 abzudecken, während die zweite Austrittsarbeitsschicht 86 in dem ersten Bereich abgeschieden wird. Daher erfordert das Referenzverfahren mehr Verarbeitungsschritte mit unterschiedlichen strukturierten Masken, was Herstellungszeit und -kosten erhöht. Im Gegensatz dazu spart das vorliegend offenbarte Verfahren Herstellungszeit und -kosten, indem es ermöglicht, dass die zweite Austrittsarbeitsschicht 86 in unterschiedlichen Bereichen mit einer

unterschiedlichen Dicke in einem einzigen Abscheidungsprozess (z. B. einem ALD-Prozess) ausgebildet wird.

[0051] Als nächstes wird in **Fig. 14A** ein Füllmetall 88 über der zweiten Austrittsarbeitsschicht 86 und zum Füllen der Vertiefungen 91A und 91B ausgebildet. Das Füllmetall 88 kann aus einem metallhaltigen Material wie Cu, Al, W, dergleichen, Kombinationen davon oder Mehrfachsichten davon bestehen und kann beispielsweise durch Elektroplattieren, stromloses Plattieren, PVD, CVD, oder ein anderes geeignetes Verfahren ausgebildet werden. In einigen Ausführungsformen wird, bevor das Füllmetall 88 ausgebildet wird, eine Keimschicht (nicht gezeigt), wie etwa eine Kupferschicht, über der zweiten Austrittsarbeitsschicht 86 durch einen geeigneten Abscheidungsprozess wie ALD ausgebildet und das Füllmetall 88 wird dann über der Keimschicht ausgebildet. Als nächstes wird ein Planarisierungsprozess wie CMP durchgeführt, um Abschnitte der zweiten Austrittsarbeitsschicht 86, Abschnitte der Gatedielektrikumsschicht 82, Abschnitte der Oxidschicht 85 und Abschnitte der ersten Austrittsarbeitsschicht 84 zu entfernen, die über der oberen Fläche des ersten ILD 90 angeordnet sind. Nach dem Planarisierungsprozess bilden die verbleibenden Abschnitte der zweiten Austrittsarbeitsschicht 86 und der Gatedielektrikumsschicht 82 in der Vertiefung 91A das Metallgate 97A (z. B. die Abschnitte von 97A in dem Bereich 200) und die verbleibenden Abschnitte der zweiten Austrittsarbeitsschicht 86, der Oxidschicht 85, der ersten Austrittsarbeitsschicht 84 und der Gatedielektrikumsschicht 82 in der Vertiefung 91B bilden das Metallgate 97B (z. B. die Abschnitte von 97B in dem Bereich 200).

[0052] **Fig. 14B** zeigt die FinFET-Vorrichtung 100 von **Fig. 14A**, jedoch entlang des Querschnitts D-D (siehe **Fig. 15**). Wie in **Fig. 14B** gezeigt, sind die Metallgates 97 (z. B. 97A, 97B) über den Isolationsbereichen 62 und dem Substrat 50 angeordnet. Die Gateabstandshalter 87 befinden sich auf gegenüberliegenden Seitenwänden jedes Metallgates 97. Das erste ILD 90 umgibt die Metallgates 97 und die Gateabstandshalter 87. Da sich der Querschnitt D-D außerhalb der Halbleiterfinnen 64 befindet, können Merkmale wie die Halbleiterfinnen 64, die Source/Drain-Bereiche 80 und die LDD-Bereiche 65 in der Querschnittsansicht von **Fig. 14B** nicht sichtbar sein.

[0053] In dem Beispiel von **Fig. 14A** weist das Metallgate 97A den ersten Abschnitt 86A der zweiten Austrittsarbeitsschicht 86 mit der Dicke T1 auf und das Metallgate 97B weist die erste Austrittsarbeitsschicht 84 und den zweiten Abschnitt 86B der zweiten Austrittsarbeitsschicht 86 mit der Dicke T2 auf. Aufgrund der unterschiedlichen Strukturen und unterschiedlichen Dicke der Austrittsarbeitsschichten (z. B. 84, 86) haben die Transistoren, zu denen

die Metallgates 97A und 97B gehören, unterschiedliche Schwellenspannungen. Durch Einstellen der Parameter (z. B. der Strömungsrate von Stickstoff und/oder der Dauer) des Plasmaprozesses, der zum Entfernen der strukturierten Maskenschicht 83 verwendet wird, wird die Dicke T2 des zweiten Abschnitts 86B der zweiten Austrittsarbeitsschicht 86 leicht modifiziert, was es ermöglicht, dass die Schwellenspannung V_t des jeweiligen Transistors leicht gemäß Entwurfsspezifikationen eingestellt werden kann. Da zusätzlich durch den Plasmaprozess zum Entfernen der strukturierten Maskenschicht 83 die Oxidschicht 85 ausgebildet wird, ist kein zusätzlicher Verarbeitungsschritt zum Ausbilden der Oxidschicht 85 erforderlich. Mit anderen Worten werden das Ausbilden der Oxidschicht 85 und das Entfernen der strukturierten Maskenschicht 83 in demselben Verarbeitungsschritt (z. B. durch den Plasmaprozess) durchgeführt. Dies spart vorteilhafterweise Herstellungskosten und -zeit.

[0054] Wie oben beschrieben, kann nach dem ersten Ersatzgateprozess der Bereich 200 durch eine Maskenschicht bedeckt werden und der zweite Ersatzgateprozess durchgeführt werden, um Abschnitte der Dummy-Gatestruktur 75 in dem Bereich 300 zu ersetzen. Da der Bereich 300 (z. B. ein p-Vorrichtungsbereich) ein anderer Vorrichtungsbereich als der Bereich 200 (z. B. ein n-Vorrichtungsbereich) sein kann, können die Anzahl der Austrittsarbeitsschichten, die Materialien der Austrittsarbeitsschichten und/oder die Dicke der Austrittsarbeitsschichten auf den Typ der Vorrichtung abgestimmt werden, die in dem Bereich 300 ausgebildet werden soll. Daher können gleiche Metallgates 97 (z. B. 97A oder 97B in **Fig. 15**) unterschiedliche Strukturen in dem Bereich 200 und dem Bereich 300 aufweisen. Mit anderen Worten können sich Abschnitte (z. B. 97A_1 oder 97B_1) eines Metallgates 97 in dem Bereich 200 von Abschnitten (z. B. 97A_2 oder 97B_2) des Metallgates 97 in dem Bereich 300 unterscheiden. Beispielsweise können Abschnitte des Metallgates 97 in dem Bereich 200 und Abschnitte des Metallgates 97 in dem Bereich 300 eine unterschiedliche Anzahl von Austrittsarbeitsschichten oder unterschiedliche Materialien für die Austrittsarbeitsschichten aufweisen. Als ein weiteres Beispiel können Abschnitte des Metallgates 97 in dem Bereich 200 und Abschnitte des Metallgates 97 in dem Bereich 300 die gleiche Anzahl von Austrittsarbeitsschichten aufweisen, wobei jede Austrittsarbeitsschicht aus einem gleichen Austrittsarbeitmetall ausgebildet ist, jedoch weist mindestens eine der Austrittsarbeitsschichten in dem Bereich 200 und dem Bereich 300 eine unterschiedliche Dicke auf. In weiteren Ausführungsformen können die Metallgates 97 (z. B. 97A oder 97B in **Fig. 15**) sowohl in dem Bereich 200 (z. B. einem n-Vorrichtungsbereich) als auch in dem Bereich 300 (z. B. einem p-Vorrichtungsbereich) die gleichen Struktu-

ren aufweisen (z. B. wie in **Fig. 14A** gezeigt), die Materialien für die Finnen 64 in den Bereichen 200 und 300 können sich jedoch unterscheiden, um unterschiedliche Schwellenspannungen für die verschiedenen Typen (z. B. den n-Typ oder den p-Typ) der ausgebildeten Vorrichtungen zu erreichen, in welchem Fall die Metallgates 97 in dem Bereich 200 sowie dem Bereich 300 in einem einzigen Ersatzgateprozess anstelle von zwei getrennten Ersatzgateprozessen ausgebildet werden können.

[0055] Bezugnehmend auf **Fig. 15** ist eine Draufsicht der FinFET-Vorrichtung 100 nach dem Verarbeitungsschritt der **Fig. 14A** und **14B** gezeigt. Zur Vereinfachung sind nicht alle Merkmale der FinFET-Vorrichtung 100 gezeigt. Zum Beispiel sind die Gateabstandshalter 87, die Isolationsbereiche 62 und die Source/Drain-Bereiche 80 in **Fig. 15** nicht gezeigt.

[0056] Wie in **Fig. 15** gezeigt, überspannen die Metallgates 97 (z. B. 97A/97B) die Halbleiterfinnen 64 (z. B. 64A/64B/64C/64D). Bei der nachfolgenden Bearbeitung wird ein Metallgate-Schneideprozess durchgeführt, um jedes der Metallgates 97 (z. B. 97B) in zwei getrennte Metallgates zu schneiden (siehe z. B. 97B_1 und 97B_2 in **Fig. 17B**). In der gezeigten Ausführungsform wird ein Teil der Metallgates 97A/97B in einem Schnittbereich 55 entfernt, wodurch jedes der Metallgates 97A und 97B in zwei getrennte Metallgates aufgeteilt wird. Beispielsweise bilden nach dem Metallgate-Schneideprozess Abschnitte des Metallgates 97B über den Halbleiterfinnen 64A und 64B das Metallgate 97B_1 und Abschnitte des Metallgates 97B über den Halbleiterfinnen 64C und 64D bilden das Metallgate 97B_2. Das Metallgate 97B_1 und das Metallgate 97B_2 können unabhängig voneinander gesteuert werden, z. B. durch Anlegen unterschiedlicher Steuerspannungen an die Metallgates 97B_1 und 97B_2.

[0057] **Fig. 15** zeigt ein nicht einschränkendes Beispiel des Schnittbereichs 55. Die Anzahl der Schnittbereiche 55, die Größe der Schnittbereiche 55 und die Position der Schnittbereiche 55 können variiert werden, um unterschiedliche Schnittstrukturen zu erreichen und Metallgates mit unterschiedlichen Größen und Strukturen auszubilden. Die nachstehenden Beschreibungen verwenden das Beispiel eines Schnittbereichs 55, wie er in **Fig. 15** gezeigt ist, mit dem Verständnis, dass eine beliebige Anzahl von Schnittbereichen bei der Herstellung der FinFET-Vorrichtung 100 verwendet werden kann.

[0058] Die **Fig. 16A - 18B** zeigen Querschnittsansichten der FinFET-Vorrichtung 100 in einem nachfolgenden Metallgate-Schneideprozess gemäß einer Ausführungsform. Bezugnehmend auf die **Fig. 16A** und **16B** wird eine Maskenschicht 123, die eine erste Hartmaskenschicht 122 und eine zweite

Hartmaskenschicht 124 umfassen kann, über der FinFET-Vorrichtung 100 ausgebildet.

[0059] In einigen Ausführungsformen ist die erste Hartmaskenschicht 122 eine Metall-Hartmaskenschicht und die zweite Hartmaskenschicht 124 ist eine dielektrische Hartmaskenschicht. Die erste Hartmaskenschicht 122 kann aus einem Maskierungsmaterial wie Titanitrid, Titanoxid oder dergleichen oder eine Kombination davon bestehen. Die erste Hartmaskenschicht 122 kann unter Verwendung eines Prozesses wie ALD, CVD, PVD oder dergleichen oder einer Kombination davon ausgebildet werden. Die zweite Hartmaskenschicht 124 wird über der ersten Hartmaskenschicht 122 abgeschieden. Die zweite Hartmaskenschicht 124 kann als Maskierungsstruktur für die erste Hartmaskenschicht 122 verwendet werden. In nachfolgenden Verarbeitungsschritten wird die zweite Hartmaskenschicht 124 strukturiert, um Strukturen auszubilden, die dann auf die erste Hartmaskenschicht 122 übertragen werden können. Die zweite Hartmaskenschicht 124 kann aus einem Maskierungsmaterial bestehen, beispielsweise Siliziumnitrid, Siliziumoxid, Tetraethylorthosilikat (TEOS), SiO_xC_y oder dergleichen oder eine Kombination davon. Die zweite Hartmaskenschicht 124 kann unter Verwendung eines Prozesses wie CVD, ALD oder dergleichen oder einer Kombination davon ausgebildet werden. In einer Ausführungsform umfasst die erste Hartmaskenschicht 122 Titanitrid und die zweite Hartmaskenschicht 124 umfasst Siliziumnitrid.

[0060] Als nächstes wird ein Photoresist (nicht gezeigt) über der Maskenschicht 123 ausgebildet und strukturiert. Die Struktur des strukturierten Photoresists wird dann unter Verwendung geeigneter Verfahren, wie einem oder mehreren anisotropen Ätzprozessen, auf die Maskenschicht 123 übertragen. Als Ergebnis wird eine Struktur 141 (z. B. eine Öffnung) in der ersten Hartmaskenschicht 122 und der zweiten Hartmaskenschicht 124 ausgebildet. Die Struktur 141 entspricht dem Schnittbereich 55 in **Fig. 15** und legt Abschnitte der Metallgates 97A/97B innerhalb des Schnittbereichs 55 frei (siehe **Fig. 15**). Wie in **Fig. 16A** gezeigt, legt die Struktur 141 auch die Gateabstandshalter 87 um die Metallgates 97A/97B herum frei.

[0061] Als nächstes werden, wie in den **Fig. 16A** und **16B** gezeigt, Abschnitte der Metallgates 97A/97B, die innerhalb des Schnittbereichs 55 (siehe **Fig. 15**) liegen und durch die Struktur 141 freigelegt sind, entfernt. Ein geeigneter Ätzprozess, wie beispielsweise ein anisotroper Ätzprozess, kann durchgeführt werden, um die freiliegenden Abschnitte der Metallgates 97A/97B zu entfernen. Nachdem die Abschnitte der Metallgates 97A/97B innerhalb des Schnittbereichs 55 entfernt worden sind, sind an Stellen, an denen sich die entfernten

Abschnitte des Metallgates 97A/97B befanden, Vertiefungen 140 (z. B. Öffnungen) ausgebildet. Wie in **Fig. 16B** gezeigt, erstrecken sich die Vertiefungen 140 durch die Metallgates und legen Abschnitte der Isolationsbereiche 62 frei.

[0062] Als nächstes werden, wie in den **Fig. 17A** und **17B** gezeigt, die Vertiefungen 140 mit einem Dielektrikum 142 gefüllt. Geeignete Materialien für das Dielektrikum 142 können Siliziumnitrid, Siliziumoxynitrid, Siliziumkarbid, Kombinationen davon und dergleichen umfassen, die durch PVD, CVD, ALD oder ein anderes geeignetes Abscheidungsverfahren ausgebildet werden. Nachdem das Dielektrikum 142 die Vertiefungen 140 gefüllt hat, ist jedes der Metallgates 97A/98B in zwei getrennte Metallgates aufgeteilt. **Fig. 17B** zeigt die zwei getrennten Metallgate 97B_1 und 97B_2, die durch Schneiden des Metallgates 97B ausgebildet wurden. Wie oben beschrieben, kann das Metallgate 97B_1 in dem Bereich 200 andere Austrittsarbeitsschichten als das Metallgate 97B_2 in dem Bereich 300 aufweisen. In dem gezeigten Beispiel von **Fig. 17B** haben die Metallgates 97B_1 und 97B_2 die gleiche Struktur, aber die Finnen 64 in den Bereichen 200 und 300 können unterschiedliche Materialien aufweisen, um unterschiedliche Schwellenspannungen zu erreichen. Zum Beispiel weisen beide Metallgates 97B_1 und 97B_2 die Gatedielektrikumsschicht 82, die erste Austrittsarbeitsschicht 84, die Oxidschicht 85 und die zweite Austrittsarbeitsschicht 86 auf. Die Finnen 64 in dem Bereich 200 können jedoch aus einem Material (z. B. Si) ausgebildet sein, das sich von dem Material (z. B. SiGe) der Finnen 64 in dem Bereich 300 unterscheidet.

[0063] Als nächstes kann ein Planarisierungsprozess durchgeführt werden, beispielsweise ein CMP-Prozess, um die erste Hartmaskenschicht 122, die zweite Hartmaskenschicht 124 und Teile des Dielektrikums 142 über der oberen Fläche der zweiten Hartmaskenschicht 124 zu entfernen.

[0064] Als nächstes werden, wie in den **Fig. 18A** und **18B** gezeigt, Kontakte 102 über den Metallgates 97 und dem Source/Drain-Bereich 80 und elektrisch mit diesen verbunden ausgebildet. Um die Kontakte 102 auszubilden, wird ein zweites ILD 95 über dem ersten ILD 90 ausgebildet. In einigen Ausführungsformen ist das zweite ILD 95 ein fließfähiger Film, der durch ein fließfähiges CVD-Verfahren ausgebildet wird. In einigen Ausführungsformen besteht das zweite ILD 95 aus einem Dielektrikum wie PSG, BSG, BPSG, USG oder dergleichen und kann durch jedes geeignete Verfahren wie CVD und PECVD abgeschieden werden. Als nächstes werden Kontaktöffnungen durch das erste ILD 90 und/oder das zweite ILD 95 ausgebildet, um die Source/Drain-Bereiche 80 und die Metallgates 97 freizulegen, wobei die Kontaktöffnungen dann mit einem oder

mehreren elektrisch leitfähigen Materialien gefüllt werden, um die Kontakte 102 auszubilden. In einigen Ausführungsformen werden Silizidbereiche 81 über den Source/Drain-Bereichen 80 ausgebildet, bevor die Kontaktöffnungen gefüllt werden. Details zum Ausbilden der Kontakte 102 werden nachstehend beschrieben.

[0065] In einigen Ausführungsformen werden Silizidbereiche 81 über den Source/Drain-Bereichen 80 ausgebildet. Die Silizidbereiche 81 können ausgebildet werden, indem zuerst ein Metall, das mit Halbleitermaterialien (z. B. Silizium, Germanium) reagieren kann, um Silizid- oder Germanidbereiche auszubilden, etwa Nickel, Kobalt, Titan, Tantal, Platin, Wolfram, andere Edelmetalle, andere hochschmelzende Metalle, Seltenerdmetalle oder deren Legierungen, über den Source/Drain-Bereichen 80 abgeschieden wird und dann ein thermischer Temperprozess durchgeführt wird, um die Silizidbereiche 81 auszubilden. Die nicht umgesetzten Teile des abgeschiedenen Metalls werden dann beispielsweise durch einen Ätzprozess entfernt. Obwohl die Bereiche 81 als Silizidbereiche bezeichnet werden, können die Bereiche 81 auch Germanidbereiche oder Silizium-Germanidbereiche sein (z. B. Bereiche, die Silizid und Germanid umfassen).

[0066] Als nächstes wird eine Sperrschicht 104 ausgebildet, die Seitenwände und Böden der Kontaktöffnungen auskleidet und über der oberen Fläche der zweiten ILD 95 liegt. Die Sperrschicht 104 kann Titanitrid, Tantalnitrid, Titan, Tantal und dergleichen umfassen und kann durch ALD, PVD, CVD oder ein anderes geeignetes Abscheidungsverfahren ausgebildet werden. Als nächstes wird eine Keimschicht 109 über der Sperrschicht 104 ausgebildet. Die Keimschicht 109 kann durch PVD, ALD oder CVD abgeschieden werden und kann aus Wolfram, Kupfer oder Kupferlegierungen bestehen, obwohl alternativ auch andere geeignete Verfahren und Materialien verwendet werden können. Nachdem die Keimschicht 109 ausgebildet ist, kann ein leitfähiges Material 110 auf der Keimschicht 109 ausgebildet werden, um die Kontaktöffnungen zu füllen und zu überfüllen. Das leitfähige Material 110 kann Wolfram umfassen, obwohl andere geeignete Materialien wie Aluminium, Kupfer, Wolframnitrid, Ruthenium, Silber, Gold, Rhodium, Molybdän, Nickel, Kobalt, Kadmium, Zink, Legierungen davon, Kombinationen davon und dergleichen alternativ verwendet werden können. Zur Ausbildung des leitfähigen Materials 110 kann ein beliebiges geeignetes Abscheidungsverfahren wie PVD, CVD, ALD, Plattieren (z. B. Elektroplattieren) und Aufschmelzen verwendet werden.

[0067] Nachdem die Kontaktöffnungen gefüllt sind, können überschüssige Teile der Sperrschicht 104, der Keimschicht 109 und des leitfähigen Materials 110 außerhalb der Kontaktöffnungen durch einen

Planarisierungsprozess wie CMP entfernt werden, obwohl ein beliebiger geeigneter Entfernungsprozess verwendet werden kann. In den Kontaktöffnungen sind somit die Kontakte 102 ausgebildet. Die Kontakte 102 sind beispielhaft in einem einzigen Querschnitt gezeigt, die Kontakte 102 könnten sich jedoch in anderen Querschnitten befinden. Zusätzlich ist in **Fig. 17B** als ein Beispiel ein Kontakt 102 mit jedem der zwei Metallgates 97B_1 und 97B_2 verbunden gezeigt. Die Anzahl und der Ort der Kontakte 102, die mit jedem der Metallgates 97B_1 und 97B_2 verbunden sind, können geändert werden.

[0068] Varianten der offenbarten Ausführungsformen sind möglich. Während zum Beispiel zwei Metallgates (z. B. 97A, 97B) in **Fig. 14A** gezeigt sind, können mehr oder weniger als zwei Metallgates über der Finne 64 ausgebildet sein und die Dicke der zweiten Austrittsarbeitsschicht 86 kann in jedem der Metallgates unterschiedlich sein, z. B. indem der Plasmaprozess für jedes der Metallgates mit unterschiedlichen Parametern (z. B. der Strömungsrate des Stickstoffs, der Dauer des Plasmaprozesses) durchgeführt wird, während das andere Metallgate vor dem Plasmaprozess geschützt ist. Als weiteres Beispiel kann die Oxidschicht 85 durch Abscheiden eines Oxids über der ersten Austrittsarbeitsschicht 84 (z. B. unter Verwendung von CVD, PVD, ALD oder dergleichen) ausgebildet werden, anstatt die Oberflächenschichten der ersten Austrittsarbeitsschicht 84 in ein Oxid umzuwandeln, wobei dies verwendet werden kann, wenn das Material der strukturierten Maskenschicht 83 keinen Sauerstoff aufweist.

[0069] **Fig. 19** zeigt ein Flussdiagramm 1000 eines Verfahrens zum Herstellen einer Halbleitervorrichtung gemäß einigen Ausführungsformen. Es sollte klar sein, dass die in **Fig. 19** gezeigte Ausführungsform des Verfahrens lediglich ein Beispiel für viele mögliche Ausführungsformen ist. Ein Fachmann würde viele Varianten, Alternativen und Modifikationen erkennen. Zum Beispiel können verschiedene Schritte wie die, die in **Fig. 19** gezeigt sind, hinzugefügt, entfernt, ersetzt, neu angeordnet und wiederholt werden.

[0070] Bezugnehmend auf **Fig. 19** werden in Schritt 1010 eine erste Dummy-Gatestruktur und eine zweite Dummy-Gatestruktur über einer Finne ausgebildet. In Schritt 1020 wird eine erste dielektrische Schicht um die erste Dummy-Gatestruktur und um die zweite Dummy-Gatestruktur herum ausgebildet. In Schritt 1030 werden die erste Dummy-Gatestruktur und die zweite Dummy-Gatestruktur entfernt, um eine erste Vertiefung bzw. eine zweite Vertiefung in der ersten dielektrischen Schicht auszubilden. In Schritt 1040 wird eine Gatedielektrikumsschicht in der ersten Vertiefung und der zweiten Vertiefung ausgebildet. In Schritt 1050 wird eine erste Austrittsarbeitsschicht über der Gatedielektrikumsschicht in

der ersten Vertiefung und in der zweiten Vertiefung ausgebildet. In Schritt 1060 wird die erste Austrittsarbeitsschicht aus der ersten Vertiefung entfernt. In Schritt 1070 wird eine Oberflächenschicht der ersten Austrittsarbeitsschicht in der zweiten Vertiefung in ein Oxid umgewandelt. In Schritt 1080 wird eine zweite Austrittsarbeitsschicht in der ersten Vertiefung über der Gatedielektrumsschicht und in der zweiten Vertiefung über dem Oxid ausgebildet.

[0071] Ausführungsformen können Vorteile erreichen. Durch Steuern der Dicke der Austrittsarbeitsschicht (z. B. 86) in der Halbleitervorrichtung stellt die vorliegende Erfindung Mechanismen bereit, um die Schwellenspannung der ausgebildeten Halbleitervorrichtung leicht abzustimmen. In einigen Ausführungsformen wird das Steuern der Dicke der Austrittsarbeitsschicht durch Einstellen von Parametern eines Plasmaprozesses erreicht, der zum Entfernen der strukturierten Maskenschicht (z. B. 83) verwendet wird, und es ist kein zusätzlicher Verarbeitungsschritt erforderlich, um die Dicke der Austrittsarbeitsschicht in der Halbleitervorrichtung zu steuern, wodurch Einsparungen bei Herstellungskosten und -zeit erreicht wird.

[0072] In einer Ausführungsform umfasst ein Verfahren zum Ausbilden einer Halbleitervorrichtung das Ausbilden einer ersten Dummy-Gatestruktur und einer zweiten Dummy-Gatestruktur über einer Finne; Ausbilden einer ersten dielektrischen Schicht um die erste Dummy-Gatestruktur und um die zweite Dummy-Gatestruktur herum; Entfernen der ersten Dummy-Gatestruktur und der zweiten Dummy-Gatestruktur, um eine erste Vertiefung bzw. eine zweite Vertiefung in der ersten dielektrischen Schicht auszubilden; Ausbilden einer Gatedielektrumsschicht in der ersten Vertiefung und der zweiten Vertiefung; Ausbilden einer ersten Austrittsarbeitsschicht über der Gatedielektrumsschicht in der ersten Vertiefung und in der zweiten Vertiefung; Entfernen der ersten Austrittsarbeitsschicht aus der ersten Vertiefung; Umwandeln einer Oberflächenschicht der ersten Austrittsarbeitsschicht in der zweiten Vertiefung in ein Oxid; und Ausbilden einer zweiten Austrittsarbeitsschicht in der ersten Vertiefung über der Gatedielektrumsschicht und in der zweiten Vertiefung über dem Oxid. Die zweite Austrittsarbeitsschicht in der zweiten Vertiefung über dem Oxid kann dicker als die zweite Austrittsarbeitsschicht in der ersten Vertiefung über der Gatedielektrumsschicht sein. In einer Ausführungsform umfasst das Verfahren ferner das Füllen der ersten Vertiefung und der zweiten Vertiefung mit einem leitfähigen Material, um ein erstes Metallgate bzw. ein zweites Metallgate auszubilden. Das Entfernen der ersten Austrittsarbeitsschicht aus der ersten Vertiefung umfasst: Ausbilden einer strukturierten Maskenschicht in der zweiten Vertiefung, um die erste Austrittsarbeitsschicht in der zweiten Vertiefung abzudecken, wobei die erste Austrittsar-

beitsschicht in der ersten Vertiefung durch die strukturierte Maskenschicht freigelegt wird; Durchführen eines Ätzprozesses zum Entfernen der freiliegenden ersten Austrittsarbeitsschicht in der ersten Vertiefung; und nach dem Durchführen des Ätzprozesses, Durchführen eines Plasmaprozesses zum Entfernen der strukturierten Maskenschicht in der zweiten Vertiefung. In einer Ausführungsform umfasst das Durchführen des Ätzprozesses das Durchführen eines Nassätzprozesses unter Verwendung eines Ätzmittels, das für ein Material der ersten Austrittsarbeitsschicht selektiv ist. Die strukturierte Maskenschicht umfasst Sauerstoff und der Plasmaprozess erzeugt Sauerstoffspezies aus der strukturierten Maskenschicht, wobei das Umwandeln der Oberflächenschicht der ersten Austrittsarbeitsschicht das Umwandeln der Oberflächenschicht der ersten Austrittsarbeitsschicht in das Oxid unter Verwendung der Sauerstoffspezies aus der strukturierten Maskenschicht umfasst. In einer Ausführungsform werden das Umwandeln der Oberflächenschicht der ersten Austrittsarbeitsschicht und das Durchführen des Plasmaprozesses in demselben Verarbeitungsschritt ausgeführt. In einer Ausführungsform umfasst das Ausbilden der ersten Austrittsarbeitsschicht das Ausbilden einer p-Austrittsarbeitsschicht. In einer Ausführungsform umfasst das Ausbilden der zweiten Austrittsarbeitsschicht das Ausbilden einer n-Austrittsarbeitsschicht. In einer Ausführungsform hat die zweite Austrittsarbeitsschicht in der ersten Vertiefung eine erste Dicke, die sich von einer zweiten Dicke der zweiten Austrittsarbeitsschicht in der zweiten Vertiefung unterscheidet. In einer Ausführungsform wird die erste Austrittsarbeitsschicht unter Verwendung von Titan-Siliziumnitrid ausgebildet, die zweite Austrittsarbeitsschicht wird unter Verwendung von Aluminium-dotiertem Titankarbid ausgebildet und das Oxid ist Siliziumoxid.

[0073] In einer Ausführungsform umfasst ein Verfahren zum Ausbilden einer Halbleitervorrichtung das Ausbilden eines ersten Dummy-Gates und eines zweiten Dummy-Gates über einer Finne; Ausbilden einer dielektrischen Zwischenschicht (ILD) zwischen dem ersten Dummy-Gate und dem zweiten Dummy-Gate; und Ersetzen des ersten Dummy-Gates und des zweiten Dummy-Gates durch ein erstes Metallgate bzw. ein zweites Metallgate, wobei das Ersetzen umfasst: Entfernen des ersten Dummy-Gates und des zweiten Dummy-Gates, um eine erste Vertiefung bzw. eine zweite Vertiefung in dem ILD auszubilden; Ausbilden einer Gatedielektrumsschicht in der ersten Vertiefung und in der zweiten Vertiefung; Ausbilden einer ersten Austrittsarbeitsschicht in der zweiten Vertiefung über der Gatedielektrumsschicht, wobei die Gatedielektrumsschicht in der ersten Vertiefung von der ersten Austrittsarbeitsschicht freigelegt wird; Ausbilden einer zweiten Austrittsarbeitsschicht in der ersten Vertiefung und in der zweiten Vertiefung unter Ver-

wendung desselben Abscheidungsprozesses, wobei die zweite Austrittsarbeitsschicht in der zweiten Vertiefung dicker ausgebildet werden kann als in der ersten Vertiefung; und Befüllen der ersten Vertiefung und der zweiten Vertiefung mit einem leitfähigen Material. Das Ausbilden der ersten Austrittsarbeitsschicht in der zweiten Vertiefung umfasst: Abscheiden der ersten Austrittsarbeitsschicht in der ersten Vertiefung und in der zweiten Vertiefung; Ausbilden einer strukturierten Maskenschicht, um die erste Austrittsarbeitsschicht in der zweiten Vertiefung abzudecken; Entfernen der ersten Austrittsarbeitsschicht in der ersten Vertiefung; und Entfernen der strukturierten Maskenschicht. Die strukturierte Maskenschicht Sauerstoff, wobei das Entfernen der strukturierten Maskenschicht das Durchführen eines Plasmaprozesses zum Entfernen der strukturierten Maskenschicht umfasst, wobei der Plasmaprozess eine Oberflächenschicht der ersten Austrittsarbeitsschicht in ein Oxid umwandelt. In einer Ausführungsform sind Gase, die in dem Plasmaprozess verwendet werden, frei von Sauerstoff. In einer Ausführungsform wird der Plasmaprozess unter Verwendung von stickstoffhaltigen Gasen durchgeführt, wobei das Verfahren ferner das Ändern einer Dicke der zweiten Austrittsarbeitsschicht in der zweiten Vertiefung durch Ändern einer Strömungsrate des Stickstoffs in dem Plasmaprozess oder durch Ändern einer Dauer des Plasmaprozesses umfasst.

[0074] In einem Beispiel umfasst eine Halbleitervorrichtung eine erste Metallgatestruktur über einer Finne, wobei die erste Metallgatestruktur eine Gatedielektrikumsschicht über der Finne, eine erste Austrittsarbeitsschicht über der Gatedielektrikumsschicht und diese berührend, ein Oxid über der ersten Austrittsarbeitsschicht, eine zweite Austrittsarbeitsschicht über dem Oxid und ein Füllmetall über der zweiten Austrittsarbeitsschicht umfasst; eine zweite Metallgatestruktur über der Finne und benachbart zu der ersten Metallgatestruktur, wobei die zweite Metallgatestruktur die Gatedielektrikumsschicht über der Finne, die zweite Austrittsarbeitsschicht über der Gatedielektrikumsschicht und diese berührend und das Füllmetall über der zweiten Austrittsarbeitsschicht umfasst, wobei die zweite Austrittsarbeitsschicht der ersten Metallgatestruktur dicker als die zweite Austrittsarbeitsschicht der zweiten Metallgatestruktur ist; und einen Source/Drain-Bereich über der Finne und zwischen der ersten Metallgatestruktur und der zweiten Metallgatestruktur. In einer Ausführungsform umfasst die erste Austrittsarbeitsschicht Titan-Siliziumnitrid und die zweite Austrittsarbeitsschicht umfasst Aluminium-dotiertes Titankarbid. In einer Ausführungsform hat die zweite Austrittsarbeitsschicht der ersten Metallgatestruktur eine erste Dicke und die zweite Austrittsarbeitsschicht der zweiten Metallgatestruktur hat eine zweite Dicke, wobei die erste Dicke um etwa 0,2 nm bis etwa 0,3 nm größer als die zweite Dicke ist. In

einer Ausführungsform befinden sich die erste Metallgatestruktur und die zweite Metallgatestruktur in einem gleichen p-Vorrichtungsbereich oder einem gleichen n-Vorrichtungsbereich.

Patentansprüche

1. Verfahren zum Ausbilden einer Halbleitervorrichtung, das Verfahren umfassend:
 Ausbilden einer ersten Dummy-Gatestruktur (75A) und einer zweiten Dummy-Gatestruktur (75B) über einer Finne (64);
 Ausbilden einer ersten dielektrischen Schicht (90) um die erste Dummy-Gatestruktur und um die zweite Dummy-Gatestruktur herum;
 Entfernen der ersten Dummy-Gatestruktur und der zweiten Dummy-Gatestruktur, um eine erste Vertiefung (91A) bzw. eine zweite Vertiefung (91B) in der ersten dielektrischen Schicht auszubilden;
 Ausbilden einer Gatedielektrikumsschicht (82) in der ersten Vertiefung und der zweiten Vertiefung;
 Ausbilden einer ersten Austrittsarbeitsschicht (84') über der Gatedielektrikumsschicht in der ersten Vertiefung und in der zweiten Vertiefung;
 Entfernen der ersten Austrittsarbeitsschicht aus der ersten Vertiefung; Umwandeln einer Oberflächenschicht der ersten Austrittsarbeitsschicht in der zweiten Vertiefung in ein Oxid (85); und
 Ausbilden einer zweiten Austrittsarbeitsschicht (86) in der ersten Vertiefung über der Gatedielektrikumsschicht und in der zweiten Vertiefung über dem Oxid,
 wobei das Entfernen der ersten Austrittsarbeitsschicht aus der ersten Vertiefung umfasst:
 Ausbilden einer strukturierten Maskenschicht (83) in der zweiten Vertiefung, um die erste Austrittsarbeitsschicht in der zweiten Vertiefung abzudecken, wobei die erste Austrittsarbeitsschicht in der ersten Vertiefung von der strukturierten Maskenschicht freigelegt wird;
 Durchführen eines Ätzprozesses zum Entfernen der freiliegenden ersten Austrittsarbeitsschicht in der ersten Vertiefung; und
 nach dem Durchführen des Ätzprozesses, Durchführen eines Plasmaprozesses zum Entfernen der strukturierten Maskenschicht in der zweiten Vertiefung, wobei die strukturierte Maskenschicht Sauerstoff umfasst und der Plasmaprozess Sauerstoffspezies aus der strukturierten Maskenschicht erzeugt, wobei das Umwandeln der Oberflächenschicht der ersten Austrittsarbeitsschicht das Umwandeln der Oberflächenschicht der ersten Austrittsarbeitsschicht in das Oxid unter Verwendung der Sauerstoffspezies aus der strukturierten Maskenschicht umfasst.

2. Verfahren nach Anspruch 1, das ferner das Füllen der ersten Vertiefung und der zweiten Vertiefung mit einem leitfähigen Material umfasst, um ein

erstes Metallgate bzw. ein zweites Metallgate auszubilden.

3. Verfahren nach Anspruch 1 oder 2, wobei das Durchführen des Ätzprozesses das Durchführen eines Nassätzprozesses unter Verwendung eines Ätzmittels umfasst, das für ein Material der ersten Austrittsarbeitsschicht selektiv ist.

4. Verfahren nach einem der vorhergehenden Ansprüche, wobei das Umwandeln der Oberflächenschicht der ersten Austrittsarbeitsschicht und das Durchführen des Plasmaprozesses in demselben Verarbeitungsschritt ausgeführt werden.

5. Verfahren nach einem der vorhergehenden Ansprüche, wobei das Ausbilden der ersten Austrittsarbeitsschicht das Ausbilden einer p-Austrittsarbeitsschicht umfasst.

6. Verfahren nach einem der vorhergehenden Ansprüche, wobei das Ausbilden der zweiten Austrittsarbeitsschicht das Ausbilden einer n-Austrittsarbeitsschicht umfasst.

7. Verfahren nach einem der vorhergehenden Ansprüche, wobei die zweite Austrittsarbeitsschicht in der ersten Vertiefung eine erste Dicke aufweist, die sich von der Dicke der zweiten Austrittsarbeitsschicht in der zweiten Vertiefung unterscheidet.

8. Verfahren nach einem der vorhergehenden Ansprüche, wobei die erste Austrittsarbeitsschicht unter Verwendung von Titan-Siliziumnitrid ausgebildet wird, die zweite Austrittsarbeitsschicht unter Verwendung von Aluminium-dotiertem Titankarbid ausgebildet wird und das Oxid Siliziumoxid ist.

9. Verfahren zum Ausbilden einer Halbleitervorrichtung, das Verfahren umfassend:

Ausbilden eines ersten Dummy-Gates (75A) und eines zweiten Dummy-Gates (75B) über einer Finne (64);

Ausbilden einer dielektrischen Zwischenschicht (90), ILD, um das erste Dummy-Gate und das zweite Dummy-Gate herum; und

Ersetzen des ersten Dummy-Gates und des zweiten Dummy-Gates durch ein erstes Metallgate (97A) bzw. ein zweites Metallgate (97B), wobei das Ersetzen umfasst:

Entfernen des ersten Dummy-Gates und des zweiten Dummy-Gates, um eine erste Vertiefung (91A) bzw. eine zweite Vertiefung (91B) in der ILD auszubilden;

Ausbilden einer Gatedielektrikumsschicht (82) in der ersten Vertiefung und in der zweiten Vertiefung;

Ausbilden einer ersten Austrittsarbeitsschicht (84) in der zweiten Vertiefung über der Gatedielektrikumsschicht, wobei die Gatedielektrikumsschicht in der ersten Vertiefung durch die erste Austrittsarbeitsschicht freigelegt wird;

Umwandeln einer Oberflächenschicht der ersten Austrittsarbeitsschicht in der zweiten Vertiefung in ein Oxid (85);

Ausbilden einer zweiten Austrittsarbeitsschicht (86) in der ersten Vertiefung und in der zweiten Vertiefung unter Verwendung eines selben Abscheidungsprozesses; und

Füllen der ersten Vertiefung und der zweiten Vertiefung mit einem leitfähigen Material, wobei das Ausbilden der ersten Austrittsarbeitsschicht in der zweiten Vertiefung umfasst:

Abscheiden der ersten Austrittsarbeitsschicht in der ersten Vertiefung und in der zweiten Vertiefung;

Ausbilden einer strukturierten Maskenschicht, um die erste Austrittsarbeitsschicht in der zweiten Vertiefung abzudecken;

Entfernen der ersten Austrittsarbeitsschicht in der ersten Vertiefung; und

Entfernen der strukturierten Maskenschicht, wobei die strukturierte Maskenschicht Sauerstoff umfasst, wobei das Entfernen der strukturierten Maskenschicht das Durchführen eines Plasmaprozesses zum Entfernen der strukturierten Maskenschicht umfasst, wobei der Plasmaprozess die Oberflächenschicht der ersten Austrittsarbeitsschicht in das Oxid umwandelt.

10. Verfahren nach Anspruch 9, wobei die im Plasmaprozess verwendeten Gase frei von Sauerstoff sind.

11. Verfahren nach Anspruch 9 oder 10, wobei der Plasmaprozess unter Verwendung von stickstoffhaltigen Gasen durchgeführt wird, wobei das Verfahren ferner das Abstimmen einer Strömungsrate des Stickstoffs in dem Plasmaprozess oder das Abstimmen einer Dauer des Plasmaprozesses umfasst, um eine Dicke der zweiten Austrittsarbeitsschicht in der zweiten Vertiefung zu steuern.

Es folgen 25 Seiten Zeichnungen

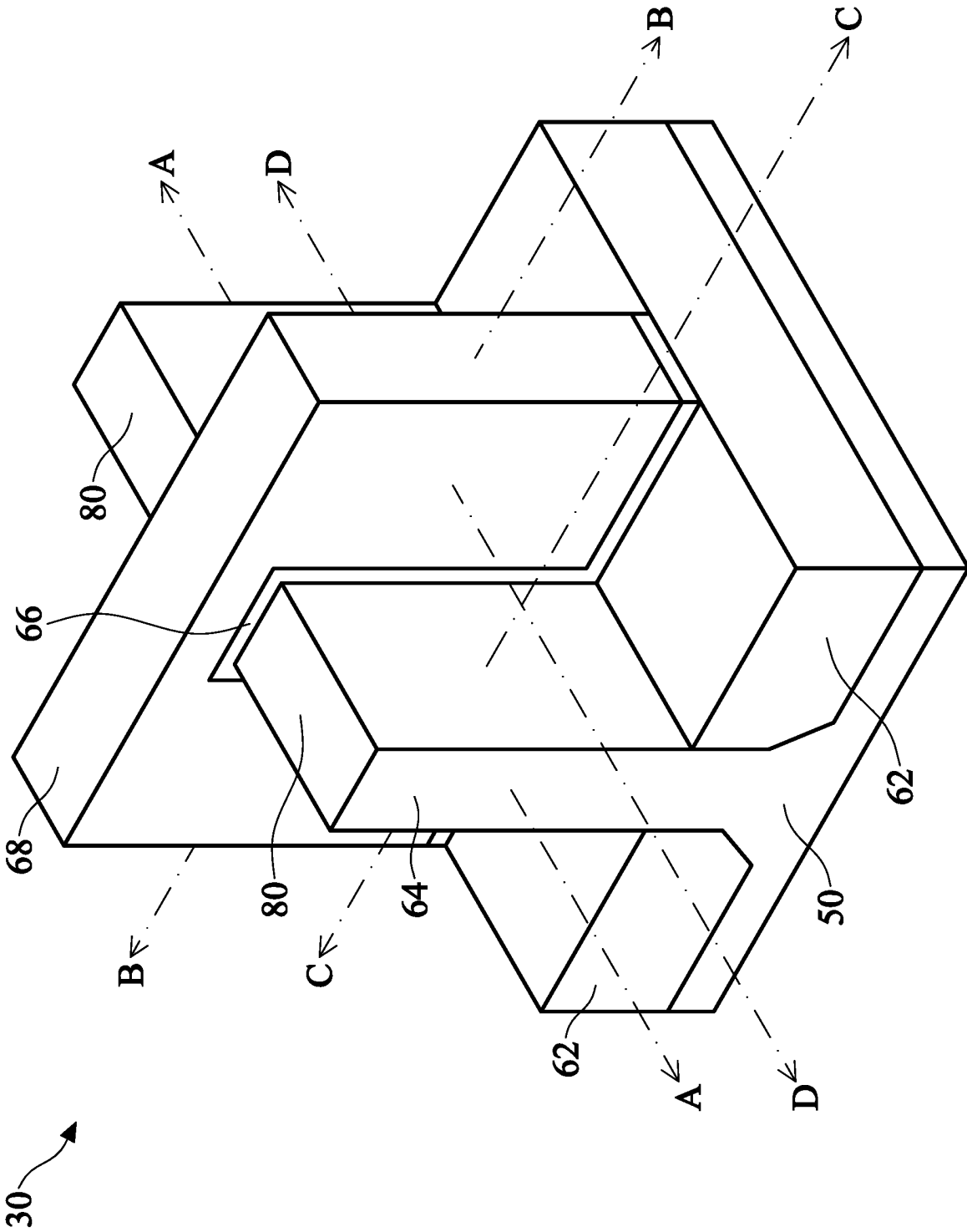



FIG. 1

Stand der Technik

100 

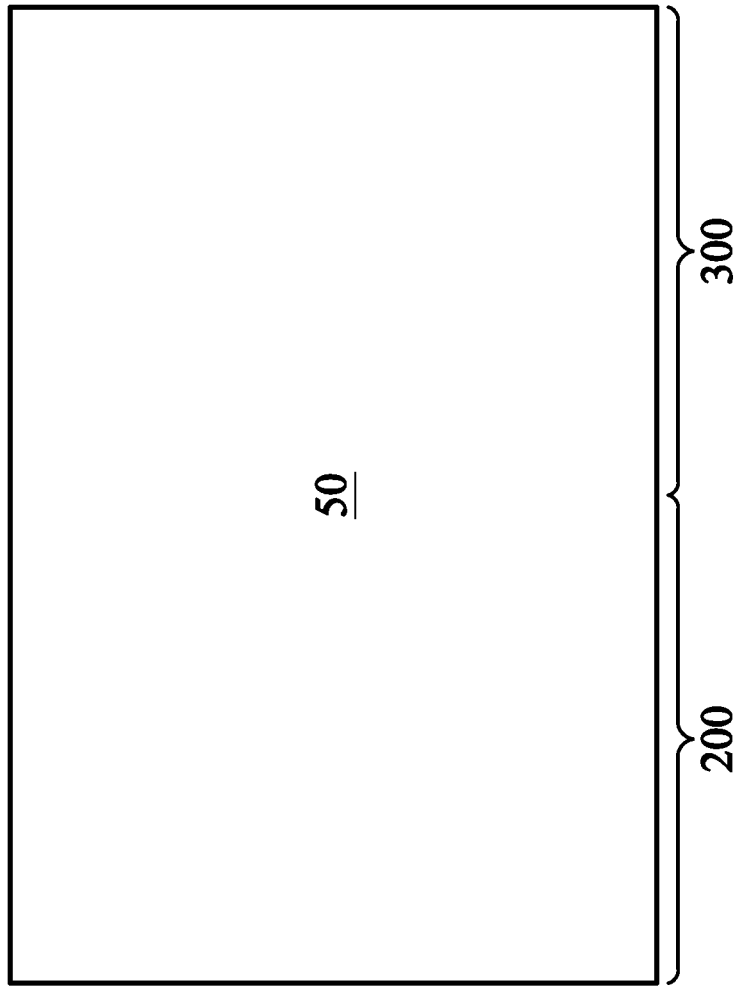


FIG. 2

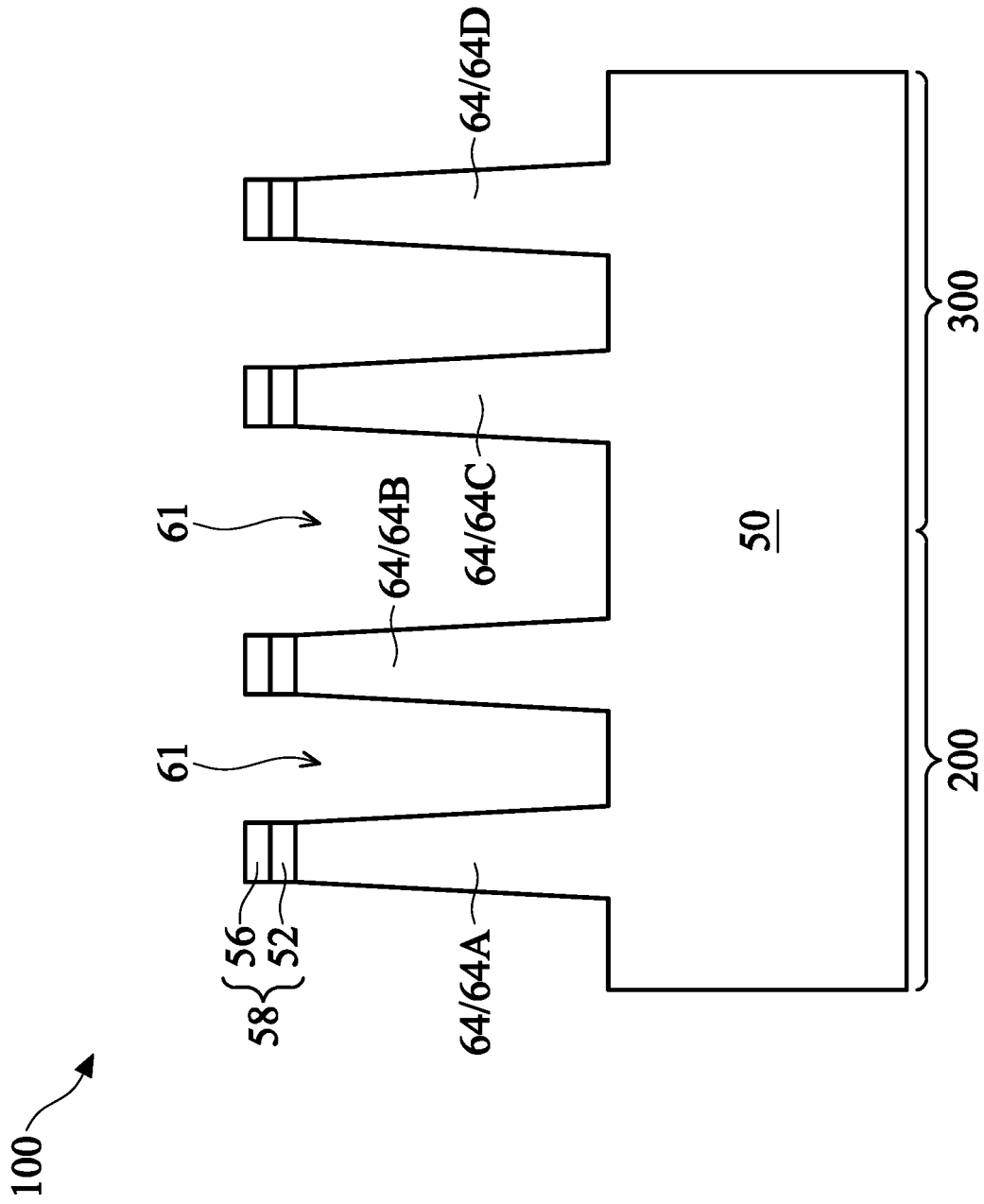


FIG. 3

100 →

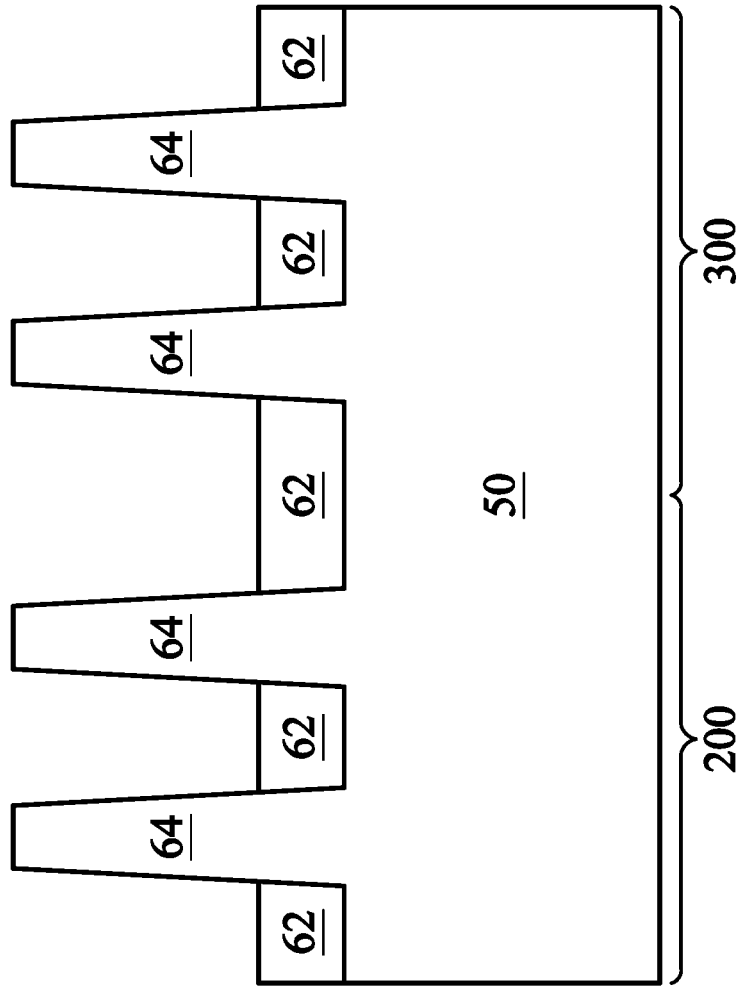


FIG. 4

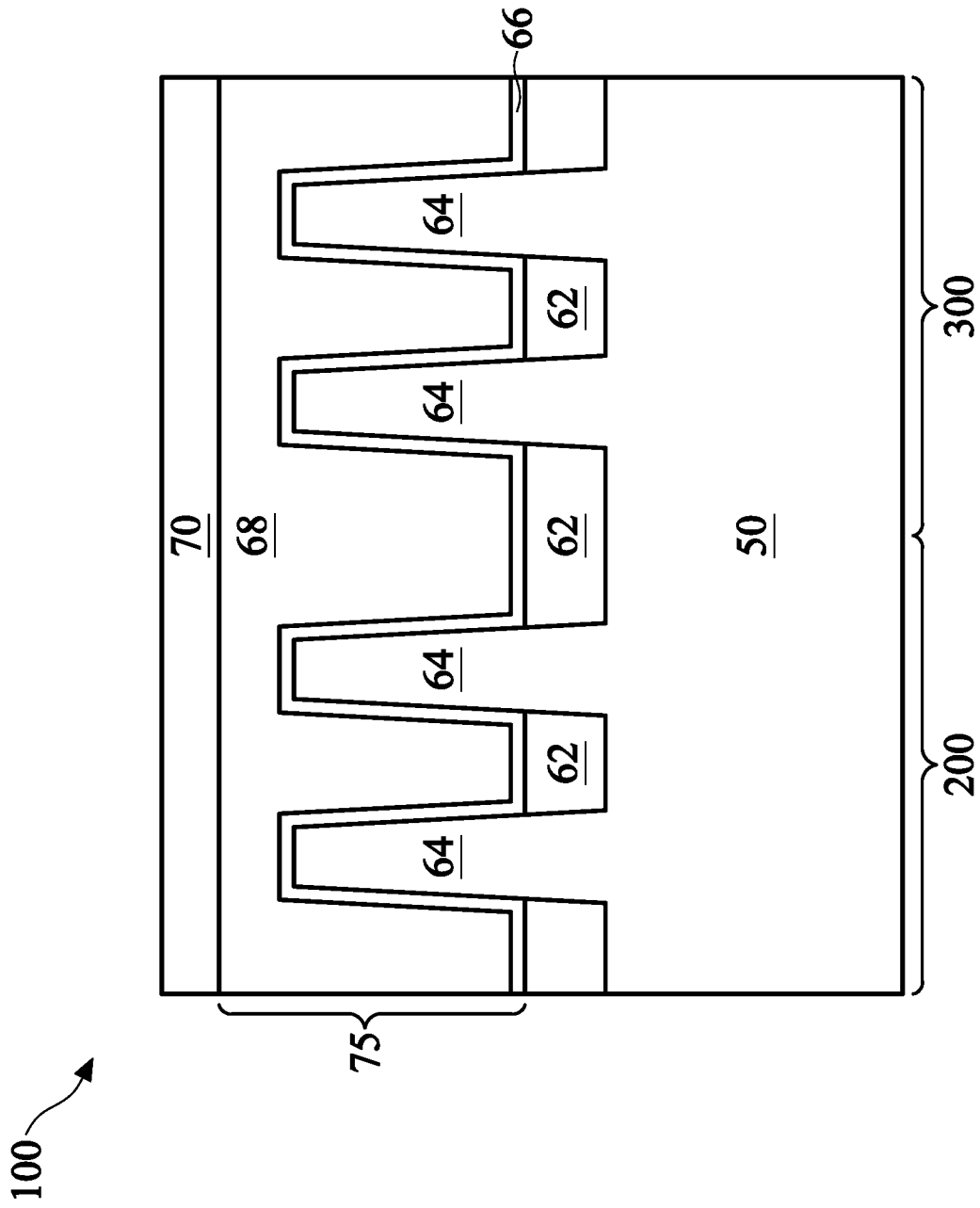


FIG. 5

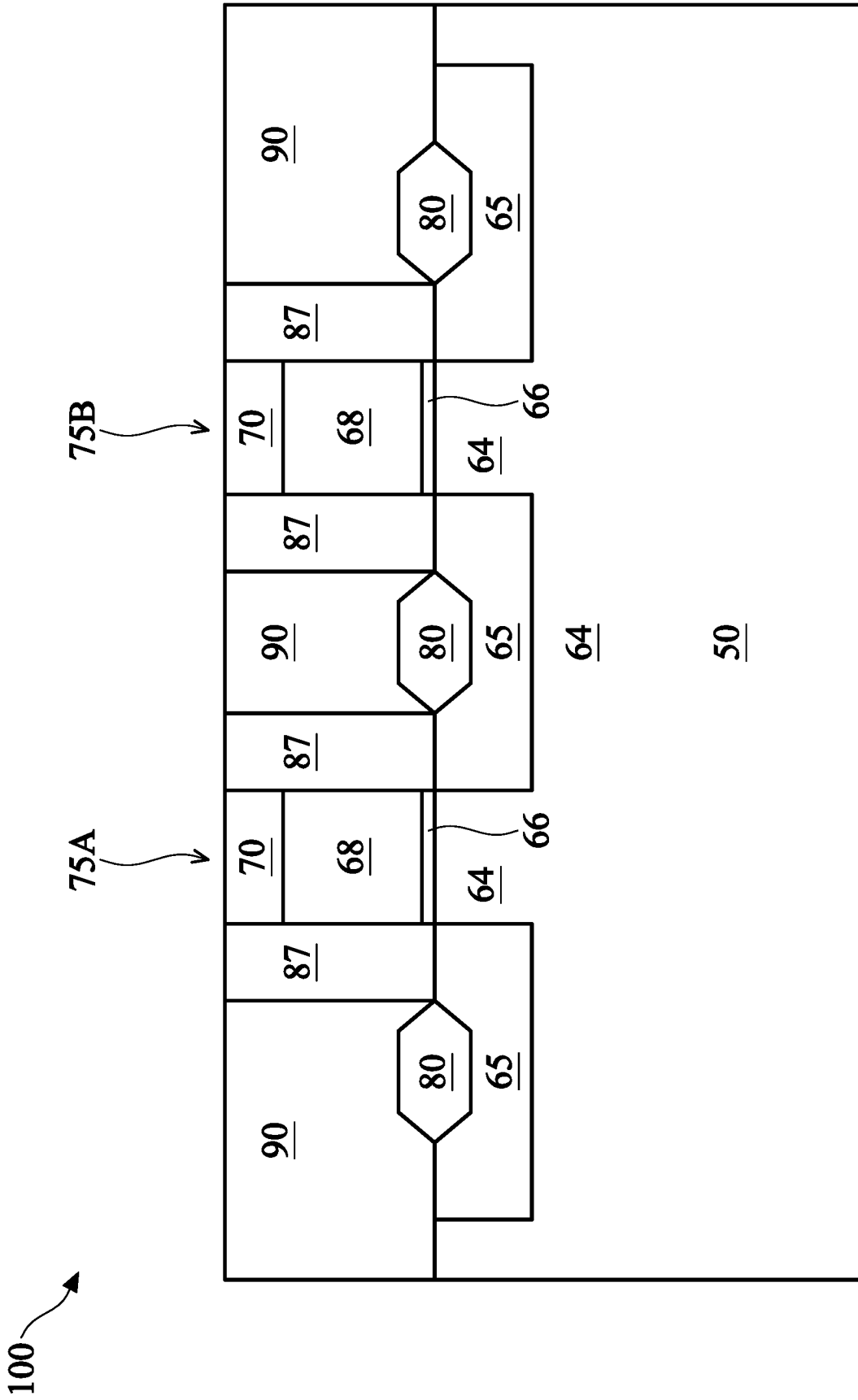


FIG. 6A

100

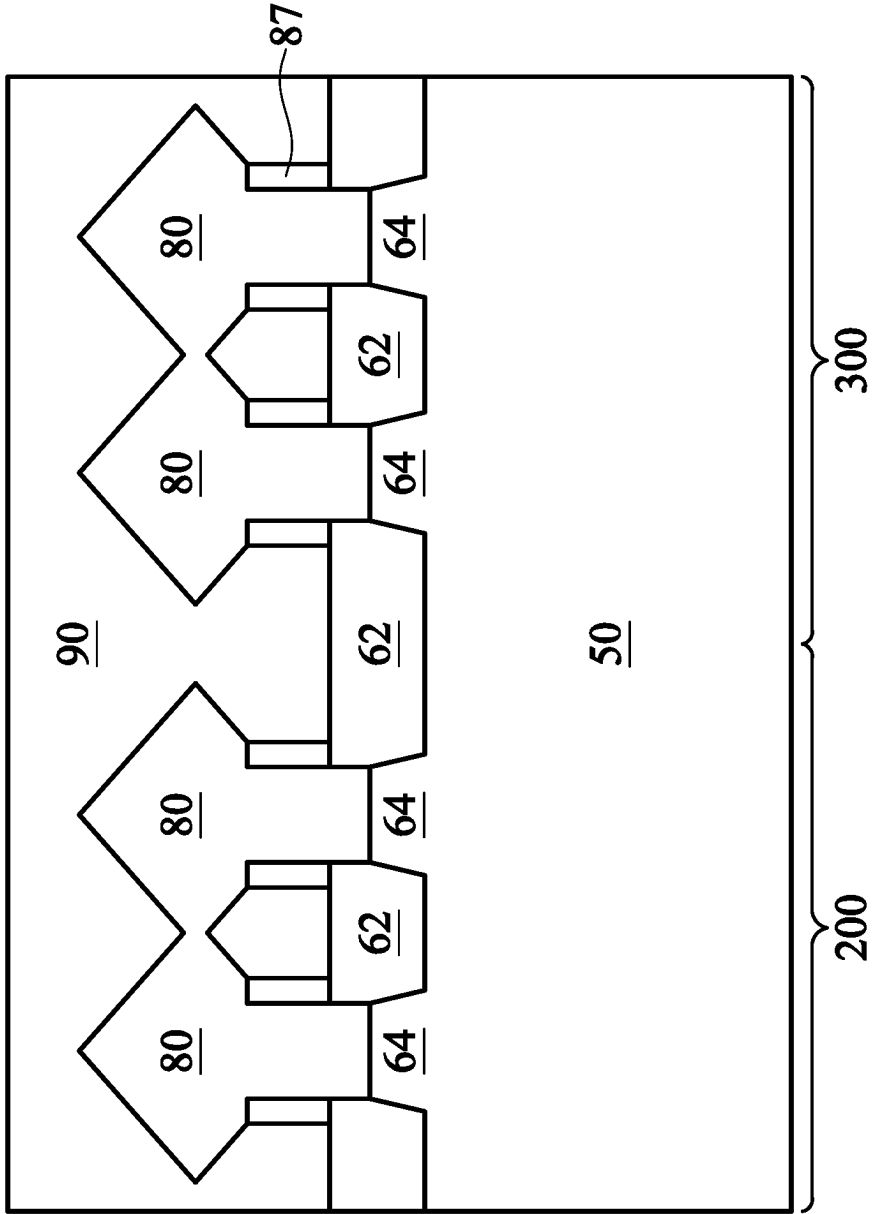


FIG. 6B

100

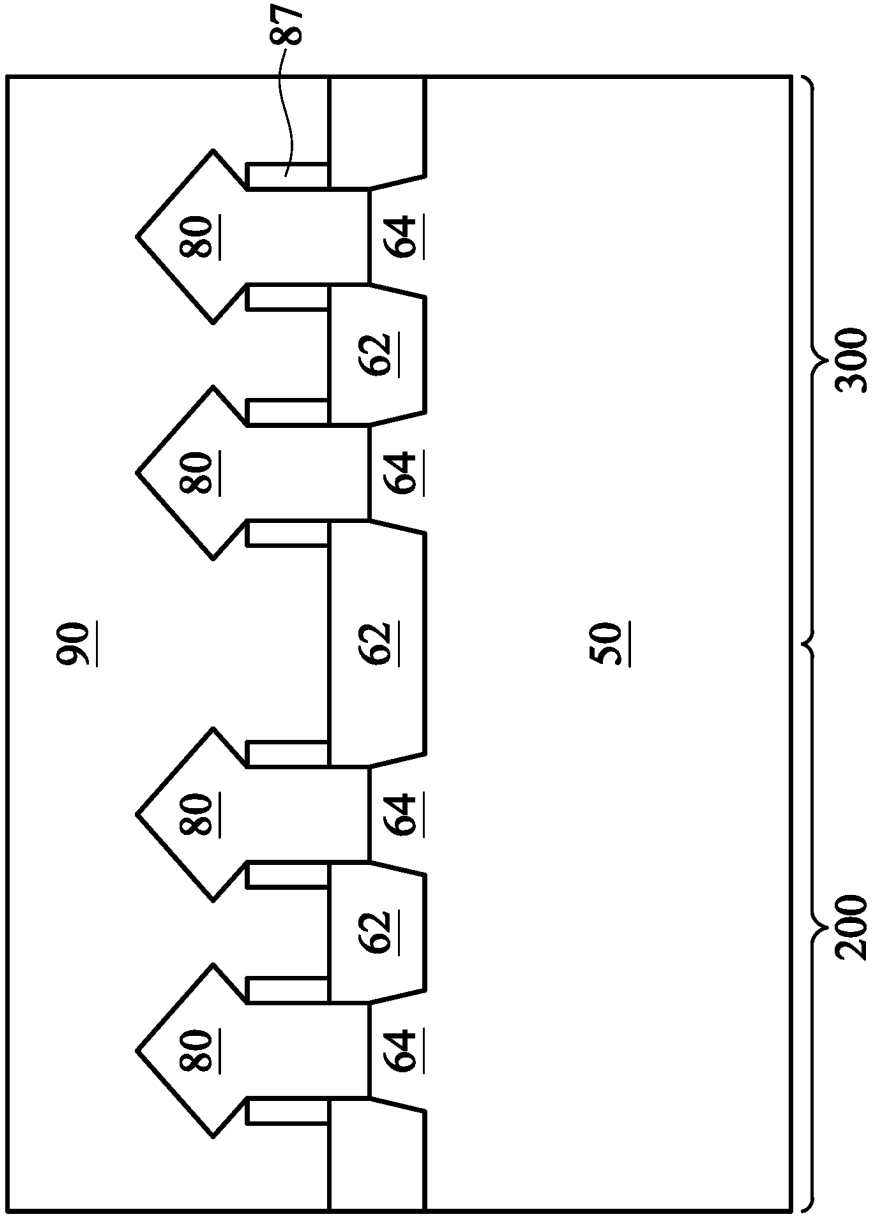


FIG. 6C

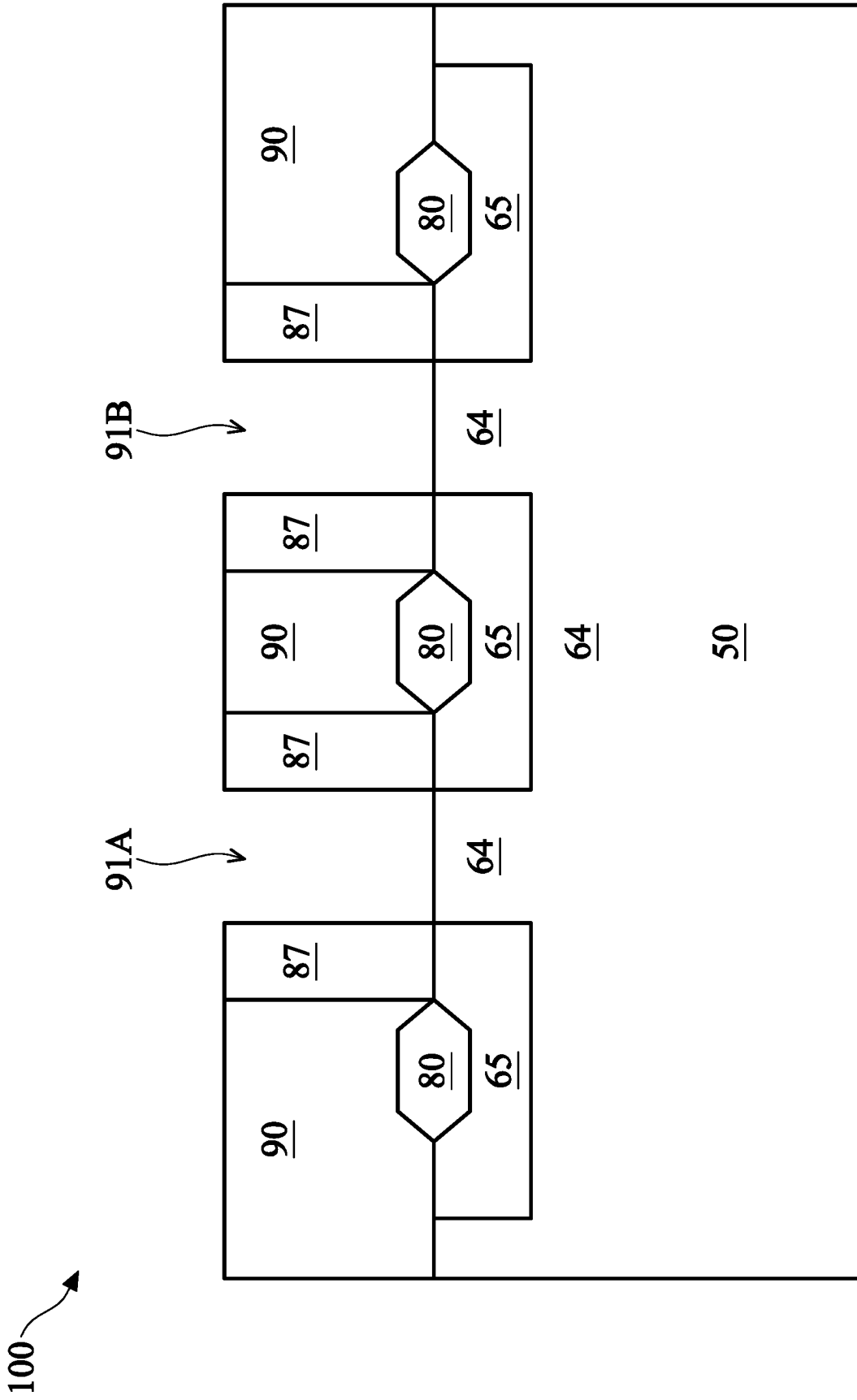


FIG. 7

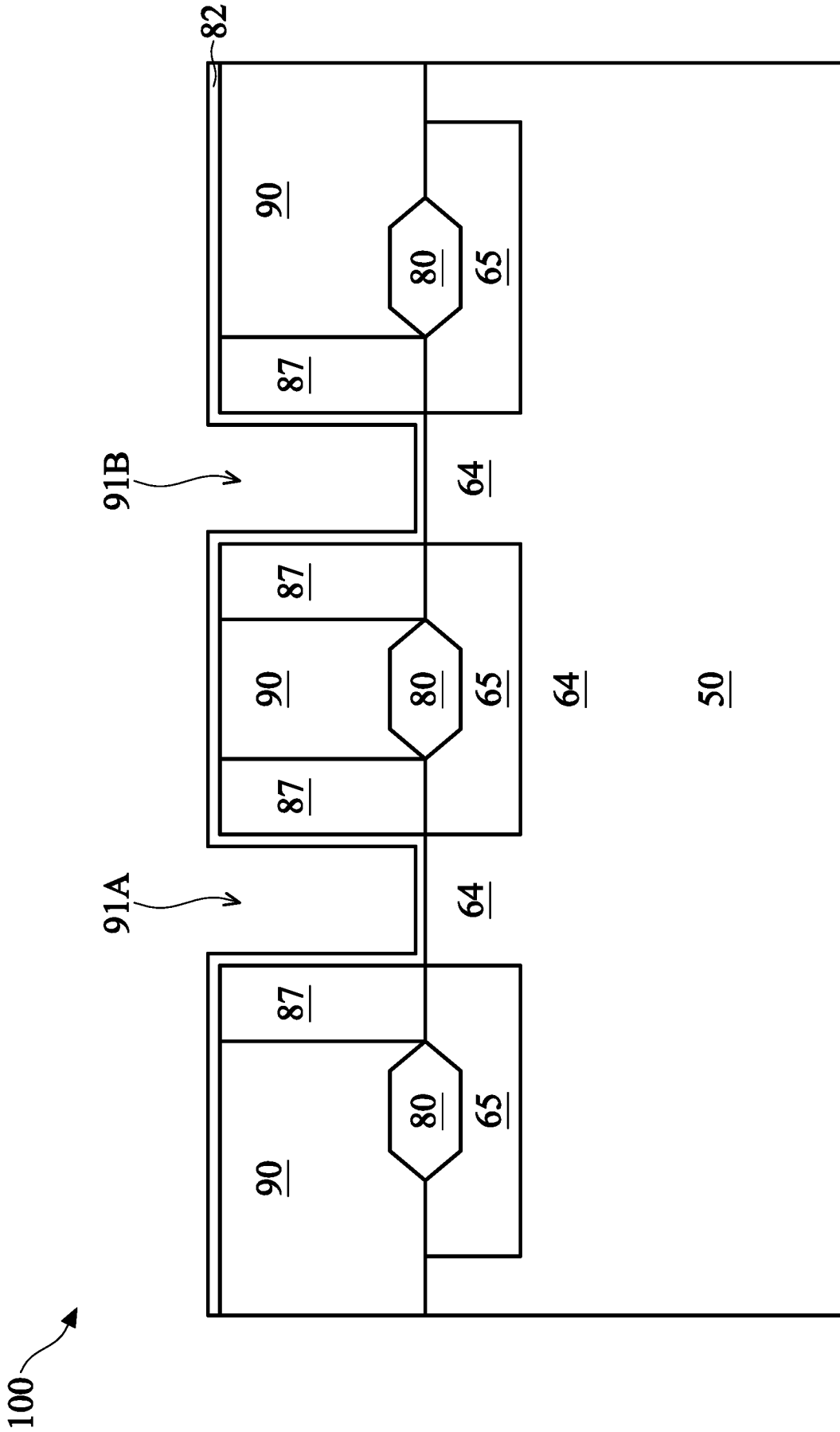


FIG. 8

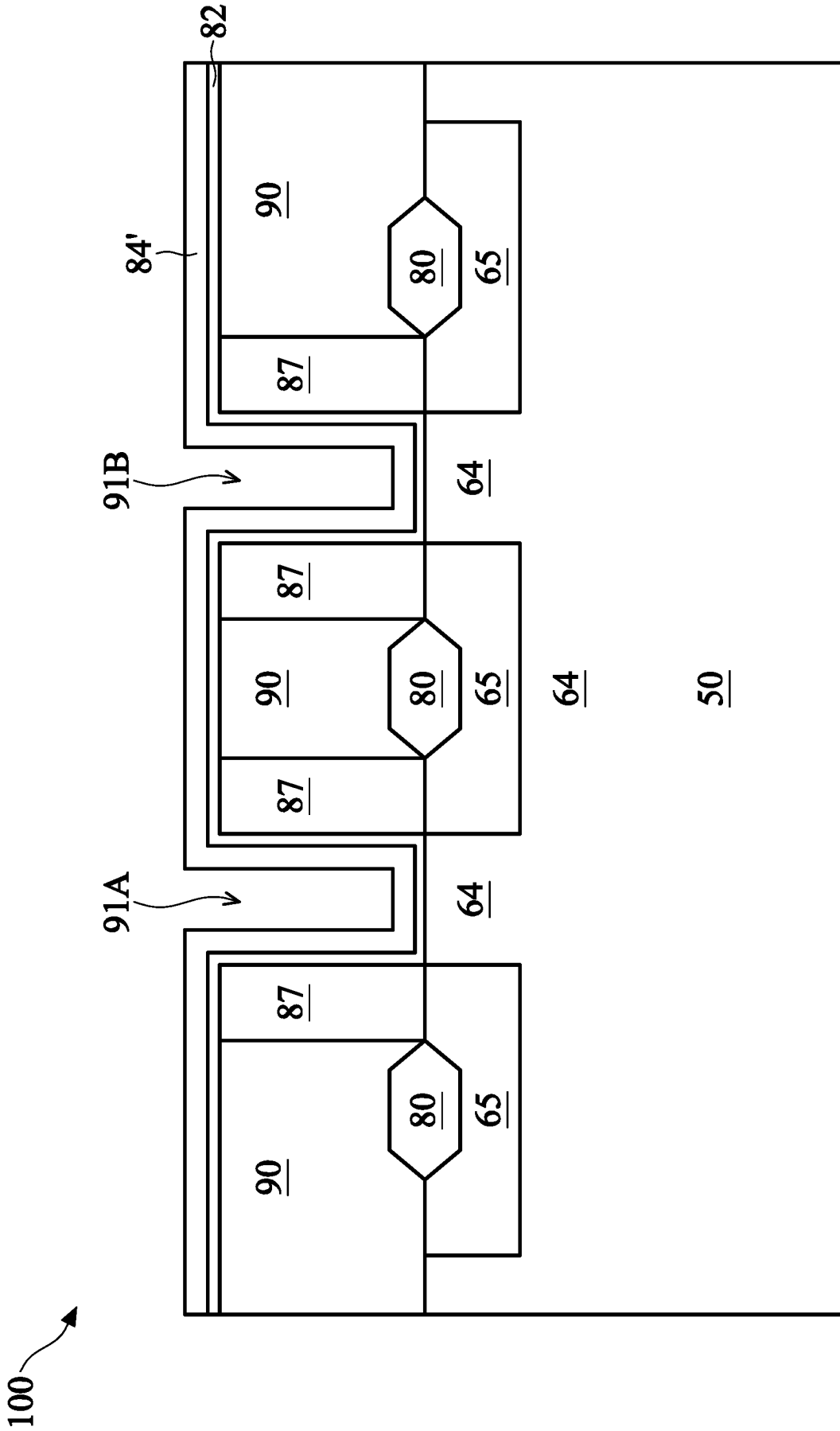


FIG. 9

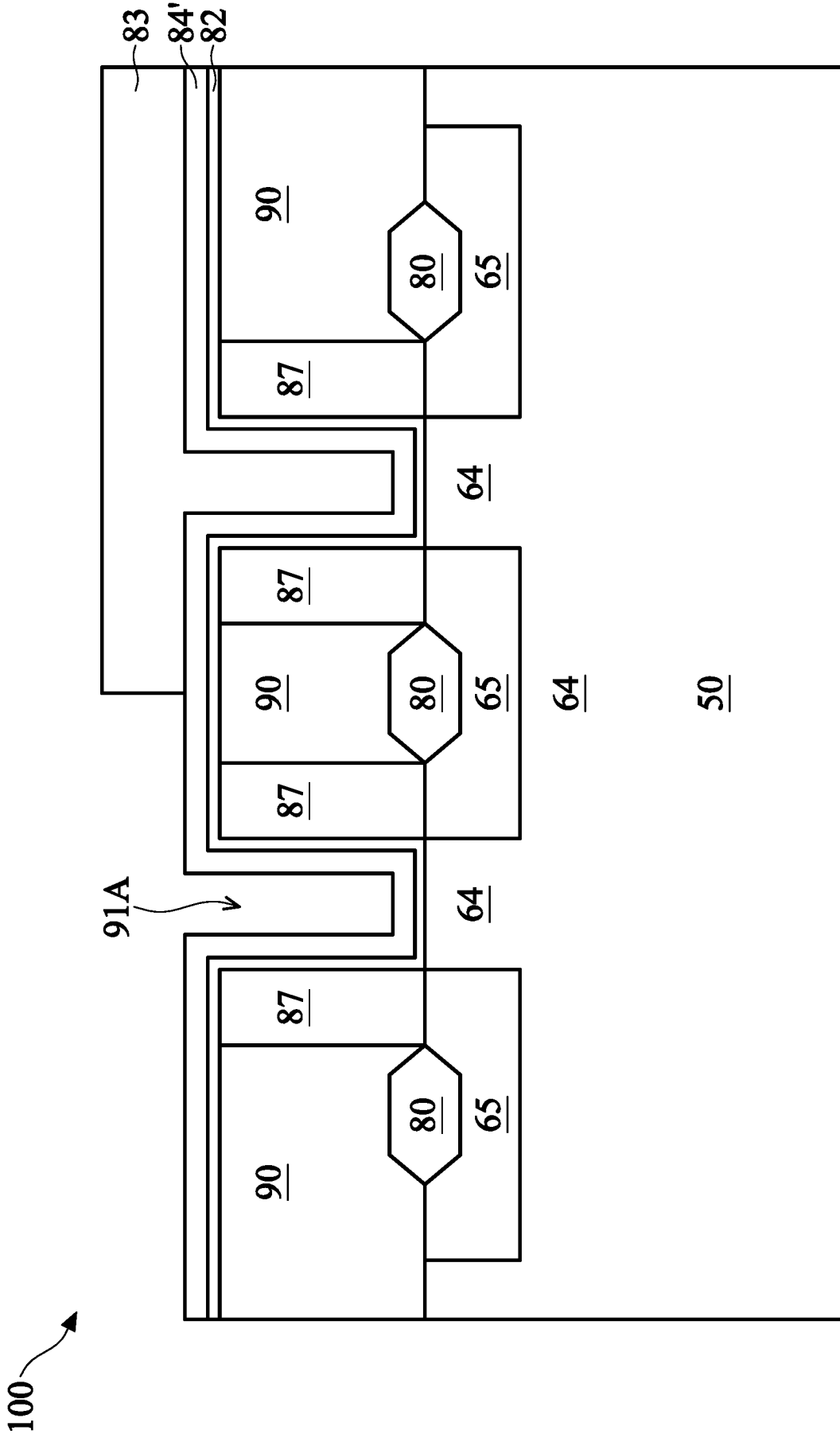


FIG. 10

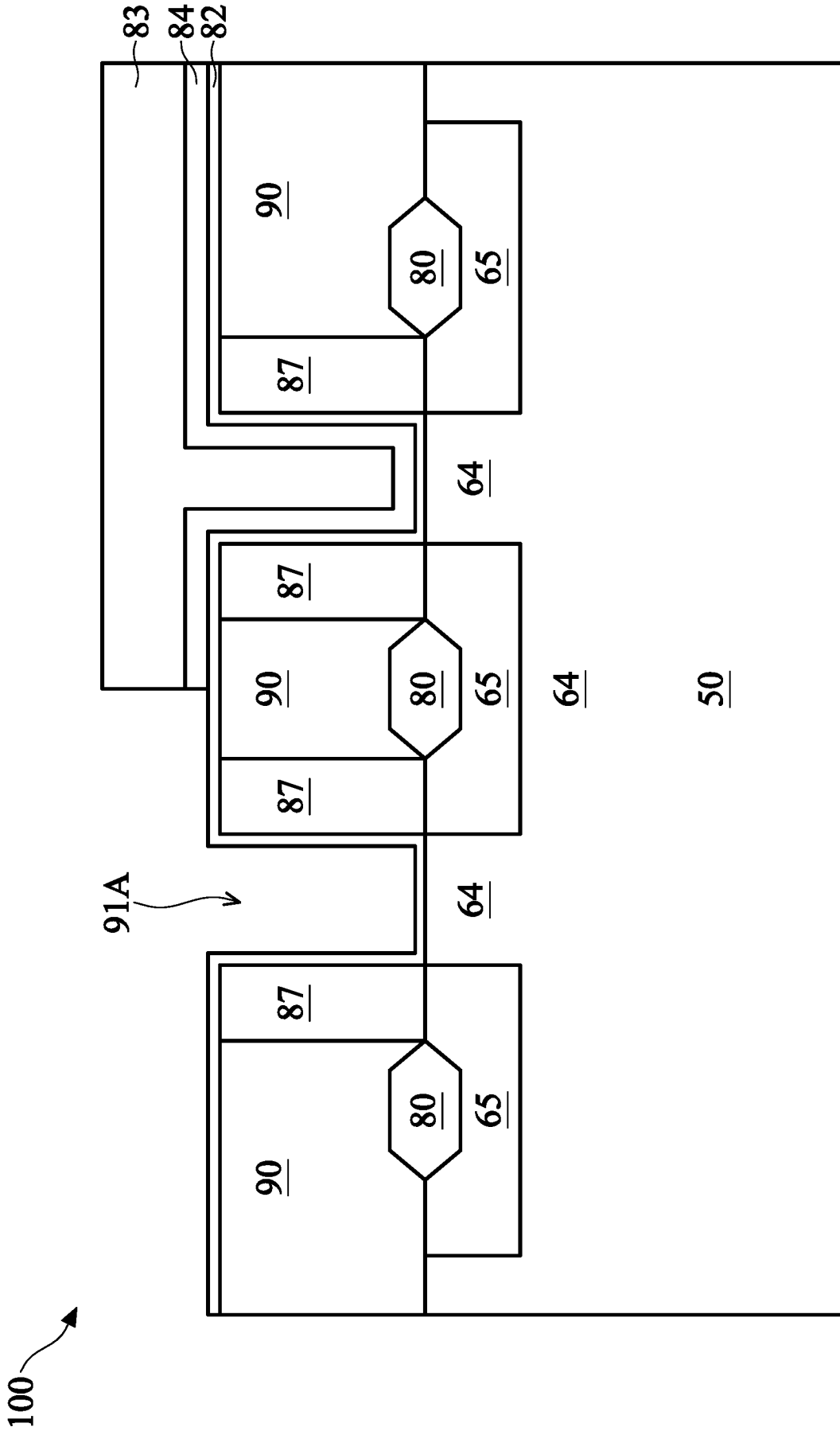


FIG. 11

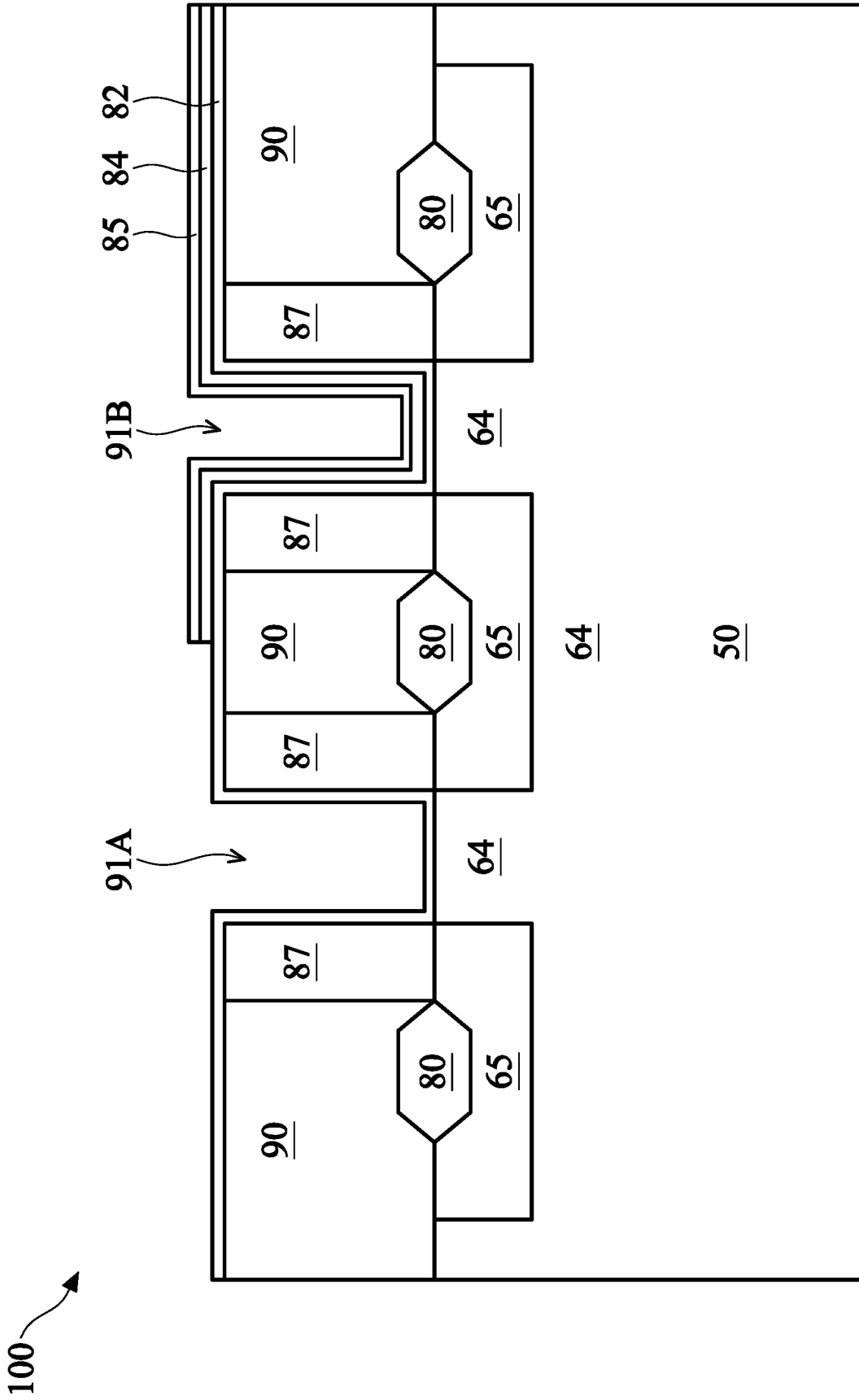


FIG. 12

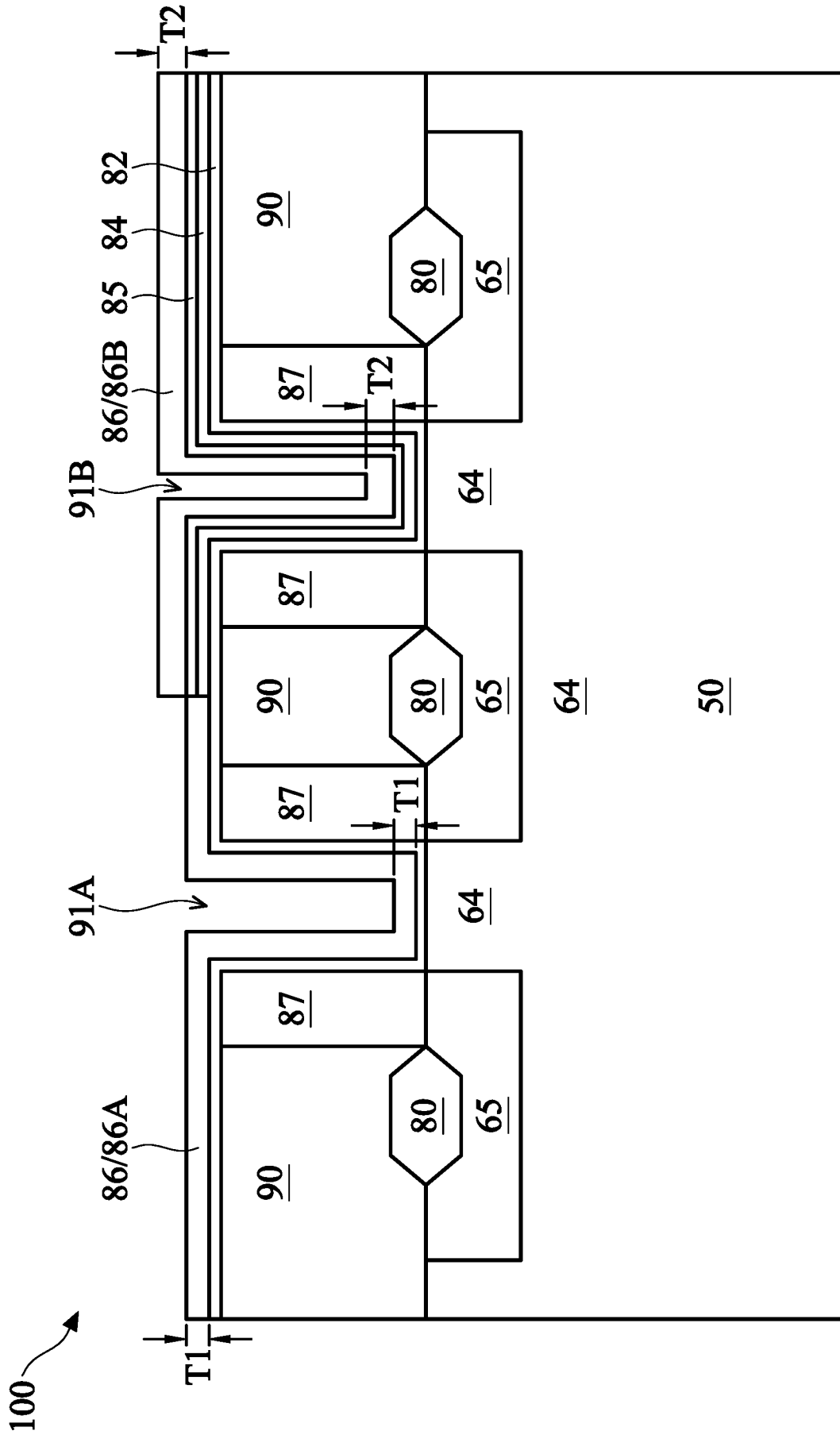


FIG. 13

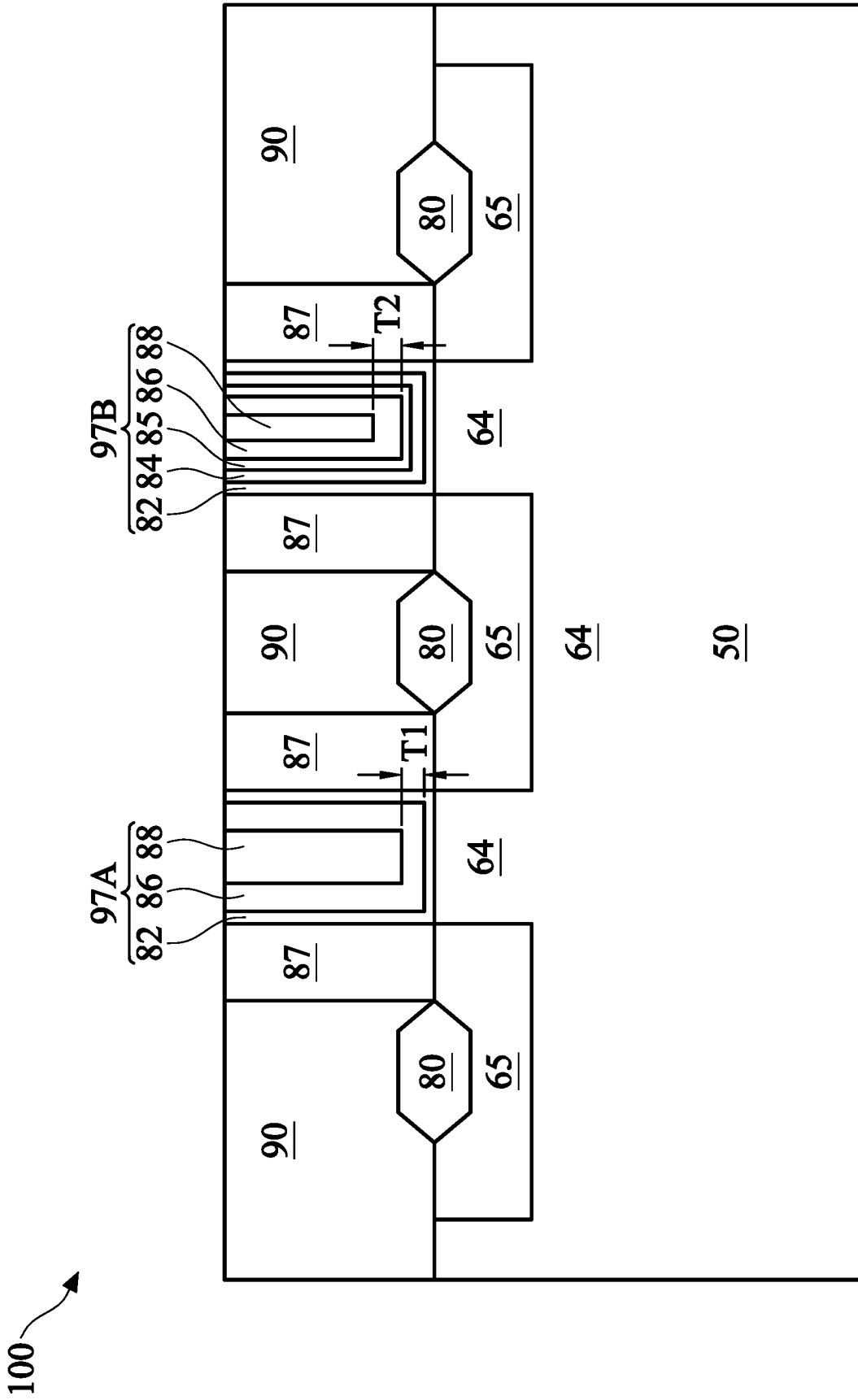


FIG. 14A

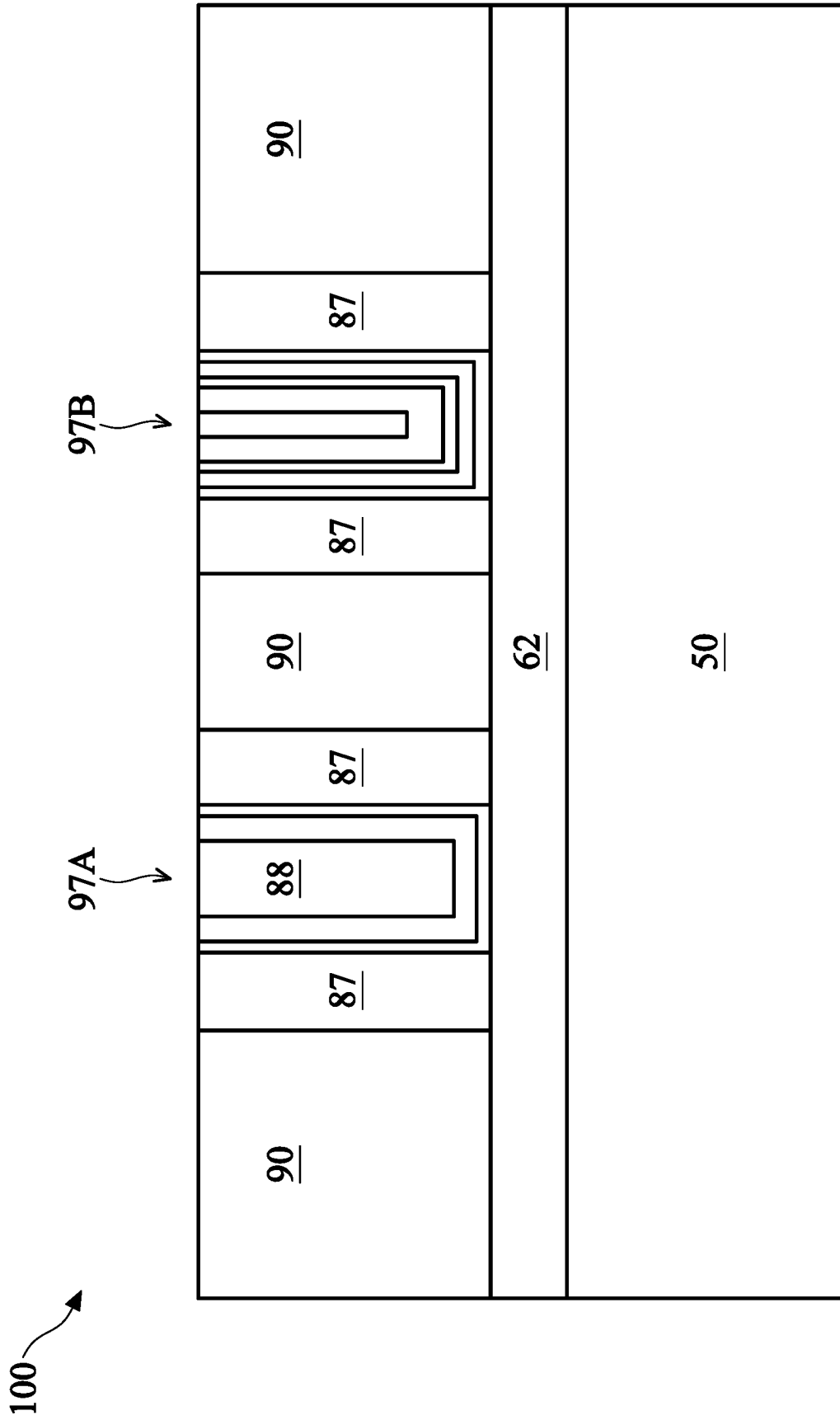


FIG. 14B

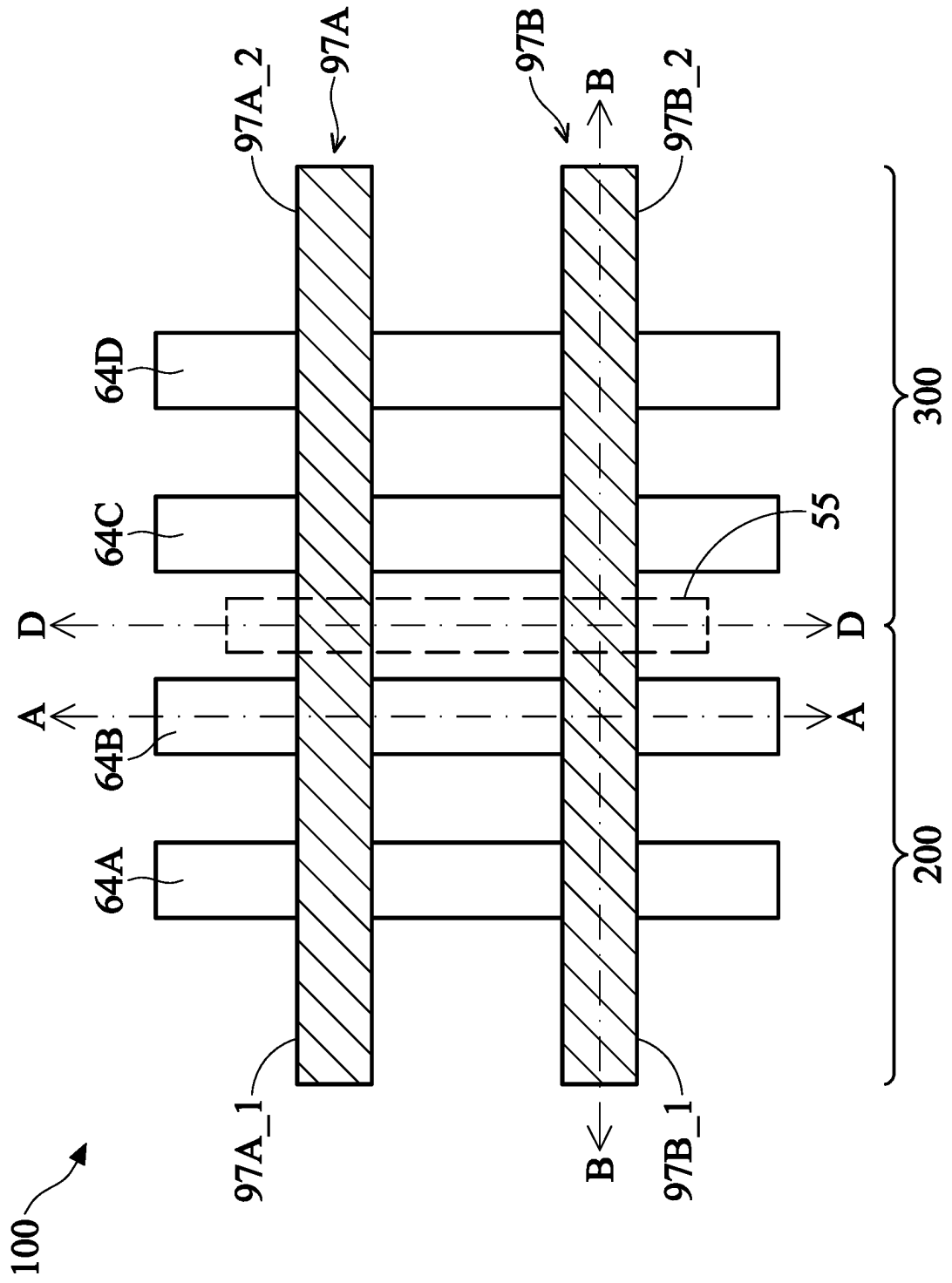


FIG. 15

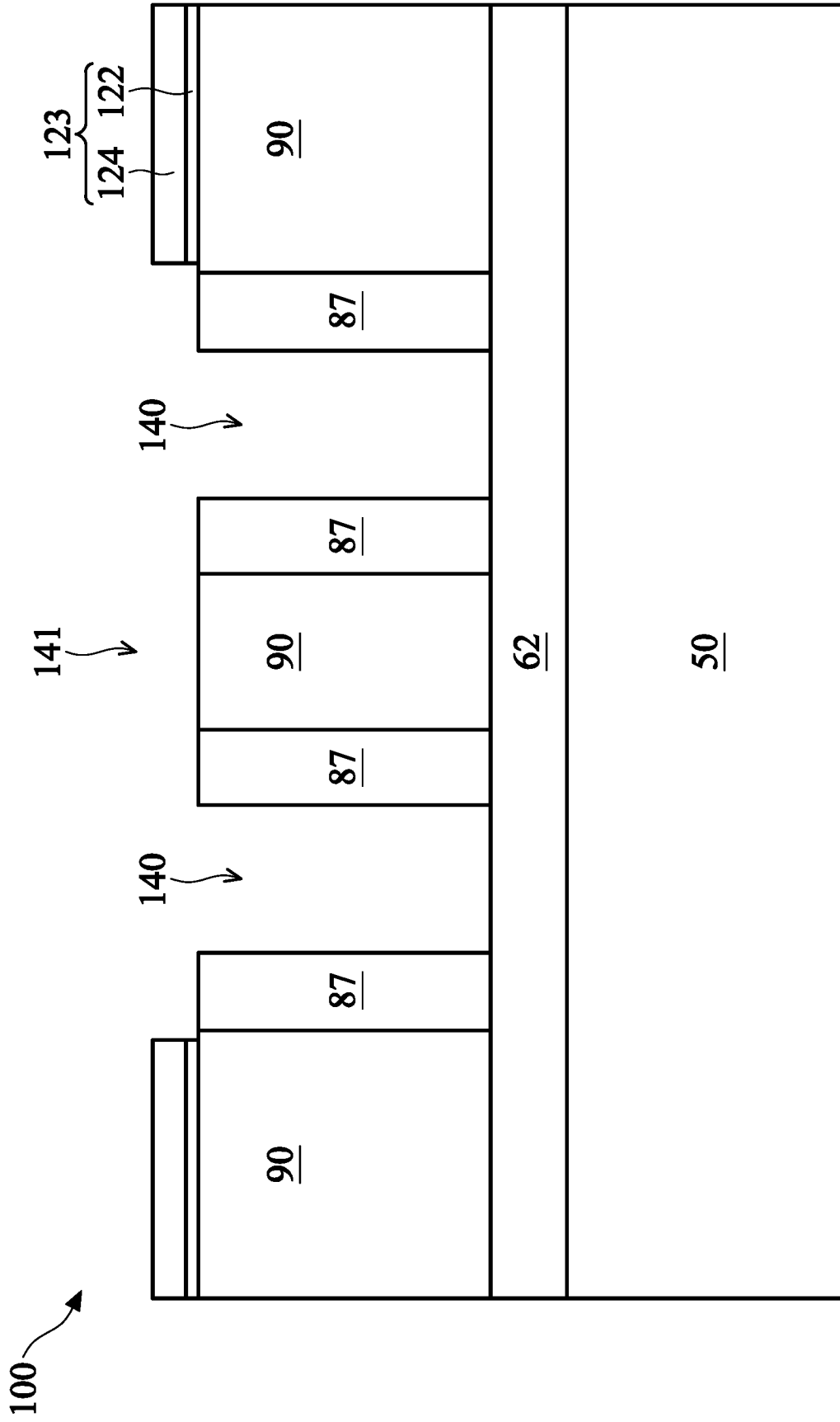


FIG. 16A

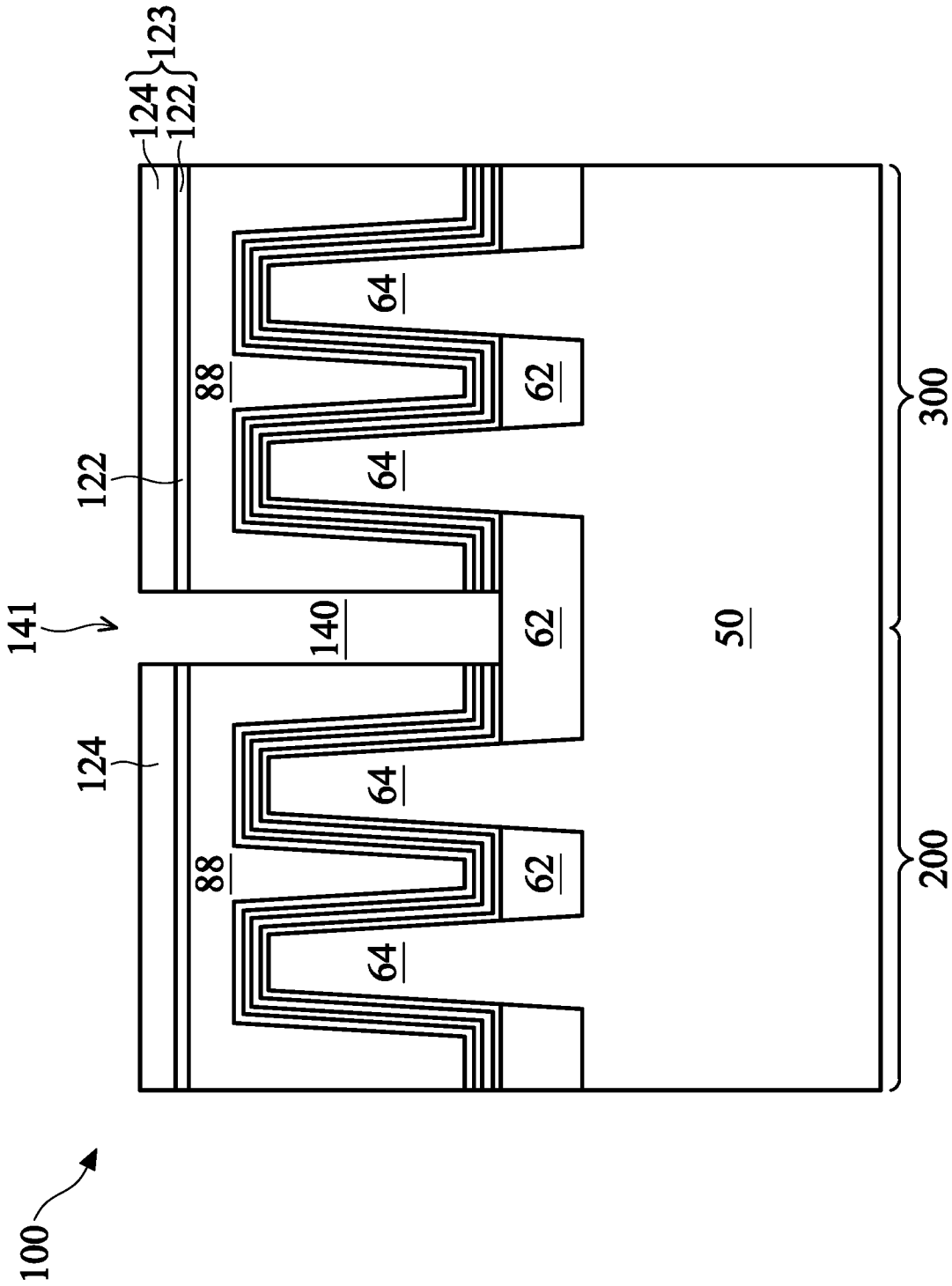


FIG. 16B

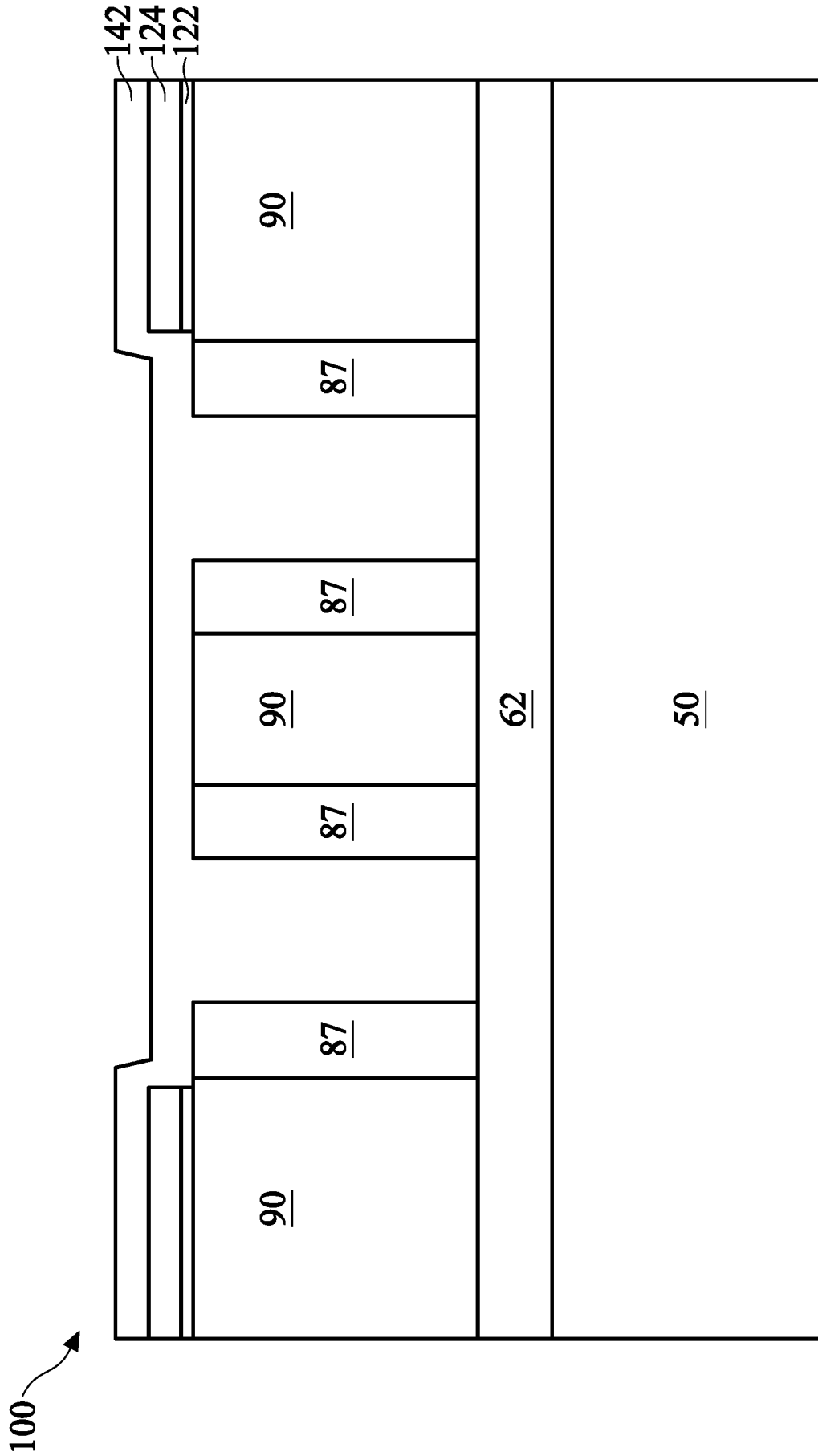


FIG. 17A

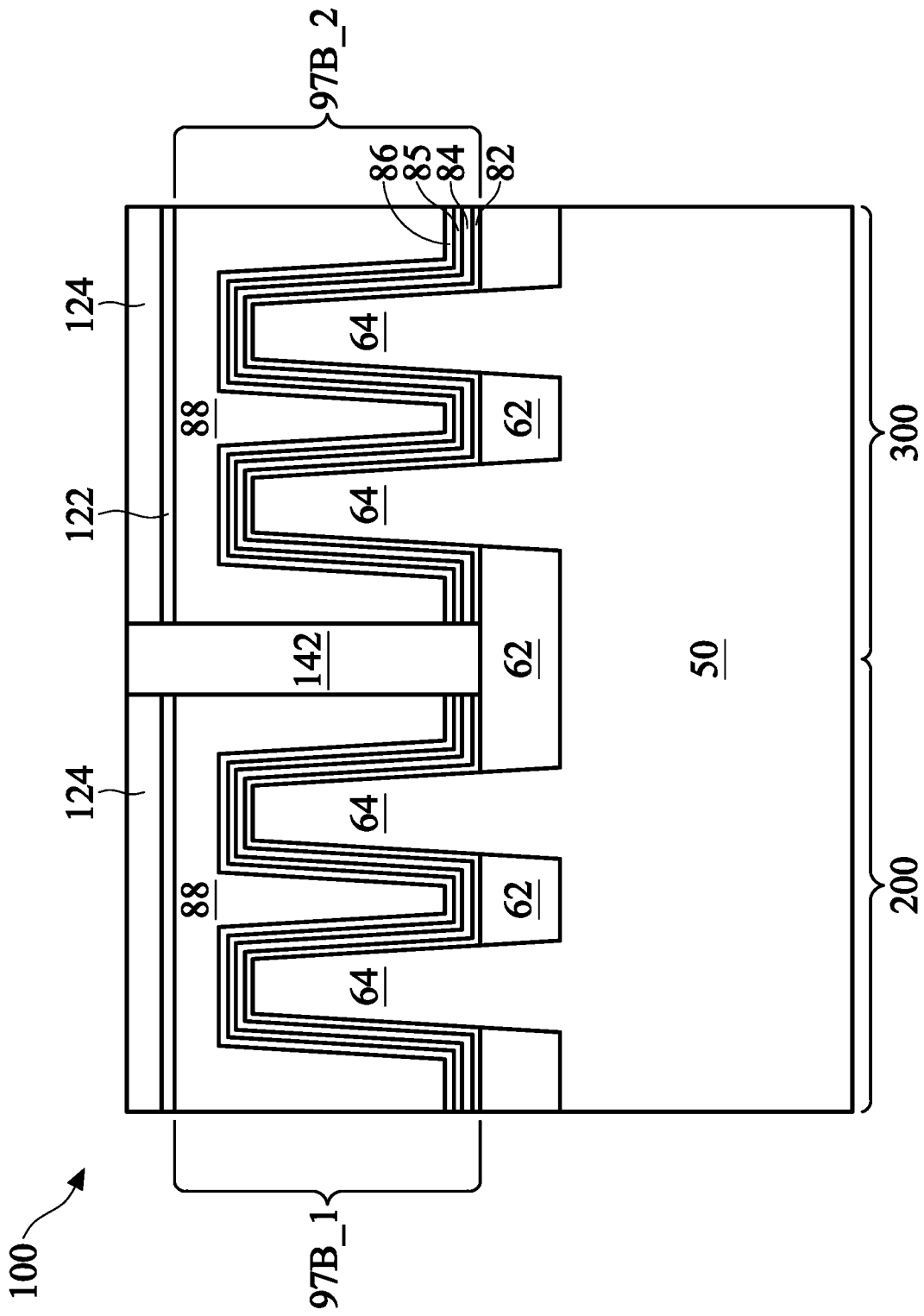


FIG. 17B

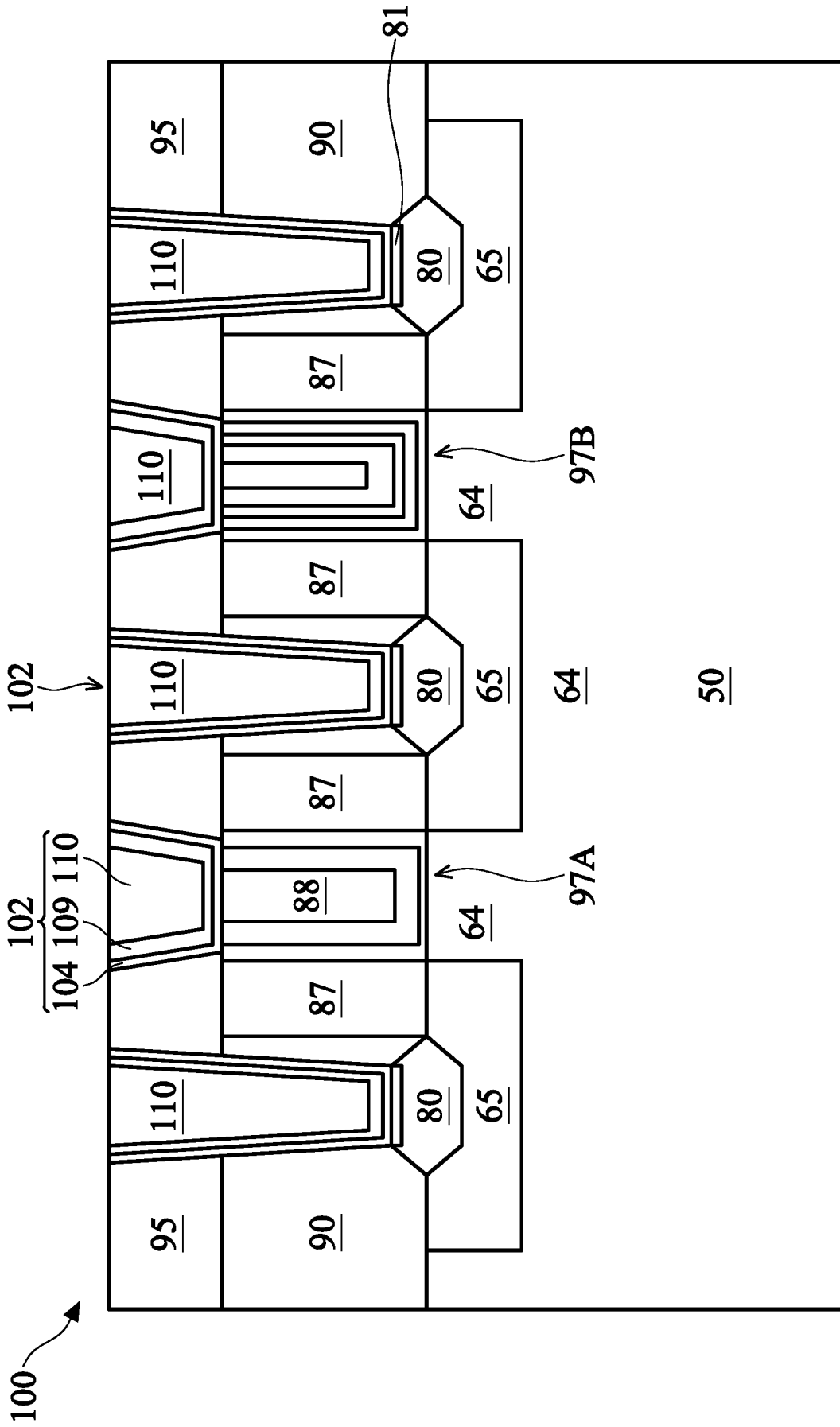


FIG. 18A

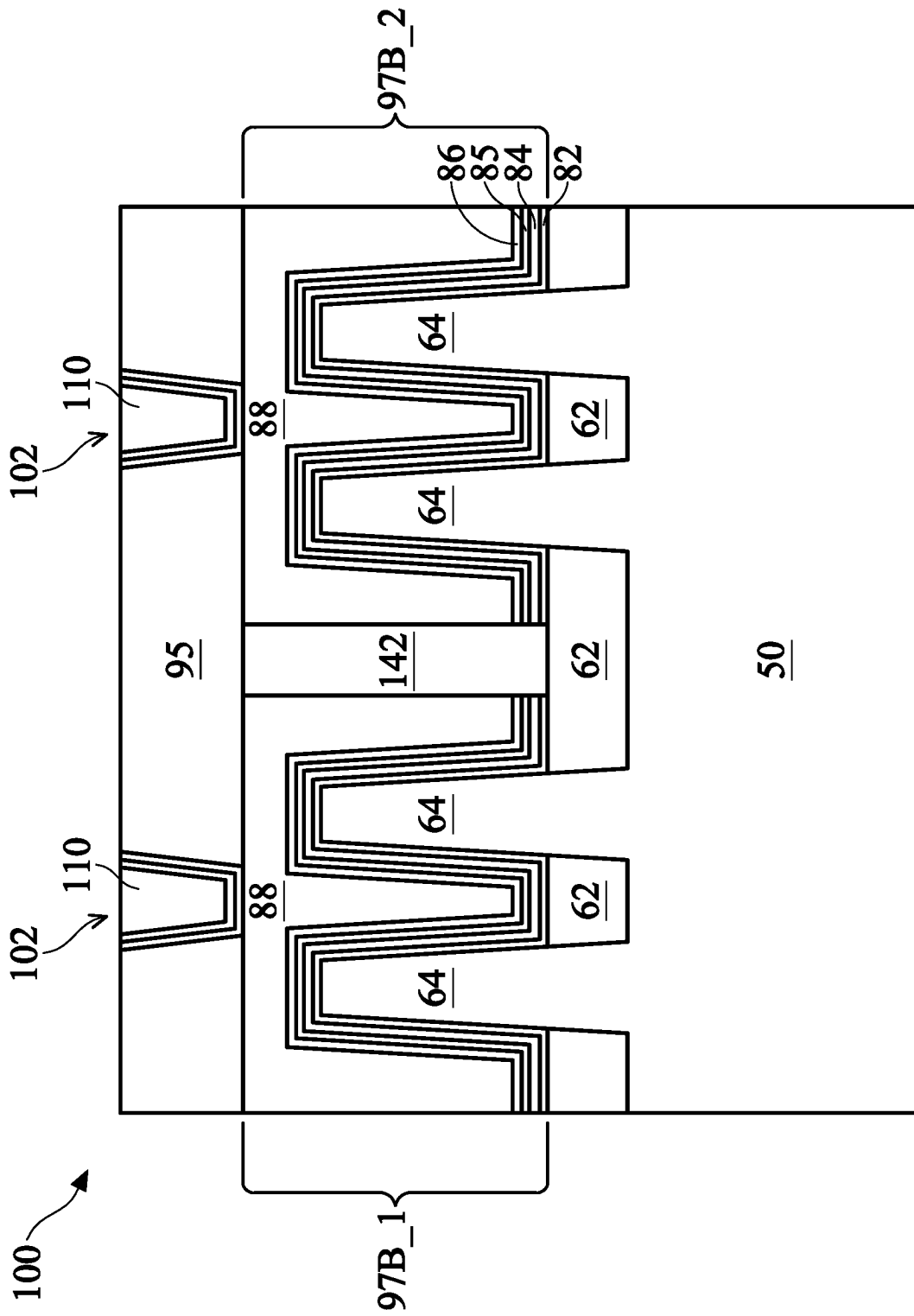
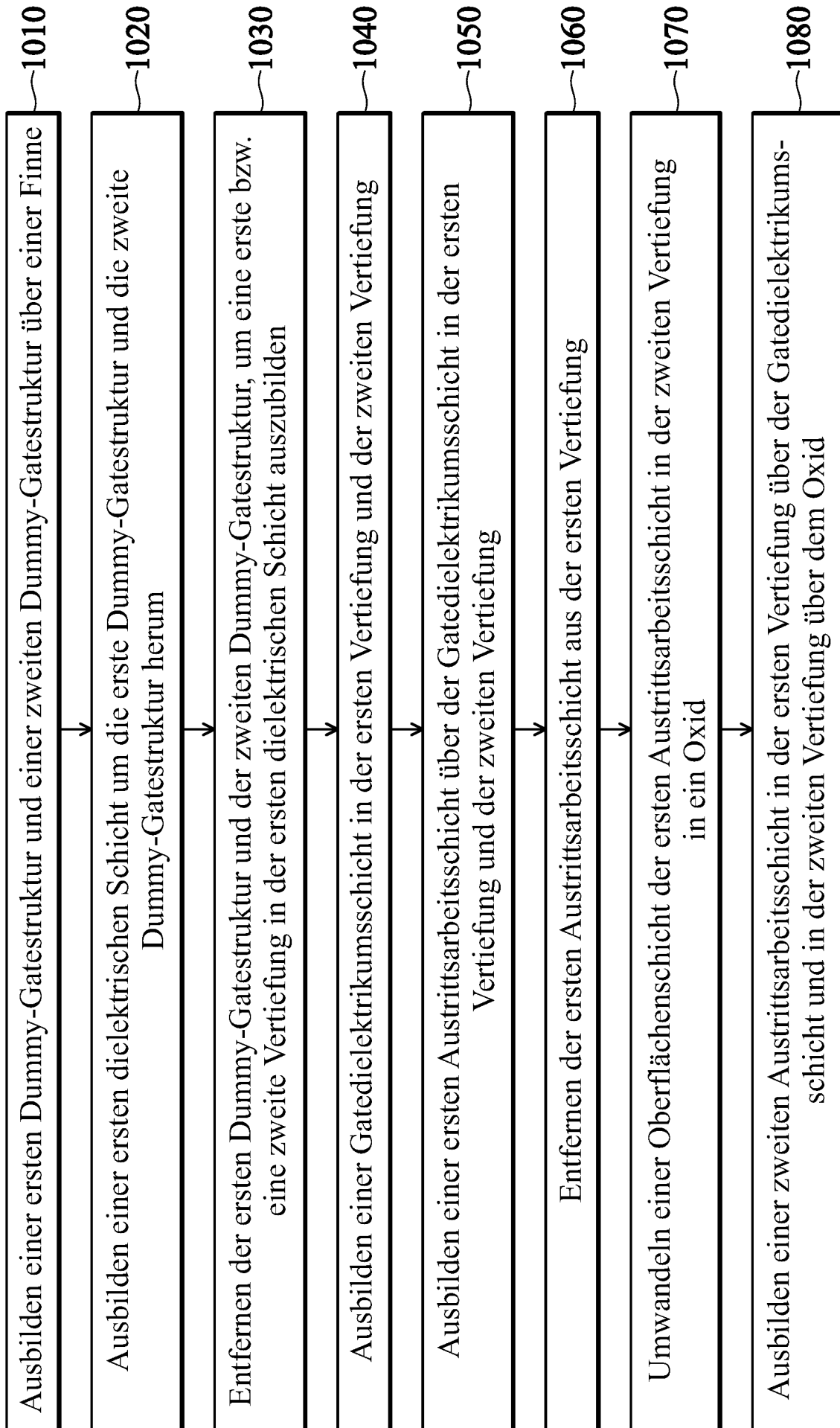


FIG. 18B

1000**FIG. 19**