



(12) 发明专利申请

(10) 申请公布号 CN 118511281 A

(43) 申请公布日 2024. 08. 16

(21) 申请号 202280087530.7

(22) 申请日 2022.12.22

(30) 优先权数据

2022-033875 2022.03.04 JP

(85) PCT国际申请进入国家阶段日

2024.07.03

(86) PCT国际申请的申请数据

PCT/JP2022/047319 2022.12.22

(87) PCT国际申请的公布数据

W02023/166827 JA 2023.09.07

(71) 申请人 罗姆股份有限公司

地址 日本

(72) 发明人 冈本武士

(74) 专利代理机构 北京银龙知识产权代理有限公司

11243

专利代理师 金成哲 郑毅

(51) Int.Cl.

H01L 29/06 (2006.01)

H01L 29/78 (2006.01)

H01L 29/739 (2006.01)

H01L 21/336 (2006.01)

H01L 21/329 (2006.01)

H01L 29/868 (2006.01)

H01L 29/861 (2006.01)

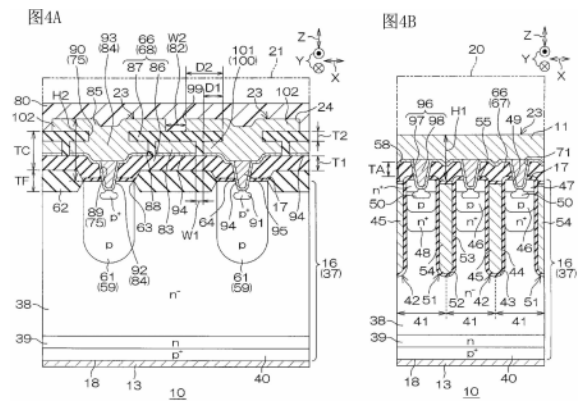
权利要求书3页 说明书33页 附图33页

(54) 发明名称

半导体装置以及半导体模块

(57) 摘要

半导体装置包括:具有第一主面的半导体芯片;在上述半导体芯片的上述第一主面中形成于上述元件形成区域的周围的周围区域且保持上述元件构造的耐压的耐压保持构造;形成于上述半导体芯片的上述第一主面的层间绝缘层;在上述第一主面上相互空出间隔地形成、并通过上述层间绝缘层而与上述耐压保持构造连接的多个第一导电层;通过上述层间绝缘层而与上述半导体芯片绝缘且在俯视时与相邻的上述多个第一导电层间的空间重叠的第二导电层;以及以覆盖上述多个第一导电层及上述第二导电层的方式形成于上述层间绝缘层上的保护层。



1. 一种半导体装置,其特征在于,包括:
半导体芯片,其具有第一主面,该第一主面形成有包含元件构造的元件形成区域;
耐压保持构造,其在上述半导体芯片的上述第一主面中形成于上述元件形成区域的周围的周围区域,保持上述元件构造的耐压;
层间绝缘层,其形成于上述半导体芯片的上述第一主面;
多个第一导电层,其为在上述第一主面上相互空出间隔地形成的多个第一导电层,且通过上述层间绝缘层而与上述耐压保持构造连接;
第二导电层,其通过上述层间绝缘层而与上述半导体芯片绝缘,在俯视时与相邻的上述多个第一导电层间的空间重叠;以及
保护层,其以覆盖上述多个第一导电层以及上述第二导电层的方式形成于上述层间绝缘层上。
2. 根据权利要求1所述的半导体装置,其特征在于,
上述第二导电层包括埋入到上述层间绝缘层内的埋入导电层,
上述埋入导电层在上述层间绝缘层的厚度方向上与上述多个第一导电层间的空间对置。
3. 根据权利要求2所述的半导体装置,其特征在于,
上述第一导电层包括:表层部,其形成于上述层间绝缘层上;以及接触部,其从上述表层部通过上述层间绝缘层而与上述耐压保持构造连接,
上述埋入导电层在上述层间绝缘层的厚度方向上与上述第一导电层的上述表层部的一部分对置。
4. 根据权利要求2所述的半导体装置,其特征在于,
上述第一导电层包括:接触部,其设置在形成于上述层间绝缘层的接触孔中,且与上述耐压保持构造连接;以及重叠部,其从上述接触部被引出至上述层间绝缘层的表面上,在俯视时与上述埋入导电层重叠。
5. 根据权利要求3或4所述的半导体装置,其特征在于,
上述层间绝缘层包括:比上述埋入导电层靠上述半导体芯片侧的第一部分;以及形成于上述第一部分上且包覆上述埋入导电层的第二部分,
上述第一导电层的上述接触部还包括突出部,该突出部朝向上述埋入导电层向上述第一部分上的区域选择性地突出。
6. 根据权利要求2~4中任一项所述的半导体装置,其特征在于,
上述层间绝缘层包括:比上述埋入导电层靠上述半导体芯片侧的第一部分;以及形成于上述第一部分上且包覆上述埋入导电层的第二部分,
上述接触部包括:第一埋入部,其由势垒层以及隔着上述势垒层埋入到上述层间绝缘层的上述第一部分上的接触插头形成;以及第二埋入部,其埋入于上述层间绝缘层的上述第二部分,由与上述接触插头不同的导电材料形成。
7. 根据权利要求2~4中任一项所述的半导体装置,其特征在于,
上述层间绝缘层包括:比上述埋入导电层靠上述半导体芯片侧的第一部分;以及形成于上述第一部分上且包覆上述埋入导电层的第二部分,
上述接触部包括:埋入部,其由一体地埋入于上述层间绝缘层的上述第一部分及上述

第二部分的单一的导电材料形成;以及埋入接触部,其包含形成于上述第一部分与上述埋入部之间的势垒层。

8. 根据权利要求2~4中任一项所述的半导体装置,其特征在于,

上述层间绝缘层包括:比上述埋入导电层靠上述半导体芯片侧的第一部分;以及形成于上述第一部分上且包覆上述埋入导电层的第二部分,

上述接触部包括埋入接触部,该埋入接触部由一体地埋入于上述层间绝缘层的上述第一部分及上述第二部分的单一的导电材料形成,且与上述耐压保持构造直接连接。

9. 根据权利要求1~8中任一项所述的半导体装置,其特征在于,

上述层间绝缘层在上述元件形成区域中的厚度比上述层间绝缘层在上述周围区域中的厚度薄。

10. 根据权利要求1~9中任一项所述的半导体装置,其特征在于,

在上述层间绝缘层的表面,在上述元件形成区域与上述周围区域的边界部中形成有台阶。

11. 根据权利要求1~11中任一项所述的半导体装置,其特征在于,

包括第一输出电极,该第一输出电极在上述元件形成区域中从上述保护层露出,且与上述元件构造连接,

从上述半导体芯片的上述第一主面至上述第一导电层的表面的高度比从上述半导体芯片的上述第一主面至上述第一输出电极的高度高。

12. 根据权利要求1所述的半导体装置,其特征在于,

上述多个第一导电层以及上述第二导电层均形成在上述层间绝缘层上,

上述第二导电层在上述层间绝缘层的表面中设置在上述多个第一导电层间的空间。

13. 根据权利要求12所述的半导体装置,其特征在于,

还包括LOCOS氧化膜,该LOCOS氧化膜在上述半导体芯片的上述第一主面中形成于被多个上述耐压保持构造所夹的区域,

上述第一导电层设置在上述耐压保持构造的正上方位置,

上述第二导电层设置在上述LOCOS氧化膜的正上方位置。

14. 根据权利要求1~13中任一项所述的半导体装置,其特征在于,

上述多个第一导电层间的空间形成为俯视线状,

上述第二导电层形成为沿上述线状的上述空间延伸的俯视线状。

15. 根据权利要求1~14中任一项所述的半导体装置,其特征在于,

上述周围区域包围上述元件形成区域,且包括形成于上述半导体芯片的周端部的外侧区域。

16. 根据权利要求1~15中任一项所述的半导体装置,其特征在于,

上述半导体芯片包括形成于上述第一主面侧的第一导电型的第一杂质区域,

上述耐压保持构造包括通过向上述第一杂质区域导入第二导电型杂质而形成的第二杂质区域。

17. 根据权利要求16所述的半导体装置,其特征在于,

上述耐压保持构造包括包围上述元件形成区域的FLR构造以及降低表面电场层中的至少一方。

18. 根据权利要求1~17中任一项所述的半导体装置,其特征在于,上述元件构造包括IGBT构造、二极管构造以及MOSFET构造中的至少一个。

19. 根据权利要求1~18中任一项所述的半导体装置,其特征在于,上述保护层由聚酰亚胺树脂或者PBO树脂形成。

20. 根据权利要求1~19中任一项所述的半导体装置,其特征在于,是包含对上述半导体芯片进行封固的封固树脂的分立半导体。

21. 一种半导体模块,其特征在于,包括:

树脂制的箱体;以及

多个半导体装置,其设置于上述箱体,且至少包括一个权利要求1~19中任一项所述的半导体装置。

半导体装置以及半导体模块

技术领域

[0001] 本公开涉及半导体装置以及半导体模块。

背景技术

[0002] 例如,专利文献1所记载的半导体装置具备:具有表面、背面以及在与表面交叉的方向上延伸的端面的半导体层;形成于半导体层的表面部的p型的主体区域;形成于主体区域的表面部的n⁺型的源极区域;以在半导体层的背面露出的方式形成且由主体区域从源极区域分离的n⁻型的漂移区域;隔着栅极绝缘膜而与主体区域对置的栅极电极;在背面中与漂移区域肖特基接合且在比半导体层的端面更向内侧分离的位置具有周缘的漏极电极;以及形成在背面侧且以与漏极电极的周缘部重叠的方式配置的背面终端构造。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2021-158388号公报

发明内容

[0006] 发明所要解决的课题

[0007] 本公开的一个实施方式提供一种半导体装置,其能够抑制层间绝缘层曝露在水分中而引起的耐压的下降。

[0008] 用于解决课题的方案

[0009] 本公开的一个实施方式的半导体装置包括:半导体芯片,其具有第一主面,该第一主面形成有包含元件构造的元件形成区域;耐压保持构造,其在上述半导体芯片的上述第一主面中形成于上述元件形成区域的周围的周围区域,保持上述元件构造的耐压;层间绝缘层,其形成于上述半导体芯片的上述第一主面;多个第一导电层,其为在上述第一主面上相互空出间隔地形成的多个第一导电层,且通过上述层间绝缘层而与上述耐压保持构造连接;第二导电层,其通过上述层间绝缘层而与上述半导体芯片绝缘,在俯视时与相邻的上述多个第一导电层间的空间重叠;以及保护层,其以覆盖上述多个第一导电层以及上述第二导电层的方式形成于上述层间绝缘层上。

附图说明

[0010] 图1是本公开的一个实施方式的半导体装置的示意性的外观图。

[0011] 图2是图1的元件芯片的示意性的俯视图。

[0012] 图3是沿图2的III—III线的剖视图。

[0013] 图4A以及图4B分别是上述元件芯片的外侧区域以及元件形成区域的示意性的剖视图。

[0014] 图5是用于说明发射极引出电极层以及栅极引出电极层的构造的示意性的剖视图。

- [0015] 图6是示意性地表示封固导电层的平面图案的图。
- [0016] 图7是示意性地表示封固导电层的平面图案的图。
- [0017] 图8A以及图8B是表示上述半导体装置的制造工序的一部分的图。
- [0018] 图9A以及图9B是表示图8A以及图8B的下一个工序的图。
- [0019] 图10A以及图10B是表示图9A以及图9B的下一个工序的图。
- [0020] 图11A以及图11B是表示图10A以及图10B的下一个工序的图。
- [0021] 图12A以及图12B是表示图11A以及图11B的下一个工序的图。
- [0022] 图13A以及图13B是表示图12A以及图12B的下一个工序的图。
- [0023] 图14A以及图14B是表示图13A以及图13B的下一个工序的图。
- [0024] 图15A以及图15B是表示图14A以及图14B的下一个工序的图。
- [0025] 图16A以及图16B是表示图15A以及图15B的下一个工序的图。
- [0026] 图17A以及图17B是表示图16A以及图16B的下一个工序的图。
- [0027] 图18A以及图18B分别是上述元件芯片的外侧区域以及元件形成区域的示意性的剖视图。
- [0028] 图19A以及图19B分别是上述元件芯片的外侧区域以及元件形成区域的示意性的剖视图。
- [0029] 图20A以及图20B分别是上述元件芯片的外侧区域以及元件形成区域的示意性的剖视图。
- [0030] 图21是示意性地表示封固导电层的平面图案的图。
- [0031] 图22是示意性地表示封固导电层的平面图案的图。
- [0032] 图23A以及图23B分别是上述元件芯片的外侧区域以及元件形成区域的示意性的剖视图。
- [0033] 图24A以及图24B分别是上述元件芯片的外侧区域以及元件形成区域的示意性的剖视图。
- [0034] 图25是上述元件芯片的外侧区域的示意性的剖视图。
- [0035] 图26A以及图26B分别是上述元件芯片的外侧区域以及元件形成区域的示意性的剖视图。
- [0036] 图27是本公开的一个实施方式的半导体模块的示意性的外观图。
- [0037] 图28是表示图27的半导体模块的电构造的电路图。

具体实施方式

- [0038] 以下,参照附图对本公开的实施方式进行详细说明。
- [0039] [半导体装置1的整体结构]
- [0040] 图1是本公开的一个实施方式的半导体装置1的示意性的外观图。在图1中,通过用点划线示出封装件主体2来透视地示出封装件主体2的内部构造。
- [0041] 半导体装置1包括长方体形状的封装件主体2,是IGBT分立半导体。封装件主体2由模制树脂形成。封装件主体2也可以包含基体树脂(例如环氧树脂)、多个填充物以及多个可挠化颗粒(可挠化剂)。封装件主体2具有一方侧的第一面3、另一方侧的第二面4、以及将第一面3及第二面4连接的第一~第四侧壁5A~5D。

[0042] 第一面3以及第二面4在从它们的法线方向Z观察的俯视时形成为四边形状。第一侧壁5A以及第二侧壁5B在第一方向X上延伸且在与第一方向X正交的第二方向Y上对置。第三侧壁5C以及第四侧壁5D在第二方向Y上延伸且在第一方向X上对置。

[0043] 半导体装置1包括配置在封装件主体2内的金属板6(导体板)。金属板6也可以称为“芯片焊盘”。金属板6在俯视时形成为四边形状(具体而言为长方形状)。金属板6包括从第一侧壁5A向封装件主体2的外部引出的引出板部7。引出板部7具有圆形的贯通孔8。金属板6也可以从第二面4露出。

[0044] 半导体装置1包括从封装件主体2的内部向外部引出的多个(在该实施方式中为三个)引线端子9。多个引线端子9配置在第二侧壁5B侧。多个引线端子9分别形成为在第二侧壁5B的正交方向(也就是第二方向Y)上延伸的带状。多个引线端子9中的两侧的引线端子9从金属板6空出间隔地配置,中央的引线端子9与金属板6一体地形成。与金属板6连接的引线端子9的配置是任意的。

[0045] 半导体装置1包括在封装件主体2内配置在金属板6上的元件芯片10。元件芯片10在表面侧具有发射极端子电极11以及栅极端子电极12,在背面侧具有集电极端子电极13。元件芯片10以使集电极端子电极13与金属板6对置的姿势配置在金属板6上,且与金属板6电连接。

[0046] 半导体装置1包括介于集电极端子电极13以及金属板6之间且使元件芯片10与金属板6接合的导电粘接剂14。导电粘接剂14也可以包含焊料或者金属糊料。焊料也可以是无铅焊料。金属糊料也可以包含Au、Ag以及Cu中的至少一个。Ag糊料也可以由Ag烧结糊料构成。Ag烧结糊料也可以由在有机溶剂中添加了纳米尺寸或者微米尺寸的Ag颗粒的糊料构成。

[0047] 半导体装置1包括在封装件主体2内与引线端子9以及元件芯片10电连接的至少一个(在该实施方式中为多个)导线15(导电连接部件)。在该实施方式中,导线15由金属线(也就是键合引线)构成。导线15也可以包含金线、铜线以及铝线中的至少一个。当然,导线15也可以由金属夹等金属板构成来代替金属线。

[0048] 至少一个(在该实施方式中为一个)导线15与栅极端子电极12以及引线端子9电连接。至少一个(在该实施方式中为四个)导线15与发射极端子电极11以及引线端子9电连接。

[0049] [元件芯片10的整体结构]

[0050] 图2是图1的元件芯片10的示意性的俯视图。

[0051] 参照图2,元件芯片10包括俯视时形成为四边形状的芯片状的半导体芯片16。半导体芯片16包括第一主面17、第一主面17的相反侧的第二主面18、以及将第一主面17及第二主面18连接的第一~第四侧面19A、19B、19C、19D。

[0052] 第一主面17以及第二主面18在从它们的法线方向Z观察的俯视时形成为四边形状。第一侧面19A以及第二侧面19B在第一方向X上延伸且在与第一方向X正交的第二方向Y上对置。第三侧面19C以及第四侧面19D在第二方向Y上延伸且在第一方向X上对置。

[0053] 在半导体芯片16设定有元件形成区域20、以及作为元件形成区域20的外侧的区域的区域21及划片区域22。

[0054] 在从半导体芯片16的第一主面17的法线方向观察的俯视时,元件形成区域20设定于半导体芯片16的中央区域。外侧区域21设定于元件形成区域20的外侧的区域。划片区域

22设定于外侧区域21的外侧的区域。

[0055] 在该实施方式中,元件形成区域20是形成有IGBT(Insulated Gate Bipolar Transistor,绝缘栅极双极晶体管)的区域。元件形成区域20也可以称为有源区域。在俯视时,元件形成区域20设定为具有与半导体芯片16的第一~第四侧面19A、19B、19C、19D平行的四边的俯视四边形状。元件形成区域20从半导体芯片16的第一~第四侧面19A、19B、19C、19D向半导体芯片16的内侧空出间隔地设定。

[0056] 外侧区域21是划分出元件形成区域20的外周的区域。外侧区域21在半导体芯片16的第一~第四侧面19A、19B、19C、19D与元件形成区域20之间的区域中设定为包围元件形成区域20的无端状(俯视时为四边环状)。根据形成元件形成区域20的外周的观点,外侧区域21也可以定义为半导体芯片16的外周区域。

[0057] 划片区域22是在制造时供切割刀片等切断部件通过的区域。划片区域22在半导体芯片16的第一~第四侧面19A、19B、19C、19D与外侧区域21之间的区域中设定为包围外侧区域21的无端状(俯视时为四边环状)。

[0058] 在半导体芯片16的第一主面17上形成有表面电极23。表面电极23也可以包含栅极端子电极12、发射极端子电极11、场板电极24以及等电位电势电极25。栅极端子电极12、发射极端子电极11、场板电极24以及等电位电势电极25通过将它们边缘化的绝缘区域26而分别电绝缘。

[0059] 栅极端子电极12主要形成于外侧区域21。栅极端子电极12包括栅极焊盘27以及栅极指28。栅极焊盘27在俯视时沿第二侧面19C的中央区域形成。在该实施方式中,栅极焊盘27在俯视时形成为四边形状。栅极焊盘27从外侧区域21向元件形成区域20内被引出,且横穿元件形成区域20以及外侧区域21的边界部。

[0060] 栅极指28在外侧区域21中从栅极焊盘27被引出,从三个方向包围元件形成区域20。栅极指28在第四侧面19D侧具有一对敞开端29、30。栅极指28在一对敞开端29、30以及栅极焊盘27之间的区域以带状延伸。更具体而言,栅极指28包括第一栅极指31以及第二栅极指32。

[0061] 第一栅极指31从栅极焊盘27的第一侧面19A侧的端部被引出。第一栅极指31在第四侧面19D侧具有敞开端29。第一栅极指31在栅极焊盘27以及敞开端29之间的区域中沿第三侧面19C以及第一侧面19A以带状延伸。

[0062] 第二栅极指32从栅极焊盘27的第二侧面19B侧的端部被引出。第二栅极指32在第四侧面19D侧具有敞开端30。第二栅极指32在栅极焊盘27以及敞开端30之间的区域中沿第三侧面19C以及第二侧面19B以带状延伸。

[0063] 发射极端子电极11包括发射极焊盘33、发射极引绕部34以及发射极连接部35。

[0064] 发射极焊盘33形成于由栅极焊盘27的周缘以及栅极指28的周缘划分出的俯视凹状的区域内。发射极焊盘33形成为沿栅极焊盘27的周缘以及栅极指28的周缘的俯视凹状。发射极焊盘33包覆栅极焊盘27外的元件形成区域20的大致整个区域。发射极焊盘33的周缘从元件形成区域20向外侧区域21内被引出,且横穿元件形成区域20以及外侧区域21的边界部。

[0065] 发射极引绕部34形成于外侧区域21。发射极引绕部34在栅极指28的外侧的区域以带状引绕。在该实施方式中,发射极引绕部34形成为包围栅极指28的无端状(俯视时为四边

环状)。发射极引绕部34也可以形成为包围栅极指28的有端状。

[0066] 发射极连接部35从发射极焊盘33被引出。发射极连接部35横穿栅极指28的一对敞开端29、30之间的区域并与发射极引绕部34连接。发射极引绕部34经由发射极连接部35而与发射极焊盘33电连接。

[0067] 形成于元件形成区域20的IGBT在其构造上包括npn型的寄生双极晶体管。若在元件形成区域20外的区域产生的雪崩电流向元件形成区域20流入,则寄生双极晶体管成为导通状态。该情况下,例如由于闩锁,IGBT的控制变得不稳定。

[0068] 因此,在该实施方式中,通过包括发射极焊盘33、发射极引绕部34以及发射极连接部35的发射极端子电极11,形成回收在元件形成区域20外的区域产生的雪崩电流的雪崩电流回收构造36。更具体而言,通过发射极引绕部34,回收在元件形成区域20外的区域产生的雪崩电流。回收的雪崩电流经由发射极连接部35而从发射极焊盘33被取出。由此,能够抑制寄生双极晶体管元件由于在元件形成区域20外的区域产生的不希望的电流而成为导通状态。因而,能够抑制闩锁,从而能够提高IGBT的控制的稳定性。

[0069] 场板电极24形成于外侧区域21。在图2中,场板电极24由黑色的线示出。场板电极24在外侧区域21中空出间隔地形成有多个(在该实施方式中为四个)。各场板电极24沿发射极引绕部34以带状引绕。在该实施方式中,各场板电极24形成为包围发射极引绕部34的无端状(俯视时为四边环状)。至少一个场板电极24也可以形成为有端状。

[0070] 等电位电势电极25形成为划片区域22。等电位电势电极25沿场板电极24以带状引绕。在该实施方式中,等电位电势电极25形成为包围场板电极24的无端状(俯视时为四边环状)。等电位电势电极25形成为所谓EQR(EQui-potential Ring,等电位环)电极。

[0071] [元件芯片10的内部构造]

[0072] 接着,对元件芯片10的内部构造进行具体说明。图3是沿图2的III—III线的剖视图。图4A以及图4B分别是元件芯片10的外侧区域21以及元件形成区域20中的示意性的剖视图。图5是用于说明发射极引出电极层57以及栅极引出电极层56的构造的示意性的剖视图。图6以及图7是示意性地表示封固导电层83的平面图案的图。在以下的说明中,预先附记各构成要素的尺寸(例如,厚度、宽、长度等)的相互的比率关系与图3~图7所明示的尺寸的比率关系不一致的情况。另外,在图3中,为了明确化,省略图4A以及图4B所示的构成要素的一部分。

[0073] 参照图3~图5,半导体芯片16具有包括n⁻型的半导体基板37的单层构造。在该实施方式中,半导体基板37也可以是通过FZ(Floating Zone,浮动区域)法而形成的硅制的FZ基板。半导体芯片16由于整体形成为层状,因此也可以称为半导体层。

[0074] 半导体芯片16包括n⁻型的漂移区域38。具体而言,漂移区域38在第一方向X以及第二方向Y上形成于半导体芯片16的整个区域。参照图3,漂移区域38除了元件形成区域20以外还形成于外侧区域21以及划片区域22。漂移区域38在法线方向Z(半导体芯片16的厚度方向)上形成于半导体芯片16的第一主面17的表层部。漂移区域38的n型杂质浓度也可以为 $1.0 \times 10^{13} \text{ cm}^{-3}$ 以上且 $1.0 \times 10^{15} \text{ cm}^{-3}$ 以下。

[0075] 半导体装置1包括形成于半导体芯片16的第二主面18上的作为背面电极的一例的集电极端子电极13。集电极端子电极13与第二主面18电连接。集电极端子电极13在与第二主面18之间形成欧姆接触。集电极端子电极13也可以包括Ti层、Ni层、Au层、Ag层以及Al层

中的至少一个。集电极端子电极13也可以具有包括Ti层、Ni层、Au层、Ag层或者Al层的单层构造。集电极端子电极13也可以具有以使Ti层、Ni层、Au层、Ag层以及Al层中的至少两个以任意的方式层叠的层叠构造。

[0076] 半导体装置1包括形成于半导体芯片16的第二主面18的表层部的n型的缓冲层39。缓冲层39也可以形成于第二主面18的表层部的整个区域。缓冲层39的n型杂质浓度也可以比漂移区域38的n型杂质浓度大。缓冲层39的n型杂质浓度也可以为 $1.0 \times 10^{15} \text{ cm}^{-3}$ 以上且 $1.0 \times 10^{17} \text{ cm}^{-3}$ 以下。缓冲层39的厚度也可以为 $0.5 \mu\text{m}$ 以上且 $30 \mu\text{m}$ 以下。缓冲层39的厚度也可以为 $0.5 \mu\text{m}$ 以上且 $5 \mu\text{m}$ 以下、 $5 \mu\text{m}$ 以上且 $10 \mu\text{m}$ 以下、 $10 \mu\text{m}$ 以上且 $15 \mu\text{m}$ 以下、 $15 \mu\text{m}$ 以上且 $20 \mu\text{m}$ 以下、 $20 \mu\text{m}$ 以上且 $25 \mu\text{m}$ 以下、或者 $25 \mu\text{m}$ 以上且 $30 \mu\text{m}$ 以下。

[0077] 元件形成区域20包括形成于半导体芯片16的第二主面18的表层部的p型的集电极区域40。集电极区域40从第二主面18露出。集电极区域40也可以在第二主面18的表层部中形成于半导体芯片16的整个区域。参照图3,集电极区域40除了元件形成区域20以外,也可以形成于外侧区域21以及划片区域22。集电极区域40除了与后述的主体区域46对置的对置区域以外,还形成有不与主体区域46对置的非对置区域。集电极区域40的p型杂质浓度也可以为 $1.0 \times 10^{15} \text{ cm}^{-3}$ 以上且 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以下。集电极区域40在与集电极端子电极13之间形成欧姆接触。

[0078] 参照图3以及图4B,元件形成区域20包括形成于半导体芯片16的第一主面17的FET构造41。在该实施方式中,元件形成区域20包括沟槽栅极型的FET构造41。具体而言,FET构造41包括形成于第一主面17的沟槽栅极构造42。

[0079] 沟槽栅极构造42在元件形成区域20中沿第一方向X空出间隔地形成有多个。在第一方向X上彼此相邻的两个沟槽栅极构造42之间的距离也可以为 $1 \mu\text{m}$ 以上且 $8 \mu\text{m}$ 以下。两个沟槽栅极构造42之间的距离也可以为 $1 \mu\text{m}$ 以上且 $2 \mu\text{m}$ 以下、 $2 \mu\text{m}$ 以上且 $3 \mu\text{m}$ 以下、 $3 \mu\text{m}$ 以上且 $4 \mu\text{m}$ 以下、 $4 \mu\text{m}$ 以上且 $5 \mu\text{m}$ 以下、 $5 \mu\text{m}$ 以上且 $6 \mu\text{m}$ 以下、 $6 \mu\text{m}$ 以上且 $7 \mu\text{m}$ 以下、或者 $7 \mu\text{m}$ 以上且 $8 \mu\text{m}$ 以下。

[0080] 虽然省略了图示,但多个沟槽栅极构造42也可以在俯视时形成为沿第二方向Y延伸的带状。多个沟槽栅极构造42也可以整体形成为条纹状。多个沟槽栅极构造42分别具有第二方向Y的一方侧的一端部以及第二方向Y的另一方侧的另一端部。沟槽栅极构造42也可以形成为俯视格子状。

[0081] 参照图4B,各沟槽栅极构造42包括栅极沟槽43、栅极绝缘层44以及栅极电极层45。栅极沟槽43形成于第一主面17。栅极沟槽43包括侧壁以及底壁。栅极沟槽43的侧壁也可以与第一主面17垂直地形成。

[0082] 栅极沟槽43的侧壁从第一主面17朝向底壁向下倾斜。栅极沟槽43也可以形成为开口侧的开口面积比底面面积大的锥形形状。栅极沟槽43的底壁也可以相对于第一主面17平行地形成。栅极沟槽43的底壁也可以形成为朝向第二主面18的弯曲状。栅极沟槽43包括底壁边缘部。底壁边缘部将栅极沟槽43的侧壁以及底壁连接。底壁边缘部也可以形成为朝向第二主面18的弯曲状。

[0083] 栅极沟槽43的深度也可以为 $2 \mu\text{m}$ 以上且 $10 \mu\text{m}$ 以下。栅极沟槽43的深度也可以为 $2 \mu\text{m}$ 以上且 $3 \mu\text{m}$ 以下、 $3 \mu\text{m}$ 以上且 $4 \mu\text{m}$ 以下、 $4 \mu\text{m}$ 以上且 $5 \mu\text{m}$ 以下、 $5 \mu\text{m}$ 以上且 $6 \mu\text{m}$ 以下、 $6 \mu\text{m}$ 以上且 $7 \mu\text{m}$ 以下、 $8 \mu\text{m}$ 以上且 $9 \mu\text{m}$ 以下、或者 $9 \mu\text{m}$ 以上且 $10 \mu\text{m}$ 以下。栅极沟槽43的深度也可以定义为栅极

沟槽43的底壁的最深部的深度位置与第一主面17的距离。

[0084] 栅极沟槽43的宽度也可以为 $0.5\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。栅极沟槽43的宽度也可以为栅极沟槽43的第一方向X的宽度。栅极沟槽43的宽度也可以为 $0.5\mu\text{m}$ 以上且 $1\mu\text{m}$ 以下、 $1\mu\text{m}$ 以上且 $1.5\mu\text{m}$ 以下、 $1.5\mu\text{m}$ 以上且 $2\mu\text{m}$ 以下、 $2\mu\text{m}$ 以上且 $2.5\mu\text{m}$ 以下、或者 $2.5\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。

[0085] 栅极绝缘层44沿栅极沟槽43的内壁形成为膜状。栅极绝缘层44在栅极沟槽43内划分出凹槽空间。在该实施方式中,栅极绝缘层44包含氧化硅膜。栅极绝缘层44也可以包含氮化硅膜来代替氧化硅膜或者除此以外还包含氮化硅膜。

[0086] 栅极电极层45隔着栅极绝缘层44埋入于栅极沟槽43。具体而言,栅极电极层45在栅极沟槽43中埋入于由栅极绝缘层44划分出的凹槽空间。栅极电极层45由栅极信号控制。栅极电极层45也可以包含导电性多晶硅。

[0087] 栅极电极层45在剖视时形成为沿法线方向Z延伸的壁状。栅极电极层45具有位于栅极沟槽43的开口侧的上端部。栅极电极层45的上端部相对于第一主面17位于栅极沟槽43的底壁侧。

[0088] 参照图3以及图4B,FET构造41包括形成于半导体芯片16的第一主面17的表层部的p型的主体区域46。主体区域46的p型杂质浓度也可以为 $1.0\times 10^{17}\text{cm}^{-3}$ 以上且 $1.0\times 10^{18}\text{cm}^{-3}$ 以下。主体区域46分别形成于沟槽栅极构造42的两侧。主体区域46在俯视时形成为沿沟槽栅极构造42延伸的带状。主体区域46从栅极沟槽43的侧壁露出。主体区域46的底部在法线方向Z上形成于第一主面17以及栅极沟槽43的底壁之间的区域。

[0089] 参照图4B,FET构造41包括形成于主体区域46的表层部的 n^+ 型的发射极区域47。发射极区域47的n型杂质浓度比漂移区域38的n型杂质浓度大。发射极区域47的n型杂质浓度也可以为 $1.0\times 10^{19}\text{cm}^{-3}$ 以上且 $1.0\times 10^{20}\text{cm}^{-3}$ 以下。

[0090] 在该实施方式中,FET构造41包括形成于沟槽栅极构造42的两侧的两个发射极区域47。发射极区域47在俯视时形成为沿沟槽栅极构造42延伸的带状。发射极区域47从第一主面17以及栅极沟槽43的侧壁露出。发射极区域47的底部在法线方向Z上形成于栅极电极层45的上端部以及主体区域46的底部之间的区域。

[0091] 参照图4,在该实施方式中,FET构造41包括 n^+ 型的载流子存储区域48,该 n^+ 型的载流子存储区域48在半导体芯片16中相对于主体区域46形成于第二主面18侧的区域。载流子存储区域48的n型杂质浓度比漂移区域38的n型杂质浓度大。载流子存储区域48的n型杂质浓度也可以为 $1.0\times 10^{15}\text{cm}^{-3}$ 以上且 $1.0\times 10^{17}\text{cm}^{-3}$ 以下。

[0092] 在该实施方式中,FET构造41包括形成于沟槽栅极构造42的两侧的两个载流子存储区域48。载流子存储区域48在俯视时形成为沿沟槽栅极构造42延伸的带状。载流子存储区域48从栅极沟槽43的侧壁露出。载流子存储区域48的底部在法线方向Z上形成于主体区域46的底部以及栅极沟槽43的底壁之间的区域。

[0093] 载流子存储区域48抑制供给至半导体芯片16的载流子(空穴)向主体区域46中被拉回(排出)。由此,在半导体芯片16中,在FET构造41的正下方的区域积累空穴。其结果,实现导通电阻的降低以及导通电压的降低。

[0094] 参照图3以及图4B,FET构造41包括形成于半导体芯片16的第一主面17的接触沟槽49。在该实施方式中,FET构造41包括形成于沟槽栅极构造42的两侧的两个接触沟槽49。接触沟槽49使发射极区域47露出。在该实施方式中,接触沟槽49贯通发射极区域47。接触沟槽

49在第一方向X上从沟槽栅极构造42空出间隔地形成。接触沟槽49在俯视时沿沟槽栅极构造42以带状延伸。

[0095] 参照图4B, FET构造41包括p⁺型的接触区域50, 该p⁺型的接触区域50在主体区域46中形成于沿接触沟槽49的底壁的区域。接触区域50的p型杂质浓度比主体区域46的p型杂质浓度大。接触区域50的p型杂质浓度也可以为 $1.0 \times 10^{19} \text{cm}^{-3}$ 以上且 $1.0 \times 10^{20} \text{cm}^{-3}$ 以下。接触区域50从接触沟槽49的底壁露出。接触区域50在俯视时沿接触沟槽49以带状延伸。接触区域50的底部在法线方向Z上形成于接触沟槽49的底壁以及主体区域46的底部之间的区域。

[0096] 这样, 在FET构造41中, 栅极电极层45隔着栅极绝缘层44而与主体区域46以及发射极区域47对置。在该实施方式中, 栅极电极层45隔着栅极绝缘层44也与载流子存储区域48对置。IGBT的沟道在主体区域46中形成于发射极区域47以及漂移区域38(载流子存储区域48)之间的区域。沟道的导通/断开由栅极信号控制。

[0097] 参照图3以及图4B, 元件形成区域20在半导体芯片16的第一主面17包括发射极沟槽构造51。发射极沟槽构造51在第一主面17的表层部中形成于与沟槽栅极构造42相邻的区域。发射极沟槽构造51在俯视时形成为沿第二方向Y延伸的带状。多个发射极沟槽构造51也可以整体形成为条纹状。发射极沟槽构造51也可以是与沟槽栅极构造42平行的带状。

[0098] 在元件形成区域20中, 沿第一方向X空出间隔地交替地排列有沟槽栅极构造42以及发射极沟槽构造51。沟槽栅极构造42以及发射极沟槽构造51也可以空出相等的间隔地交替地排列。在第一方向X上彼此相邻的两个沟槽栅极构造42以及发射极沟槽构造51之间的距离(间距)例如也可以为 $1.0 \mu\text{m}$ 以上且 $3.5 \mu\text{m}$ 以下。另外, 参照图5, 沟槽栅极构造42在第二方向Y上延伸得比发射极沟槽构造51更长, 在远离发射极沟槽构造51的端部的区域中也可以具有在第一方向X上延伸的部分。

[0099] 参照图4B, 发射极沟槽构造51包括发射极沟槽52、发射极绝缘层53以及发射极电位电极层54。发射极沟槽52形成于半导体芯片16的第一主面17。发射极沟槽52包括侧壁以及底壁。发射极沟槽52的侧壁也可以与第一主面17垂直地形成。

[0100] 发射极沟槽52的侧壁也可以从第一主面17朝向底壁向下倾斜。发射极沟槽52也可以形成为开口侧的开口面积比底面面积大的锥形形状。在发射极沟槽52中, 发射极区域47、主体区域46以及载流子存储区域48从面向沟槽栅极构造42的侧壁(外侧侧壁)露出。发射极沟槽52的底壁也可以与第一主面17平行地形成。发射极沟槽52的底壁也可以形成为朝向第二主面18的弯曲状。发射极沟槽52包括底壁边缘部。底壁边缘部将发射极沟槽52的侧壁以及底壁连接。底壁边缘部也可以形成为朝向半导体芯片16的第二主面18的弯曲状。

[0101] 发射极沟槽52的深度也可以为 $2 \mu\text{m}$ 以上且 $10 \mu\text{m}$ 以下。发射极沟槽52的深度也可以为 $2 \mu\text{m}$ 以上且 $3 \mu\text{m}$ 以下、 $3 \mu\text{m}$ 以上且 $4 \mu\text{m}$ 以下、 $4 \mu\text{m}$ 以上且 $5 \mu\text{m}$ 以下、 $5 \mu\text{m}$ 以上且 $6 \mu\text{m}$ 以下、 $6 \mu\text{m}$ 以上且 $7 \mu\text{m}$ 以下、 $8 \mu\text{m}$ 以上且 $9 \mu\text{m}$ 以下、或者 $9 \mu\text{m}$ 以上且 $10 \mu\text{m}$ 以下。发射极沟槽52的深度也可以与栅极沟槽43的深度相等。

[0102] 发射极沟槽52的宽度也可以为 $0.5 \mu\text{m}$ 以上且 $3 \mu\text{m}$ 以下。发射极沟槽52的宽度为发射极沟槽52的第一方向X的宽度。发射极沟槽52的宽度也可以为 $0.5 \mu\text{m}$ 以上且 $1 \mu\text{m}$ 以下、 $1 \mu\text{m}$ 以上且 $1.5 \mu\text{m}$ 以下、 $1.5 \mu\text{m}$ 以上且 $2 \mu\text{m}$ 以下、 $2 \mu\text{m}$ 以上且 $2.5 \mu\text{m}$ 以下、或者 $2.5 \mu\text{m}$ 以上且 $3 \mu\text{m}$ 以下。发射极沟槽52的宽度也可以与栅极沟槽43的宽度相等。

[0103] 发射极绝缘层53沿发射极沟槽52的内壁形成成为膜状。发射极绝缘层53在发射极沟槽52内划分出凹槽空间。在该实施方式中,发射极绝缘层53包含氧化硅膜。发射极绝缘层53也可以包含氮化硅膜来代替氧化硅膜或者除此以外还包含氮化硅膜。

[0104] 发射极电位电极层54隔着发射极绝缘层53埋入于发射极沟槽52。具体而言,发射极电位电极层54在发射极沟槽52中埋入于由发射极绝缘层53划分出的凹槽空间。发射极电位电极层54也可以包含导电性多晶硅。发射极电位电极层54由发射极信号控制。

[0105] 发射极电位电极层54在剖视时形成为沿法线方向Z延伸的壁状。发射极电位电极层54具有位于发射极沟槽52的开口侧的上端部。发射极电位电极层54的上端部相对于第一主面17位于发射极沟槽52的底壁侧。

[0106] 参照图4B以及图5,在栅极沟槽43以及发射极沟槽52外的半导体芯片16的第一主面17,形成有包覆该第一主面17的第一表面绝缘膜55。栅极绝缘层44以及发射极绝缘层53在栅极沟槽43以及发射极沟槽52外与第一表面绝缘膜55相连。第一表面绝缘膜55由与栅极绝缘层44以及发射极绝缘层53相同的绝缘材料构成,且与栅极绝缘层44以及发射极绝缘层53一体地形成。

[0107] 参照图5,在第一表面绝缘膜55上形成有栅极引出电极层56以及发射极引出电极层57。

[0108] 栅极引出电极层56是从栅极电极层45的上端部引出到栅极沟槽43外的电极层。栅极引出电极层56通过与栅极电极层45相同的导电材料而与栅极电极层45一体地形成。此外,在图3中,栅极引出电极层56与第一主面17相接,但原本半导体芯片16与栅极引出电极层56之间由第一表面绝缘膜55绝缘。参照图3,栅极引出电极层56向栅极指28(栅极端子电极12)的正下方的区域被引出。栅极引出电极层56与栅极指28电连接。由此,沟槽栅极构造42与栅极端子电极12电连接。

[0109] 发射极引出电极层57是从发射极电位电极层54的上端部引出到发射极沟槽52外的电极层。发射极引出电极层57通过与发射极电位电极层54相同的导电材料而与发射极电位电极层54一体地形成。参照图5,发射极引出电极层57向发射极端子电极11的正下方的区域被引出。发射极引出电极层57与发射极端子电极11电连接。发射极引出电极层57与发射极端子电极11之间也可以通过势垒层105(例如,钛系金属)和接触插头106(例如,钨)的层叠构造来连接。由此,发射极沟槽构造51与发射极端子电极11电连接。

[0110] 参照图4B以及图5,在半导体芯片16的第一主面17上形成有第二表面绝缘膜58。第二表面绝缘膜58形成于栅极电极层45、栅极引出电极层56、发射极电位电极层54以及发射极引出电极层57的表面,包覆栅极电极层45、栅极引出电极层56、发射极电位电极层54以及发射极引出电极层57。第二表面绝缘膜58也可以是与栅极电极层45、栅极引出电极层56、发射极电位电极层54以及发射极引出电极层57相接的绝缘膜。在该实施方式中,第二表面绝缘膜58包含氧化硅膜。第二表面绝缘膜58也可以包含氮化硅膜来代替氧化硅膜或者除此以外还包含氮化硅膜。

[0111] 参照图3,在外侧区域21中,在半导体芯片16的第一主面17的表层部形成有作为耐压保持构造的一例的终端区域59。终端区域59是通过向n⁻型的漂移区域38导入p型杂质而形成的p型杂质区域。终端区域59形成为包围元件形成区域20的无端状。

[0112] 终端区域59包括降低表面电场层60和场限制区域61。

[0113] 降低表面电场层60在外侧区域21中缓和电场。降低表面电场层60也可以是具有比主体区域46的p型杂质浓度高的p型杂质浓度的高浓度且低电阻的区域。在该实施方式中,降低表面电场层60以包围元件形成区域20的方式形成为无端状(俯视时为四边环状)。降低表面电场层60的底部在半导体芯片16的厚度方向上形成于比主体区域46的底部离半导体芯片16的第二主面18近的位置。降低表面电场层60的底部在半导体芯片16的厚度方向上形成于比沟槽栅极构造42以及发射极沟槽构造51的底部离半导体芯片16的第二主面18近的位置。

[0114] 降低表面电场层60与沟槽栅极构造42以及发射极沟槽构造51的底部重叠。在图3中,在第一方向X上排列的沟槽栅极构造42以及发射极沟槽构造51的条纹的端部是发射极沟槽构造51,因此降低表面电场层60与发射极沟槽构造51的底部整体以及沟槽栅极构造42的底部的一部分重叠。另一方面,虽然省略了图示,但在上述条纹的端部为沟槽栅极构造42的情况下,降低表面电场层60也可以与沟槽栅极构造42的底部整体以及发射极沟槽构造51的底部的一部分重叠。

[0115] 降低表面电场层60的底部从集电极区域40向半导体芯片16的第一主面17侧空出间隔地形成。降低表面电场层60隔着漂移区域38的一部分的区域而与集电极区域40对置。降低表面电场层60隔着第一表面绝缘膜55(在图3中省略)而与发射极端子电极11以及栅极端子电极12(栅极指28)对置。降低表面电场层60隔着第一表面绝缘膜55(在图3中省略)而与栅极引出电极层56对置。

[0116] 场限制区域61在外侧区域21中缓和电场。场限制区域61具有与降低表面电场层60的p型杂质浓度大致相同的p型杂质浓度。场限制区域61也开具有与降低表面电场层60的深度大致相同的深度。场限制区域61在外侧区域21中沿降低表面电场层60形成。在该实施方式中,场限制区域61以包围降低表面电场层60的方式形成为无端状(俯视时为四边环状)。由此,场限制区域61形成为FLR(Field Limiting Ring,场限制环)区域。

[0117] 在该实施方式中,场限制区域61包括从元件形成区域20朝向划片区域22空出间隔地形成的多个(在该实施方式中为四个)场限制区域61。场限制区域61也可以形成有至少一个。因此,也可以形成有四个以上的场限制区域61。

[0118] 参照图4A,在外侧区域21中,在半导体芯片16的第一主面17形成有场绝缘层62。场绝缘层62在第一主面17未形成终端区域59,选择性地形成于n型杂质区域(在该实施方式中为漂移区域38)露出的区域。更具体而言,以覆盖漂移区域38的方式形成在相邻的终端区域59之间的区域中。在图4A中,示出了由相邻的场限制区域61夹着的区域上的场绝缘层62,但也可以在场限制区域61与降低表面电场层60之间的区域、以及场限制区域61与后述的沟道阻断区域65之间的区域也形成有场绝缘层62。换言之,场绝缘层62具有使第一主面17选择性地露出的多个开口63,也可以从上述开口63露出终端区域59。

[0119] 在该实施方式中,场绝缘层62也可以是LOCOS(Local oxidation of silicon,硅局部氧化)氧化膜。另外,场绝缘层62的厚度TF例如也可以为5000Å以上且20000Å以下。另外,在从场绝缘层62的开口63露出的第一主面17形成有第三表面绝缘膜64。在该实施方式中,第三表面绝缘膜64包含氧化硅膜。第三表面绝缘膜64也可以包含氮化硅膜来代替氧化硅膜或者除此以外还包含氮化硅膜。第三表面绝缘膜64形成于开口63的整体并包覆终端区域59的表面。

[0120] 参照图3,在划片区域22中,在半导体芯片16的第一主面17的表层部形成有 n^+ 型的沟道阻断区域65。沟道阻断区域65是具有比 n^- 型的漂移区域38的 n 型杂质浓度高的 n 型杂质浓度的高浓度且低电阻的区域。沟道阻断区域65抑制来自形成于半导体芯片16的内方区域的pn接合部的耗尽层的扩展。

[0121] 沟道阻断区域65沿场限制区域61形成。沟道阻断区域65形成成为包围场限制区域61的无端状(俯视时为四边环状)。沟道阻断区域65也可以以横穿外侧区域21以及划片区域22之间的边界部的方式形成。

[0122] 参照图3,在半导体芯片16的第一主面17上形成有层间绝缘层66。层间绝缘层66包覆元件形成区域20、外侧区域21以及划片区域22。层间绝缘层66在被层间绝缘层66包覆的半导体芯片16的每个区域具有不同的厚度,在多个区域间具有厚度差。在该实施方式中,包覆元件形成区域20的层间绝缘层66的元件包覆部67的厚度 T_A 比包覆外侧区域21的层间绝缘层66的外侧包覆部68的厚度 T_C 薄。例如,厚度 T_A 为 3000\AA 以上且 20000\AA 以下,厚度 T_C 也可以为 4000\AA 以上且 30000\AA 以下。此外,厚度 T_A 以及厚度 T_C 也可以均比场绝缘层62的厚度 T_F (参照图4A)厚。在层间绝缘层66的表面,因厚度 T_A 与厚度 T_C 的差而在元件形成区域20与外侧区域21的边界部69形成有台阶70。此外,也可以将场绝缘层62以及层间绝缘层66合起来简称为层间绝缘层。

[0123] 参照图3,在层间绝缘层66形成有发射极端子电极11用的第一接触孔71、第二接触孔72以及第三接触孔73。第一接触孔71与接触沟槽49连通。第一接触孔71也可以称为发射极接触孔。

[0124] 第二接触孔72以贯通层间绝缘层66且挖入半导体芯片16的第一主面17(降低表面电场层60)的一部分的方式形成。第二接触孔72也可以以沿FET构造41的条纹延伸的方式形成。在第二接触孔72的底部形成有 p^+ 型的接触区域77。接触区域77也可以是在降低表面电场层60中 p 型杂质浓度比其它区域高的高浓度区域。第二接触孔72也可以成为第一外侧发射极接触孔。

[0125] 第三接触孔73以贯通层间绝缘层66且挖入半导体芯片16的第一主面17(降低表面电场层60)的一部分的方式形成。第三接触孔73也可以以沿发射极引绕部34延伸的方式形成。在第三接触孔73的底部形成有 p^+ 型的接触区域78。接触区域78也可以是在降低表面电场层60中 p 型杂质浓度比其它区域(除接触区域77以外)高的高浓度区域。接触区域78也可以具有与接触区域77大致相同的杂质浓度。第三接触孔73也可以称为第二外侧发射极接触孔。

[0126] 在层间绝缘层66形成有栅极端子电极12用的第四接触孔74。栅极引出电极层56从第四接触孔74露出。第四接触孔74也可以以沿栅极指28延伸的方式形成。第四接触孔74也可以称为栅极接触孔。

[0127] 在层间绝缘层66形成有场板电极24用的第五接触孔75。在该实施方式中,以与多个场限制区域61一对一的对应关系形成有多个第五接触孔75。各第五接触孔75以贯通层间绝缘层66且挖入半导体芯片16的第一主面17(场限制区域61)的一部分的方式形成。各第五接触孔75沿半导体芯片16的第一~第四侧面19A~19D形成,也可以形成成为包围元件形成区域20的无端状(俯视时为四边环状)。场限制区域61从各第五接触孔75的底部露出。第五接触孔75也可以称为场接触孔。

[0128] 在层间绝缘层66形成有等电位电势电极25用的第六接触孔76。第六接触孔76以贯通层间绝缘层66且挖入半导体芯片16的第一主面17(沟道阻断区域65)的一部分的方式形成。第六接触孔76进一步延伸至半导体芯片16的第一~第四侧面19A~19D(在图3中示出了第四侧面19D),在第一~第四侧面19A~19D敞开。另外,第六接触孔76沿半导体芯片16的第一~第四侧面19A~19D形成,也可以形成为包围外侧区域21以及元件形成区域20的无端状(俯视时为四边环状)。根据作为形成于半导体芯片16的周缘部的台阶部的观点,第六接触孔76也可以称为半导体芯片16的周缘台阶部。在半导体芯片16中沿第六接触孔76的底部的区域形成有p⁺型的接触区域79。接触区域79也可以具有与接触区域77以及接触区域78大致相同的杂质浓度。

[0129] 在层间绝缘层66上形成有上述的表面电极23。表面电极23是形成于半导体芯片16的最表面的导电膜,也可以称为表面电极膜、表面导电膜。如上所述,表面电极23包括发射极端子电极11、栅极端子电极12、场板电极24以及等电位电势电极25。发射极端子电极11经由第一接触孔71而与FET构造41电连接,经由第二接触孔72以及第三接触孔73而与降低表面电场层60电连接。栅极端子电极12经由第四接触孔74而与栅极引出电极层56电连接。场板电极24经由第五接触孔75而与场限制区域61电连接。等电位电势电极25经由第六接触孔76而与沟道阻断区域65电连接。

[0130] 参照图3,在该实施方式中,在表面电极23中的元件形成区域20上的第一电极部与外侧区域21以及划片区域22上的第二电极部之间,从半导体芯片16的第一主面17至表面的高度不同。在该实施方式中,上述第二电极部的表面高度H2比上述第一电极部的表面高度H1高。在上述第二电极部中,例如,作为概念包含栅极指28、发射极引绕部34、场板电极24以及等电位电势电极25等。在上述第一电极部中,作为概念包含发射极焊盘33。例如,如图3所示,表面高度H1以及表面高度H2也可以是从半导体芯片16的第一主面17至表面电极23的各部分的表面的距离。由此,在表面电极23中隔着边界部69形成有高低差G。高低差G例如也可以为3000Å以上且20000Å以下。

[0131] 在层间绝缘层66上形成有保护层80。保护层80是包覆半导体芯片16的最表面的绝缘层,也可以称为表面保护层、有机树脂层。保护层80例如也可以由聚酰亚胺树脂或者PBO(Polybenzoxazole,聚苯并噁唑)树脂形成。保护层80的厚度例如也可以为3μm以上且15μm以下。保护层80选择性地包覆表面电极23。更具体而言,保护层80在元件形成区域20中具有使发射极焊盘33露出的开口81,在外侧区域21中包覆表面电极23。

[0132] [元件芯片10的防止耐压下降构造(第一方式)]

[0133] 接着,除了图3、图4A以及图4B以外还参照图6以及图7,对元件芯片10的防止耐压下降构造加以说明。

[0134] 首先,参照图3,在该实施方式中,在外侧区域21中,在表面电极23的各部分之间设有空间82。空间82例如也可以从图3的纸面右侧朝向左侧依次包括:被栅极指28以及与之相邻的发射极引绕部34所夹的空间82;被发射极引绕部34以及与之相邻的场板电极24所夹的空间82;被彼此相邻的场板电极24所夹的空间82(在图3中为三个);以及被场板电极24以及与之相邻的等电位电势电极25所夹的空间82。

[0135] 在保护层80为有机树脂层的情况下,有机树脂层对于来自外部的刮擦等机械应力具有充分的耐性,但对于来自外部的水分(OH⁻、H⁺等)的侵入不能说具有充分的耐性。因此,

通过了保护层80以及空间82的水分进入到层间绝缘层66而极化,由此存在毁坏终端区域59等的耐压保持构造部的电场平衡,产生耐压变动的情况。因此,在该实施方式中,如图4A、图6以及图7所示,通过在层间绝缘层66设置与半导体芯片16绝缘的封固导电层83,从而覆盖层间绝缘层66的一部分,防止来自外部的水分(OH⁻、H⁺等)的侵入。根据包覆层间绝缘层66的一部分的观点,封固导电层83也可以称为包覆导电层。

[0136] 接着,参照图4A、图4B、图6以及图7,对包含封固导电层83的防止耐压下降构造进行具体说明。此外,在图4A中,示出了与被彼此相邻的场板电极24所夹的空间82对置的封固导电层83,但在其它空间82也能够配置同样的封固导电层83。

[0137] 首先,参照图4A,场板电极24包括接触部84和表层部85。

[0138] 接触部84埋入于层间绝缘层66,且与场限制区域61连接。在该实施方式中,层间绝缘层66具有第一层86以及第一层86上的第二层87的层叠构造。接触部84经由连续地贯通第一层86以及第二层87的第五接触孔75而到达场限制区域61。层间绝缘层66的第一层86以及第二层87在图4A中明示了其边界部88,但在第一层86以及第二层87由相同的材料形成的情况下,也可以不能确认该边界部88。该情况下,基于自第一主面17的高度将与第一层86对应的部分称为第一部分、将与第二层87对应的部分称为第二部分。

[0139] 第一层86以及第二层87分别沿第一主面17具有均匀的第一厚度T1以及第二厚度T2。第一层86的第一厚度T1也可以比第二层87的第二厚度T2厚。例如,第一厚度T1也可以为3000Å以上且20000Å以下,第二厚度T2也可以为1000Å以上且10000Å以下。图3所示的层间绝缘层66的外侧包覆部68的厚度TC也可以为第一厚度T1以及第二厚度T2的合计厚度。此外,在图4A中,半导体芯片16的构造变形,第二层87的一部分被较厚地示出,因此在外观上,厚度TC比第一厚度T1以及第二厚度T2的合计厚度厚。

[0140] 另一方面,如上所述,层间绝缘层66的元件包覆部67的厚度TA比包覆外侧区域21的层间绝缘层66的外侧包覆部68的厚度TC薄。厚度TA也可以与第一厚度T1大致相同。因此,厚度TA例如也可以为3000Å以上且20000Å以下。该厚度TA与厚度TC的差异在表面电极23上形成高低差G(参照图3)。

[0141] 例如,在相对较薄的元件包覆部67上,表面电极23的表面高度H1为10000Å以上且75000Å以下。另一方面,与元件包覆部67相比,在相对较厚的外侧包覆部68上,表面电极23的表面高度H2例如为15000Å以上且95000Å以下。在表面高度H1与表面高度H2之间,例如也可以形成有相当于第二层87的第二厚度T2的高低差G。

[0142] 第五接触孔75也可以包括下部接触孔89和上部接触孔90。下部接触孔89形成于第一层86,上部接触孔90形成于第二层87。下部接触孔89也可以具有比上部接触孔90窄的宽度。下部接触孔89以贯通层间绝缘层66的第一层86且挖入半导体芯片16的第一主面17(场限制区域61)的一部分的方式形成。在下部接触孔89的底部形成有p⁺型的接触区域91。接触区域91也可以是在场限制区域61中p型杂质浓度比其它区域高的高浓度区域。

[0143] 场板电极24的接触部84也可以包括埋入到下部接触孔89的第一埋入部92、以及埋入到上部接触孔90的第二埋入部93。

[0144] 在该实施方式中,第一埋入部92具有包括势垒层94以及接触插头95的层叠构造。第一埋入部92也可以称为场插头电极。势垒层94以与层间绝缘层66相接的方式沿下部接触

孔89的内壁形成膜状。势垒层94在下部接触孔89内划分出凹槽空间。势垒层94也可以具有包含钛系金属、更具体包含钛层或者氮化钛层的单层构造。势垒层94也可以具有包含钛层以及氮化钛层的层叠构造。该情况下,氮化钛层也可以层叠在钛层上。势垒层94进一步从下部接触孔89被引出至第一层86的表面,选择性地形成于第一层86的表面。

[0145] 接触插头95隔着势垒层94埋入于下部接触孔89。具体而言,接触插头95在下部接触孔89中埋入与由势垒层94划分出的凹槽空间。接触插头95也可以包含钨。

[0146] 第二埋入部93由与接触插头95不同的导电材料形成。在该实施方式中,第二埋入部93由铝系金属形成。更具体而言,第二埋入部93也可以包含铝、铜、铝-硅-铜合金、铝-硅合金、以及铝-铜合金中的至少一种。

[0147] 同样,参照图4B,在第一接触孔71埋入有发射极插头电极96。在该实施方式中,发射极插头电极96具有包括势垒层97以及接触插头98的层叠构造。势垒层97以与层间绝缘层66相接的方式沿第一接触孔71的内壁形成膜状。势垒层97在第一接触孔71内划分出凹槽空间。势垒层97也可以具有包含钛系金属更具体而言包含钛层或者氮化钛层的单层构造。势垒层97也可以具有包含钛层以及氮化钛层的层叠构造。该情况下,氮化钛层也可以层叠在钛层上。势垒层97进一步从第一接触孔71被引出至层间绝缘层66的表面,选择性地形成于层间绝缘层66的表面。

[0148] 接触插头98隔着势垒层97埋入于第一接触孔71。具体而言,接触插头98在第一接触孔71中埋入于由势垒层97划分出的凹槽空间。接触插头98也可以包含钨。

[0149] 发射极端子电极11由与接触插头98不同的导电材料形成。在该实施方式中,发射极端子电极11由铝系金属形成。更具体而言,发射极端子电极11也可以包含铝、铜、铝-硅-铜合金、铝-硅合金、以及铝-铜合金中的至少一种。此外,表面电极23的其它部分的栅极端子电极12以及等电位电势电极25也可以由与发射极端子电极11相同的导电材料形成。这样,在表面电极23由金属材料形成的情况下,表面电极23也可以称为表面金属。

[0150] 表层部85作为从接触部84引出到层间绝缘层66(第二层87)的表面的引出部而形成。表层部85利用与第二埋入部93相同的材料而与第二埋入部93一体地形成。更具体而言,表层部85从第五接触孔75的周缘(在该实施方式中为上部接触孔90的周缘)向沿层间绝缘层66的表面的横向延伸,从第五接触孔75的周缘接触地包覆恒定宽度的层间绝缘层66的表面区域。

[0151] 彼此相邻的场板电极24的表层部85的端部99在层间绝缘层66的表面上空出空间82地对置。此外,在场板电极24中,也可以将利用与表层部85相同的材料形成的部分(在该实施方式中为表层部85以及第二埋入部93)称为主电极层,将利用与上述主电极层不同的材料形成且与终端区域59直接连接的部分(在该实施方式中为第一埋入部92)称为接触电极层。

[0152] 在该实施方式中,封固导电层83作为埋入到层间绝缘层66内的埋入导电层而形成。更具体而言,封固导电层83在层间绝缘层66的厚度方向(纵向)上形成于层间绝缘层66的第一层86上,被第二层87包覆。另外,封固导电层83在层间绝缘层66的厚度方向(纵向)上配置在场绝缘层62的正上方,隔着层间绝缘层66(第一层86)以及场绝缘层62而与半导体芯片16的n型部分(在该实施方式中为漂移区域38)对置。另外,封固导电层83在沿层间绝缘层66的表面的横向上,配置在相邻的场板电极24之间的区域。在该实施方式中,在由相邻的接

触部84所夹的第一层86的表面区域配置有封固导电层83。

[0153] 封固导电层83由支撑于第一层86上的势垒层94的导电材料形成。该导电材料也可以是与接触部84(在该实施方式中为第二埋入部93)相同的材料。也就是,封固导电层83由铝系金属形成。更具体而言,封固导电层83也可以包含铝、铜、铝-硅-铜合金、铝-硅合金、以及铝-铜合金中的至少一种。这样,在封固导电层83由金属材料形成的情况下,封固导电层83也可以称为封固金属。另外,封固导电层83也可以定义为具有势垒层94和由铝系金属形成的主导电层的层叠构造。

[0154] 场板电极24的接触部84包括朝向封固导电层83向第一层86上的区域选择性地突出的突出部100。在图4A中,突出部100以及表层部85从接触部84上下排列地被引出,因此也可以将该突出部100称为第一引出部101,将第五接触孔75外的表层部85的部分称为第二引出部102。第一引出部101埋入于层间绝缘层66的内部,第二引出部102形成于层间绝缘层66的表面。第一引出部101与第二引出部102隔着层间绝缘层66的一部分(在该实施方式中为第二层87)而上下对置。

[0155] 另外,从接触部84的周面至第二引出部102的横向端部的距离D2比比接触部84的周面至第一引出部101(突出部100)的横向端部的距离D1长。例如,也可以是距离D1为 $0\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下,距离D2为 $5\mu\text{m}$ 以上且 $15\mu\text{m}$ 以下。另外,第一引出部101(突出部100)在沿第一主面17的方向上延伸至比场绝缘层62的开口63靠外侧。由此,开口63的整体由接触部84以及第一引出部101(突出部100)从上侧覆盖,并且场绝缘层62的开口63的附近的周缘部被第一引出部101覆盖。

[0156] 表层部85的第二引出部102作为在层间绝缘层66的厚度方向上与封固导电层83重叠的重叠部而形成。换言之,封固导电层83在层间绝缘层66的厚度方向上与表层部85的一部分对置。因此,在图4A中,封固导电层83的横向中央部与空间82对置,而且横向两端部与表层部85的第二引出部102对置。

[0157] 另外,第一引出部101(突出部100)与封固导电层83之间的第一间隔W1比相邻的场板电极24的第二引出部102的端部99之间的第二间隔W2(空间82的宽度)窄。例如,也可以是第一间隔W1为 $1\mu\text{m}$ 以上,第二间隔W2为 $10\mu\text{m}$ 以上,优选第一间隔W1为 $1\mu\text{m}$ 以上且 $5\mu\text{m}$ 以下,第二间隔W2为 $10\mu\text{m}$ 以上且 $15\mu\text{m}$ 以下。

[0158] 在此,参照图6以及图7,对场板电极24以及封固导电层83的平面图案进行说明。在图6以及图7中,为了明确化,仅示出了封固导电层83的平面图案的说明所需要的构成要素,对于其它结构,省略了图2~图5所示的构成要素的一部分。另外,在图6以及图7中,对场板电极24标注影线来示出,用虚线来示出封固导电层83。

[0159] 参照图6以及图7,在该实施方式中,多个场板电极24之间的空间82形成俯视线状。更具体而言,各场板电极24是包围元件形成区域20的无端状,因此,空间82也是包围元件形成区域20的无端状。

[0160] 封固导电层83形成沿该线状的空间82延伸的俯视线状。例如,如图6所示,封固导电层83也可以形成俯视图无端状,遍及无端状的空间82的整周地重叠。另外,如图7所示,多个线状(直线状、曲线状)的封固导电层83也可以沿空间82的周向相互空出间隔地排列。封固导电层83也可以包括在俯视时与周向内侧的场板电极24重叠的内侧周缘部103、以及与周向外侧的场板电极24重叠的外侧周缘部104。内侧周缘部103以及外侧周缘部104也可

以分别遍及封固导电层83的长度方向整体地与场板电极24重叠。

[0161] 以上,根据该实施方式,如图4A、图6以及图7所示,以与空间82对置的方式(俯视时重叠的方式)配置有封固导电层83。由此,能够防止水分(OH^- 、 H^+ 等)经由空间82向层间绝缘层66的内部侵入。其结果,能够抑制因水分等引起的极化而耐压变动,能够抑制场限制区域61附近的耐压的下降。

[0162] 另外,场板电极24的第二引出部102以及封固导电层83在层间绝缘层66的厚度方向上相互重叠。由此,如图6以及图7所示,在配置有封固导电层83的区域中,空间82完全与封固导电层83重合。其结果,能够进一步提高防止水分(OH^- 、 H^+ 等)向层间绝缘层66的内部侵入的效果。

[0163] 并且,场板电极24具有朝向封固导电层83突出的突出部100(第一引出部101)。由此,能够使场板电极24(接触部84)与封固导电层83的第一间隔W1变窄。其结果,由于能够使水分(OH^- 、 H^+ 等)的侵入路径变窄,因此能够进一步提高防止水分(OH^- 、 H^+ 等)向层间绝缘层66的内部侵入的效果。

[0164] [半导体装置1的制造方法]

[0165] 接着,对半导体装置1的制造方法进行说明。图8A以及图8B~图17A以及图17B是按工序顺序示出半导体装置1的制造工序的一部分的图,主要示出元件芯片10的制造工序。图8A以及图8B~图17A以及图17B中与“A”并记的编号的附图表示与图4A对应的剖面,与“B”并记的编号的附图表示与图4B对应的剖面。

[0166] 为了制造半导体装置1,也可以首先准备元件芯片10。为了制造元件芯片10,准备半导体晶片的状态的半导体基板37。接着,在半导体基板37设定分别与半导体装置1对应的多个装置形成区域。各装置形成区域包括元件形成区域20、外侧区域21以及划片区域22。在上述多个装置形成区域同时形成同一构造。在各装置形成区域制作了预定的构造之后,沿各装置形成区域的划片区域22的周缘切断半导体基板37。以下,对一个装置形成区域的构造进行说明。

[0167] 接着,参照图8A以及图8B,在半导体基板37的第一主面17选择性地形成场绝缘层62。为了形成场绝缘层62,例如,通过对第一主面17的整面进行热氧化来形成热氧化膜。接着,在热氧化膜上选择性地形成窒化膜,该窒化膜具有使在该热氧化膜中应形成场绝缘层62的区域露出的开口。接着,通过对从上述窒化膜的开口露出的热氧化膜进行LOCOS氧化,从而形成场绝缘层62。场绝缘层62形成后,除去窒化膜。

[0168] 下一工序是终端区域59的形成工序。参照图9A以及图9B,首先,通过对第一主面17的整面进行热氧化来形成热氧化膜109。接着,在上述热氧化膜109上形成具有预定图案的离子导入掩模(未图示)。上述离子导入掩模具有使应形成多个终端区域59的区域分别露出的多个开口。接着,经由离子导入掩模向半导体基板37导入p型杂质。由此,形成多个终端区域59(在图9A中为场限制区域61)。然后,除去离子导入掩模以及热氧化膜109。

[0169] 接着,参照图10A以及图10B,在元件形成区域20形成有FET构造41。为了形成FET构造41,例如,在第一主面17上形成具有预定图案的硬掩模(例如,沉积氧化膜等CVD氧化膜)。硬掩模具有使应形成栅极沟槽43以及发射极沟槽52的区域分别露出的多个开口。接着,通过经由上述硬掩模的蚀刻法来除去半导体基板37的不需要的部分。由此,在元件形成区域20形成有栅极沟槽43以及发射极沟槽52。然后,除去硬掩模。

[0170] 接着,形成有栅极绝缘层44、发射极绝缘层53以及第一表面绝缘膜55。栅极绝缘层44、发射极绝缘层53以及第一表面绝缘膜55也可以通过CVD法或者热氧化处理法来形成。接着,形成有栅极电极层45、发射极电位电极层54、栅极引出电极层56以及发射极引出电极层57(均参照图5)。栅极电极层45以及发射极电位电极层54包含导电性多晶硅。栅极电极层45、发射极电位电极层54、栅极引出电极层56以及发射极引出电极层57也可以通过CVD法来形成。接着,例如通过热氧化处理法在栅极电极层45以及发射极电位电极层54的表面形成有第二表面绝缘膜58,在半导体基板37的第一主面17形成有第三表面绝缘膜64。

[0171] 接着,形成有n⁺型的多个载流子存储区域48。该工序中,首先,在第一主面17上形成具有预定图案的离子导入掩模(未图示)。离子导入掩模具有使应形成多个载流子存储区域48的区域分别露出的多个开口。接着,经由离子导入掩模向半导体基板37导入n型杂质。接着,n型杂质通过热扩散而形成有多个载流子存储区域48。然后,除去离子导入掩模。

[0172] 接着,形成有p型的多个主体区域46。该工序中,首先,在第一主面17上形成具有预定图案的离子导入掩模(未图示)。离子导入掩模具有使应形成多个主体区域46的区域分别露出的多个开口。接着,经由离子导入掩模向半导体基板37导入p型杂质。接着,通过p型杂质热扩散而形成有多个主体区域46。然后,除去离子导入掩模。

[0173] 接着,形成n⁺型的多个发射极区域47。该工序中,首先,在第一主面17上形成具有预定图案的离子导入掩模(未图示)。离子导入掩模具有使应形成多个发射极区域47的区域分别露出的多个开口。接着,经由离子导入掩模向半导体基板37导入n型杂质。接着,通过n型杂质热扩散而形成多个发射极区域47。然后,除去离子导入掩模。

[0174] 接着,参照图11A以及图11B,以包覆第一主面17的方式形成层间绝缘层66的第一层86。第一层86也可以通过CVD法来形成。第一层86例如也可以具有3000Å以上且20000Å以下的厚度。

[0175] 接着,参照图12A以及图12B,在第一层86形成多个接触沟槽49以及多个下部接触孔89。接着,形成p⁺型的多个接触区域50以及接触区域91。该工序中,经由具有预定图案的离子导入掩模(未图示),并经由接触沟槽49以及下部接触孔89向半导体基板37导入p型杂质。由此,形成多个接触区域50以及接触区域91。接着,例如通过溅射法形成势垒层94以及势垒层97。接着,例如通过CVD法沉积钨,以覆盖第一主面17的整体的方式形成插头基体电极层(未图示)。然后,除去上述插头基体电极层的不需要的部分。插头基体电极层的不需要的部分也可以通过蚀刻法(回蚀)来除去。除去插头基体电极层的不需要的部分直至第一层86露出。由此,形成接触插头95以及接触插头98。

[0176] 接着,参照图13A以及图13B,形成第一电极层107。第一电极层107是成为封固导电层83、场板电极24的接触部84(第二埋入部93)以及发射极端子电极11等的基体的导电层。在该工序中,通过形成第一电极层107并进行图案形成,从而在外侧区域21形成封固导电层83以及第二埋入部93。在元件形成区域20中,形成发射极端子电极11的下侧部分。第一电极层107由铝系金属形成。更具体而言,第一电极层107也可以包含铝、铜、铝-硅-铜合金、铝-硅合金、以及铝-铜合金中的至少一种。另外,第一电极层107也可以通过溅射法来形成。

[0177] 接着,参照图14A以及图14B,以包覆封固导电层83、第二埋入部93以及发射极端子电极11的方式,在第一层86上形成层间绝缘层66的第二层87。第二层87也可以通过CVD法来

形成。第二层87例如也可以具有 1000\AA 以上且 10000\AA 以下的厚度。在该时间点,元件形成区域20以及外侧区域21双方由第二层87覆盖。

[0178] 接着,参照图15A以及图15B,例如通过蚀刻法选择性地除去第二层87。由此,形成上部接触孔90,并且在元件形成区域20中,发射极端子电极11露出。此时,接触部84具有突出部100,形成为宽度比上部接触孔90的设计开口宽度宽。因此,即使上部接触孔90的开口位置稍微在横向上偏移,也能够使接触部84露出。

[0179] 接着,参照图16A以及图16B,形成第二电极层108。第二电极层108是成为场板电极24的表层部85以及发射极端子电极11等的基体的导电层。在该工序中,通过形成第二电极层108并进行图案形成,从而在外侧区域21形成表层部85。在元件形成区域20中,通过形成发射极端子电极11的上侧部分,从而发射极端子电极11厚膜化。第二电极层108由铝系金属形成。更具体而言,第二电极层108也可以包含铝、铜、铝-硅-铜合金、铝-硅合金、以及铝-铜合金中的至少一种。另外,第二电极层108也可以通过溅射法来形成。由此,形成表面电极23。

[0180] 接着,参照图17A以及图17B,以覆盖表面电极23的方式在层间绝缘层66上形成保护层80。在该工序中,相对于半导体基板37从层间绝缘层66上喷涂保护层80的材料(例如,由聚酰亚胺构成的感光性树脂的液体),形成感光性树脂的保护层80。然后,通过对保护层80进行图案形成,从而形成使发射极端子电极11露出的开口81(参照图3)。

[0181] 接着,将半导体基板37薄化直至成为预定的厚度。薄化工序包括通过相对于第二主面18的研磨法将半导体基板37薄化的工序。研磨法也可以是CMP (Chemical Mechanical Polishing, 化学机械抛光) 法。薄化工序也可以包括代替研磨法而通过相对于第二主面18的蚀刻法将半导体基板37薄化的工序。蚀刻法也可以是湿式蚀刻法。

[0182] 接着,在第二主面18的表层部形成n型的缓冲层39。在该工序中,向半导体基板37的第二主面18的整个区域导入n型杂质。由此,形成n型的缓冲层39。接着,在第二主面18的表层部形成 p^+ 型的集电极区域40。该工序中,向半导体基板37的第二主面18的整个区域导入p型杂质。由此,形成集电极区域40。

[0183] 接着,在第二主面18形成集电极端子电极13。集电极端子电极13也可以通过溅射法来形成。然后,沿各装置形成区域的划片区域22切断半导体基板37,从而切出元件芯片10(半导体芯片16)。

[0184] 然后,将各元件芯片10与金属板6接合,通过导线15将引线端子9与发射极端子电极11以及栅极端子电极12连接。并且,通过利用封装件主体2来封固元件芯片10,从而得到图1所示的半导体装置1。

[0185] [元件芯片10的防止耐压下降构造(第二方式)]

[0186] 图18A以及图18B分别是元件芯片10的外侧区域21以及元件形成区域20的示意性的剖视图。图18A以及图18B分别是与上述的图4A以及图4B对应的图。图18A以及图18B表示元件芯片10的防止耐压下降构造的第二方式。以下,对与图4A以及图4B不同的构成要素进行说明,与图4A以及图4B通用的构成要素的说明通过在图18A以及图18B中使用与图4A以及图4B相同的参照符号而省略。

[0187] 在图18A以及图18B的元件芯片10中,场板电极24的接触部84具有埋入部110,该埋入部110由一体地埋入于层间绝缘层66的第一层86及第二层87的单一的导电材料形成。另

外,发射极插头电极111与发射极端子电极11由单一的导电材料一体地形成。这一点与图4A以及图4B的元件芯片10不同,该图4A以及图4B的元件芯片10具有包含第一埋入部92及第二埋入部93的接触部84、以及包含接触插头98(钨插头)的发射极插头电极96。

[0188] 埋入部110以及发射极插头电极111由铝系金属形成。更具体而言,埋入部110以及发射极插头电极111也可以包含铝、铜、铝-硅-铜合金、铝-硅合金、以及铝-铜合金中的至少一种。

[0189] 势垒层94介于埋入部110与层间绝缘层66(在该实施方式中为第一层86)以及第一主面17之间。埋入部110经由势垒层94而与接触区域91连接,势垒层97介于发射极插头电极111与层间绝缘层66以及第一主面17之间。发射极插头电极111经由势垒层97而与发射极区域47以及接触区域50连接。

[0190] [元件芯片10的防止耐压下降构造(第三方式)]

[0191] 图19A以及图19B分别是元件芯片10的外侧区域21以及元件形成区域20的示意性的剖视图。图19A以及图19B分别是与上述的图18A以及图18B对应的图。图19A以及图19B表示元件芯片10的防止耐压下降构造的第三方式。以下,对与图18A以及图18B不同的构成要素进行说明,与图18A以及图18B通用的构成要素的说明通过在图19A以及图19B中使用与图18A以及图18B相同的参照符号而省略。

[0192] 在图19A以及图19B的元件芯片10中,首先,省略势垒层94的这点与图18A以及图18B的元件芯片10不同。由此,埋入部110与场限制区域61直接地连接。

[0193] 另外,在元件形成区域20中,形成有二极管构造112来代替FET构造41。二极管构造112包括:形成于第一主面17的表层部的p型的阳极区域113;以及利用漂移区域38的一部分形成于第二主面18的表层部的n型的阴极区域114。阳极区域113的p型杂质浓度也可以为 $1.0 \times 10^{13} \text{cm}^{-3}$ 以上且 $1.0 \times 10^{17} \text{cm}^{-3}$ 以下。阴极区域114的n型杂质浓度也可以为 $1.0 \times 10^{13} \text{cm}^{-3}$ 以上且 $1.0 \times 10^{15} \text{cm}^{-3}$ 以下。另外,在阴极区域114中,例如,也可以通过重金属(例如,Au、Pt等)的扩散、电子线照射等来形成晶体缺陷115。由此,二极管构造112也可以作为反向恢复时间(trr)比较少的快速恢复二极管(高速二极管)而构成。

[0194] 在元件形成区域20中,表面电极23也可以包括阳极端子电极116。阳极端子电极116由铝系金属形成。更具体而言,阳极端子电极116也可以包含铝、铜、铝-硅-铜合金、铝-硅合金、以及铝-铜合金中的至少一种。阳极端子电极116包括埋入到第一接触孔71的接触部117,接触部117通过与阳极区域113直接相接而与阳极区域113电连接。

[0195] 另外,元件形成区域20包括形成于半导体芯片16的第二主面18的表层部的n⁺型的接触区域118。接触区域118从第二主面18露出。接触区域118也可以在第二主面18的表层部中形成于半导体芯片16的整个区域。接触区域118的n型杂质浓度也可以为 $1.0 \times 10^{19} \text{cm}^{-3}$ 以上且 $1.0 \times 10^{20} \text{cm}^{-3}$ 以下。

[0196] 在半导体芯片16的第二主面18包括作为背面电极的一例的阴极端子电极119。阴极端子电极119在与第二主面18(接触区域118)之间形成欧姆接触。阴极端子电极119也可以包含Ti层、Ni层、Au层、Ag层以及Al层中的至少一个。阴极端子电极119也可以具有包含Ti层、Ni层、Au层、Ag层或者Al层的单层构造。阴极端子电极119也可以具有使Ti层、Ni层、Au层、Ag层以及Al层中的至少两个以任意的方式层叠的层叠构造。

[0197] [元件芯片10的防止耐压下降构造(第四方式)]

[0198] 图20A以及图20B分别是元件芯片10的外侧区域21以及元件形成区域20的示意性的剖视图。图20A以及图20B分别是与上述的图4A以及图4B对应的图。图20A以及图20B表示元件芯片10的防止耐压下降构造的第四方式。图21以及图22是示意性地表示封固导电层83的平面图案的图。以下,对与图4A以及图4B不同的构成要素进行说明,与图4A以及图4B通用的构成要素的说明通过在图20A以及图20B中使用与图4A以及图4B相同的参照符号而省略。

[0199] 在图20A以及图20B的元件芯片10中,层间绝缘层66不是由第一层86以及第二层87的层叠构造形成,而是由单层构造形成。在该层间绝缘层66的表面仅形成有表面电极23以及封固导电层83。封固导电层83配置在相邻的场板电极24之间的空间82。

[0200] 另外,封固导电层83在层间绝缘层66的厚度方向(纵向)上配置在场绝缘层62的正上方,隔着层间绝缘层66以及场绝缘层62而与半导体芯片16的n型部分(在该实施方式中为漂移区域38)对置。

[0201] 在此,参照图21以及图22,对图20A的场板电极24以及封固导电层83的平面图案进行说明。在图21以及图22中,为了明确化,仅示出了封固导电层83的平面图案的说明所需要的构成要素。另外,在图21以及图22中,对场板电极24标注影线来示出。

[0202] 参照图21以及图22,在该实施方式中,多个场板电极24之间的空间82形成为俯视线状。更具体而言,由于各场板电极24是包围元件形成区域20的无端状,因此空间82也是包围元件形成区域20的无端状。

[0203] 封固导电层83形成为沿该线状的空间82延伸的俯视线状。例如,如图21所示,封固导电层83也可以形成为俯视无端状,遍及无端状的空间82的整周而重叠。另外,如图22所示,多个线状(直线状、曲线状)的封固导电层83也可以沿空间82的周向相互空出间隔地排列。在俯视时,封固导电层83配置在由场板电极24的内侧周缘部120以及外侧周缘部121夹着的区域。封固导电层83从内侧周缘部120以及外侧周缘部121双方空出间隔地形成。由此,封固导电层83具有比空间82窄的宽度。

[0204] 根据该实施方式,如图20A、图21以及图22所示,在空间82配置有封固导电层83。由此,能够防止水分(OH^- 、 H^+ 等)经由空间82向层间绝缘层66的内部的侵入。其结果,能够抑制因水分等引起的极化而耐压变动,从而能够抑制场限制区域61附近的耐压的下降。

[0205] [元件芯片10的防止耐压下降构造(第五方式)]

[0206] 图23A以及图23B分别是元件芯片10的外侧区域21以及元件形成区域20的示意性的剖视图。图23A以及图23B分别是与上述的图20A以及图20B对应的图。图23A以及图23B表示元件芯片10的防止耐压下降构造的第五方式。以下,对与图20A以及图20B不同的构成要素进行说明,与图20A以及图20B通用的构成要素的说明通过在图23A以及图23B中使用与图20A以及图20B相同的参照符号而省略。

[0207] 在图23A以及图23B的元件芯片10中,场板电极24的接触部84具有埋入部122,该埋入部122由一体地埋入于层间绝缘层66的单一的导电材料形成。另外,发射极插头电极123与发射极端子电极11由单一的导电材料一体地形成。这一点与图20A以及图20B的元件芯片10不同,该图20A以及图20B的元件芯片10具有包含接触插头95(钨插头)的接触部84以及包含接触插头98(钨插头)的发射极插头电极96。

[0208] 埋入部122以及发射极插头电极123由铝系金属形成。更具体而言,埋入部122以及发射极插头电极123也可以包含铝、铜、铝-硅-铜合金、铝-硅合金、以及铝-铜合金中的至少

一种。

[0209] 势垒层94介于埋入部122与层间绝缘层66以及第一主面17之间。埋入部122经由势垒层94而与接触区域91连接,势垒层97介于发射极插头电极123与层间绝缘层66以及第一主面17之间。发射极插头电极123经由势垒层97而与发射极区域47以及接触区域50连接。

[0210] [元件芯片10的防止耐压下降构造(第六方式)]

[0211] 图24A以及图24B分别是元件芯片10的外侧区域21以及元件形成区域20的示意性的剖视图。图24A以及图24B分别是与上述的图23A以及图23B对应的图。图24A以及图24B表示元件芯片10的防止耐压下降构造的第六方式。以下,对与图23A以及图23B不同的构成要素进行说明,与图23A以及图23B通用的构成要素的说明通过在图24A以及图24B中使用与图23A以及图23B相同的参照符号而省略。

[0212] 在图24A以及图24B的元件芯片10中,首先,省略了势垒层94这点与图23A以及图23B的元件芯片10不同。由此,埋入部122与场限制区域61直接地连接。

[0213] 另外,在元件形成区域20中,形成有二极管构造124来代替FET构造41。二极管构造124包括:形成于第一主面17的表层部的p型的阳极区域125;以及利用漂移区域38的一部分形成于第二主面18的表层部的n型的阴极区域126。阳极区域125的p型杂质浓度也可以为 $1.0 \times 10^{13} \text{cm}^{-3}$ 以上且 $1.0 \times 10^{16} \text{cm}^{-3}$ 以下。阴极区域126的n型杂质浓度也可以为 $1.0 \times 10^{13} \text{cm}^{-3}$ 以上且 $1.0 \times 10^{15} \text{cm}^{-3}$ 以下。另外,在阴极区域126中,例如也可以通过重金属(例如,Au、Pt等)的扩散、电子线照射等来形成晶体缺陷127。由此,二极管构造124也可以作为反向恢复时间(trr)比较少的快速恢复二极管(高速二极管)而构成。

[0214] 在元件形成区域20中,表面电极23也可以包含阳极端子电极128。阳极端子电极128由铝系金属形成。更具体而言,阳极端子电极128也可以包含铝、铜、铝-硅-铜合金、铝-硅合金、以及铝-铜合金中的至少一种。阳极端子电极128包括埋入到第一接触孔71的接触部129,接触部129通过与阳极区域125直接相接而与阳极区域125电连接。

[0215] 另外,元件形成区域20包括形成于半导体芯片16的第二主面18的表层部的n⁺型的接触区域130。接触区域130从第二主面18露出。接触区域130也可以在第二主面18的表层部中形成于半导体芯片16的整个区域。接触区域130的n型杂质浓度也可以为 $1.0 \times 10^{19} \text{cm}^{-3}$ 以上且 $1.0 \times 10^{20} \text{cm}^{-3}$ 以下。

[0216] 在半导体芯片16的第二主面18包括作为背面电极的一例的阴极端子电极131。阴极端子电极131在与第二主面18(接触区域130)之间形成欧姆接触。阴极端子电极131也可以包含Ti层、Ni层、Au层、Ag层以及Al层中的至少一个。阴极端子电极131也可以具有包含Ti层、Ni层、Au层、Ag层或者Al层的单层构造。阴极端子电极131也可以具有使Ti层、Ni层、Au层、Ag层以及Al层中的至少两个以任意的方式层叠的层叠构造。

[0217] [元件芯片10的防止耐压下降构造(第七方式)]

[0218] 图25是元件芯片10的外侧区域21中的示意性的剖视图。图25表示元件芯片10的防止耐压下降构造的第七方式。以下,对与图4A以及图4B不同的构成要素进行说明,与图4A以及图4B通用的构成要素的说明通过在图25中使用与图4A以及图4B相同的参照符号而省略。

[0219] 图25示出例如在发射极引绕部34等的发射极电位电极132相邻地形成的情况下,封固导电层133也可以与该发射极电位电极132之间的空间134对置地形成的例子。发射极电位电极132与终端区域59的降低表面电场层60连接。因此,封固导电层133能够抑制降低

表面电场层60附近的耐压的下降。

[0220] [元件芯片10的防止耐压下降构造(第八方式)]

[0221] 图26A以及图26B分别是元件芯片10的外侧区域21以及元件形成区域20的示意性的剖视图。图26A以及图26B分别是与上述的图4A以及图4B对应的图。图26A以及图26B表示元件芯片10的防止耐压下降构造的第八方式。以下,对与图4A以及图4B不同的构成要素进行说明,与图4A以及图4B通用的构成要素的说明通过在图26A以及图26B中使用与图4A以及图4B相同的参照符号而省略。

[0222] 在图26A以及图26B的元件芯片中,FET构造41不是IGBT构造,而是作为MOSFET构造而构成。该情况下,也可以是发射极区域47为 n^+ 型源极区域135,集电极区域40为 n^+ 型的漏极区域136。另外,也可以是发射极端子电极11为源极端子电极137,集极端子电极13为漏极端子电极138。

[0223] [半导体模块200的整体结构]

[0224] 图27是本公开的一个实施方式的半导体模块200的示意性的外观图。

[0225] 在半导体模块201组装有一个或者两个以上的半导体芯片202。

[0226] 该方式中,半导体模块201具有组装有两个半导体芯片202的构造。以下,为了方便,将两个半导体芯片202分别称为第一半导体芯片202A以及第二半导体芯片202B。第一半导体芯片202A以及第二半导体芯片202B也可以适用上述的元件芯片10。

[0227] 参照图27,半导体模块201包括容纳第一半导体芯片202A以及第二半导体芯片202B的箱体203。箱体203包括树脂外壳204以及支撑基板205。支撑基板205是支撑第一半导体芯片202A以及第二半导体芯片202B的基板。

[0228] 树脂外壳204包括底壁206以及侧壁207A、207B、207C、207D。底壁206在从其法线方向观察的俯视时形成为四边形状(该方式中为长方形状)。在底壁206形成有贯通孔208。贯通孔208在底壁206中形成于从周缘向内方区域空出间隔的区域。该方式中,贯通孔208在俯视时形成为四边形状(该方式中为长方形状)。侧壁207A~207D从底壁206的周缘朝向与底壁206相反的一侧竖立设置。侧壁207A~207D在与底壁206相反的一侧划分出开口209。侧壁207A~207D在与底壁206之间划分出内部空间210。

[0229] 侧壁207A以及侧壁207C沿底壁206的短边方向延伸。侧壁207A以及侧壁207C在底壁206的长边方向上相互对置。侧壁207B以及侧壁207D沿底壁206的长边方向延伸。侧壁207B以及侧壁207D在底壁206的短边方向上相互对置。

[0230] 在内部空间210的四个角部,分别形成有螺栓插通孔211、212、213、214。内部空间210由未图示的盖部件、封固部件(例如封固用凝胶)封闭。盖部件通过螺栓而螺栓固定于螺栓插通孔211、212、213、214。

[0231] 树脂外壳204包括多个端子支撑部215、216、217、218。该方式中,多个端子支撑部215~218包括第一端子支撑部215、第二端子支撑部216、第三端子支撑部217以及第四端子支撑部218。第一端子支撑部215以及第二端子支撑部216安装于侧壁207A的外壁。该方式中,第一端子支撑部215以及第二端子支撑部216与侧壁207A的外壁一体地形成。

[0232] 第一端子支撑部215以及第二端子支撑部216在短边方向上相互空出间隔地形成。第一端子支撑部215以及第二端子支撑部216分别形成为块状。第一端子支撑部215以及第二端子支撑部216分别从侧壁207A的外壁朝向长边方向外侧突出。

[0233] 第三端子支撑部217以及第四端子支撑部218安装于侧壁207C。该方式中,第三端子支撑部217以及第四端子支撑部218与侧壁207C的外壁一体地形成。

[0234] 第三端子支撑部217以及第四端子支撑部218在短边方向上相互空出间隔地形成。第三端子支撑部217以及第四端子支撑部218分别形成为块状。第三端子支撑部217以及第四端子支撑部218分别从侧壁207C朝向长边方向外侧突出。

[0235] 第一端子支撑部215、第二端子支撑部216、第三端子支撑部217以及第四端子支撑部218分别具有支撑壁219。各支撑壁219位于比底壁206靠开口209侧的区域。各支撑壁219在俯视时形成为四边形状。

[0236] 在第一端子支撑部215以及第二端子支撑部216之间的区域中形成有第一螺栓插通孔221。在第三端子支撑部217以及第四端子支撑部218之间的区域中形成有第二螺栓插通孔222。

[0237] 支撑基板205包括散热板225、绝缘件226以及电路部227。支撑基板205以电路部227从底壁206的贯通孔208露出的方式安装于树脂外壳204的外表面。支撑基板205也可以通过散热板225粘接于树脂外壳204的外表面来安装于树脂外壳204的外表面。

[0238] 散热板225也可以是金属板。散热板225也可以是由金属膜包覆的绝缘板。散热板225在从其法线方向观察的俯视时形成为四边形状(该方式中为长方形状)。

[0239] 绝缘件226形成于散热板225上。绝缘件226也可以是包含绝缘材料的安装基板。绝缘件226也可以是以膜状形成于散热板225上的绝缘膜。

[0240] 电路部227经由绝缘件226形成于散热板225上。电路部227包括多个配线231、232、233、第一半导体芯片202A以及第二半导体芯片202B。该方式中,配线231~233包括第一集电极配线231、第二集电极配线232以及发射极配线233。

[0241] 第一集电极配线231形成为板状或者膜状。第一集电极配线231在俯视时形成为四边形状。第一集电极配线231在散热板225中配置在长边方向一方侧(侧壁207A侧)以及短边方向一方侧(侧壁207D侧)的区域。

[0242] 第二集电极配线232形成为板状或者膜状。第二集电极配线232在俯视时形成为四边形状。第二集电极配线232从第一集电极配线231空出间隔地在散热板225中配置在长边方向另一方侧(侧壁207C侧)以及短边方向一方侧(侧壁207D侧)的区域。

[0243] 发射极配线233形成为板状或者膜状。发射极配线233在俯视时形成为四边形状。该方式中,发射极配线233形成为沿散热板225的长边方向延伸的长方形状。发射极配线233从第一集电极配线231以及第二集电极配线232空出间隔地在散热板225中配置在短边方向另一方侧(侧壁207B侧)的区域。

[0244] 第一半导体芯片202A以使集电极端子电极13与散热板对置的姿势配置在第一集电极配线231上。第一半导体芯片202A的集电极端子电极13经由导电性接合材料而与第一集电极配线231接合。

[0245] 由此,第一半导体芯片202A的集电极端子电极13与第一集电极配线231电连接。导电性接合材料也可以包含焊料或者导电性糊料。

[0246] 第二半导体芯片202B以使集电极端子电极13与散热板对置的姿势配置在第二集电极配线232上。第二半导体芯片202B的集电极端子电极13经由导电性接合材料而与第二集电极配线232接合。

[0247] 由此,第二半导体芯片202B的集电极端子电极13与第二集电极配线232电连接。导电性接合材料也可以包含焊料或者导电性糊料。

[0248] 半导体模块201包括多个端子234、235、236、237。多个端子234~237包括集电极端子234、第一发射极端子235、通用端子236以及第二发射极端子237。

[0249] 集电极端子234配置于第一端子支撑部215。集电极端子234与第一集电极配线231电连接。集电极端子234包括第一区域238以及第二区域239。集电极端子234的第一区域238位于内部空间210外。集电极端子234的第二区域239位于内部空间210内。

[0250] 集电极端子234的第一区域238由第一端子支撑部215的支撑壁219支撑。集电极端子234的第二区域239从第一区域238贯通侧壁207A而向内部空间210内被引出。集电极端子234的第二区域239与第一集电极配线231电连接。

[0251] 第一发射极端子235配置于第二端子支撑部216。第一发射极端子235与发射极配线233电连接。第一发射极端子235包括第一区域240以及第二区域241。第一发射极端子235的第一区域240位于内部空间210外。第一发射极端子235的第二区域241位于内部空间210内。

[0252] 第一发射极端子235的第一区域240由第二端子支撑部216的支撑壁219支撑。第一发射极端子235的第二区域241从第一区域240贯通侧壁207A而向内部空间210内被引出。第一发射极端子235的第二区域241与发射极配线233电连接。

[0253] 通用端子236配置于第三端子支撑部217。通用端子236与第二集电极配线232电连接。通用端子236包括第一区域242以及第二区域243。通用端子236的第一区域242位于内部空间210外。通用端子236的第二区域243位于内部空间210内。

[0254] 通用端子236的第一区域242由第二端子支撑部216的支撑壁219支撑。通用端子236的第二区域243从第一区域240贯通侧壁207C而向内部空间210内被引出。通用端子236的第二区域243与第二集电极配线232电连接。

[0255] 第二发射极端子237配置于第四端子支撑部218。第二发射极端子237与发射极配线233电连接。第二发射极端子237包括第一区域244以及第二区域245。第二发射极端子237的第一区域244位于内部空间210外。第二发射极端子237的第二区域245位于内部空间210内。

[0256] 第二发射极端子237的第一区域244由第四端子支撑部218的支撑壁219支撑。第二发射极端子237的第二区域245从第一区域244贯通侧壁207C而向内部空间210内被引出。第二发射极端子237的第二区域245与发射极配线233电连接。

[0257] 半导体模块201包括多个(该方式中为六个)的侧壁端子246A~246H。多个侧壁端子246A~246H沿侧壁207D空出间隔地配置在内部空间210中。

[0258] 多个侧壁端子246A~246H分别包括内部连接部247以及外部连接部248。内部连接部247配置于底壁206。外部连接部248从内部连接部247沿侧壁207D以线状延伸,引出至内部空间210外。

[0259] 多个侧壁端子246A~246H包括第一半导体芯片202A用的三个侧壁端子246A~246D、以及第二半导体芯片202B用的三个侧壁端子246E~246H。

[0260] 侧壁端子246A~246D沿短边方向与第一集电极配线231对置。侧壁端子246A作为与第一半导体芯片202A的栅极端子电极12连接的栅极端子而形成。侧壁端子246B~246D例

如分别作为与第一半导体芯片202A的电流检测用的端子电极(未图示)等连接的端子而形成。侧壁端子246B~246D的至少一个也可以是敞开端子。

[0261] 侧壁端子246E~246H沿短边方向与第二集电极配线232对置。侧壁端子246E作为与第二半导体芯片202B的栅极端子电极12连接的栅极端子而形成。侧壁端子246F~246H分别作为与第二半导体芯片202B的电流检测用的端子电极(未图示)等连接的端子而形成。侧壁端子246F~246H的至少一个也可以是敞开端子。

[0262] 半导体模块201包括多个导线249A~249J。多个导线249A~249J也可以包含金、银、铜以及铝中的至少一种。导线249A~249J也可以分别包含键合引线。导线249A~249J也可以分别包含导电板。

[0263] 多个导线249A~249J包括第一导线249A、第二导线249B、第三导线249C、第四导线249D、第五导线249E、第六导线249F、第七导线249G、第八导线249H、第九导线249I以及第十导线249J。

[0264] 第一导线249A将集电极端子234以及第一集电极配线231连接。第二导线249B将第一发射极端子235以及发射极配线233连接。第三导线249C将通用端子236以及第二集电极配线232连接。第四导线249D将第二发射极端子237以及发射极配线233连接。第五导线249E将第一半导体芯片202A的发射极端子电极11以及第二集电极配线232连接。第六导线249F将第二半导体芯片202B的发射极端子电极11以及发射极配线233连接。

[0265] 第七导线249G将第一半导体芯片202A的栅极端子电极12以及侧壁端子246A连接。第八导线249H将第二半导体芯片202B的栅极端子电极12以及侧壁端子246E连接。第九导线249I将第一半导体芯片202A的电流检测用的端子电极(未图示)等与侧壁端子246B~246D连接。第十导线249J将第二半导体芯片202B的电流检测用的端子电极(未图示)等与侧壁端子246F~246H连接。

[0266] 图28是表示图27的半导体模块201的电构造的电路图。

[0267] 参照图28,半导体模块201包括半桥电路250。半桥电路250包括第一半导体芯片202A以及第二半导体芯片202B。

[0268] 第一半导体芯片202A构成半桥电路250的高电压侧臂。第二半导体芯片202B构成半桥电路250的低电压侧臂。

[0269] 在第一半导体芯片202A的栅极端子电极12连接有栅极端子(侧壁端子246A)。在第一半导体芯片202A的集电极端子电极13连接有集电极端子234。

[0270] 在第一半导体芯片202A的发射极端子电极11连接有第二半导体芯片202B的集电极端子电极13。在第一半导体芯片202A的发射极端子电极11以及第二半导体芯片202B的集电极端子电极13的连接部连接有通用端子236。

[0271] 在第二半导体芯片202B的栅极端子电极12连接有栅极端子(侧壁端子246D)。在第二半导体芯片202B的发射极端子电极11连接有第一发射极端子235(第二发射极端子237)。

[0272] 也可以在第一半导体芯片202A的栅极端子电极12经由栅极端子(侧壁端子246A)连接有栅极驱动器IC等。也可以在第二半导体芯片202B的栅极端子电极12经由栅极端子(侧壁端子246D)连接有栅极驱动器IC等。

[0273] 半导体模块201也可以是在具有U相、V相以及W相的三相马达中使U相、V相以及W相的任一相驱动的逆变器模块。也可以由与三相马达的U相、V相以及W相对应的三个半导体模

块201构成驱动三相马达的逆变器装置。

[0274] 该情况下,在各半导体模块201的集电极端子234以及第一发射极端子235(第二发射极端子237)连接直流电源。另外,在各半导体模块201的通用端子236连接三相马达的U相、V相以及W相的任一相作为负载。

[0275] 在逆变器装置中,第一半导体芯片202A以及第二半导体芯片202B以预定的开关图案驱动控制。由此,直流电压变换成三相交流电压,对三相马达进行正弦波驱动。

[0276] 对本公开的实施方式进行了说明,但本公开也能够以其它方式实施。

[0277] 例如,在上述的实施方式中,也可以采用各半导体部分的导电型反转后的构造。也就是,p型的部分也可以形成为n型、n型的部分也可以形成为p型。

[0278] 另外,作为场限制区域61,举出了通过向半导体芯片16导入p型杂质而形成的p型杂质区域作为一例,但也可以例如在半导体芯片16的第一主面17形成沟槽,将经由绝缘层埋入到上述沟槽的埋入导电层(导电性多晶硅等)作为场限制区域61而形成。该情况下,也可以沿上述沟槽的内表面形成有p型杂质区域。

[0279] 另外,作为搭载于图27的半导体模块201的第一半导体芯片202A以及第二半导体芯片202B,也可以应用具有MOSFET构造的元件芯片10作为FET构造。

[0280] 以上,本公开的实施方式在所有方面都是例示性的,不应被解释为限定性的,意在所有方面都包含变更在内。

[0281] 可从该说明书以及附图的记载提取出以下所附记的特征。

[0282] [附记1-1]

[0283] 一种半导体装置1,包括:

[0284] 半导体芯片16,其具有第一主面17,该第一主面17形成有包含元件构造42、112、124的元件形成区域20;

[0285] 耐压保持构造59、60、61,其在上述半导体芯片16的上述第一主面17中形成于上述元件形成区域20的周围的周围区域21,保持上述元件构造42、112、124的耐压;

[0286] 层间绝缘层66,其形成于上述半导体芯片16的上述第一主面17;

[0287] 多个第一导电层23、24、34、132,其为在上述第一主面17上相互空出间隔地形成的多个第一导电层23、24、34、132,且通过上述层间绝缘层66而与上述耐压保持构造59、60、61连接;

[0288] 第二导电层83、133,其通过上述层间绝缘层66而与上述半导体芯片16绝缘,在俯视时与相邻的上述多个第一导电层23、24、34、132间的空间82、134重叠;以及

[0289] 保护层80,其以覆盖上述多个第一导电层23、24、34、132以及上述第二导电层83、133的方式形成于上述层间绝缘层66上。

[0290] [附记1-2]

[0291] 根据附记1-1所记载的半导体装置1,

[0292] 上述第二导电层83、133包括埋入到上述层间绝缘层66内的埋入导电层,

[0293] 上述埋入导电层在上述层间绝缘层66的厚度方向上与上述多个第一导电层23、24、34、132间的空间82、134对置。

[0294] [附记1-2-1]

[0295] 根据附记1-2所记载的半导体装置1,

- [0296] 上述第一导电层23、24、34、132包括：
- [0297] 接触部84,其设置在形成于上述层间绝缘层66的接触孔75,且与上述耐压保持构造59、60、61连接；
- [0298] 第一引出部101,其从上述接触孔75的深度方向上的上述接触部84的中途部朝向上述埋入导电层被引出；以及
- [0299] 第二引出部102,其从上述接触部84的上端部沿上述层间绝缘层66的表面被引出。
- [0300] [附记1-2-2]
- [0301] 根据附记1-2-1所记载的半导体装置1,
- [0302] 从上述接触部84的周面至上述第二引出部102的横向端部的距离D2比从上述接触部84的周面至上述第一引出部101的横向端部的距离D1长。
- [0303] [附记1-2-3]
- [0304] 根据附记1-2-1或附记1-2-2所记载的半导体装置1,
- [0305] 相邻的上述第一导电层23、24、34、132的一方以及另一方分别具有上述第二引出部102,该一方以及另一方的第二引出部102在上述层间绝缘层66的表面上空出第二间隔W2地对置,
- [0306] 上述一方的第一导电层23、24、34、132的上述第一引出部101与上述埋入导电层的第一间隔W1比上述一方的第二引出部102与上述另一方的第二引出部102的上述第二间隔W2窄。
- [0307] [附记1-2-4]
- [0308] 根据附记1-2-3所记载的半导体装置1,
- [0309] 上述第一间隔W1为 $1\mu\text{m}$ 以上,上述第二间隔W2为 $10\mu\text{m}$ 以上。
- [0310] [附记1-2-5]
- [0311] 根据附记1-2所记载的半导体装置1,
- [0312] 上述层间绝缘层66包括：
- [0313] 第一部分86,其比上述埋入导电层靠上述半导体芯片16侧且具有第一厚度T1；以及
- [0314] 第二部分87,其形成于上述第一部分86上,包覆上述埋入导电层,并且具有比上述第一厚度T1薄的第二厚度T2。
- [0315] [附记1-2-6]
- [0316] 根据附记1-2-5所记载的半导体装置1,
- [0317] 上述第一厚度T1为 3000\AA 以上且 20000\AA 以下,上述第二厚度T2为 1000\AA 以上且 10000\AA 以下。
- [0318] [附记1-3]
- [0319] 根据附记1-2所记载的半导体装置1,
- [0320] 上述第一导电层23、24、34、132包括：
- [0321] 表层部85,其形成于上述层间绝缘层66上；以及
- [0322] 接触部84,其从上述表层部85通过上述层间绝缘层66而与上述耐压保持构造59、60、61连接,
- [0323] 上述埋入导电层在上述层间绝缘层66的厚度方向上与上述第一导电层23、24、34、

132的上述表层部85的一部分对置。

[0324] [附记1-4]

[0325] 根据附记1-2所记载的半导体装置1,

[0326] 上述第一导电层23、24、34、132包括:

[0327] 接触部84,其设置在形成于上述层间绝缘层66的接触孔75中,且与上述耐压保持构造59、60、61连接;以及

[0328] 重叠部102,其从上述接触部84被引出至上述层间绝缘层66的表面上,在俯视时与上述埋入导电层重叠。

[0329] [附记1-5]

[0330] 根据附记1-3或附记1-4所记载的半导体装置1,

[0331] 上述层间绝缘层66包括:

[0332] 第一部分86,其比上述埋入导电层靠上述半导体芯片16侧;以及

[0333] 第二部分87,其形成于上述第一部分86上,且包覆上述埋入导电层,

[0334] 上述第一导电层23、24、34、132的上述接触部84还包括突出部100,该突出部100朝向上述埋入导电层向上述第一部分86上的区域选择性地突出。

[0335] [附记1-5-1]

[0336] 根据附记1-5所记载的半导体装置1,

[0337] 上述层间绝缘层66的上述第一部分86具有第一厚度T1,上述层间绝缘层66的上述第二部分87具有比上述第一厚度T1薄的第二厚度T2。

[0338] [附记1-5-2]

[0339] 根据附记1-5-1所记载的半导体装置1,

[0340] 上述第一厚度T1为 3000\AA 以上且 20000\AA 以下,上述第二厚度T2为 1000\AA 以上且 10000\AA 以下。

[0341] [附记1-6]

[0342] 根据附记1-2~附记1-4中任一项所记载的半导体装置1,

[0343] 上述层间绝缘层66包括:

[0344] 第一部分86,其比上述埋入导电层靠上述半导体芯片16侧;以及

[0345] 第二部分87,其形成于上述第一部分86上,且包覆上述埋入导电层,

[0346] 上述接触部84包括:

[0347] 第一埋入部92,其由势垒层94以及隔着上述势垒层94埋入到上述层间绝缘层66的上述第一部分86的接触插头95形成;以及

[0348] 第二埋入部93,其埋入于上述层间绝缘层66的上述第二部分87,由与上述接触插头95不同的导电材料形成。

[0349] [附记1-6-1]

[0350] 根据附记1-6所记载的半导体装置1,

[0351] 上述接触插头95包含钨插头,

[0352] 上述第二埋入部93包含铝系金属。

[0353] [附记1-7]

[0354] 根据附记1-2~附记1-4中任一项所记载的半导体装置1,

- [0355] 上述层间绝缘层66包括：
- [0356] 第一部分86,其比上述埋入导电层靠上述半导体芯片16侧;以及
- [0357] 第二部分87,其形成于上述第一部分86上,且包覆上述埋入导电层,
- [0358] 上述接触部84包括：
- [0359] 埋入部110、122,其由一体地埋入于上述层间绝缘层66的上述第一部分86及上述第二部分87的单一的导电材料形成;以及
- [0360] 埋入接触部,其包含形成于上述第一部分86与上述埋入部110、122之间的势垒层94。
- [0361] [附记1-7-1]
- [0362] 根据附记1-7所记载的半导体装置1,
- [0363] 上述势垒层94包含钛系金属,
- [0364] 上述埋入部110、122包含铝系金属。
- [0365] [附记1-8]
- [0366] 根据附记1-2~附记1-4中任一项所记载的半导体装置1,
- [0367] 上述层间绝缘层66包括比上述埋入导电层靠上述半导体芯片16侧的第一部分86、以及形成于上述第一部分86上且包覆上述埋入导电层的第二部分87,
- [0368] 上述接触部84包括埋入接触部110、122,该埋入接触部110、122由一体地埋入于上述层间绝缘层66的上述第一部分86以及上述第二部分87的单一的导电材料形成,且与上述耐压保持构造59、60、61直接连接。
- [0369] [附记1-8-1]
- [0370] 根据附记1-8所记载的半导体装置1,
- [0371] 上述元件构造42、112、124包括二极管构造112、124。
- [0372] [附记1-8-2]
- [0373] 根据附记1-8-1所记载的半导体装置1,
- [0374] 上述二极管构造112、124包括快速恢复二极管。
- [0375] [附记1-8-3]
- [0376] 根据附记1-8或附记1-8-1所记载的半导体装置1,
- [0377] 上述埋入接触部包含铝系金属。
- [0378] [附记1-9]
- [0379] 根据附记1-1~附记1-8中任一项所记载的半导体装置1,
- [0380] 上述层间绝缘层66在上述元件形成区域20中的有源厚度TA比上述层间绝缘层66在上述周围区域21中的周围厚度TC薄。
- [0381] [附记1-9-1]
- [0382] 根据附记1-5-1所记载的半导体装置1,
- [0383] 上述有源厚度TA为3000Å以上且20000Å以下,上述周围厚度TC为4000Å以上且30000Å以下。
- [0384] [附记1-10]
- [0385] 根据附记1-1~附记1-9中任一项所记载的半导体装置1,
- [0386] 在上述层间绝缘层66的表面,在上述元件形成区域20与上述周围区域21的边界部

69中形成有台阶70。

[0387] [附记1-11]

[0388] 根据附记1-1~附记1-11中任一项所记载的半导体装置1,

[0389] 包括第一输出电极11、116、128、137,该第一输出电极11、116、128、137在上述元件形成区域20中从上述保护层80露出,且与上述元件构造42、112、124连接,

[0390] 从上述半导体芯片16的上述第一主面17至上述第一导电层23、24、34、132的表面H2的高度比从上述半导体芯片16的上述第一主面17至上述第一输出电极11、116、128、137的高度H1高。

[0391] [附记1-12]

[0392] 根据附记1-1所记载的半导体装置1,

[0393] 上述多个第一导电层23、24、34、132以及上述第二导电层83、133均形成在上述层间绝缘层66上,

[0394] 上述第二导电层83、133在上述层间绝缘层66的表面设置在上述多个第一导电层23、24、34、132间的空间82、134。

[0395] [附记1-13]

[0396] 根据附记1-12所记载的半导体装置1,

[0397] 还包括在上述半导体芯片16的上述第一主面17中形成于被多个上述耐压保持构造59、60、61所夹的区域的LOCOS(Local oxidation of silicon,硅局部氧化)氧化膜62,

[0398] 上述第一导电层23、24、34、132设置在上述耐压保持构造59、60、61的正上方位置,

[0399] 上述第二导电层83、133设置在上述LOCOS氧化膜62的正上方位置。

[0400] [附记1-14]

[0401] 根据附记1-1~附记1-13中任一项所记载的半导体装置1,

[0402] 上述多个第一导电层23、24、34、132间的空间82、134形成为俯视线状,

[0403] 上述第二导电层83、133形成为沿上述线状的上述空间82、134延伸的俯视线状。

[0404] [附记1-14-1]

[0405] 根据附记1-14所记载的半导体装置1,

[0406] 上述多个第一导电层23、24、34、132间的空间82、134在俯视时形成为包围上述元件形成区域20的无端环状,

[0407] 上述第二导电层83、133形成为沿上述无端环状的上述空间82、134延伸的俯视无端环状。

[0408] [附记1-15]

[0409] 根据附记1-1~附记1-14中任一项所记载的半导体装置1,

[0410] 上述周围区域21包围上述元件形成区域20,且包括形成于上述半导体芯片16的周端部的外侧区域21。

[0411] [附记1-16]

[0412] 根据附记1-1~附记1-15中任一项所记载的半导体装置1,

[0413] 上述半导体芯片16包括形成于上述第一主面17侧的第一导电型的第一杂质区域38,

[0414] 上述耐压保持构造59、60、61包括通过向上述第一杂质区域38导入第二导电型杂

质而形成的第二杂质区域。

[0415] [附记1-17]

[0416] 根据附记1-16所记载的半导体装置1，

[0417] 上述耐压保持构造59、60、61包括包围上述元件形成区域20的FLR(Field Limiting Ring,场限制环)构造61以及降低表面电场(RESURF:Reduced Surface Field)层60的至少一方。

[0418] [附记1-18]

[0419] 根据附记1-1~附记1-17中任一项所记载的半导体装置1，

[0420] 上述元件构造42、112、124包括IGBT(Insulated Gate Bipolar Transistor,绝缘栅双极晶体管)构造、二极管构造以及MOSFET(Metal Oxide Semiconductor Field Effect Transistor,金属氧化物半导体场效应晶体管)构造的至少一个。

[0421] [附记1-19]

[0422] 根据附记1-1~附记1-18中任一项所记载的半导体装置1，

[0423] 上述保护层80由聚酰亚胺树脂或者PBO(Polybenzoxazole,聚苯并噁唑)树脂形成。

[0424] [附记1-20]

[0425] 根据附记1-1~附记1-19中任一项所记载的半导体装置1，

[0426] 是包含封固上述半导体芯片16的封固树脂2的分立半导体。

[0427] [附记1-21]

[0428] 一种半导体模块201,包括:

[0429] 树脂制的箱体203;以及

[0430] 多个半导体装置1,其设置在上述箱体203,至少包括一个附记1-1~附记1-19中任一项所记载的半导体装置1。

[0431] [附记1-22]

[0432] 根据附记1-1所记载的半导体装置1，

[0433] 包括相互空出间隔地形成的多个上述耐压保持构造59、60、61，

[0434] 上述第二导电层83、133包括封固导电层83,该封固导电层83从上述半导体层16的相反侧封固跨越在相邻的上述多个耐压保持构造59、60、61之间的上述层间绝缘层66的部分。

[0435] [附记2-1]

[0436] 一种半导体装置1,包括:

[0437] 第一导电型的半导体层16,其具有第一主面17,该第一主面17形成有包含元件构造42、112、124的元件形成区域20;

[0438] 多个耐压保持构造59、60、61,其包含在上述半导体层16的上述第一主面17中形成于上述元件形成区域20的周围的外侧区域21的第二导电型的杂质区域,且相互空出间隔地形成;

[0439] 层间绝缘层62、66,其形成于上述半导体芯片16的上述第一主面17;

[0440] 表面金属23,其为形成于上述层间绝缘层62、66的表面的表面金属23,且包含通过上述层间绝缘层62、66而分别与上述多个耐压保持构造59、60、61连接的多个外周电极金属

23、24、34、132;

[0441] 封固金属83、133,其从上述半导体层16的相反侧封固跨越在相邻的上述多个耐压保持构造59、60、61之间的上述层间绝缘层62、66的部分,且埋入于上述层间绝缘层62、66,在上述层间绝缘层62、66的厚度方向上与上述外周电极金属23、24、34、132局部地对置;以及

[0442] 保护层80,其以覆盖上述表面金属23的方式形成于上述层间绝缘层62、66上。

[0443] [附记2-2]

[0444] 根据附记2-1所记载的半导体装置1,

[0445] 上述外周电极金属23、24、34、132包括:

[0446] 接触部84,其设置在形成于上述层间绝缘层62、66的接触孔75,且与上述耐压保持构造59、60、61连接;以及

[0447] 重叠部102,其从上述接触部84被引出至上述层间绝缘层62、66的表面上,在俯视时与上述封固金属83、133重叠。

[0448] [附记2-3]

[0449] 根据附记2-2所记载的半导体装置1,

[0450] 上述外周电极金属23、24、34、132的上述接触部84还包括突出部100,该突出部100朝向上述封固金属83、133沿上述第一主面17选择性地延伸。

[0451] [附记2-4]

[0452] 根据附记2-1~附记2-3中任一项所记载的半导体装置1,

[0453] 跨越在相邻的上述多个耐压保持构造59、60、61之间的上述层间绝缘层66的部分包括局部地埋入到上述第一主面17的热氧化膜62和上述热氧化膜上的沉积氧化膜66,

[0454] 上述封固金属83、133设置在上述沉积氧化膜66的表面。

[0455] [附记2-5]

[0456] 根据附记2-4所记载的半导体装置1,

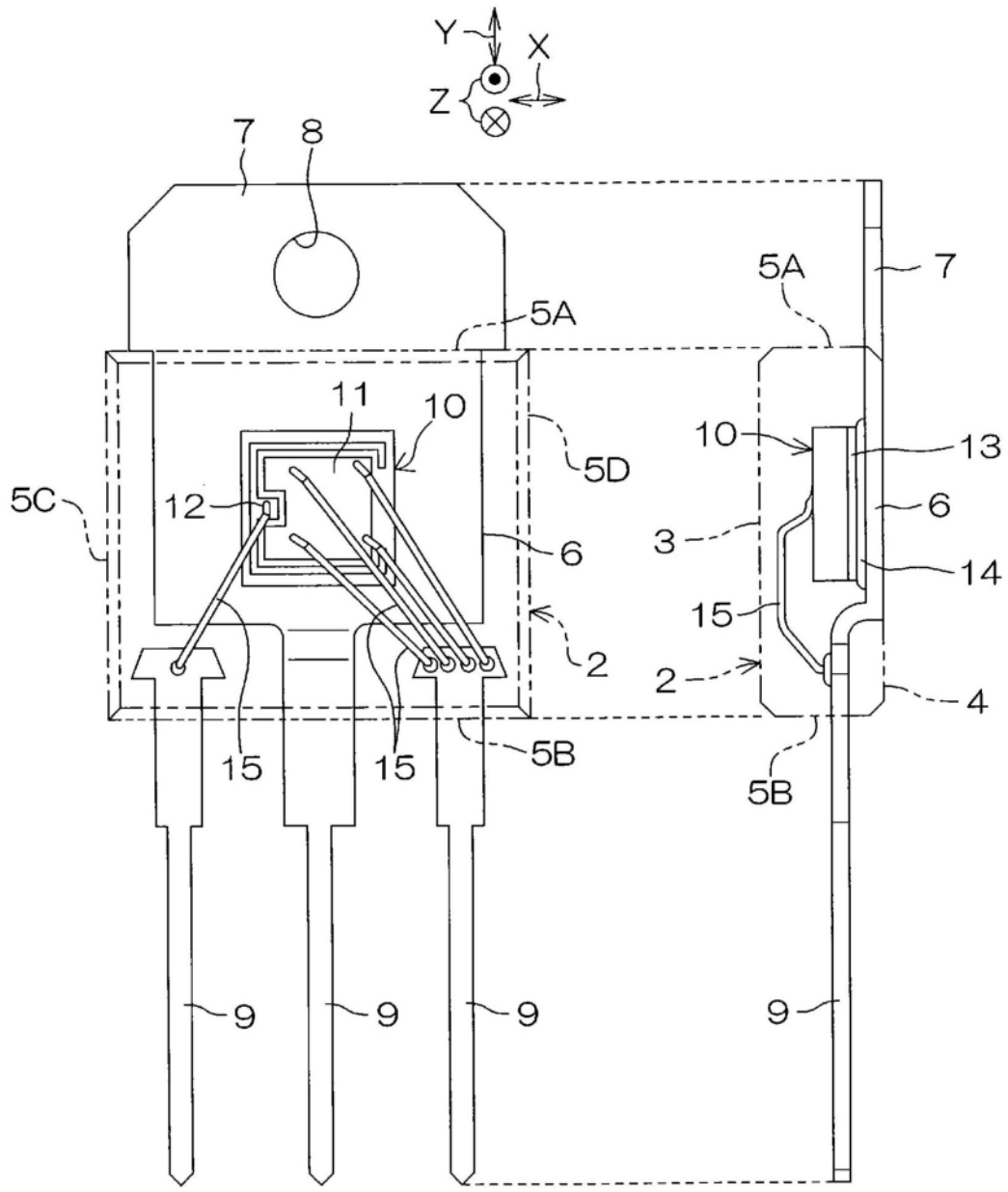
[0457] 上述沉积氧化膜66具有比上述热氧化膜62的厚度 T_F 大的厚度 T_1 、 T_2 。

[0458] 本申请与2022年3月4日向日本国专利局提出的日本特愿2022-33875号对应,本申请的全部公开内容在此通过引用而录入。

[0459] 符号说明

[0460] 1—半导体装置,2—封装件主体,3—第一面,4—第二面,5A—第一侧壁,5B—第二侧壁,5C—第三侧壁,5D—第四侧壁,6—金属板,7—引出板部,8—贯通孔,9—引线端子,10—元件芯片,11—发射极端子电极,12—栅极端子电极,13—集电极端子电极,14—导电粘接剂,15—导线,16—半导体芯片,17—第一主面,18—第二主面,19A—第一侧面,19B—第二侧面,19C—第三侧面,19D—第四侧面,20—元件形成区域,21—外侧区域,22—划片区域,23—表面电极,24—场板电极,25—等电位电势电极,26—绝缘区域,27—栅极焊盘,28—栅极指,29—敞开端,30—敞开端,31—第一栅极指,32—第二栅极指,33—发射极焊盘,34—发射极引绕部,35—发射极连接部,36—雪崩电流回收构造,37—半导体基板,38—漂移区域,39—缓冲层,40—集电极区域,41—FET构造,42—沟槽栅极构造,43—栅极沟槽,44—栅极绝缘层,45—栅极电极层,46—主体区域,47—发射极区域,48—载流子存储区域,49—接触沟槽,50—接触区域,51—发射极沟槽构造,52—发射极沟槽,53—发射极绝缘层,

54—发射极电位电极层,55—第一表面绝缘膜,56—栅极引出电极层,57—发射极引出电极层,58—第二表面绝缘膜,59—终端区域,60—降低表面电场层,61—场限制区域,62—场绝缘层,63—开口,64—第三表面绝缘膜,65—沟道阳断区域,66—层间绝缘层,67—元件包覆部,68—外侧包覆部,69—边界部,70—台阶,71—第一接触孔,72—第二接触孔,73—第三接触孔,74—第四接触孔,75—第五接触孔,76—第六接触孔,77—接触区域,78—接触区域,79—接触区域,80—保护层,81—开口,82—空间,83—封固导电层,84—接触部,85—表层部,86—第一层,87—第二层,88—边界部,89—下部接触孔,90—上部接触孔,91—接触区域,92—第一埋入部,93—第二埋入部,94—势垒层,95—接触插头,96—发射极插头电极,97—势垒层,98—接触插头,99—端部,100—突出部,101—第一引出部,102—第二引出部,103—内侧周缘部,104—外侧周缘部,105—势垒层,106—接触插头,107—第一电极层,108—第二电极层,109—热氧化膜,110—埋入部,111—发射极插头电极,112—二极管构造,113—阳极区域,114—阴极区域,115—晶体缺陷,116—阳极端子电极,117—接触部,118—接触区域,119—阴极端子电极,120—内侧周缘部,121—外侧周缘部,122—埋入部,123—发射极插头电极,124—二极管构造,125—阳极区域,126—阴极区域,127—晶体缺陷,128—阳极端子电极,129—接触部,130—接触区域,131—阴极端子电极,132—发射极电位电极,133—封固导电层,134—空间,135—源极区域,136—漏极区域,137—源极端子电极,138—漏极端子电极,200—半导体模块,201—半导体模块,202—半导体芯片,202A—第一半导体芯片,202B—第二半导体芯片,203—箱体,204—树脂外壳,205—支撑基板,206—底壁,207A—侧壁,207B—侧壁,207C—侧壁,207D—侧壁,208—贯通孔,209—开口,210—内部空间,211—螺栓插通孔,212—螺栓插通孔,213—螺栓插通孔,214—螺栓插通孔,215—第一端子支撑部,216—第二端子支撑部,217—第三端子支撑部,218—第四端子支撑部,219—支撑壁,221—第一螺栓插通孔,222—第二螺栓插通孔,225—散热板,226—绝缘件,227—电路部,231—第一集电极配线,232—第二集电极配线,233—发射极配线,234—集电极端子,235—第一发射极端子,236—通用端子,237—第二发射极端子,238—第一区域,239—第二区域,240—第一区域,241—第二区域,242—第一区域,243—第二区域,244—第一区域,245—第二区域,246A—侧壁端子,246B—侧壁端子,246C—侧壁端子,246D—侧壁端子,246E—侧壁端子,246F—侧壁端子,246G—侧壁端子,246H—侧壁端子,247—内部连接部,248—外部连接部,249A—第一导线,249B—第二导线,249C—第三导线,249D—第四导线,249E—第五导线,249F—第六导线,249G—第七导线,249H—第八导线,249I—第九导线,249J—第十导线,250—半桥电路,D1—距离,D2—距离,G—高低差,H1—表面高度,H2—表面高度,IC—栅极驱动器,T1—第一厚度,T2—第二厚度,TA—厚度,TC—厚度,TF—厚度,W1—第一间隔,W2—第二间隔,X—第一方向,Y—第二方向,Z—法线方向。



1

图1

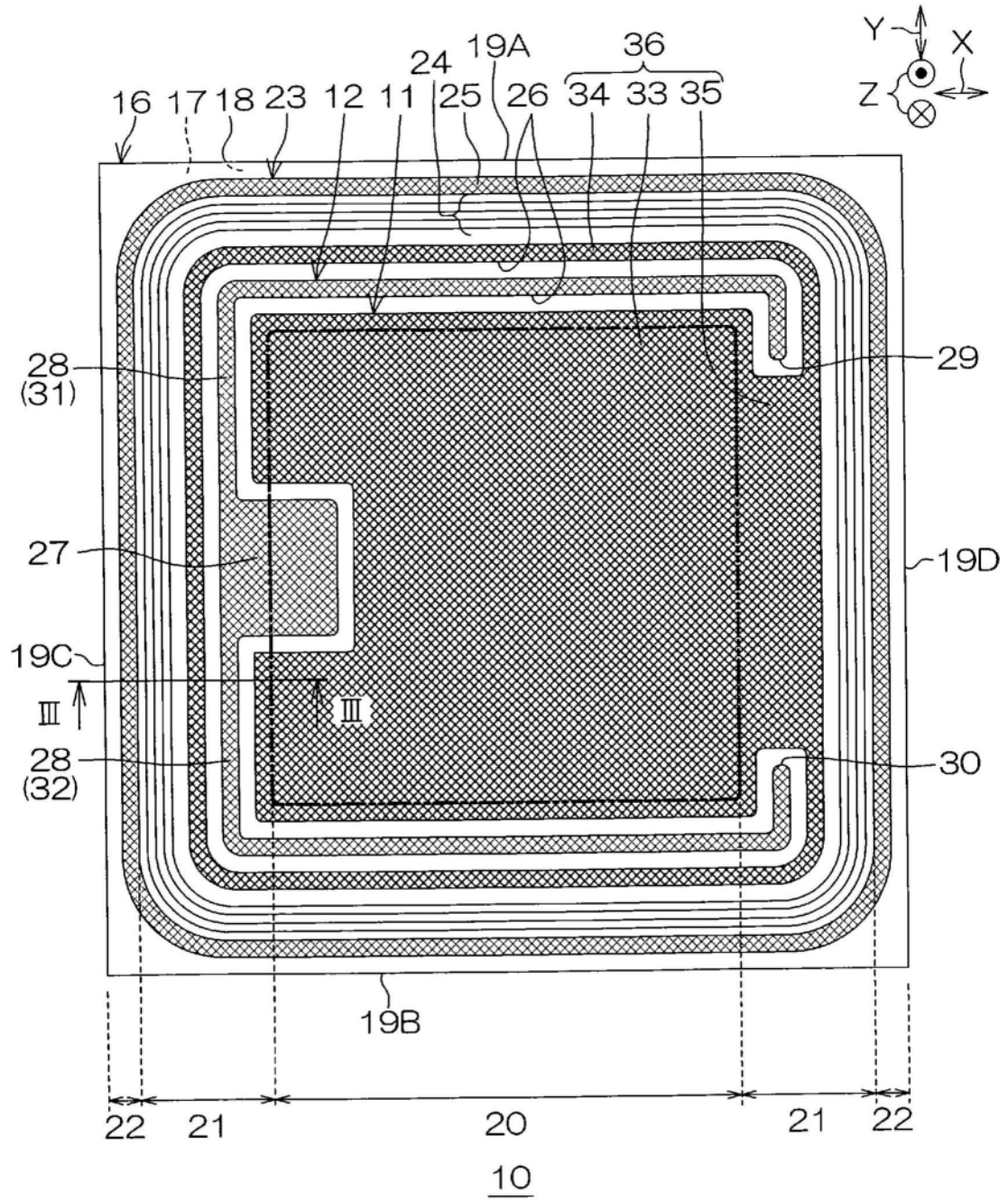


图2

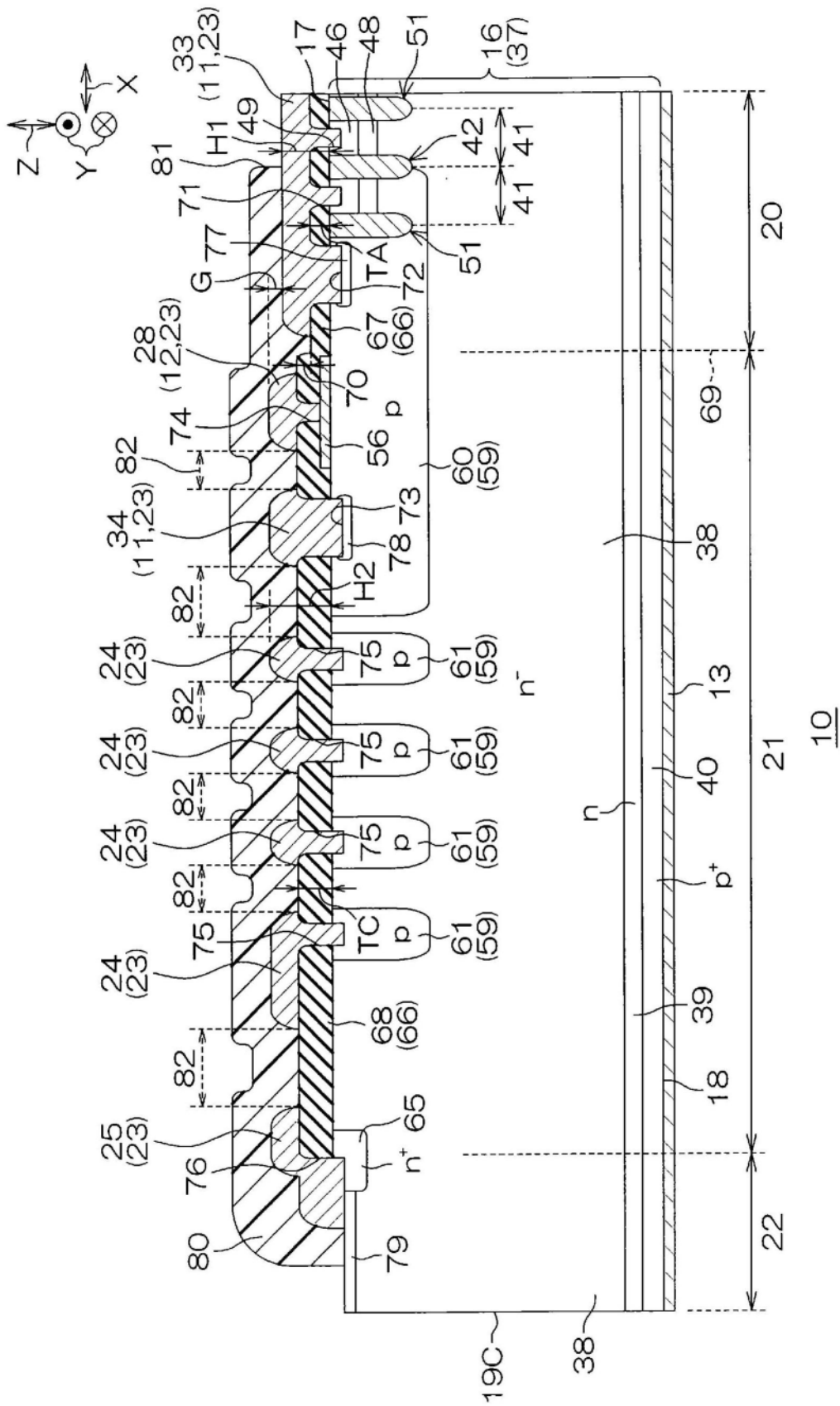
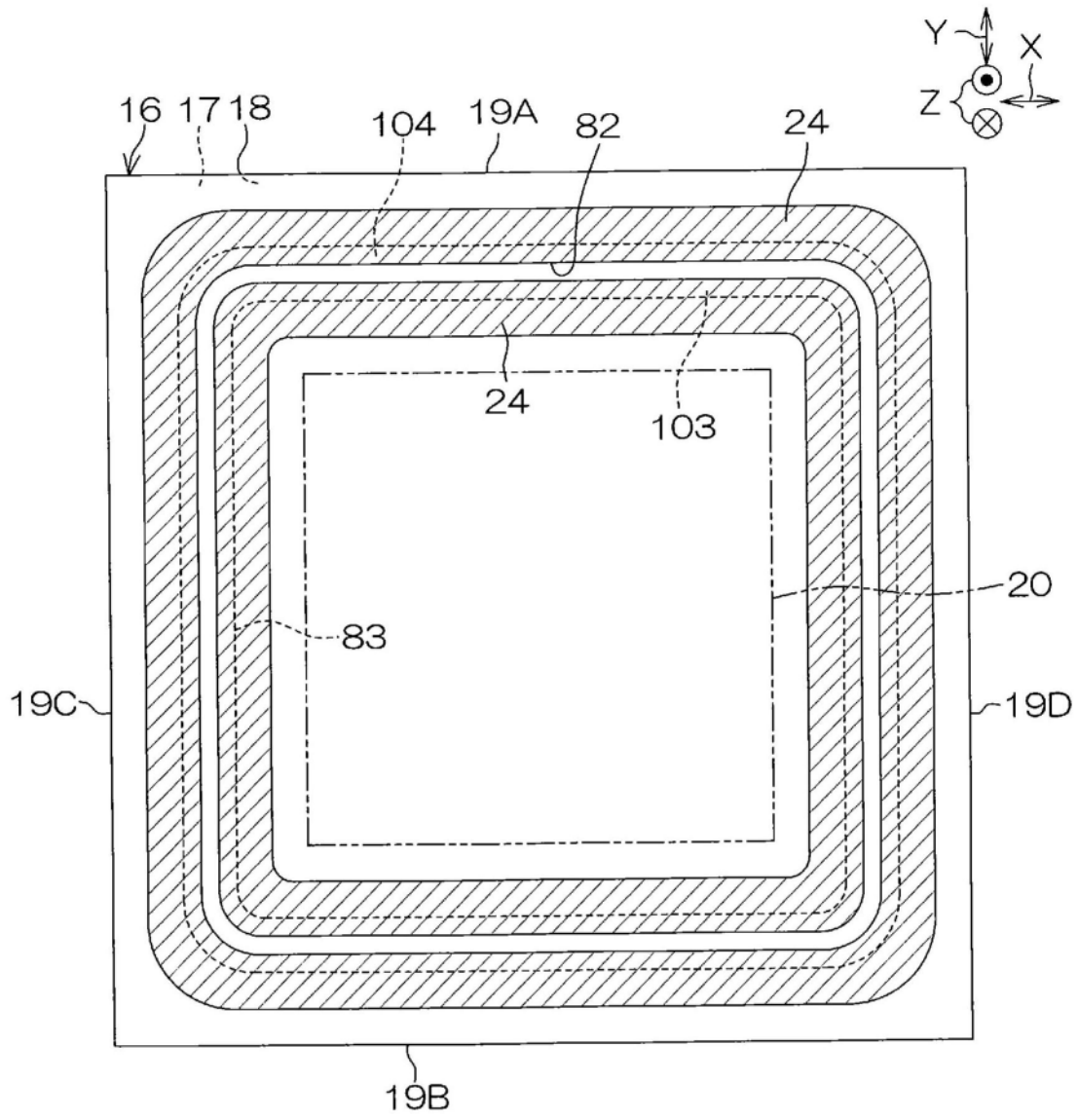
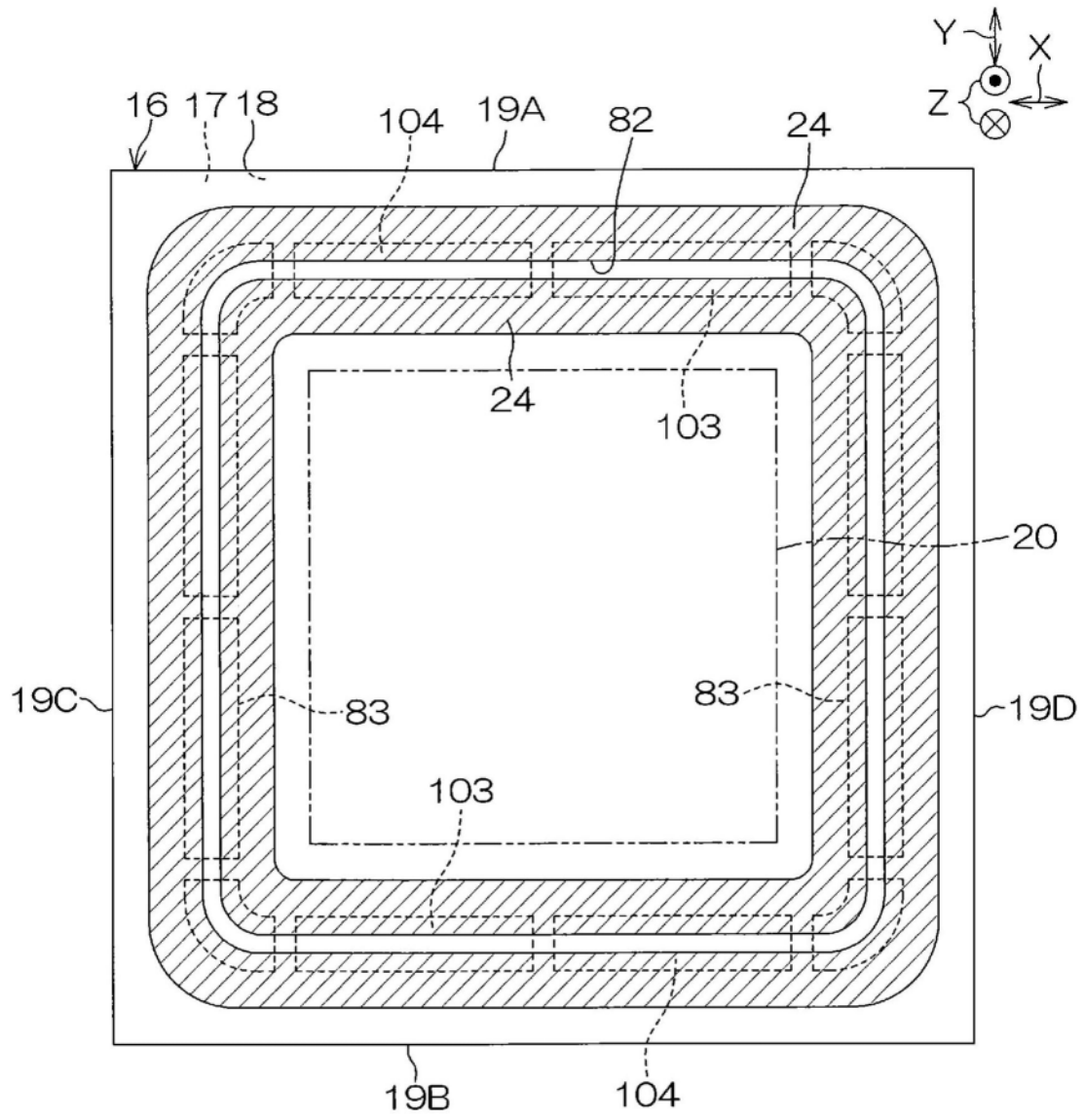


图3



10

图6



10

图7

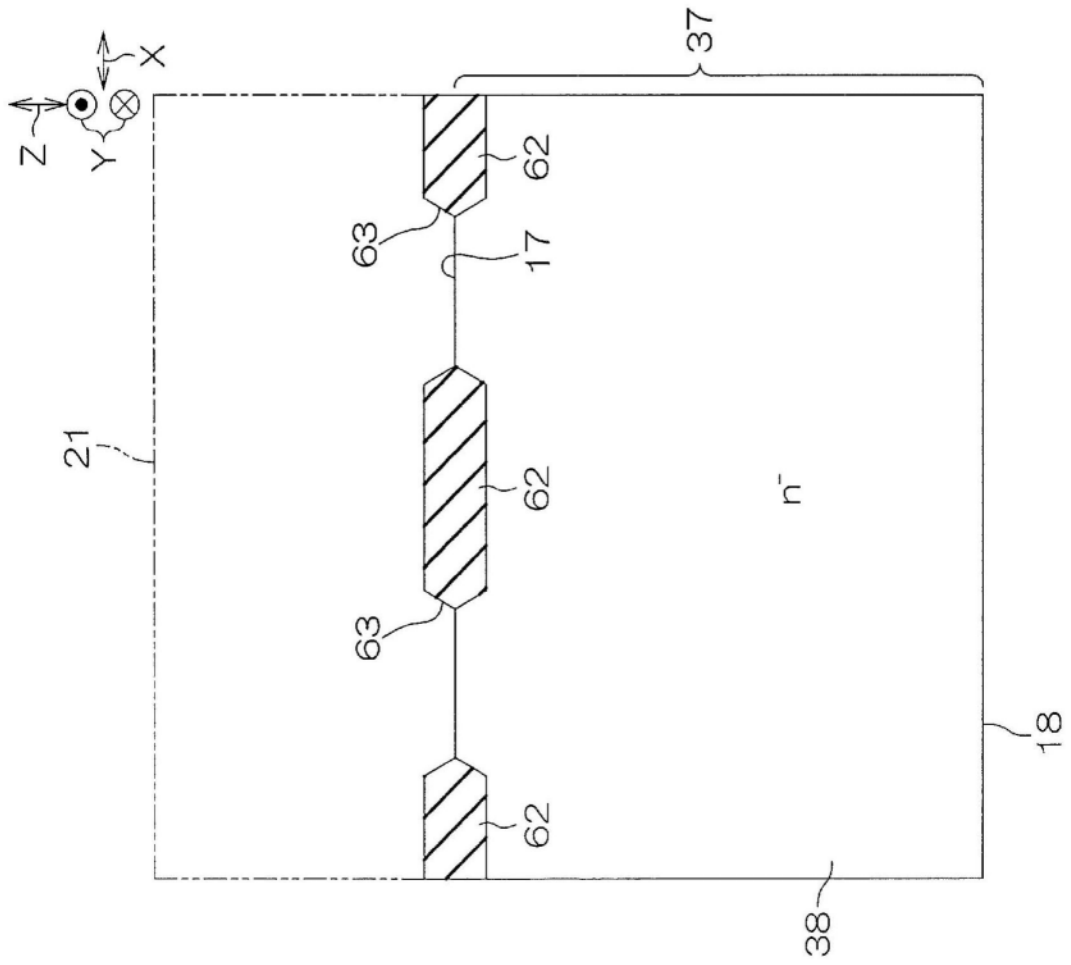


图8A

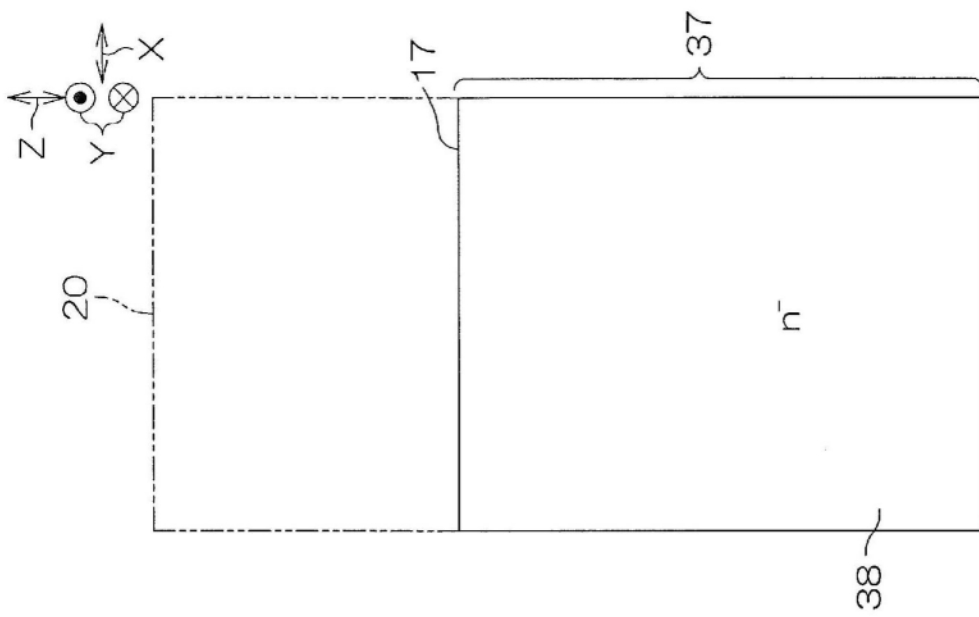


图8B

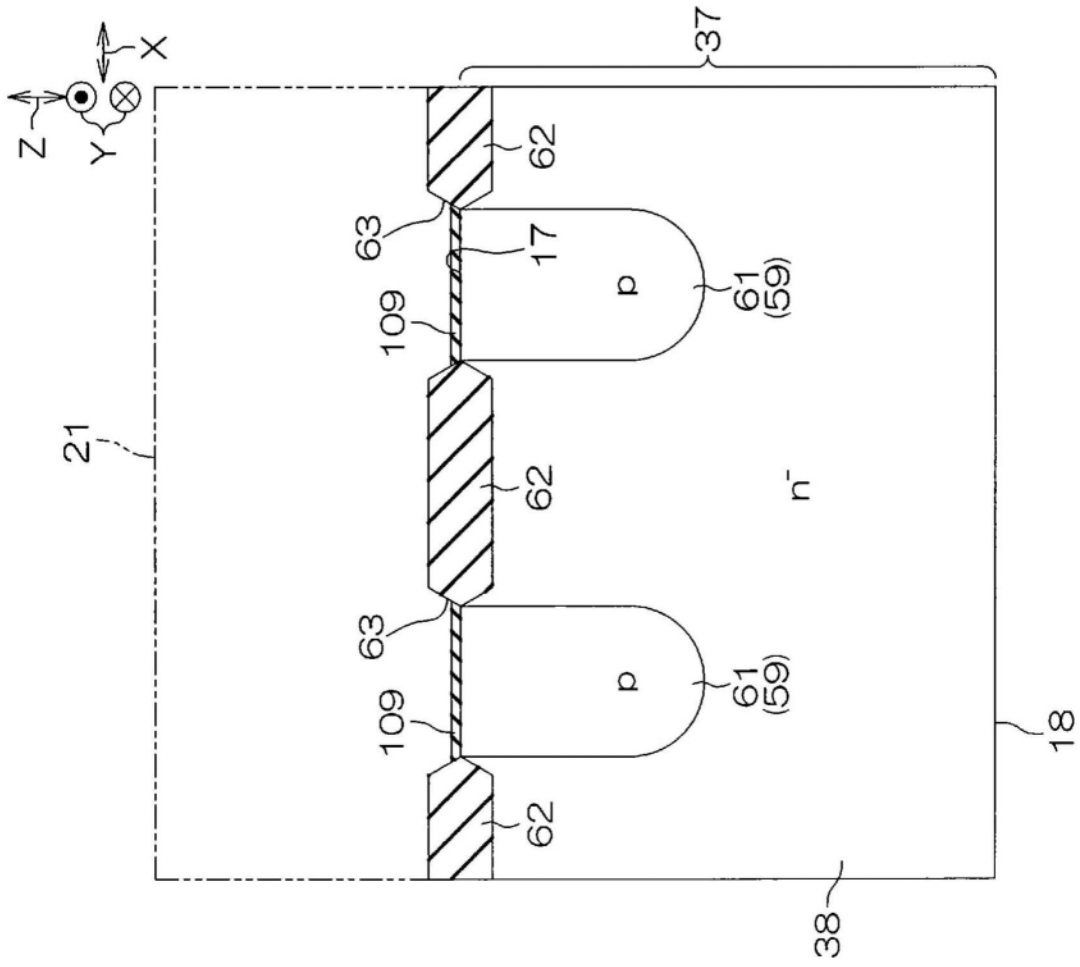


图9A

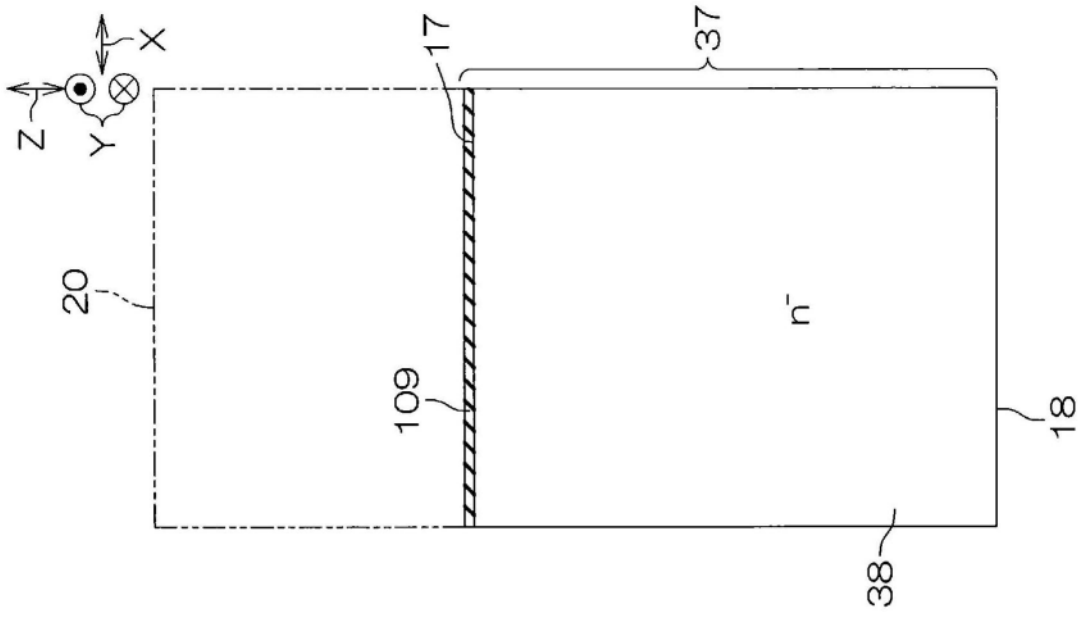


图9B

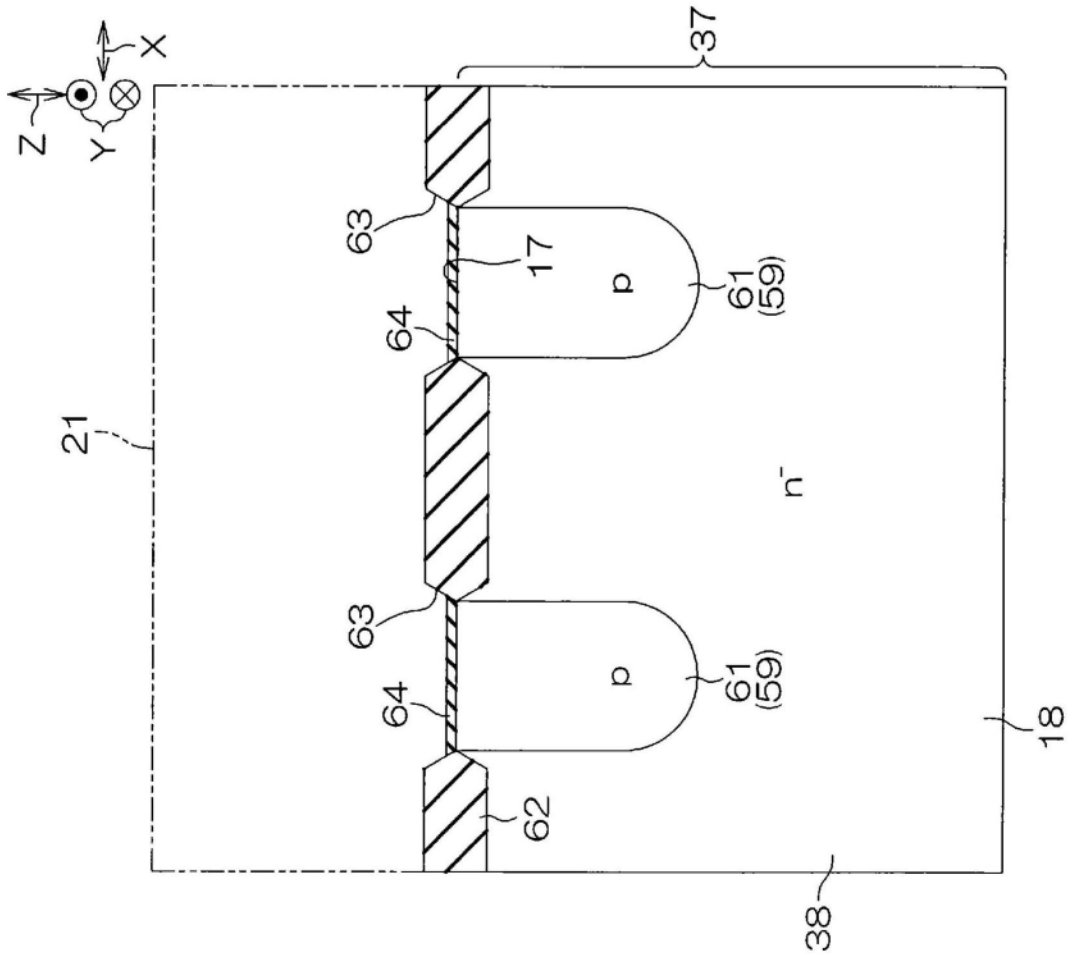


图10A

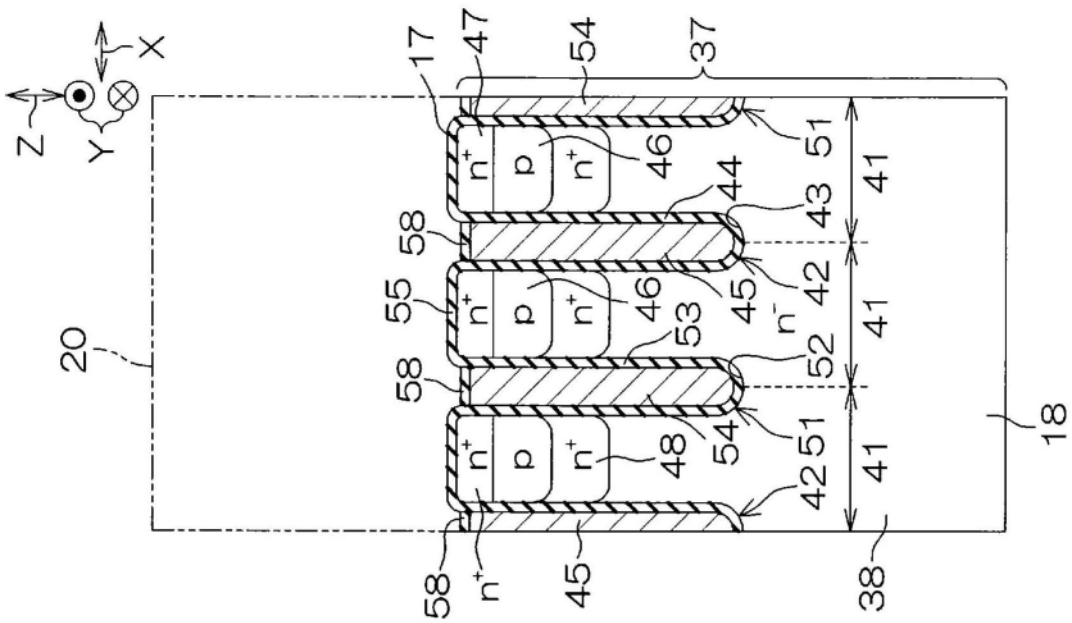


图10B

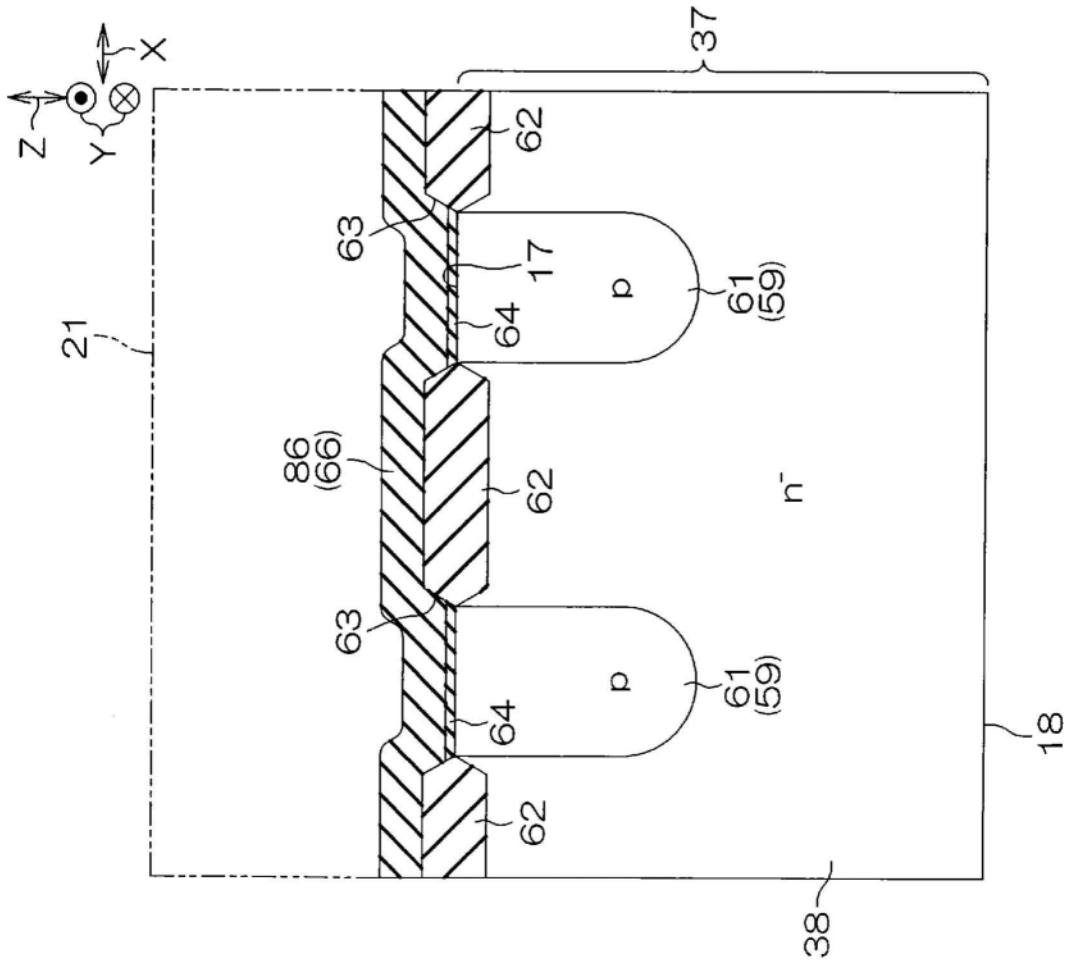


图11A

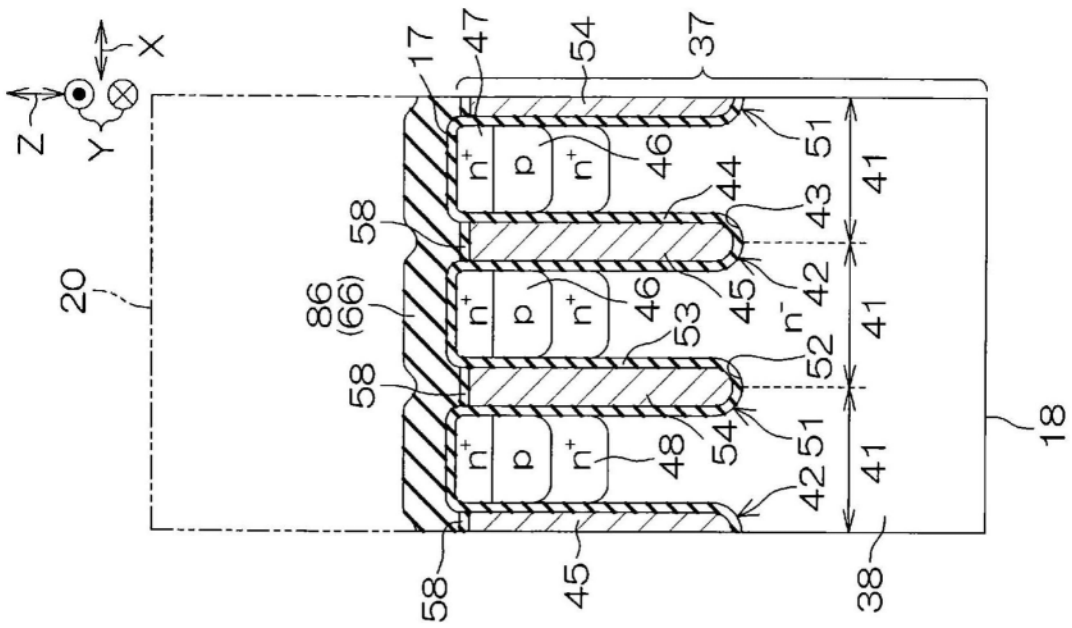


图11B

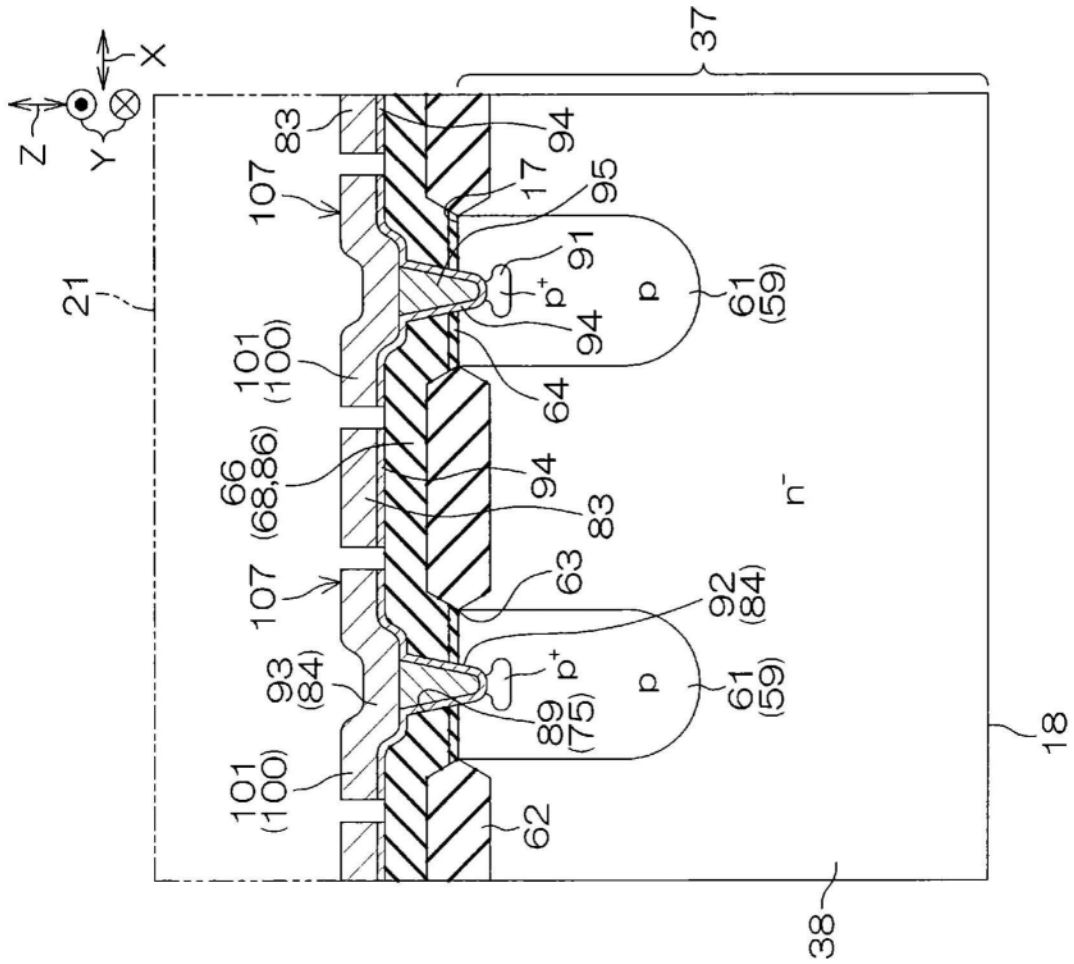


图13A

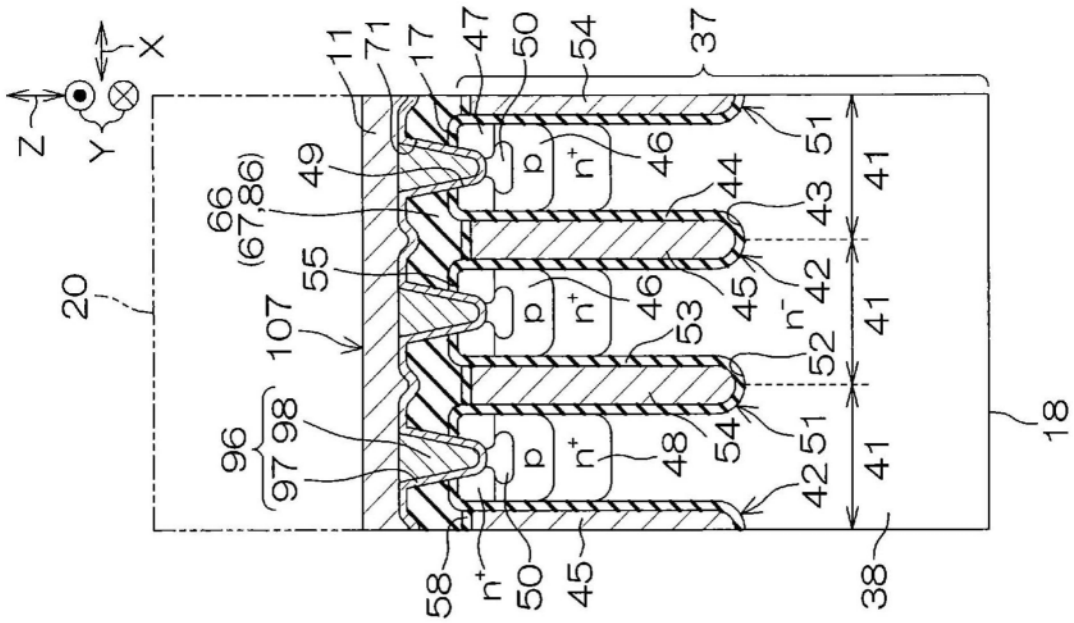


图13B

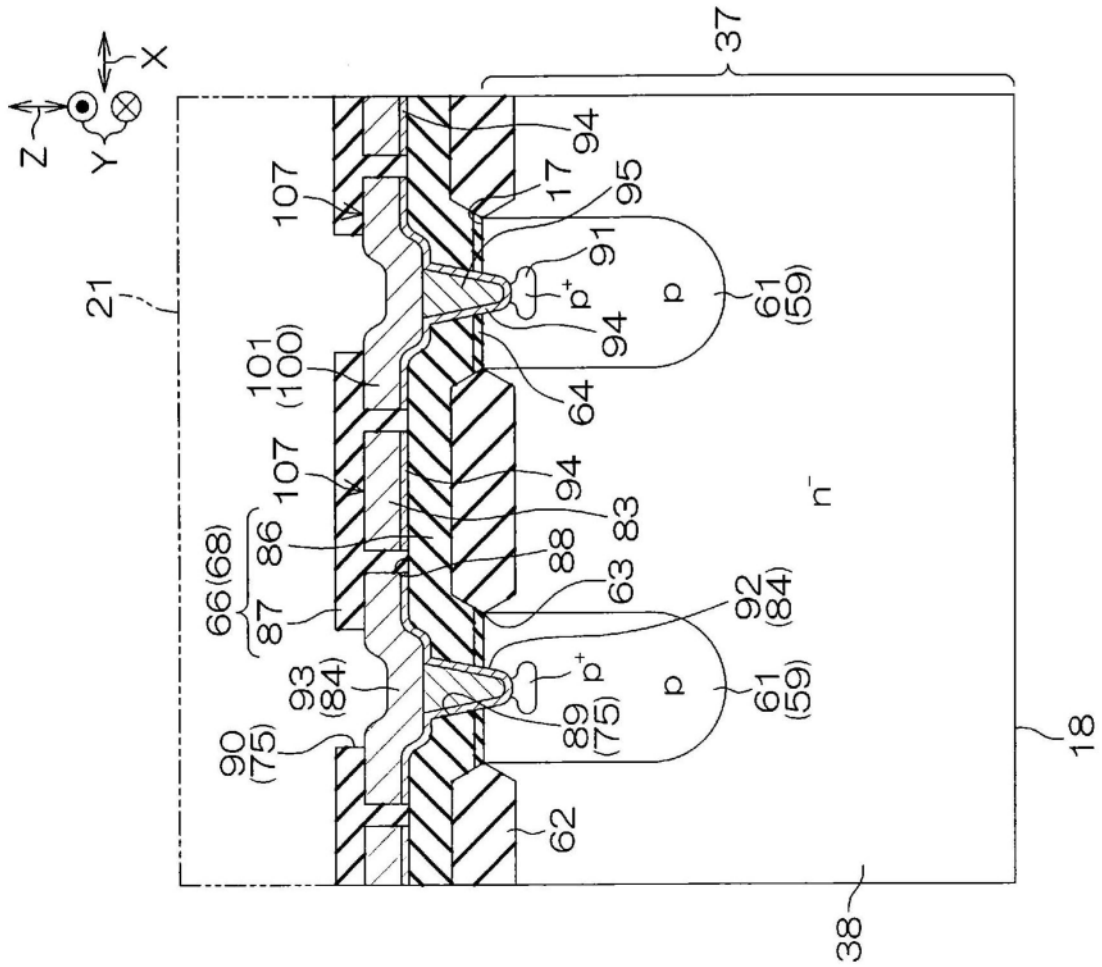


图15A

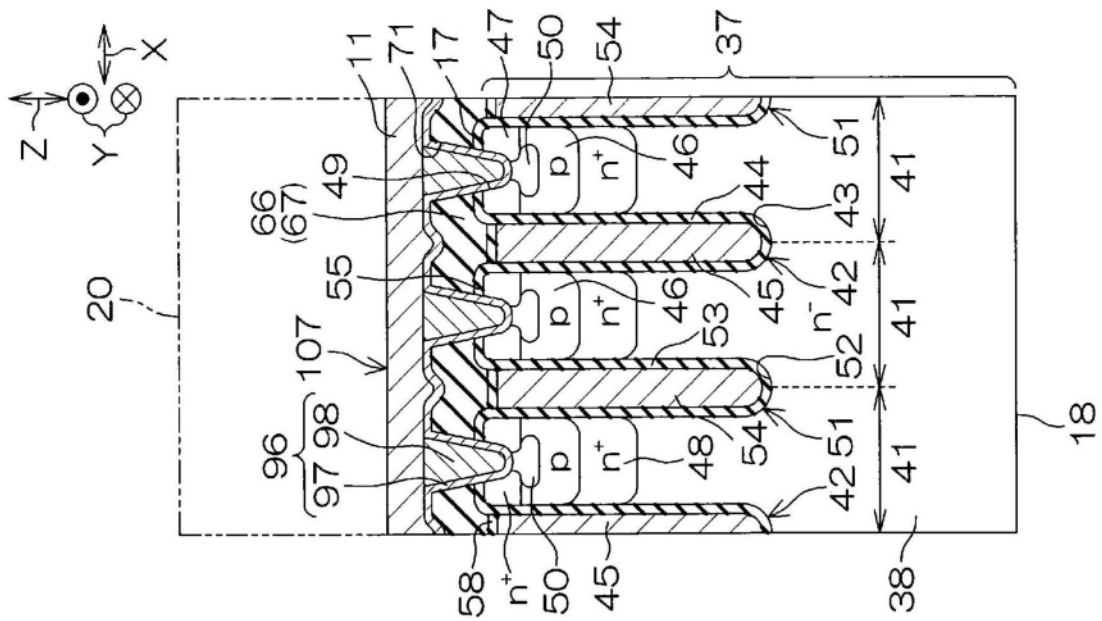


图15B

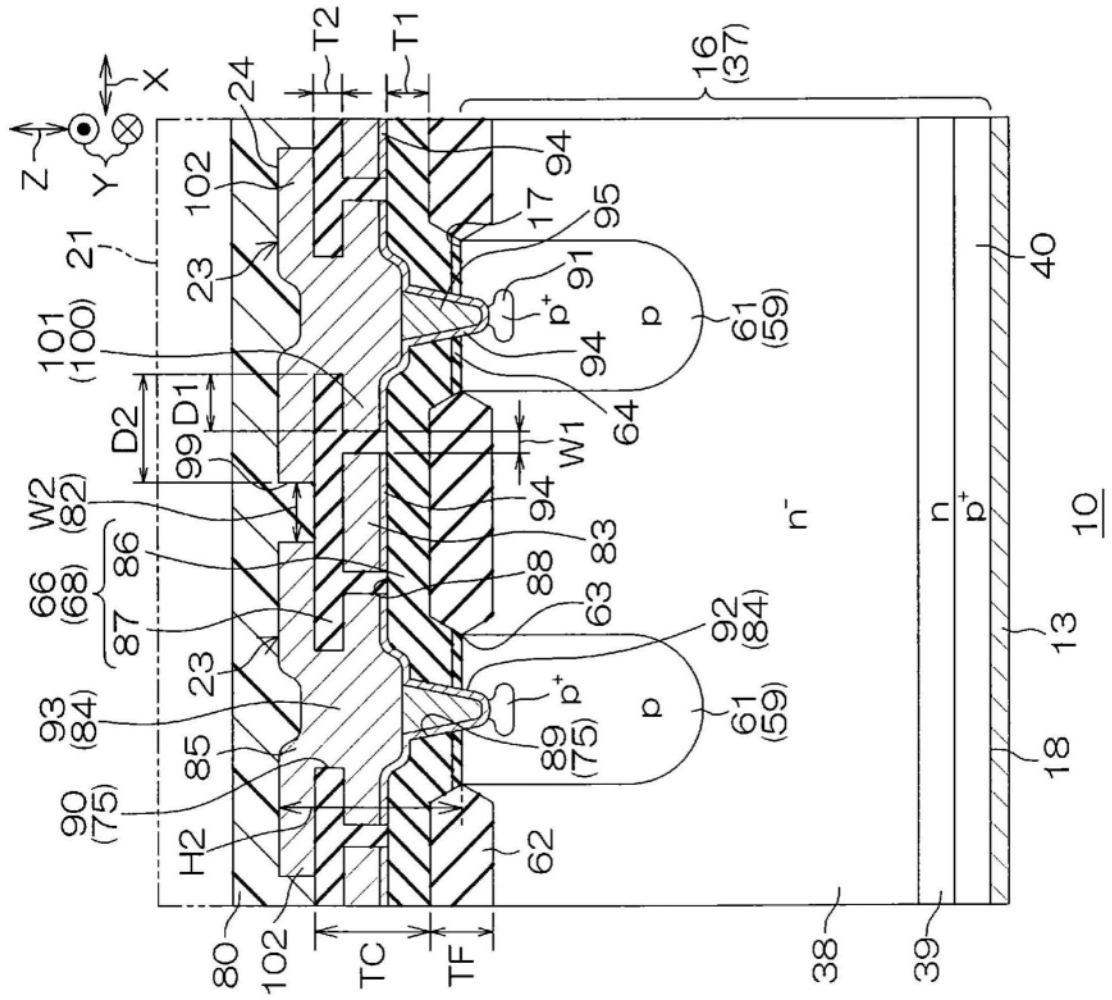


图17A

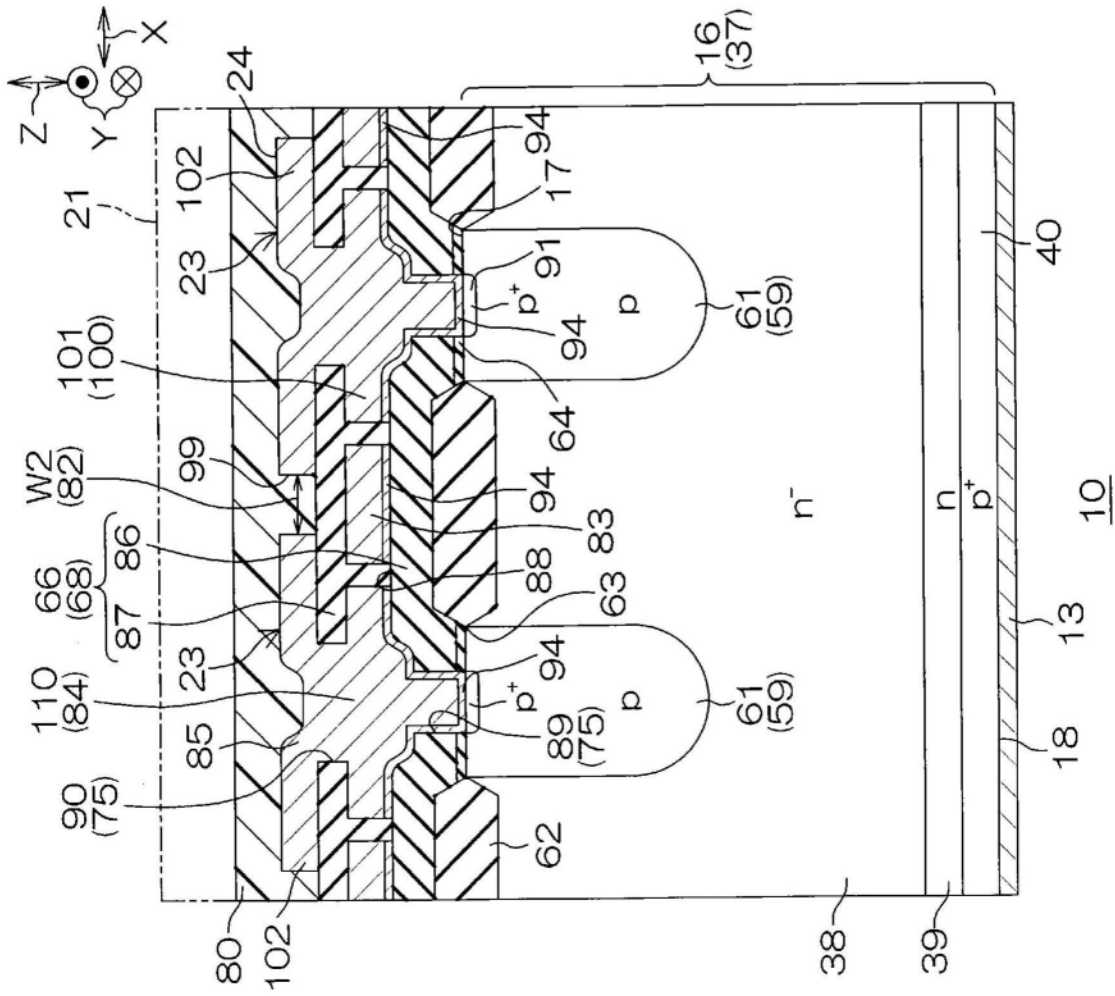


图18A

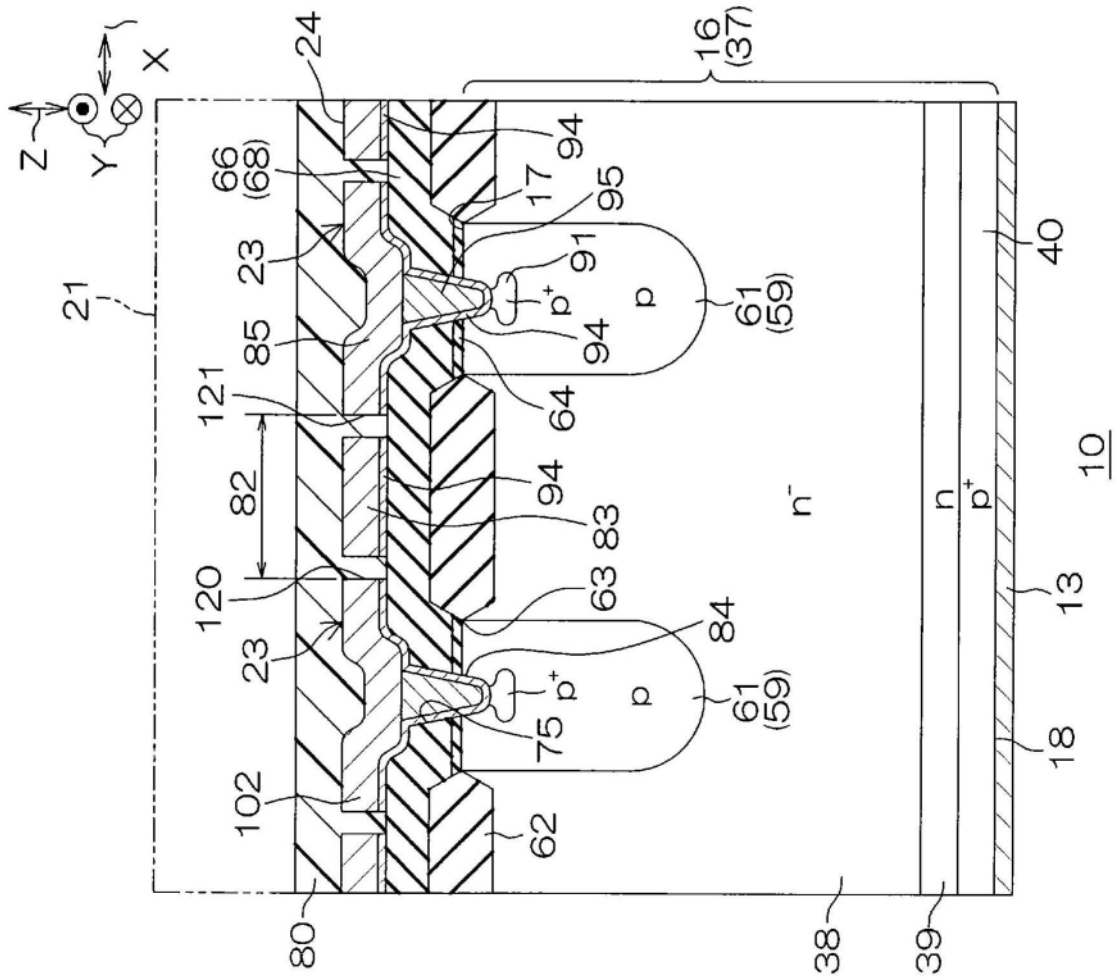
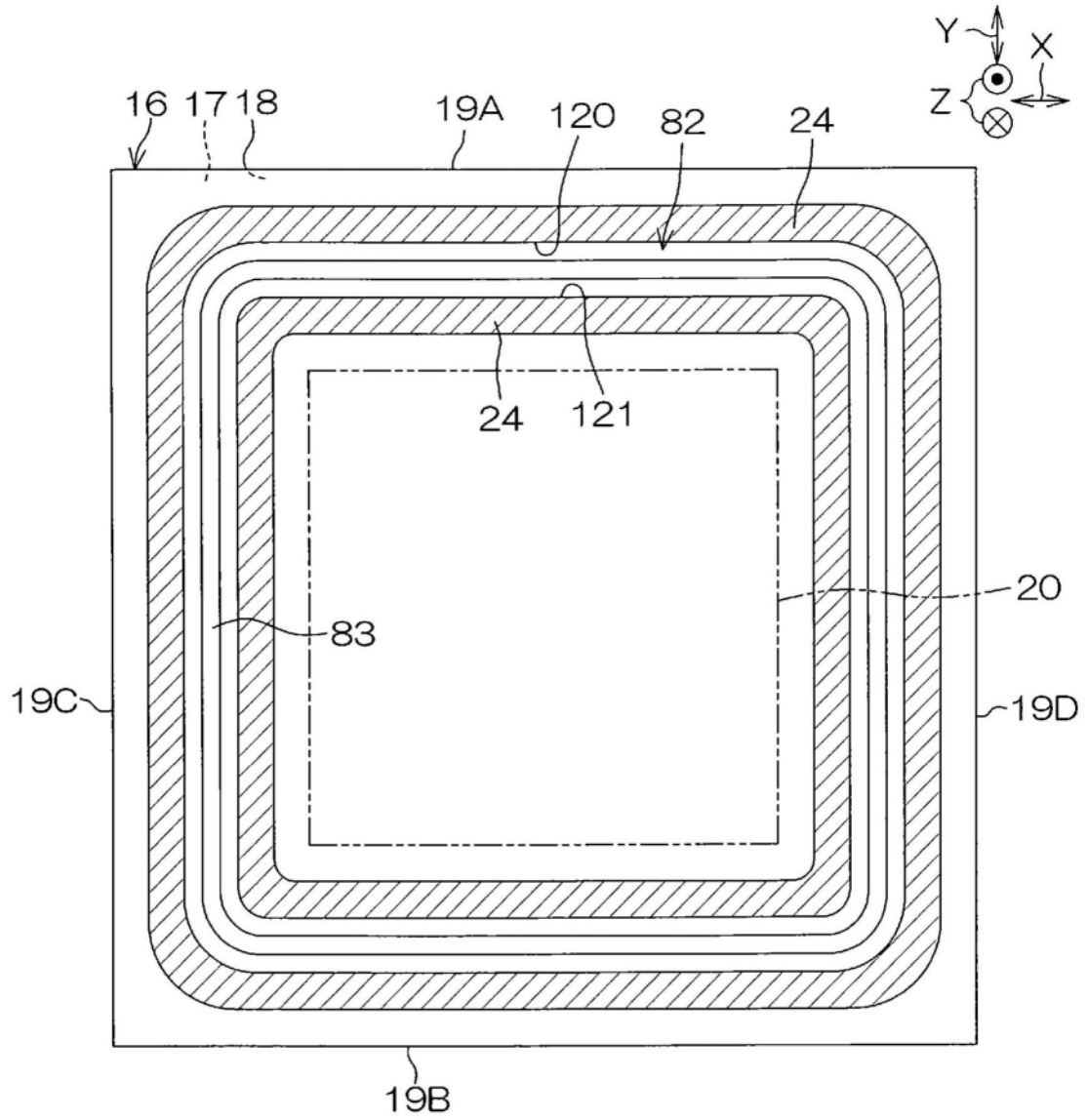
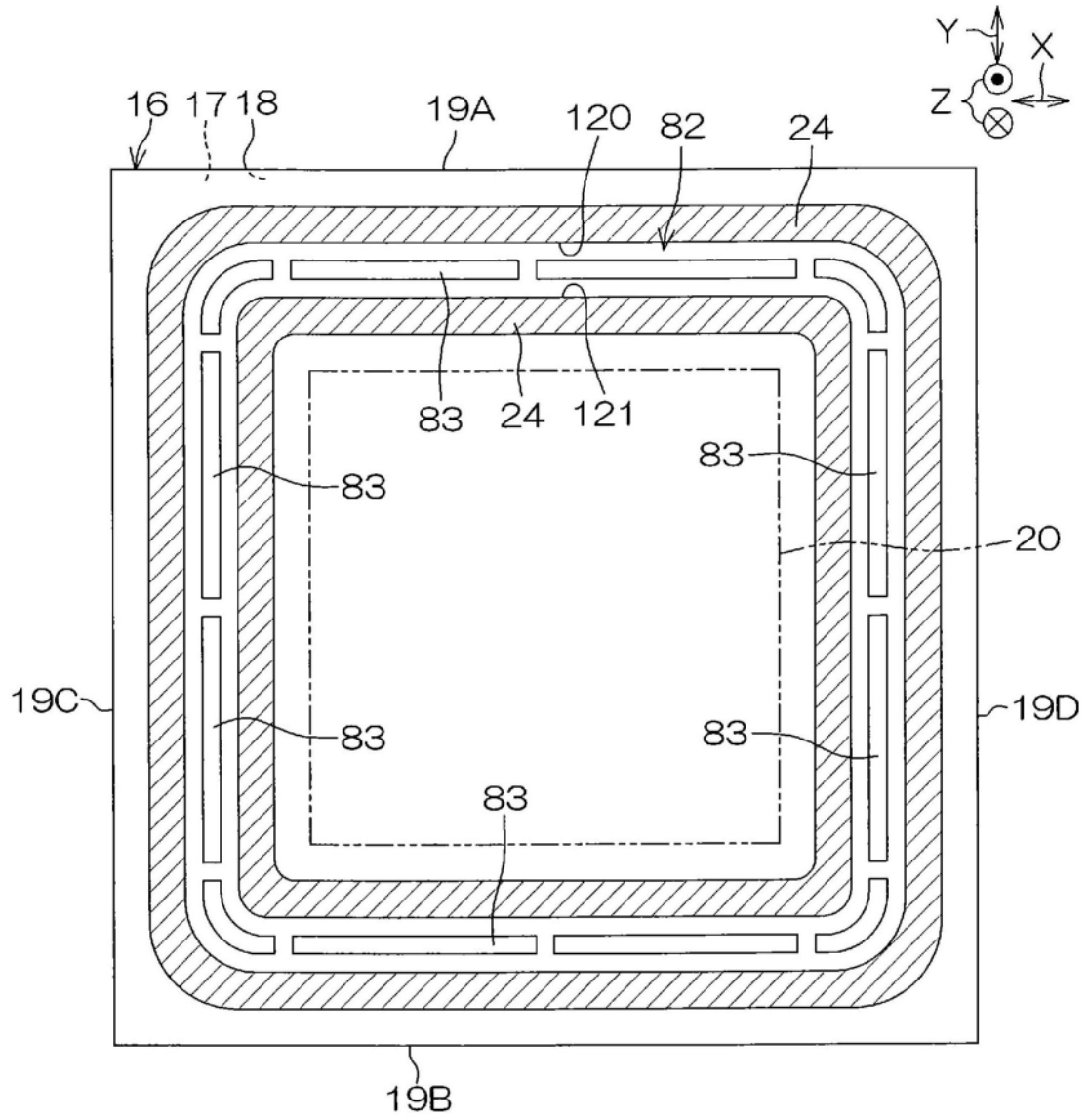


图20A



10

图21



10

图22

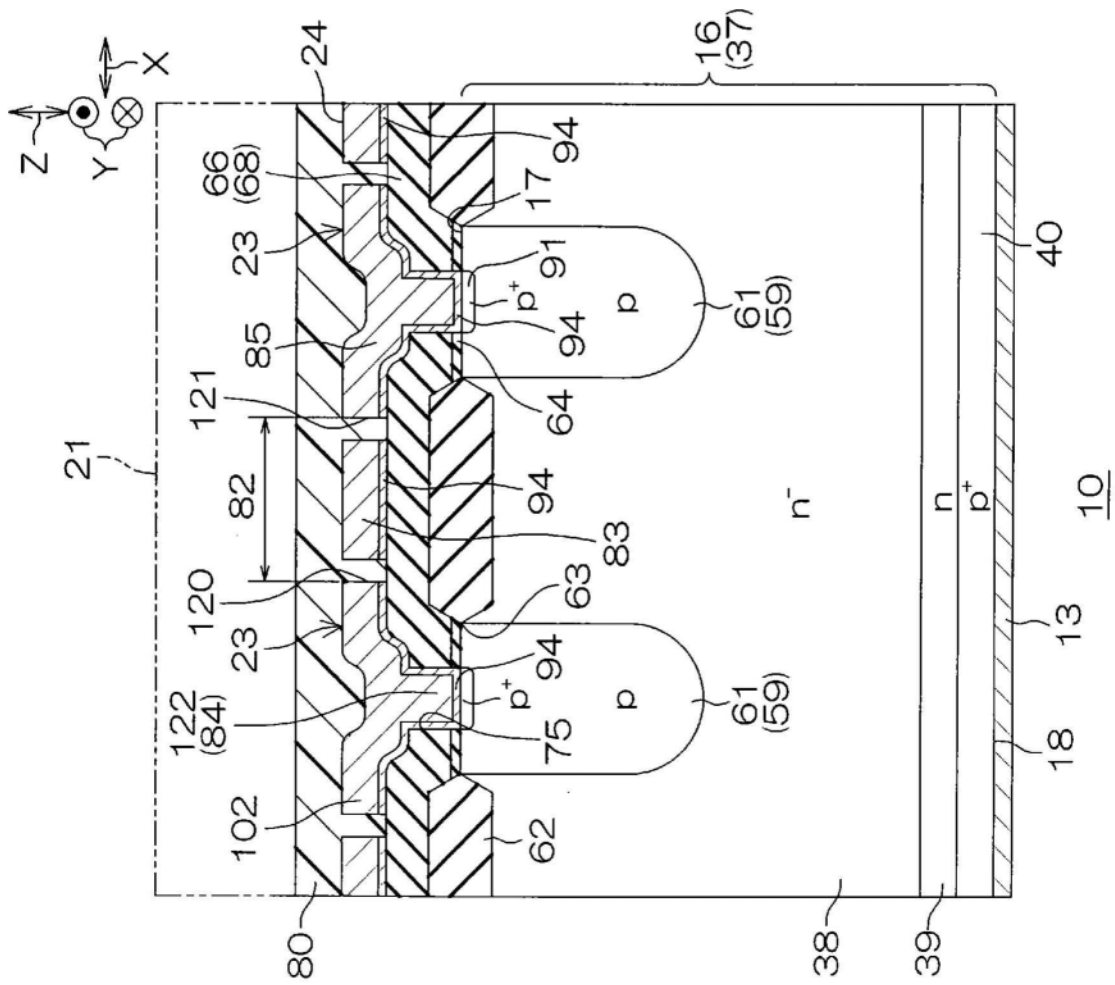


图23A

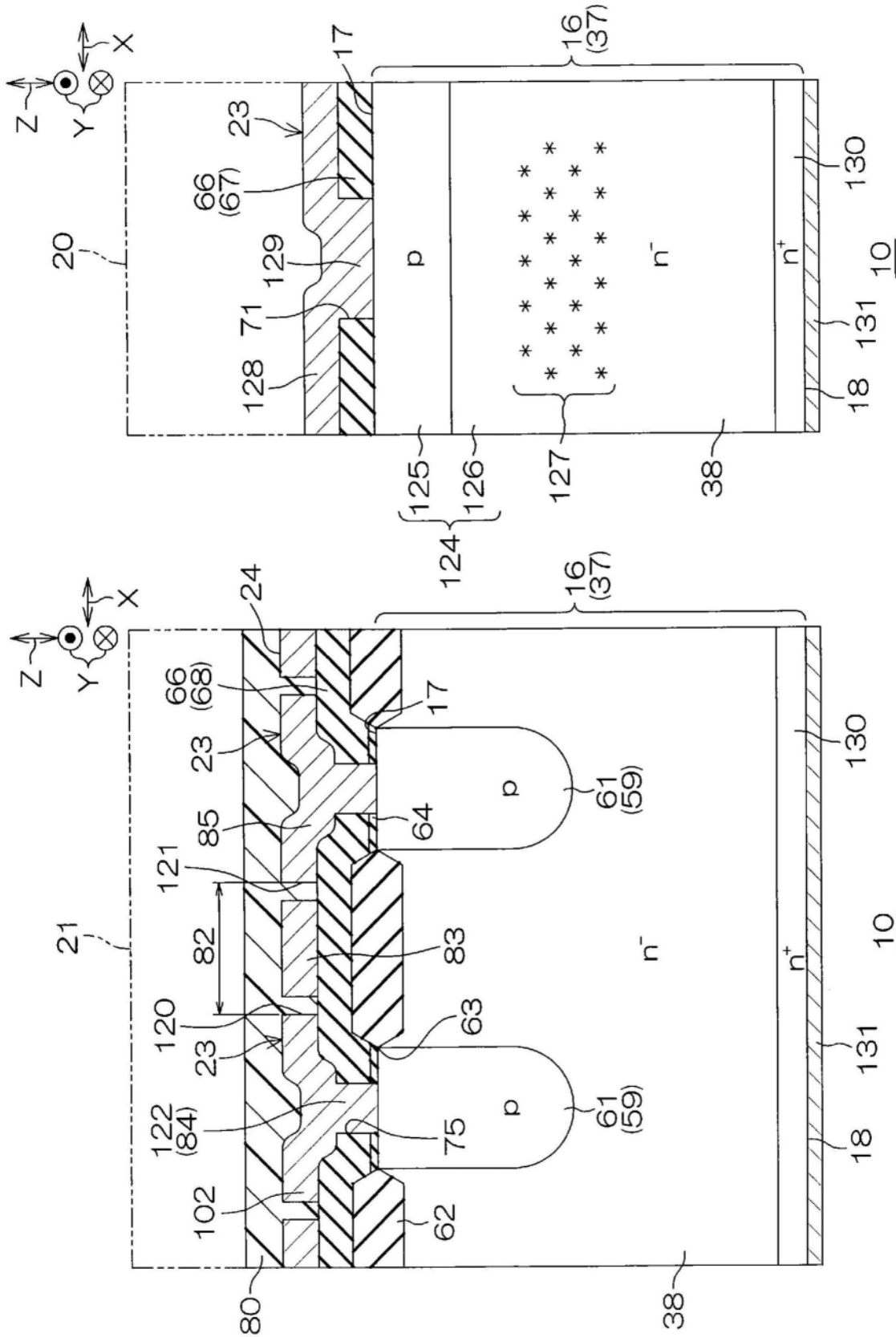


图 24B

图 24A

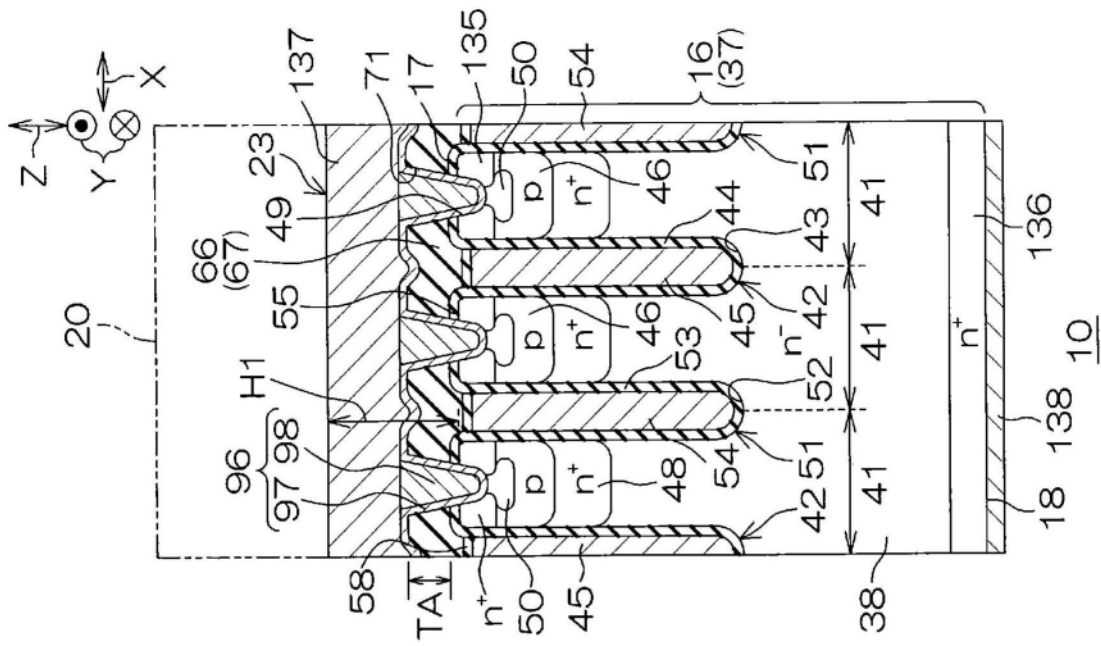


图26B

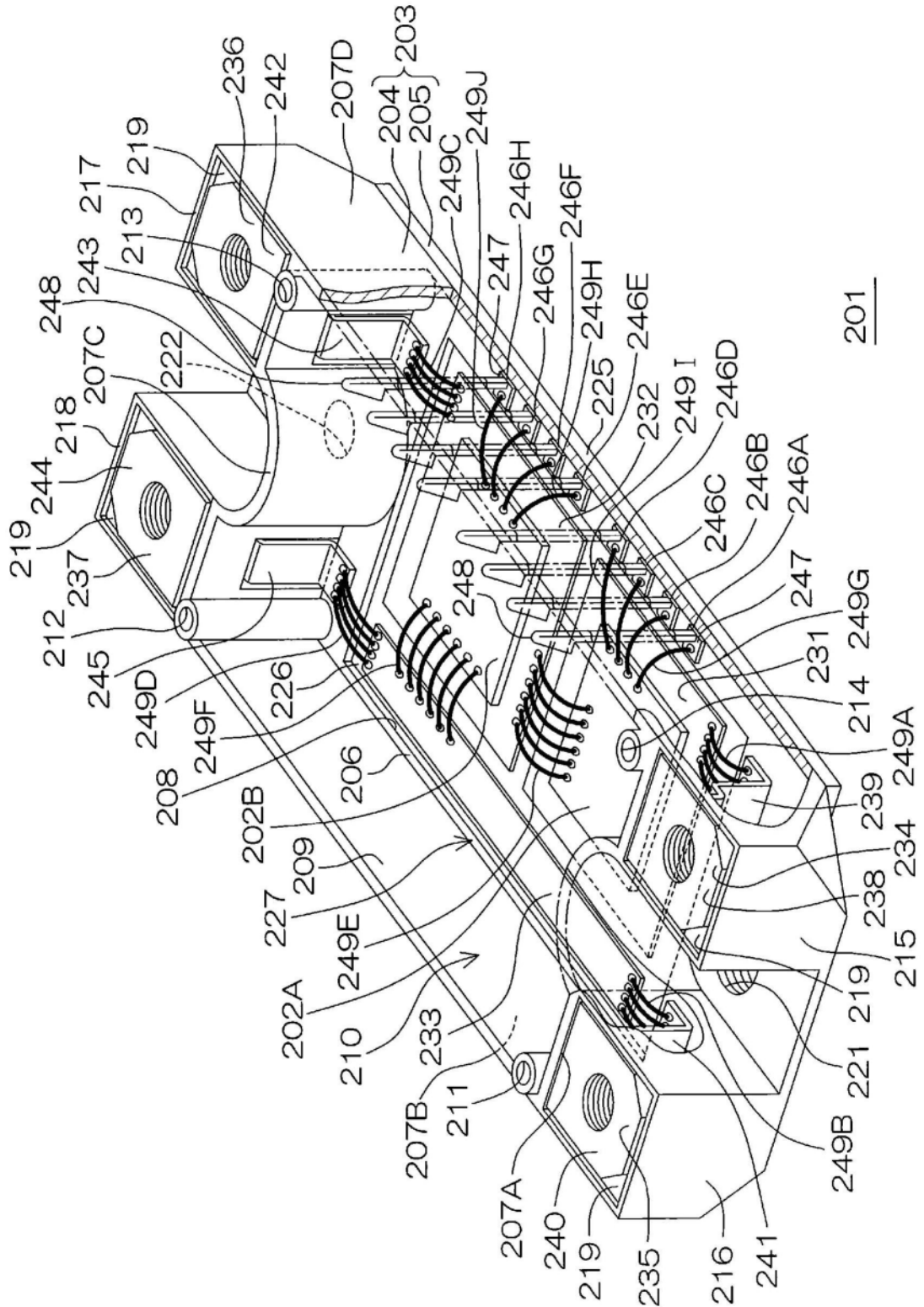


图27

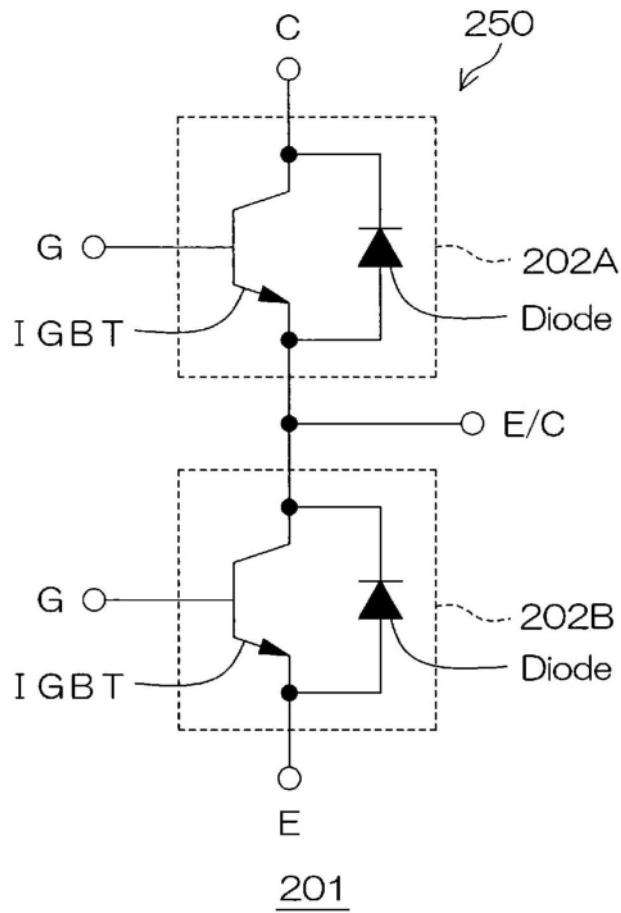


图28