



(12)发明专利

(10)授权公告号 CN 107658317 B

(45)授权公告日 2019.01.01

(21)申请号 201710831396.8

H01L 27/1157(2017.01)

(22)申请日 2017.09.15

H01L 27/11551(2017.01)

(65)同一申请的已公布的文献号

申请公布号 CN 107658317 A

H01L 27/11524(2017.01)

(43)申请公布日 2018.02.02

(73)专利权人 长江存储科技有限责任公司

地址 430074 湖北省武汉市洪山区东湖开发区关东科技工业园华光大道18号7018室

(56)对比文件

CN 107658315 A, 2018.02.02, 说明书第[0010]-[0098]段, 附图1-5C.

US 9530790 B1, 2016.12.27, 说明书第13栏-24栏, 附图10-16.

JP 2010098067 A, 2010.04.30,

CN 101055875 A, 2007.10.17,

CN 106169307 A, 2016.11.30,

CN 107731828 A, 2018.02.23, 说明书第[0012]-[0092]段, 附图2-5C.

CN 104681561 A, 2015.06.03,

KR 20150053628 A, 2015.05.18,

(72)发明人 朱继锋 吕震宇 陈俊 胡禹石

陶谦 杨士宁 杨伟毅

审查员 杨敏

(74)专利代理机构 北京辰权知识产权代理有限公司 11619

代理人 刘广达

(51)Int.Cl.

H01L 27/1157(2017.01)

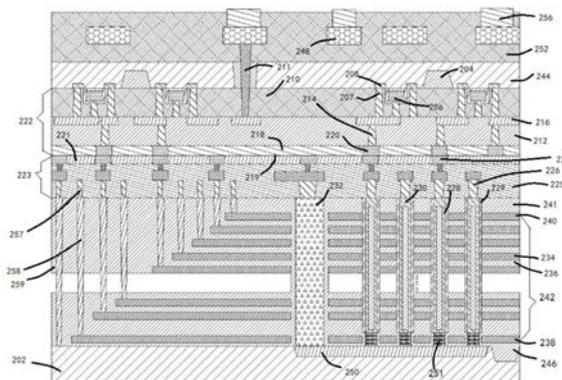
权利要求书1页 说明书12页 附图8页

(54)发明名称

一种半导体装置及其制备方法

(57)摘要

一种半导体装置及其制备方法,所述半导体装置由下到上依次包括:硅衬底;形成在所述硅衬底上方的一个或多个NAND串;形成在所述NAND串上方的一个或多个外围器件;形成在所述一个或多个外围器件上方的单晶硅层,和形成在所述一个或多个外围器件和一个或多个NAND串之间的一个或多个第一互联层。外围器件和阵列器件通过粘结界面结合。本发明通过将阵列器件和外围器件的制作分开,能够避免两个器件制造时互相影响对方的制作过程,因此解决了现有技术中后面的层的制作受前面的层制作后温度限制的问题,从而获得了良好的外围器件性能。另外由于外围器件叠加在阵列器件之上,实现了高器件密度。



1. 一种NAND存储器,包括:
 - 硅衬底;
 - 形成在所述硅衬底上方的一个或多个NAND串;
 - 形成在所述NAND串上方的一个或多个外围器件;
 - 形成在所述一个或多个外围器件上方的单晶硅层,和
 - 形成在所述一个或多个外围器件和一个或多个NAND串之间的一个或多个第一互联层;
 - 形成在所述一个或多个外围器件上方的第二互联层,其中,所述第二互联层包含一个或多个形成在一个或多个绝缘层中的导体层。
2. 如权利要求1所述的一种NAND存储器,其中,所述一个或多个外围器件包括一个或多个MOSFET器件。
3. 如权利要求1所述的一种NAND存储器,其中,每一个NAND串包括:
 - 多个导体/绝缘体叠层;
 - 垂直延伸穿过所述多个导体/绝缘体叠层的半导体通道;
 - 形成在所述多个导体/绝缘体叠层和所述半导体通道之间的隧道层;
 - 和形成在所述隧道层和多个导体/绝缘体叠层之间的存储单元层。
4. 如权利要求1所述的一种NAND存储器,进一步包括第一触点,其中,所述第一触点垂直延伸穿过所述多个导体/绝缘体叠层,并且具有与所述硅衬底接触的下端。
5. 如权利要求1所述的一种NAND存储器,其中,当形成多个NAND串时,所述多个NAND串包括形成在另一个NAND串上的一个NAND串。
6. 如权利要求5所述的一种NAND存储器,其中,所述形成在另一NAND串上的所述NAND串通过形成在所述NAND串和另一个NAND串之间的导体部分与另一个NAND串连接。
7. 如权利要求1所述的一种NAND存储器,进一步包括贯穿硅触点,其中所述贯穿硅触点垂直延伸贯穿所述单晶硅层,并且所述贯穿硅触点的一端与所述第一互联层连接。
8. 一种制造NAND存储器的方法,包括:
 - 在第一硅衬底上形成一个或多个NAND串;
 - 在第二硅衬底上形成一个或多个外围器件;
 - 将所述一个或多个外围器件放置在所述一个或多个NAND串上方,从而使得第二硅衬底位于所述一个或多个外围器件上方;
 - 通过结合处理将所述一个或多个NAND串和所述一个或多个外围器件结合在一起;并且
 - 减薄所述第二硅衬底以使其形成所述一个或多个外围器件上方的单晶硅层。
9. 如权利要求8所述的方法,其中,形成所述NAND串包括:在第一硅衬底上形成多个导体/绝缘体叠层。
10. 如权利要求8所述的方法,进一步包括形成一个或多个第一触点,其中,每个所述第一触点垂直延伸并且具有一个与所述第一硅衬底连接的接触端。
11. 如权利要求8所述的方法,进一步包括形成在所述第一硅衬底上方的所述一个或多个NAND串的第一互联层,用以连接所述NAND串和所述一个或多个外围器件。

一种半导体装置及其制备方法

技术领域

[0001] 本发明涉及一种半导体装置及其制备方法,尤其涉及一种形成3D NAND闪存的半导体装置及其制备方法。

背景技术

[0002] 随着对高度集成电子装置的持续重视,对以更高的速度和更低的功率运行并具有增大的器件密度的半导体存储器器件存在持续的需求。为达到这一目的,已经发展了具有更小尺寸的器件和具有以水平和垂直阵列布置的晶体管单元的多层器件。3D NAND是业界所研发的一种新兴的闪存类型,通过把内存颗粒堆叠在一起来解决2D或者平面NAND闪存带来的限制。

[0003] 平面结构的NAND闪存已接近其实际扩展极限,给半导体存储器行业带来严峻挑战。新的3D NAND技术,垂直堆叠了多层数据存储单元,具备卓越的精度。基于该技术,可打造出存储容量比同类NAND技术高达数倍的存储设备。该技术可支持在更小的空间内容纳更高存储容量,进而带来很大的成本节约、能耗降低,以及大幅的性能提升以全面满足众多消费类移动设备和要求最严苛的企业部署的需求。

[0004] 在一种方法中,平面存储器单元(例如NAND存储器单元)形成在常规的水平阵列中。然后多个水平阵列在垂直方向上堆叠。由于在实现最小特征尺寸中对于每个层都需要临界光刻步骤,因此与此方法相关的局限性包括所得到的器件中可靠性低以及很难通过光刻实现16nm制造,从而很难进一步提高存储容量。此外,在这种构造中,用来驱动控制栅极的驱动晶体管的尺寸是层数的函数;因此,驱动晶体管的规模为层数的倍数。这会导致集成化的问题和散热方面的问题。在另一种方法中,已经发展了具有垂直取向的沟道的多层存储器。在一个构造中,多个栅极层形成在衬底上,垂直沟道穿过该多个栅极层。在每个垂直沟道中,下栅极层构造为用作下选择栅极(lower select gate),多个中间栅极层构造为用作控制栅极,上栅极层构造为用作上选择栅极(upper select gate)。连接在第一水平方向上彼此相邻的上选择栅极以用作器件的行选择线。连接在第二水平方向上彼此相邻的垂直沟道以用作器件的位线(bit line)。其他尝试垂直取向沟道的方法已经取得的成果有限。然而,难以在此方法下实现浮置栅极。此外,其他的方法已经尝试了采用多晶硅垂直沟道区域的垂直取向沟道的方法。这会导致在所得到的器件中电阻增大,从而降低器件速度并增大器件功率消耗。其他尝试垂直取向沟道的方法已经采用了CVD形成的隧穿氧化物形成ONO电荷俘获层的隧穿氧化层。以此方式形成的隧穿氧化物会随时间迅速退化,导致器件的可靠性低和耐久性差。

[0005] 目前,关于3D NAND闪存技术,在国内外已有广泛的专利申请。例如中国发明专利申请公开号CN101483194A,公开一种垂直型非易失性存储器器件及其制造方法。在该半导体器件及其制造方法中,器件包括沿水平方向延伸的单晶半导体材料的衬底以及在该衬底上的多个层间电介质层。多个栅极图案被提供,每个栅极图案在相邻下层间电介质层与相邻上层间电介质层之间。单晶半导体材料的垂直沟道沿垂直方向延伸穿过多个层间电介质

层和栅极图案,栅极绝缘层在每个栅极图案与垂直沟道之间并使栅极图案与垂直沟道绝缘。如附图1所示,为该垂直沟道存储器器件的剖面图。该垂直沟道存储器器件由下到上依次形成Si衬底层300、外围电路区域302、以及阵列器件层。

[0006] 然而上述专利技术的缺点是,上述垂直沟道存储器器件由于只在一个Si衬底层上顺序制作,导致后面的层在制作时温度必需有所限制,否则会因为温度过高而导致前面制作好的层产生离子扩散,从而影响产品性能。也就是说各个层之间制造的要求会互相之间有所限制。

[0007] 如何能够避免制造过程中各层间的互相影响,保证产品的性能是目前需要解决的问题。

发明内容

[0008] 针对上述存在的问题,本发明公开了一种半导体装置,由下到上依次包括:硅衬底,形成在所述硅衬底上的阵列器件,形成在所述阵列器件上的一个或多个互连层和形成在一个或多个互连层上的外围器件。在一些实施例中,所述外围器件进一步包括形成在所述外围器件上端的单晶硅层。

[0009] 在一些实施例中,所述半导体装置进一步包括形成在外围器件上方的多个后段制程(back-end-of-line, BEOL) 互联层和衬垫层。

[0010] 在一些实施例中,外围器件包括多个金氧半导体场效应晶体管(MOSFETs)。在一些实施例中,所述外围器件形成在硅衬底上。在一些实施例中,所述硅衬底具有掺杂区和隔离区。在一些实施例中,所述外围器件的金氧半导体场效应晶体管(MOSFETs)用作存储器的不同功能器件,例如页缓存器、传感放大器、列译码器或行译码器。在一些实施例中,所述外围器件进一步包括形成在所述外围器件上方的单晶硅层。在一些实施例中,所述单晶硅层是硅衬底的一部分并在后续工艺中通过合适的技术被减薄,例如背部研磨、湿/干蚀刻,和/或化学机械抛光技术。在一些实施例中,所述单晶硅层的厚度介于200纳米到50微米之间。在一些实施例中,所述单晶硅层的厚度介于500纳米到10微米之间。在一些实施例中,所述单晶硅层的厚度介于500纳米到5微米之间。在一些实施例中,使用n型和/或p型掺杂剂对所述单晶硅层进行部分或全部掺杂。

[0011] 在一些实施例中,一个或多个互联层包括外围互连;在一些实施例中,所述外围互连包括多个互联层和接触层。在一些实施例中,所述互联层包括多个金属层。所述金属层可以由钨、铜、铝或其他适合的材料制成。在一些实施例中,所述接触层可由钨、铜、铝或其他适合的材料制成。在一些实施例中,所述一个或多个互联层形成用于在不同的外围晶体管间传递电信号,或者在外围晶体管和阵列器件之间传递电信号。

[0012] 在一些实施例中,一个或多个互联层包括阵列互联。在一些实施例中,所述阵列互联包括多个互联层和接触层。在一些实施例中,所述互联层包括多个金属层。所述金属层可以由钨、铜、铝或其他适合的材料制成。在一些实施例中,所述接触层可由钨、铜、铝或其他适合的材料制成。在一些实施例中,所述外围互连形成用于在阵列器件的不同区域间传递电信号,或者在外围晶体管和阵列器件之间传递电信号。

[0013] 在一些实施例中,所述阵列器件包括多个NAND串。在一些实施例中,所述阵列器件进一步包括多个形成在所述多个NAND串上方的互联层。在一些实施例中,每个所述NAND串

包括：在竖直方向延伸并穿过所述多个导体/绝缘体叠层的半导体通道（例如硅通道）。每个这样的导体层或绝缘体层可以称作一个等级层。多个导体/绝缘体叠层也可以称作等级层堆栈。导体层可以用作字线（或控制门）。多个层可以位于导体层和半导体通道之间。在一些实施例中，所述多个层包括隧道层，例如，隧道氧化物层，半导体通道中的电子或空穴可以通过这层隧道层隧穿至NAND串的充电存储单元层中。在一些实施例中，所述多个层包括能够存储电荷的存储单元层。存储单元层中的电荷的存储或是移除决定了半导体通道的开/关状态。在一些实施例中，存储单元层可由多晶硅层或氮化硅层制成。在一些实施例中，所述多个层进一步包括阻隔层，例如一个氧化硅层或一个由氧化硅/氮化硅/氧化硅（ONO）三层构成的复合层。在一些实施例中，所述阻隔层可以进一步包括一个高K介电层（例如氧化铝）。

[0014] 在一些实施例中，所述NAND串进一步包括一个外延硅层，其形成在所述半导体通道的下端。在一些实施例中，所述外延硅层从所述NAND串下方的硅衬底外延生长。

[0015] 在一些实施例中，所述NAND串进一步包括选择门，其由等级层堆栈中的一个或多个上导体层形成。在一些实施例中，所述选择门控制所述NAND串的半导体通道的开/关状态。在一些实施例中，所述NAND串的选择门由等级层堆栈上方的一个独立导体层形成。在一些实施例中，所述NAND串进一步包括由等级层堆栈中的一个或多个下导体层形成选择门。在一些实施例中，所述NAND串的选择门由等级层堆栈下方的一个独立导体层形成。

[0016] 在一些实施例中，所述NAND串通过形成在NAND串下方的硅衬底层的掺杂区连接源触点。在一些实施例中，所述硅衬底层的掺杂区由p型掺杂剂掺杂。在一些实施例中，所述源触点竖直延伸穿过等级层堆栈并在下端与硅衬底层接触。在一些实施例中，所述源触点的上端与一个或多个形成在源触点上方的触点接触。

[0017] 在一些实施例中，阵列器件进一步包括多个字线触点。在一些实施例中，所述多个字线触点垂直延伸并且所述多个字线触点的每一个具有一个与字线接触的端，由此，阵列器件的字线可以通过字线触点分别进行寻址。在一些实施例中，每一字线触点形成在字线之上并与所述字线连接。在一些实施例中，多个字线触点通过采用湿法蚀刻或干法蚀刻形成接触空穴或接触沟槽，然后使用导体（例如钨）填充所述接触孔空穴或接触沟槽。在一些实施例中，填充接触孔或接触沟槽包括在沉积所述导体前沉积阻挡层和/或粘结层。

[0018] 在一些实施例中，所述NAND串上方形成的互联层包括多个位线触点，其与所述NAND串的上部接触。在一些实施例中，多个所述位线触点的接触孔互相独立。在一些实施例中，所述位线触点连接每个NAND串从而使得每个NAND串能够独立通过触点寻址。在一些实施例中，所述位线触点的形成方式如下：首先由湿法刻蚀或干法刻蚀形成接触孔或接触沟槽，然后使用导体（例如钨）填充所述接触孔或接触沟槽。在一些实施例中，使用化学气相沉积法（CVD）、物理气相沉积法（PVD）、或原子层沉积法（ALD）完成接触孔或接触沟槽的填充。

[0019] 在一些实施例中，一个或多个互联层进一步包括粘结界面。在一些实施例中，所述粘结界面可以形成在两个绝缘层之间，例如氮化硅层和氧化硅层之间。所述粘结界面也可以形成在两个金属层之间，例如一个铜层和另一个铜层之间。在一些实施例中，所述粘结界面既可以包括绝缘层之间的界面也可以包括金属层之间的界面。在一些实施例中，粘结界面由位于粘结界面两侧的绝缘层和/或导体层之间的化学键合形成。在一些实施例中，粘结界面由位于粘结界面两侧的绝缘层和/或导体层之间的物理相互作用（例如互扩散）形成。

在一些实施例中,在结合工艺之前,通过对粘结界面的两侧的表面进行等离子体处理后形成所述粘结界面。在一些实施例中,在结合工艺之前,通过对粘结界面的两侧的表面进行热处理后形成所述粘结界面。

[0020] 在一些实施例中,所述存储器进一步包括多个等级层堆栈。在一些实施例中,在相邻等级层堆栈间可以形成中间堆栈层。在一些实施例中,所述中间堆栈层连接上侧等级层堆栈的NAND串和下侧等级层堆栈的NAND串。在一些实施例中,上侧等级层堆栈的NAND串的和下侧等级层堆栈的NAND串通过中间堆栈层的导体部分进行电连接以形成更长的NAND串。

[0021] 在一些实施例中,所述装置进一步包括所述多个贯穿硅层触点,所述贯穿硅层触点垂直延伸通过所述单晶硅层。在一些实施例中,多个贯穿硅层触点既连接外围器件下方形成的多个互联层,也连接外围器件上方形成的多个互联层。在一些实施例中,所述多个贯穿阵列触点的形成方式如下:首先由干法刻蚀形成接触孔和/或接触沟槽,然后使用导体材料(例如钨、铜或硅化物)填充所述接触孔或接触沟槽。

[0022] 在一些实施例中,形成的所述BEOL互联层用于传输半导体装置的电信号,包括阵列器件和外围器件的电信号。在一些实施例中,形成的所述衬垫层用于传输半导体装置的电信号到外部信号通道。在一些实施例中,所述BEOL互联层包括互联导体层和接触层。所述互联导体层和接触层包括导电材料,例如钨、铜、铝、硅化物、和/或其他合适导电材料。在一些实施例中,衬底层包括导体,例如钨、铜、铝、硅化物和/或其他合适导电材料。

[0023] 针对上述存在的问题,本发明还公开了一种半导体装置的制备方法。其中,制备半导体装置方法包括如下步骤:

[0024] 形成阵列器件;

[0025] 形成外围器件;

[0026] 将所述外围器件和阵列器件相对布置并通过粘结界面结合所述外围器件和阵列器件。

[0027] 优选的,其中,制备阵列器件具体包括如下步骤:

[0028] 形成第一硅衬底;

[0029] 在所述第一硅衬底内形成掺杂区和隔离区;

[0030] 在所述第一硅衬底上形成一个或多个NAND串;其中,每个所述NAND串包括:多个导体/绝缘体叠层,在垂直方向延伸并穿过所述多个导体/绝缘体叠层的半导体通道,多个形成在所述半导体通道和导体层之间的存储单元,形成在所述存储单元和半导体通道之间的隧道层,形成在存储单元和导体层之间的阻隔层,和形成在所述半导体通道底端的单晶硅外延层;其中,所述一个或多个NAND串与所述第一硅衬底接触。在一些实施例中,所述单晶硅外延层从所述第一硅衬底外延生长;其中,所述一个或多个NAND串进一步包括形成在NAND串一端或两端的选门。

[0031] 在NAND串上形成阵列互联层,其中形成阵列互联层的步骤中包括形成一个或多个NAND串接触的位线触点。形成阵列互联层进一步包括形成一个或多个互联层和接触层,其中所述互联层和接触层包括导电材料,例如钨、铝、铜、和/或其他合适材料。

[0032] 根据一些实施例,形成阵列互联层进一步包括形成一个或多个NAND串的源触点。在一些实施例中,所述源触点垂直延伸并贯穿多个导体/绝缘体叠层。在一些实施例中,所述源触点的一端与所述第一硅衬底接触,而另一端与阵列触点的互联层接触。在一些实施

例中,所述源触点通过第一硅衬底电性连接一个或多个NAND串。

[0033] 优选的,其中,制备外围器件具体包括如下步骤:

[0034] 形成第二硅衬底;

[0035] 在第二硅衬底上形成外围器件,其中所述外围器件包括MOS晶体管;

[0036] 在所述外围器件上方形成外围互联。

[0037] 粘结步骤具体包括:将所述外围器件和所述阵列器件相对布置并通过粘结界面的粘结合,然后减薄第二硅衬底层的背侧,在所述背侧上形成Pad层,并在PAD层上形成BEOL介质层。

[0038] 在粘结界面将外围器件和阵列器件结合,其中结合外围器件和阵列器件的步骤包括:将所述外围器件倒置,对齐面对阵列器件的阵列互联层和面对阵列器件的外围互联层,将外围器件放置于阵列器件之上,从而使得阵列互联层的表面接触外围互联层的表面,执行结合处理以形成粘结界面。在一些实施例中,结合处理包括等离子体处理工艺、湿法工艺和/或热处理工艺,以使得面对粘结界面的阵列互联层的表面和外围互联层的表面形成物理或化学结合。在一些实施例中,阵列互联层的表面包括一个氮化硅层而外围互联层的表面包括一个氧化硅层。在一些实施例中,阵列互联层的表面包括一个氧化硅层而外围互联层的表面包括一个氮化硅层。在一些实施例中,阵列互联层的表面导体和外围互联层的表面导体均包括铜。

[0039] 在一些实施例中,阵列互联层和外围互联层表面的结合是通过在两侧的绝缘层(例如氮化硅层或氧化硅层)和/或导体层之间形成物理相互作用(例如互扩散)完成的。阵列互联层和外围互联层表面之间的界面是结合界面。在一些实施例中,在结合工艺之前,对阵列互联层和外围互联层表面的等离子体处理能够加强两个表面之间的结合力。在一些实施例中,在结合工艺之前,对阵列互联层和外围互联层表面的湿法工艺处理能够加强两个表面之间的结合力。在一些实施例中,将阵列互联层放置于外围互联层之上包括对齐阵列互联层和外围互联层的触点区域,从而两个互联层的触点区域在两侧结合在一起时能够接触。在一些实施例中,当阵列互联层和外围互联层的表面接触时,执行热处理操作。在一些实施例中,这种热处理促进了阵列互联层和外围互联层的导电材料(例如铜)之间的互扩散。

[0040] 在一些实施例中,在制造方法中可以形成一个或多个粘结界面。在一些实施例中,多个阵列器件与一个外围器件结合。在一些实施例中,一个阵列器件可以与多个外围器件结合。在一些实施例中,多个阵列器件与多个外围器件结合。

[0041] 在一些实施例中,阵列器件包括多个等级层堆栈。每个等级层堆栈包括多个导体/绝缘层。在一些实施例中,在相邻等级层堆栈间可以形成中间堆栈层。在一些实施例中,所述中间堆栈层连接上侧等级层堆栈的NAND串和下侧等级层堆栈的NAND串。

[0042] 在结合阵列器件和外围器件之后,减薄所述外围器件的第二硅衬底。在一些实施例中,减薄第二硅衬底的工艺由化学机械平坦化(CMP)工艺完成。在一些实施例中,减薄第二硅衬底的工艺也可以由其他合适工艺完成,例如,湿法刻蚀和/或干法刻蚀。

[0043] 由于阵列器件和外围器件分别独立形成,形成阵列器件/阵列互联层和外围器件/外围互联层的工艺顺序能够互换。

[0044] 本发明的优点在于:

[0045] 本发明通过将阵列器件和外围器件的制作分开在两个硅片上完成,能够避免两个器件制造时互相影响对方的制作过程,因此解决了现有技术中后面的层的制作受前面的层制作后温度限制的问题。

[0046] 本发明公开的半导体装置,通过将阵列器件层设置在外围电路层的顶端,从而增加了装置的密度。并且简化了外围电路层和阵列器件层的制备方法,从而获得了更好的外围电路层性能(例如,CMOS性能)。CMOS性能的提高是由于外围电路和阵列器件分别制备,使得后段阵列器件的高温工艺对前段外围器件没有影响,后端器件的性能可以得到提升(比如掺杂物不会有额外的扩散,比如离子注入形成的结深可以比较好的控制,等等。)

附图说明

[0047] 通过阅读下文优选实施方式的详细描述,各种其他的优点和益处对于本领域普通技术人员将变得清楚明了。附图仅用于示出优选实施方式的目的,而并不认为是对本发明的限制。而且在整个附图中,用相同的参考符号表示相同的部件。在附图中:

[0048] 图1是传统的垂直沟道存储器器件的剖面图。

[0049] 图2是根据本发明实施方式的NAND存储器的结构示意图;

[0050] 图3A-3D是根据本发明实施方式的NAND存储器的外围器件的制备步骤示意图;

[0051] 图4A-4D是根据本发明实施方式的NAND存储器的阵列器件的制备步骤示意图;

[0052] 图5A-5C是根据本发明实施方式的阵列器件与外围器件粘结得到NAND存储器的制备步骤示意图。

[0053] 图6是形成外围器件和外围互联层示例方法600的流程图。

[0054] 图7是形成阵列器件和阵列互联层示例方法700的流程图。

[0055] 图8是结合阵列器件和外围器件的示例方法800的流程图。

具体实施方式

[0056] 下文将参照附图更充分地描述本发明的实施例,本发明的优选实施例在附图中示出。然而,本发明可以以不同的方式实施,而不应被解释为仅限于此处所述的实施例。在整个说明书中相同的附图标记始终指代相同的元件。

[0057] 应当理解,虽然这里可使用术语第一、第二等描述各种元件,但这些元件不应受限于这些术语。这些术语用于使一个元件区别于另一个元件。例如,第一元件可以称为第二元件,类似地,第二元件可以称为第一元件,而不背离本发明的范围。如此处所用的,术语“和/或”包括一个或多个所列相关项目的任意及所有组合。

[0058] 应当理解,当称一个元件在另一元件“上”、“连接到”或“耦合到”另一元件时,它可以直接在另一元件上或者连接到或耦合到另一元件,或者还可以存在插入的元件。相反,当称一个元件“直接在”另一元件上或者“直接连接到”或“直接耦合到”另一元件时,不存在插入的元件。其他的用于描述元件之间关系的词语应当以类似的方式解释(例如,“在...之间”相对于“直接在...之间”、“相邻”相对于“直接相邻”等)。这里当称一个元件在另一元件上时,它可以在另一元件上或下,直接耦合到另一元件,或者可以存在插入的元件,或者元件可以通过空隙或间隙分隔开。

[0059] 这里所用的术语仅仅是为了描述特定实施例,并非要限制本发明。如此处所用的,

除非上下文另有明确表述,否则单数形式“一(a)”、“一(an)”和“该(the)”均同时旨在包括复数形式。还应当理解,术语“包括(comprise)”、“包括(comprising)”、“包括(include)”和/或“包括(including)”,当在此处使用时,指定了所述特征、整体、步骤、操作、元件和/或组件的存在,但并不排除一个或多个其他的特征、整体、步骤、操作、元件、组件和/或其组合的存在或添加。

[0060] 如图2所示,为根据本发明的优选实施例的示意性器件结构图。包括一个第一硅衬底202。在一些实施例中,第一硅衬底202可由单晶硅制成。在一些实施例中,第一硅衬底202可由其他合适材料制成,例如但不限于,硅锗、锗、绝缘体上硅薄膜(SOI)。第一硅衬底202可由其他合适材料制成,例如但不限于,硅锗、锗、绝缘体上硅薄膜(SOI)。在一些实施例中,第一硅衬底202具有掺杂区域250和隔离区域246。

[0061] 阵列器件形成在第一硅衬底202上。阵列器件包括多个NAND串230,其延伸贯穿多个导体234和绝缘体236叠层242。多个导体/绝缘体叠层242也可称作等级层堆栈。在一些实施例中,等级层堆栈242可以包括比多个导体/绝缘体叠层更多的由不同材料制成和/或不同厚度的导体层或绝缘层。在一些实施例中,导体层234由导电材料制成,包括但不限于钨、钴、铜、铝、掺杂硅和/或硅化物。绝缘层236由绝缘材料制成,包括但不限于氧化硅、氮化硅、氮氧化硅或以上材料的组合。多个NAND串230包括半导体通道228和介质层229。在一些实施例中,半导体通道228由非结晶、多结晶、或单晶硅制成。在一些实施例中,介质层229包括一个隧道层,一个存储单元层和一个阻隔层。所述隧道层由氧化硅、氮化硅或者其组合制成。所述阻隔层由氧化硅、氮化硅、高绝缘常数绝缘材料或者其组合制成。存储单元层由氮化硅、氮氧化硅、硅或以上材料的组合制成。

[0062] 在一些实施例中,多个NAND串230包括多个控制门(或字线)。在一些实施例中,导体层234用作NAND串的控制门。在一些实施例中,多个NAND串230进一步包括选择门238,其形成在靠近NAND串的下端。在一些实施例中,多个NAND串230进一步包括选择门240,其形成在靠近NAND串的上端。在一些实施例中,选择门238和240由导电材料制成,包括但不限于钨、钴、铜、铝、掺杂硅和/或硅化物。

[0063] 在一些实施例中,多个NAND串230进一步包括外延硅层251,其覆盖形成在NAND串230的半导体通道228的下端。在一些实施例中,外延硅层251从第一硅衬底202外延生长而形成。

[0064] 在一些实施例中,阵列器件进一步包括一个或多个源触点232,其延伸贯穿等级层堆栈242。在一些实施例中,源触点232由导电材料制成,包括但不限于钨、钴、铜、铝、和/或硅化物。

[0065] 在一些实施例中,阵列器件进一步包括一个或多个字线触点258。在一些实施例中,多个字线触点在绝缘层259内垂直延伸。在一些实施例中,多个字线触点的每一个具有一个与字线接触的端,由此,阵列器件的每一个字线能够通过字线触点分别进行寻址。在一些实施例中,每一字线触点形成在字线之上并与所述字线连接。在一些实施例中,多个字线触点通过采用湿法蚀刻或干法蚀刻形成接触孔或接触沟槽,然后使用导体(例如钨)填充所述接触孔或接触沟槽。在一些实施例中,填充接触孔或接触沟槽包括在沉积所述导体前沉积阻挡层和/或粘结层。

[0066] 在一些实施例中,阵列互联层223形成在阵列器件上方。在一些实施例中,阵列互

联层223包括位线触点226、字线通孔接触257、一个或多个导体层(例如层224),和一个或多个绝缘层(例如绝缘层225和绝缘层221)。所述导体层可以由导电材料制成,包括但不限于钨、钴、铜、铝和/或硅化物。所述绝缘层由绝缘材料制成,包括但不限于氧化硅、氮化硅、高绝缘常数绝缘材料或者其组合。在一些实施例中,所述字线通孔接触257与所述多个字线触点258的低端接触。在一些实施例中,每一个字线通孔接触257与每一个字线触点258接触,由此,字线通孔可以分别于NAND串的每一个字线分别寻址。

[0067] 在一些实施例中,源触点232和NAND串230均与所述第一硅衬底202接触,因此当第一硅衬底202传导电信号时,源触点232能够与NAND串230电性连接(例如当第一硅衬底202形成导电的反型层时)。在一些实施例中,位线触点226接触多个NAND串230的上端。在一些实施例中,每个位线触点226分别与一个NAND串230接触,从而位线触点分别独立寻址每个NAND串。

[0068] 在一些实施例中,外围互联层222形成在阵列互联层223的上方。在一些实施例中,外围互联层222包含触点(例如触点207)接触晶体管206以进行电信号传导。外围互联层222包括一个或多个触点,例如触点207和触点214,以及一个或多个互联导体层,例如层216和220。互联层222进一步包括一个或多个层间绝缘(ILD)层,例如绝缘层210、212和218。触点由导电材料制成,包括但不限于钨、钴、铜、铝、和/或硅化物。导电层由导电材料制成,包括但不限于钨、钴、铜、铝、和/或硅化物。层间绝缘层由绝缘材料制成,包括但不限于氧化硅、氮化硅、氮氧化硅、和/或掺杂氧化硅。

[0069] 粘结界面219形成在外围互联层222的绝缘层218和阵列互联层223的绝缘层221之间。在一些实施例中,粘结界面219也可以形成在导体层224和导体层220之间。在一些实施例中,绝缘层218是氮化硅层而绝缘层221是氧化硅层。在一些实施例中,绝缘层218是氧化硅层而绝缘层221是氮化硅层。

[0070] 在一些实施例中,外围器件包括一个或多个晶体管206。在一些实施例中,外围器件进一步包括单晶硅层244,其覆盖形成在外围器件的上端。在一些实施例中,单晶硅层244由单晶硅制成。在一些实施例中,单晶硅层244也可以由其他材料制成,包括但不限于硅锗或锗。在一些实施例中,单晶硅层244具有掺杂区域208和隔离区204。在一些实例中,外围器件形成在第二硅衬底上,经过倒置外围器件,并减薄第二硅衬底形成单晶硅层244,使单晶硅层244形成在外围器件之上。

[0071] 在一些实施例中,所述优选实施例进一步包括一个或多个穿透硅层触点211。在一些实例中,所述穿透硅层触点211由导电材料制成,包括但不限于钨、钴、铜、铝、和/或硅化物。在一些实例中,穿透硅层触点211通过采用湿法蚀刻或干法蚀刻穿透单晶硅层244形成接触孔或接触沟槽,然后使用导体(例如钨)填充所述接触孔或接触沟槽。在一些实施例中,填充接触孔或接触沟槽包括在沉积所述导体前沉积或形成绝缘层。在一些实例中,绝缘层由绝缘材料制成,包括但不限于氧化硅、氮化硅、氮氧化硅、和/或掺杂氧化硅。

[0072] 图2所示的优选实施例进一步包括一个或多个后段制程互联绝缘层和导体层(例如导体层248和绝缘层252)和衬垫层(例如衬垫层256)。所述后段制程互联层和衬垫层形成在单晶硅层244的上方。在一些实例中,所述后段制程互联层和衬垫层在所述实施例的装置和外部电路之间传送电信号。后段制程导体层可以由导电材料制成,包括但不限于钨、钴、铜、铝和/或硅化物。所述后段制程绝缘层由绝缘材料制成,包括但不限于氧化硅、氮化硅、

高绝缘常数绝缘材料或者其组合。衬垫层由导电材料制成,包括但不限于钨、钴、铜、铝和/或硅化物。

[0073] 图3A-3D是根据本发明实施方式的NAND存储器的外围器件和外围互联层的制备步骤示意图;图6是形成外围器件和外围互联层示例方法600的流程图。

[0074] 示例方法600开始于操作602,如图6所示,即在第一硅衬底上形成外围器件。如图3A所示,首先提供了第二硅衬底302,用以形成外围器件。在一些实施例中,外围器件包括多个晶体管器件304。所述多个晶体管器件304形成在第二硅衬底302上。在一些实施例中,形成晶体管器件304包括多个步骤,包括但不限于光刻、干法/湿法刻蚀、薄膜沉淀、热生长、注入、化学机械平坦化(CMP)、和/或以上的组合。在一些实施例中,掺杂区308也形成在第二硅衬底302上。在一些实施例中,隔离区306也形成在第二硅衬底302上。

[0075] 示例方法600继续于操作604,如图6所示,在外围器件上形成一个或多个绝缘层和导体层。所述一个或多个绝缘层和导体层是外围互联层的一部分,能够传输外围器件的电信号。如图3B所示,第一层绝缘层310形成在第二硅衬底302上,接触层308形成并电性连接外围器件。如图3C所示,第二绝缘层316形成在第一绝缘层310上。在一些实施例中,第二绝缘层316可以是多个层的组合并且由独立步骤形成。导体层312和接触层314形成在第二绝缘层316上。在一些实施例中,导体层312、接触层308和导体层314由导电材料制成。形成导体层和接触层的工艺可以使用薄膜沉淀工艺,包括但不限于化学气相沉积法(CVD)、物理气相沉积法(PVD)、或原子层沉积法(ALD)和电镀工艺。形成导体层和接触层的工艺也可以使用光刻、化学机械平坦化、干法/湿法刻蚀。形成绝缘层的工艺可以使用薄膜沉淀工艺,包括但不限于化学气相沉积法(CVD)、物理气相沉积法(PVD)、或原子层沉积法(ALD)。

[0076] 示例方法600继续于操作606,如图6所示,形成外围互联层的一个顶部绝缘层和一个顶部导体层。如图3D所示,第三绝缘层318形成在第二绝缘层316上,导体层320形成在第三绝缘层318内。如此形成了外围互联层322。形成导体层的工艺可以使用薄膜沉淀工艺,包括但不限于化学气相沉积法(CVD)、物理气相沉积法(PVD)、或原子层沉积法(ALD)和电镀工艺。形成导体层和接触层的工艺也可以使用光刻、化学机械平坦化、干法/湿法刻蚀。形成绝缘层的工艺可以使用薄膜沉淀工艺,包括但不限于化学气相沉积法(CVD)、物理气相沉积法(PVD)、或原子层沉积法(ALD)。

[0077] 图4A-4D是根据本发明实施方式的NAND存储器的阵列器件和阵列互联层的制备步骤示意图;图7是形成阵列器件和阵列互联层示例方法700的流程图。

[0078] 示例方法700开始于操作702,如图7所示,在第一硅衬底上形成掺杂区和隔离区。如图4A所示,第一硅衬底402用于形成阵列器件。在一些实施例中,掺杂区404形成在第一硅衬底402上。在一些实施例中,隔离区406形成在第一硅衬底402上。形成掺杂区404可以使用注入和/或扩散工艺。形成隔离区406的工艺可以采用热生长或薄膜沉淀。光刻和干法/湿法刻蚀工艺可用于形成隔离区图案。

[0079] 示例方法700继续于操作704,如图7所示,在第一硅衬底上形成多个绝缘层对。如图4B所示,多个绝缘层对410和412形成在第一硅衬底402上。在一些实施例中,多个绝缘层对形成等级层堆栈408。在一些实施例中,绝缘层对包括氮化硅层410和氧化硅层412。在一些实施例中,等级层堆栈408中具有更多的绝缘层对,所述绝缘层对由不同材料制成并具有不同厚度。在一些实施例中,形成多个绝缘层对的工艺可以使用薄膜沉淀工艺,包括但不限

于化学气相沉积法 (CVD)、物理气相沉积法 (PVD)、或原子层沉积法 (ALD)。

[0080] 示例方法700继续于操作706,如图7所示,在第一硅衬底上形成多个阵列器件的NAND串。如图4C所示,多个NAND串418形成在第一硅衬底402上。在一些实施例中,等级层堆栈408的绝缘层对中的绝缘层410可以替换为导体层416,从而在等级层堆栈414中形成多个导体/绝缘层对。在一些实施例中,使用导体层416替换绝缘层410的工艺可以采用对于绝缘层412有选择性的湿法刻蚀方法刻蚀绝缘层410,这种刻蚀不刻蚀或微量刻蚀绝缘层412,然后将导体层416填入绝缘层410被刻蚀后形成的结构中。在一些实施例中,填充导体层416可以采用CVD、ALD和其他合适的方法。在一些实施例中,导体层416由导电材料制成,包括但不限于钨、钴、铜、铝和/或硅化物。在一些实施例中,形成NAND串进一步包括形成半导体通道420,其在垂直方向延伸并穿过所述等级层堆栈414。在一些实施例中,形成NAND串进一步包括介质层422,其位于半导体通道420和多个导体/绝缘层对之间。在一些实施例中,介质层422是多个层的组合,包括但不限于隧道层、存储单元层、和阻隔层。在一些实施例中,所述隧道层包括绝缘材料,包括但不限于氧化硅、氮化硅、氮氧化硅或上述材料的组合。在一些实施例中,存储单元层包括的材料可以用于存储操作NAND的电荷。存储单元层的材料包括但不限于氮化硅、氮氧化硅、或氧化硅和氮化硅的组合、或上述材料的组合。在一些实施例中,所述阻隔层包括绝缘材料,例如一个氧化硅层或一个包含氧化硅/氮化硅/氧化硅 (ONO) 的复合层。在一些实施例中,所述阻隔层可以进一步包括一个高K介电层(例如氧化铝)。在一些实施例中,形成介质层422可以采用ALD、CVD、PVD和其他合适的方法。

[0081] 在一些实施例中,形成NAND串进一步包括形成在所述NAND串一端的外延层。如图4C所示,外延层426形成在NAND串418的底端。在一些实施例中,外延层426是硅层,其与第一硅衬底402直接接触并且从第一硅衬底402上外延生长。在一些实施例中,外延层426进一步被掺杂到期望的掺杂水平。

[0082] 在一些实施例中,操作706进一步包括形成一个或多个源触点。如图4C所示,垂直延伸并贯穿等级层堆栈414的源触点424形成在第一硅衬底402上。在一些实施例中,源触点424的一端直接接触第一硅衬底402的掺杂区404。在一些实施例中,源触点424通过第一硅衬底402的接触掺杂区404电性连接多个NAND串418。在一些实施例中,选择门428形成在等级层堆栈414的底端,并通过开关第一硅衬底402的接触掺杂区404来控制源触点424和多个NAND串418之间的导电。在一些实施例中,源触点424由导电材料制成,包括但不限于钨、钴、铜、铝、掺杂硅、硅化物或以上材料的组合。在一些实施例中,形成源触点424可以通过使用干法/湿法刻蚀工艺来形成垂直贯穿等级层堆栈414的开口,然后将导体材料或者其他材料例如绝缘材料填充所述开口。所述填充材料可以采用ALD、CVD、PVD和其他合适的方法。

[0083] 在一些实施例中,操作706进一步包括形成一个或多个字线接触点。如图4C所示,字线接触点425形成在第一硅衬底402上。字线接触点425垂直延伸并贯穿绝缘层423。在一些实施例中,字线接触点425的一端位于NAND串的字线上。例如,一个导体层416可以作为NAND串的一个字线。由此,字线接触点425电连接到导体层416。在一些实施例中,每一个字线接触点425的与一个导体层416连接,由此,导体层416通过字线接触点是可寻址的。在一些实施例中,字线接触点425能够进一步与硅衬底402或NAND串的选择门(例如,选择门428和/或选择门430)接触。在一些实施例中,形成字线接触点425包括使用干法/湿法蚀刻工艺形成通过绝缘层423的垂直开口,然后将导体材料或者其他材料,例如用于导体填充、粘结

和/或其它目的阻隔层材料填充所述开口。在一些实施例中,字线接触点425的导体材料由导体材料制成,包括但不限于钨、钴、铜、铝、掺杂硅、硅化物或以上材料的组合。在一些实施例中,使用导体材料或者其他材料填充所述开口可以采用ALD、CVD、PVD和/或其他合适的方法。

[0084] 示例方法700继续于操作708,如图7所示,在多个NAND串上形成阵列互联层。如图4D所示,阵列互联层438形成在多个NAND串418上。在一些实施例中,阵列互联层用于传输NAND串和其他电路之间的电信号。在一些实施例中,形成阵列互联层438包括形成绝缘层434,然后形成多个位线触点432,其在绝缘层434中并与NAND串418接触。在一些实施例中,绝缘层434是一层或多层绝缘材料,例如氧化硅、氮化硅、氮氧化硅或者其组合。在一些实施例中,位线触点432的形成过程为:首先在绝缘层434中形成开口,然后使用导体材料或绝缘材料填充所述开口。在一些实施例中,制造位线触点432的导体材料包括但不限于钨、钴、铜、铝、掺杂硅、硅化物或以上材料的组合。在一些实施例中,使用导体材料或者其他材料填充所述开口可以采用ALD、CVD、PVD和/或其他合适的方法。

[0085] 在一些实施例中,形成阵列互联层438进一步包括在绝缘层434上形成多个字线通孔接触437。在一些实施例中,每一个字线通孔接触437与字线接触点425的一端接触以能够进行电连接。在一些实施例中,字线通孔接触437通过在绝缘层434中形成开口,然后使用导体材料进行填充来形成。在一些实施例中,在填充导体材料之前,使用其他材料例如隔离材料部分填充所述开口以增强所述导体材料的粘性或填充性能。在一些实施例中,形成字线通孔接触的导体材料包括但不限于钨、钴、铜、铝、掺杂硅、硅化物或以上材料的组合。在一些实施例中,使用导体材料和隔离材料填充所述开口,可以采用ALD、CVD、PVD和/或其他合适的方法。

[0086] 在一些实施例中,形成阵列互联层438进一步包括形成其他导电层,例如在绝缘层434中的导体层440和导体接触层444。在一些实施例中,具有一个或多个导体层440和/或导体接触层444。在一些实施例中,制造导体层440和导体接触层444的导体材料包括但不限于钨、钴、铜、铝、掺杂硅、硅化物或以上材料的组合。形成导体层和导体接触层的工艺可以采用公知的后段制程方法。

[0087] 在一些实施例中,形成阵列互联层438进一步包括形成顶部导电层442和顶部绝缘层436。在一些实施例中,制造顶部导电层442的导体材料包括但不限于钨、钴、铜、铝、掺杂硅、硅化物或以上材料的组合。在一些实施例中,制造顶部绝缘层436的绝缘材料包括但不限于氧化硅、氮化硅、氮氧化硅、或上述材料的组合。

[0088] 图5A-5C是根据本发明实施方式的结合上述阵列器件和外围器件的步骤示意图;图8是结合上述阵列器件和外围器件的示例方法800的流程图。

[0089] 示例性方法800开始于步骤802,如图8所示,将第二硅衬底上的外围器件上下倒置从而使得外围互联层位于第二硅衬下方,并将外围互联层和阵列互联层对齐。如图5A所示,外围互联层322被置于第二硅衬底302下方。在一些实施例中,对齐外围互联层322和阵列互联层438的方法为对齐外围互联层322的导体层320和阵列互联层438的导体层442。如此,当外围器件和阵列器件结合时导体层320与442接触。

[0090] 示例性方法800继续于步骤804,如图8所示,结合阵列互联层和外围互联层。如图5B所示,阵列互联层438和外围互联层322结合并形成粘结界面503。在一些实施例中,如图

5A所示,在两个互联层结合之前或结合时,处理工艺502可用于加强阵列互联层和外围互联层之间的结合力。在一些实施例中,绝缘层436为氧化硅层而绝缘层318为氮化硅层。在一些实施例中,绝缘层436为氮化硅层而绝缘层318为氧化硅层。在一些实施例中,处理工艺502包括等离子体处理工艺,处理阵列互联层的表面和外围互联层的表面以增强在两个绝缘层436和318之间形成的化学结合。在一些实施例中,处理工艺502包括湿法化学处理工艺,处理阵列互联层的表面和外围互联层的表面以增强在两个绝缘层436和318之间形成的化学结合。

[0091] 在一些实施例中,处理工艺502为热处理工艺,在结合工艺中进行。在一些实施例中,热处理的温度是250℃到600℃。在一些实施例中,热处理工艺使得导体层442和320之间产生互扩散。由此,导体442和320在结合处理后相互混合。在一些实施例中,导体层442和320都由铜制成。

[0092] 示例性方法800继续于步骤806,如图8所示,减薄第二硅衬底以形成一个单晶硅层。如图5B所示,根据本发明的实施例,第二硅衬底302减薄以形成单晶硅层504。在一些实施例中,经过减薄,单晶硅层504的厚度介于200nm到5000nm之间。在一些实施例中,单晶硅层504的厚度介于150nm到50μm之间。在一些实施例中,减薄所述第二硅衬底302的工艺包括但不限于晶圆研磨、干法刻蚀、湿法刻蚀、化学机械抛光或上述工艺的组合。

[0093] 示例性方法800继续于步骤808,如图8所示,在单晶硅层上形成后段制程互联层和衬垫层。如图5C所示,单晶硅层504上形成后段制程互联层和衬垫层512。在一些实施例中,后段制程互联层包括一个或多个绝缘层506、一个或多个触点508和一个或多个导体层510。在一些实施例中,形成后段制程互联层进一步包括形成一个或多个穿透硅层触点514。在一些实施例中,穿透硅层触点514垂直穿透单晶硅层504,并且在下端连接外围互联层(例如导体层312)。在一些实施例中,绝缘层506是多个绝缘层的组合,所述多个绝缘层可以通过独立的步骤制作。在一些实施例中,触点508、穿透硅层触点514、导体层510和衬垫层512可由导电材料制成,包括但不限于钨、钴、铜、铝、掺杂硅、硅化物或以上材料的组合。在一些实施例中,制造绝缘层506的绝缘材料包括但不限于氧化硅、氮化硅、氮氧化硅、或上述材料的组合。在一些实施例中,绝缘层506可进一步包括高K绝缘材料。在一些实施例中,形成穿透硅层触点514进一步包括形成在穿透硅层触点514和单晶硅层504之间的绝缘体层516。在一些实施例中,衬垫层512与外部电路连接以在结合的阵列/外围器件和外部电路之间传递电信号。

[0094] 总之,本发明通过将阵列器件和外围器件的制作分开,避免了两个器件制造时互相影响对方的制作过程,解决了现有技术中后面的层的制作受前面的层制作后温度限制的问题,获得了高器件密度和良好的外围器件性能。

[0095] 以上所述,仅为本发明较佳的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

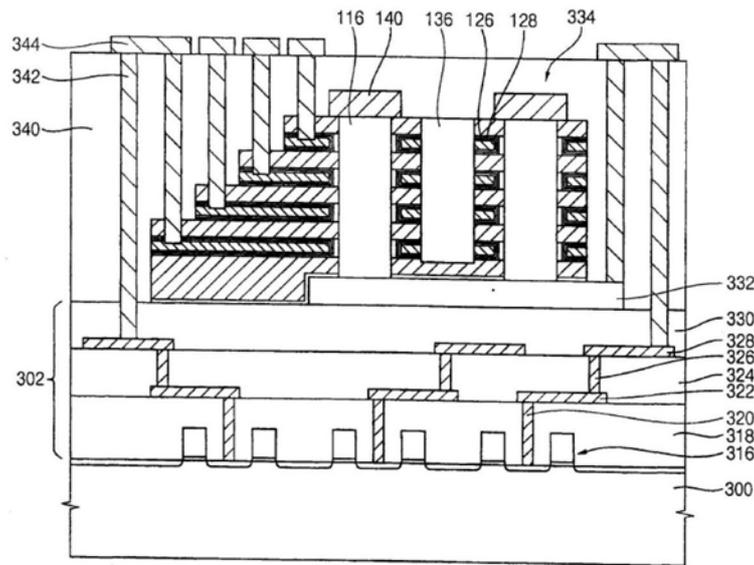


图1

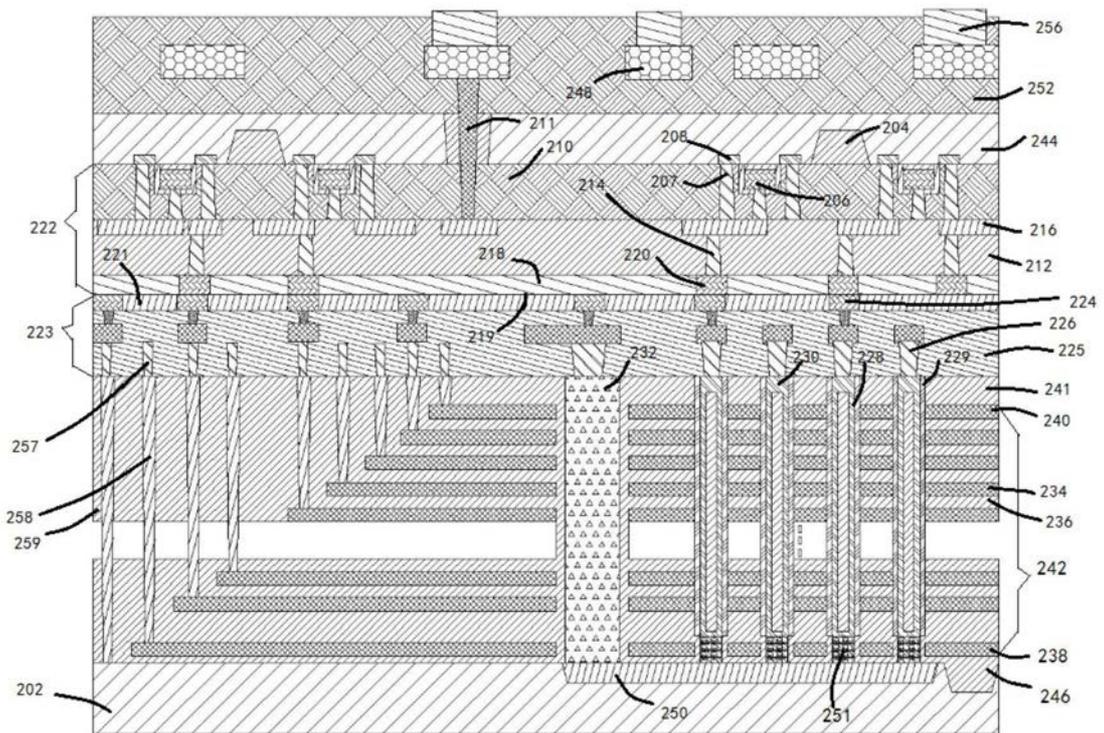


图2

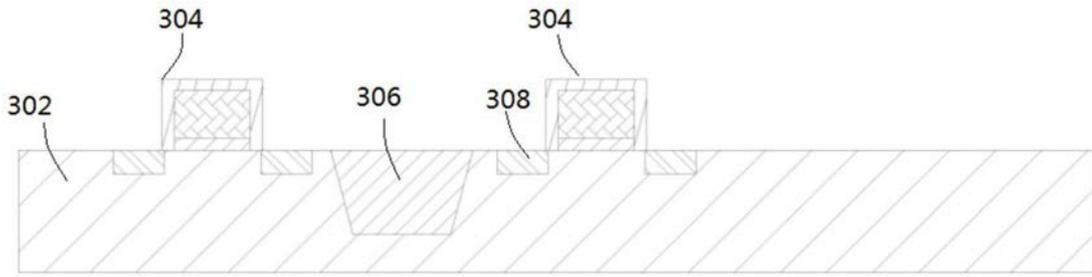


图3A

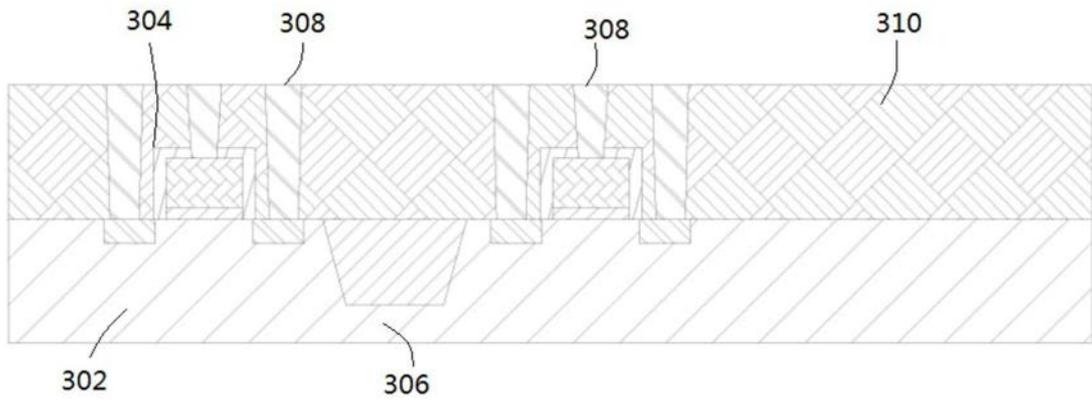


图3B

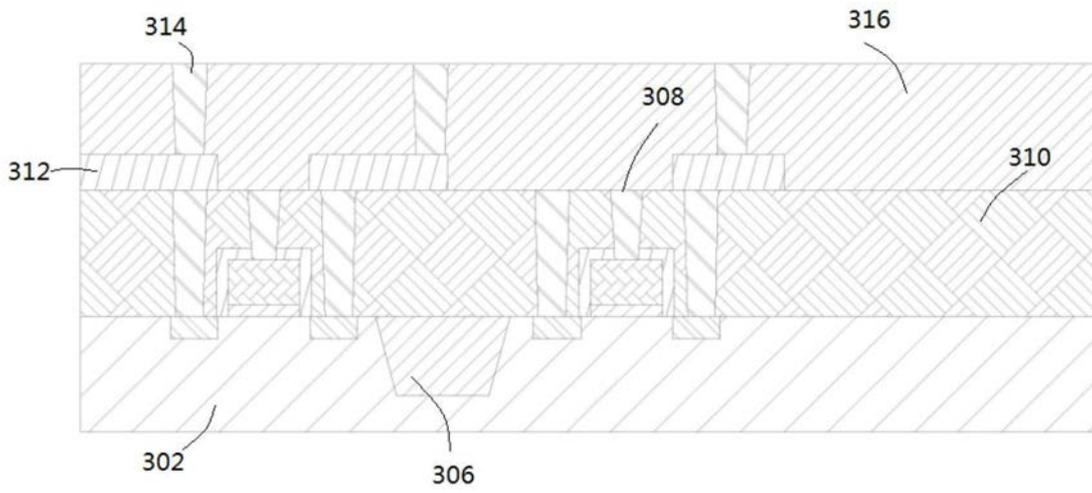


图3C

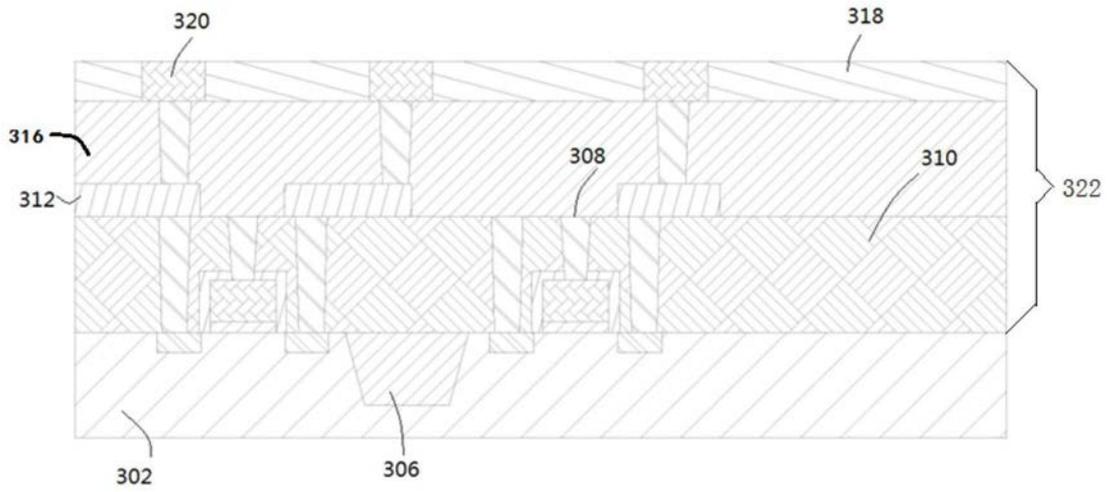


图3D

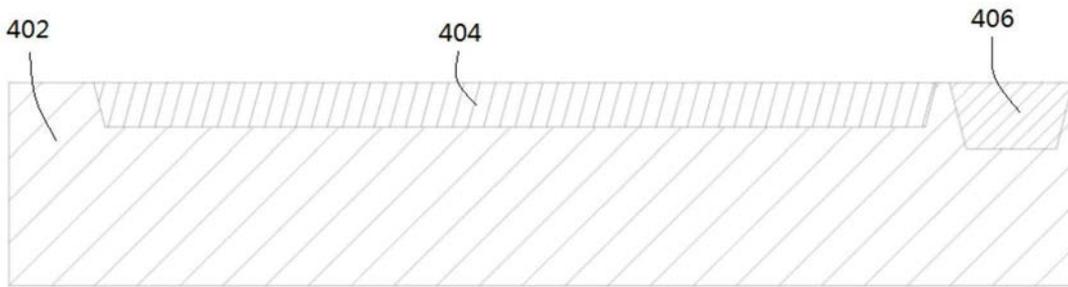


图4A

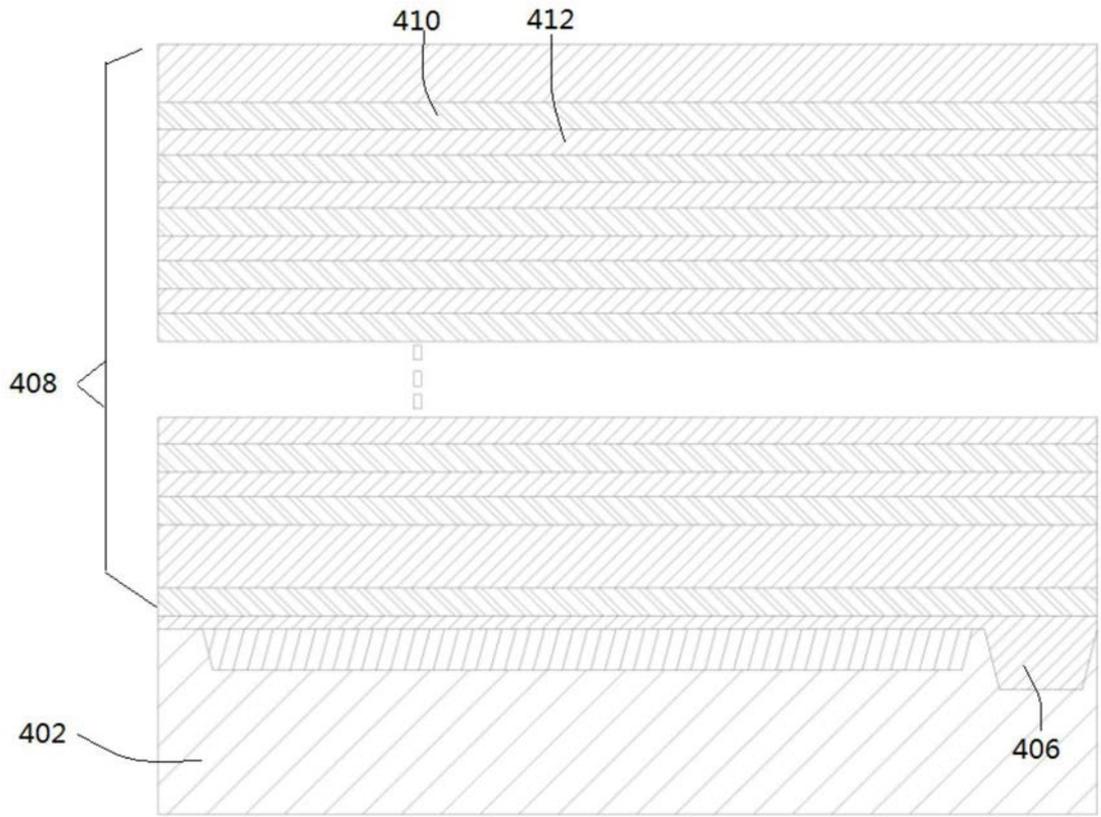


图4B

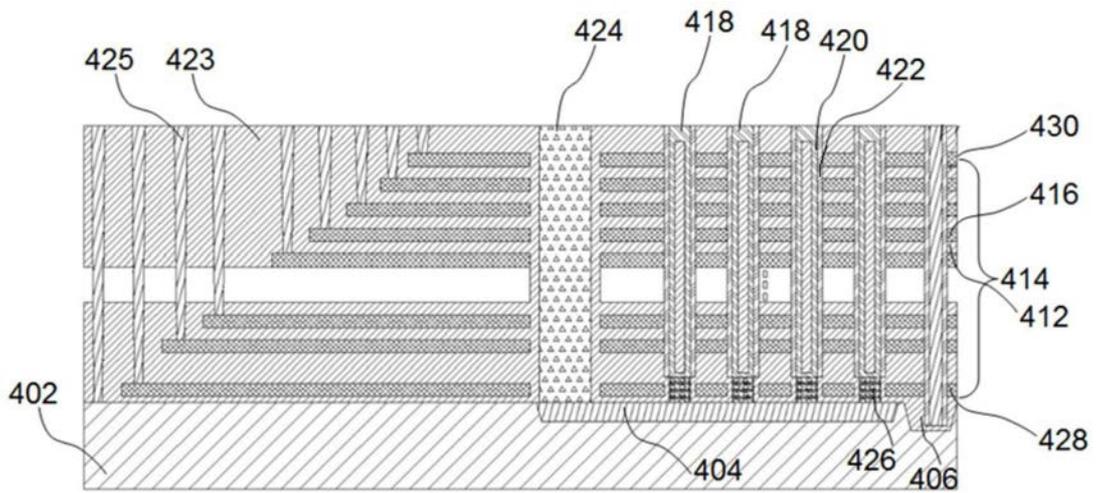


图4C

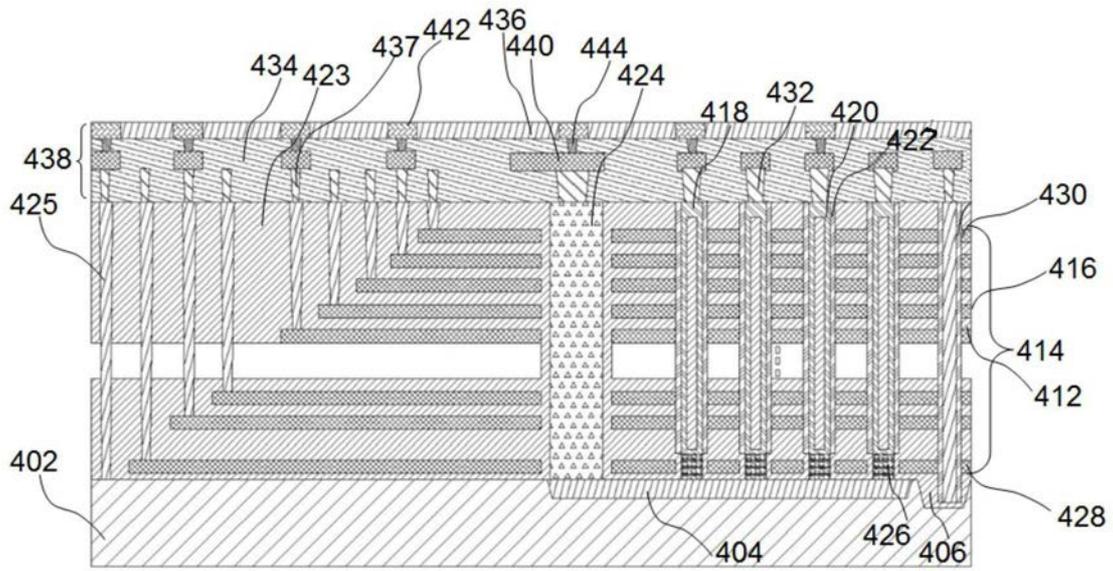


图4D

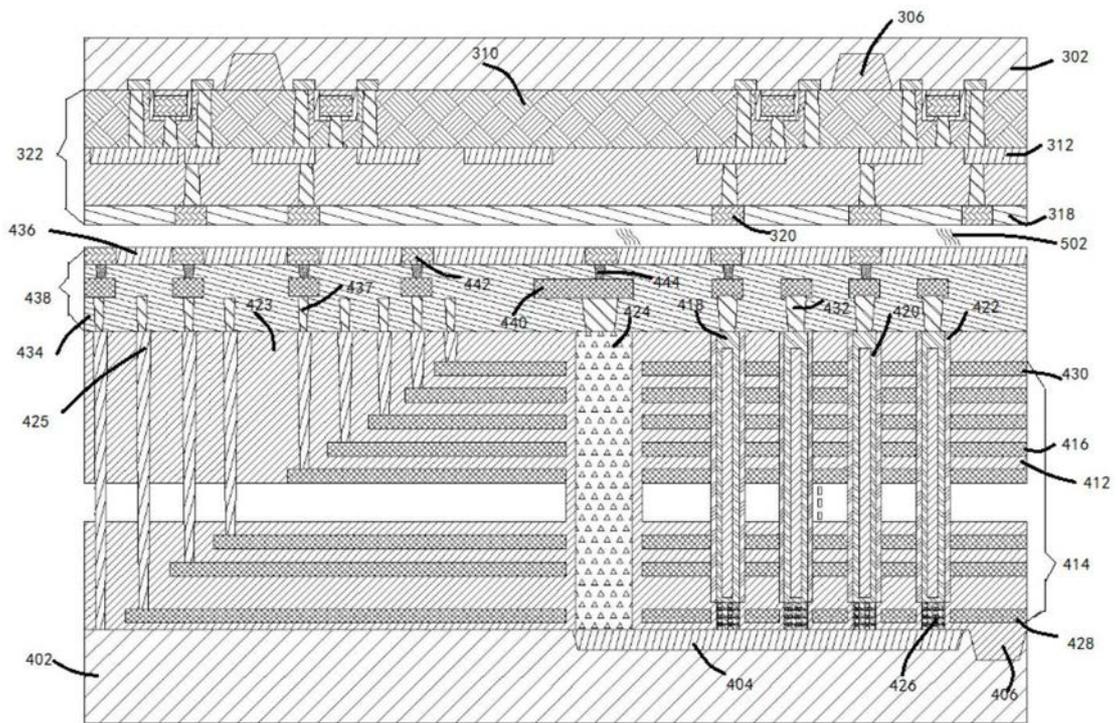


图5A

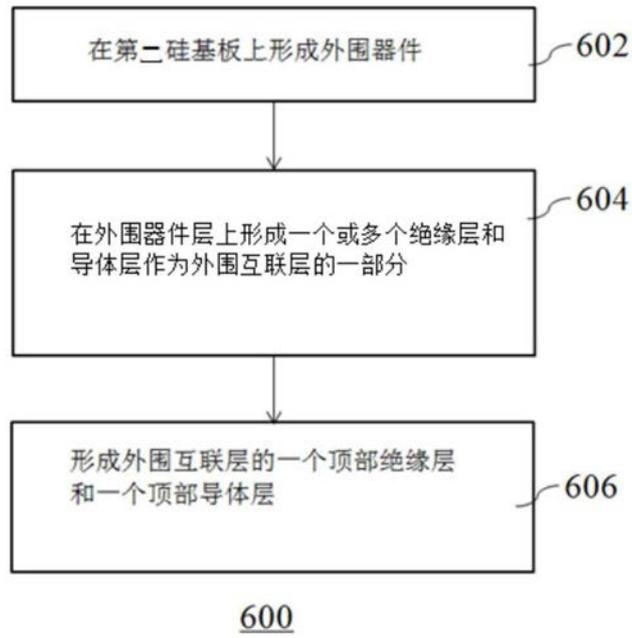


图6

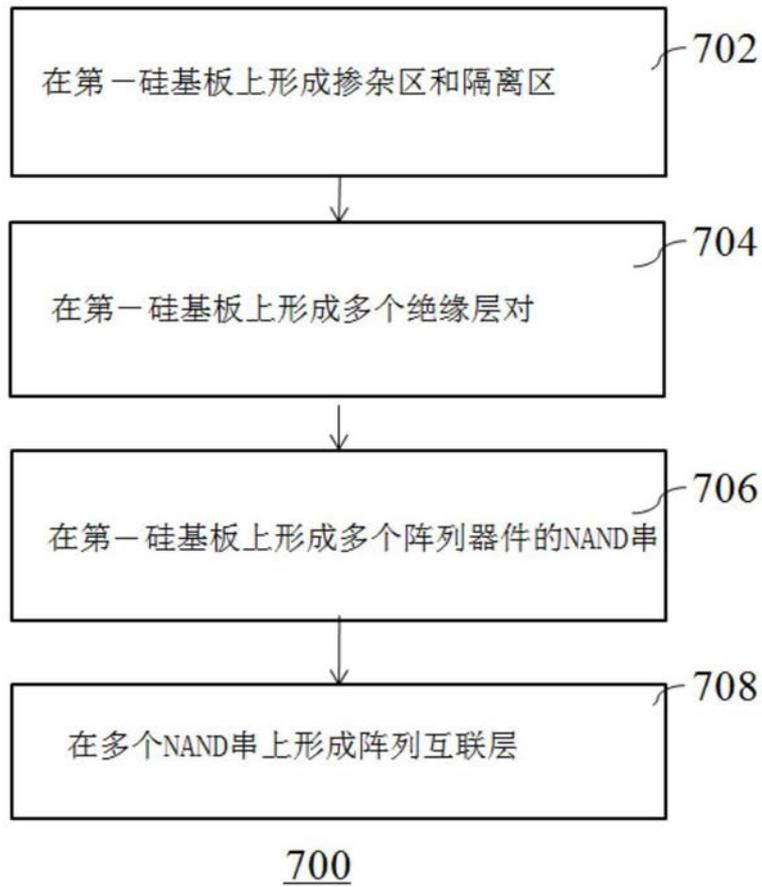


图7

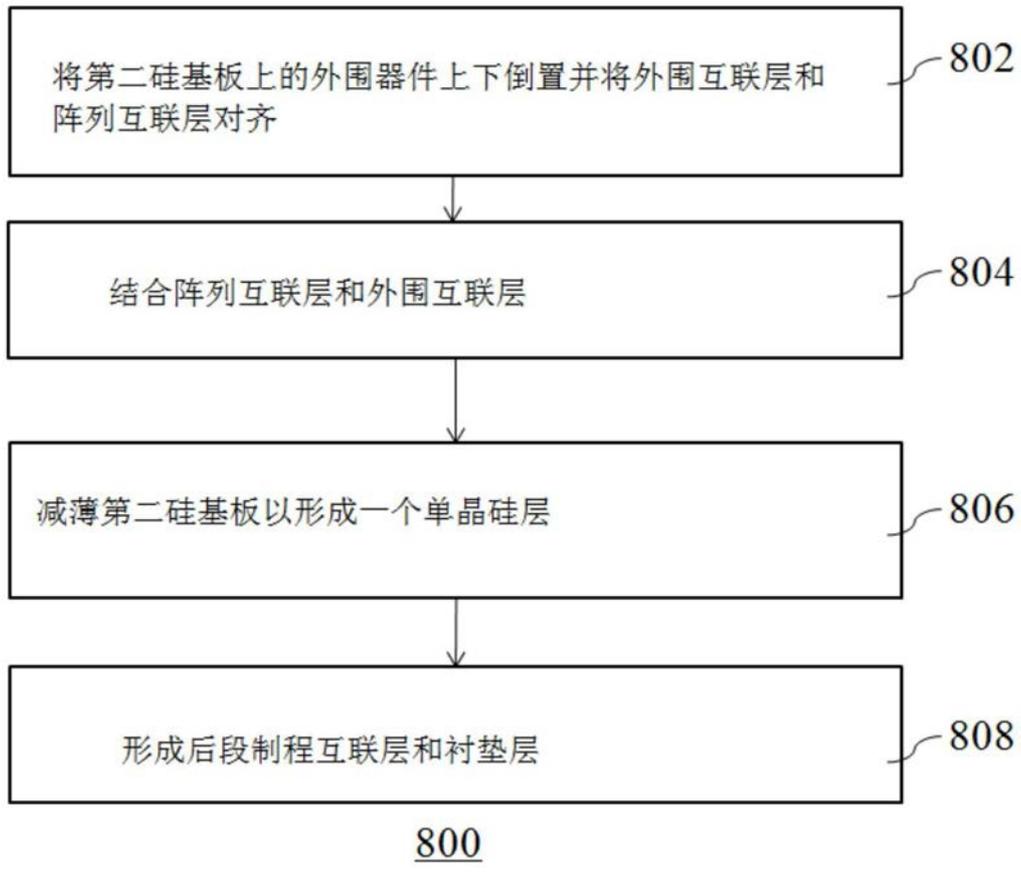


图8