



(12)发明专利申请

(10)申请公布号 CN 110808737 A
(43)申请公布日 2020.02.18

(21)申请号 201911182322.1

(22)申请日 2019.11.27

(71)申请人 灿芯半导体(苏州)有限公司
地址 215006 江苏省苏州市吴中区苏州工业园区通园路208号苏化科技园6号305-309室

(72)发明人 郑锐

(74)专利代理机构 上海湾谷知识产权代理事务所(普通合伙) 31289
代理人 倪继祖

(51)Int.Cl.
H03M 1/10(2006.01)

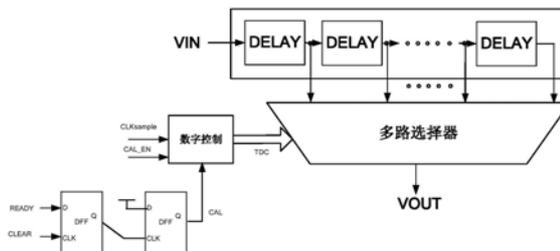
权利要求书1页 说明书4页 附图3页

(54)发明名称

用于异步SAR-ADC的延迟链电路的数字校正方法

(57)摘要

本发明公开了一种用于异步SAR-ADC的延迟链电路的数字校正方法,异步SAR-ADC的内部清零信号Clear通过串接的两个D触发器对Ready信号进行采样,得到校正位CAL;其中,Ready信号是异步SAR-ADC中比较器两个差分输出异或产生的时钟信号;根据异步SAR-ADC中时钟发生电路输出的采样时钟CLK_{sample},通过判断校正使能信号CAL_EN的电平和判断校正位CAL的状态来输出选择控制字TDC给延迟链电路的多路选择器。本发明能够使延迟时间实现最大化。



1. 一种用于异步SAR-ADC的延迟链电路的数字校正方法,所述延迟链电路包括:接收输入信号VIN,由N级延迟单元级联构成的延迟链; $N \geq 2$,且为正整数;以及分别连接所述延迟链中各个延迟单元的输出端的多路选择器;其特征在于,所述数字校正方法包括:

步骤S1,异步SAR-ADC的内部清零信号Clear通过串接的两个D触发器对Ready信号进行采样,得到校正位CAL;其中,Ready信号是异步SAR-ADC中比较器两个差分输出异或产生的时钟信号;

步骤S2,根据异步SAR-ADC中时钟发生电路输出的采样时钟 CLK_{sample} ,通过判断校正使能信号CAL_EN的电平和判断校正位CAL的状态来输出选择控制字TDC给所述多路选择器。

2. 根据权利要求1所述的用于异步SAR-ADC的延迟链电路的数字校正方法,其特征在于,所述步骤S2,包括:

异步SAR-ADC上电后,判断校正使能信号CAL_EN是否为高电平,若否,将选择控制字TDC设置为最大位NMAX,校正结束;若是,进入下一步骤;

设置选择控制字TDC为最大位NMAX, $i=0$;

判断校正位CAL是否为1,若是,设置 $i=i+1$,选择控制字 $TDC=NMAX-i$,并重新判断校正位CAL是否为1;若否,设置选择控制字 $TDC=NMAX-i-1$,进入下一步骤;

判断校正使能信号CAL_EN是否为高电平,若否,校正结束;若是,重新判断校正位CAL是否为1。

3. 根据权利要求1所述的用于异步SAR-ADC的延迟链电路的数字校正方法,其特征在于,异步SAR-ADC包括时钟发生电路、数字-模拟转换阵列和比较器;

所述时钟发生电路接收外部时钟信号,输出采样时钟 CLK_{sample} 和内部清零信号Clear;

所述采样时钟 CLK_{sample} 利用数字-模拟转换阵列对输入差分信号INP、INN进行采样后,由所述比较器比较,并通过异或产生Ready信号。

用于异步SAR-ADC的延迟链电路的数字校正方法

技术领域

[0001] 本发明涉及数据转换集成电路领域,尤其涉及用于异步SAR-ADC的延迟链电路的数字校正方法。

背景技术

[0002] 逐次逼近模拟-数字转换器(SAR-ADC)具有结构简单、功耗低、面积小和易于集成等特点,广泛应用于中等精度(8~16位)中等速度(<150MSPS)领域。

[0003] 常规SAR-ADC的时钟控制都是同步方式,即外部接入一个时钟,而片内的采样、转换、存储、输出的每一个步骤都由外部时钟定义。外部时钟的精度要与SAR-ADC的采样精度匹配。对于高速高分辨率的SAR-ADC所需要的时钟源来说,这个精度是相当高的。除了需要保证时钟源的纯净,还要对时钟到芯片内部各个环节的噪声都非常小心。此外,如此高的时钟频率需要片内的逻辑门有很强的驱动能力,这意味着很大的功耗。

[0004] 异步时钟控制是近年来SAR-ADC提速的最重要的系统级解决方案。SAR-ADC自身有一些特点,比如采样对时钟精度要求高,但转换对时钟精度几乎没有要求,刚好给异步时钟提供了发挥优势的空间。控制电路需要的脉冲自己产生,异步时钟控制放弃了同步时钟的分频操作,而是采用跟采样频率一样的外部时钟,把时钟分割成采样和转换两阶段。转换时系统只对操作次序有要求,对时钟边沿没有要求,因此把转换做成异步触发,用比较器触发SAR逻辑,SAR逻辑带动DAC的方式完成N次比较。最后N个依次完成但未对齐时钟的数据通过同步方式输出结果。

[0005] 异步SAR-ADC的基本结构如图2所示,外部时钟信号经过时钟发生电路产生采样时钟 CLK_{sample} 。采样时钟对输入差分信号INP、INN进行采样后,由高速比较器比较,并通过异或产生Ready信号输入到多相位时钟产生电路和逐次逼近逻辑电路,一方面产生一个时钟信号通过延迟链延迟给比较器提供比较时钟,另一方面经过DAC控制电路对SAR-ADC的开关电容阵列(数字-模拟转换阵列,DAC Array)进行控制。时钟发生电路还产生一个清零信号Clear,目的是在每一次信号比较完成后对电路清零,防止电荷累积。DAC(数字-模拟转换)的参考电压由外部基准源(BG)经过参考电压缓冲器(VREF BUF)产生。整个异步SAR-ADC的延迟环路由比较器、异或门、多相位时钟产生电路和延迟链构成。由于其他电路的延迟基本都是固定的,所以对延迟链延迟时间的调节成为唯一的可控因子。

[0006] 传统的异步SAR-ADC延迟控制电路如图3所示,VIN做为这个延迟链的输入信号。多路选择器(MUXN×1)从N个延迟单元(Delay)的抽头中选择一路作为输出信号VOUT。由于延迟链的延迟时间随着工艺角、电压和温度(PVT)的变化,在不同PVT变化条件下,延迟时间甚至有大于两倍以上变化。较大的延迟时间,可以增加DAC的稳定时间,从而提高ADC的整体性能,但可能造成ADC最后几个比较脉冲的丢失,影响ADC的大规模生产良率。较小的延迟时间会造成ADC的性能变差。

发明内容

[0007] 本发明的目的在于提供一种用于异步SAR-ADC的延迟链电路的数字校正方法,使延迟时间实现最大化。

[0008] 实现上述目的的技术方案是:

[0009] 一种用于异步SAR-ADC的延迟链电路的数字校正方法,所述延迟链电路包括:

[0010] 接收输入信号VIN,由N级延迟单元级联构成的延迟链; $N \geq 2$,且为正整数;以及

[0011] 分别连接所述延迟链中各个延迟单元的输出端的多路选择器;

[0012] 所述数字校正方法包括:

[0013] 步骤S1,异步SAR-ADC的内部清零信号Clear通过串接的两个D触发器对Ready信号进行采样,得到校正位CAL;其中,Ready信号是异步SAR-ADC中比较器两个差分输出异或产生的时钟信号;

[0014] 步骤S2,根据异步SAR-ADC中时钟发生电路输出的采样时钟 CLK_{sample} ,通过判断校正使能信号CAL_EN的电平和判断校正位CAL的状态来输出选择控制字TDC给所述多路选择器。

[0015] 优选的,所述步骤S2,包括:

[0016] 异步SAR-ADC上电后,判断校正使能信号CAL_EN是否为高电平,若否,将选择控制字TDC设置为最大位NMAX,校正结束;若是,进入下一步骤;

[0017] 设置选择控制字TDC为最大位NMAX, $i=0$;

[0018] 判断校正位CAL是否为1,若是,设置 $i=i+1$,选择控制字 $TDC=NMAX-i$,并重新判断校正位CAL是否为1;若否,设置选择控制字 $TDC=NMAX-i-1$,进入下一步骤;

[0019] 判断校正使能信号CAL_EN是否为高电平,若否,校正结束;若是,重新判断校正位CAL是否为1。

[0020] 优选的,异步SAR-ADC包括时钟发生电路、数字-模拟转换阵列和比较器;

[0021] 所述时钟发生电路接收外部时钟信号,输出采样时钟 CLK_{sample} 和内部清零信号Clear;

[0022] 所述采样时钟 CLK_{sample} 利用数字-模拟转换阵列对输入差分信号INP、INN进行采样后,由所述比较器比较,并通过异或产生Ready信号。

[0023] 本发明的有益效果是:本发明在电路上电后利用ADC内部信号对延迟链的延迟单元进行控制实现延迟时间的最大化,减小了异步SAR-ADC延迟环路产生的比较时钟周期随工艺角、电压和温度(PVT)的变化。因此,在大规模量产的芯片中,异步SARADC的转换时间可以基本保持不变,从而给ADC中电容数字-模拟转换阵列的稳定时间(settling time)留下足够的余度。本发明能够提高异步SAR-ADC的工作速度,并改善ADC的线性度和信噪比。在CMOS工艺平台下,实现片内集成的高速异步SAR-ADC,提高量产芯片的性能和良率。

附图说明

[0024] 图1是本发明的用于异步SAR-ADC的延迟链电路的数字校正方法的示意图;

[0025] 图2是现有异步SAR-ADC的基本结构示意图;

[0026] 图3是现有技术中异步SAR-ADC的延迟链电路的电路图;

[0027] 图4是本发明中数字校正的流程示意图;

[0028] 图5是本发明中数字校正异步SAR-ADC正常时序图；

[0029] 图6是本发明中数字校正异步SAR-ADC出现异常时的时序图。

具体实施方式

[0030] 下面将结合附图对本发明作进一步说明。

[0031] 从图3可知,延迟链电路包括:接收输入信号VIN,由N级延迟单元(DELAY)级联构成的延迟链;N \geq 2,且为正整数;分别连接所述延迟链中各个延迟单元的输出端的多路选择器。多路选择器从N个延迟单元的抽头中选择一路作为输出电压VOUT。多路选择器由选择控制字TDC控制。

[0032] 图2可知,异步SAR-ADC包括时钟发生电路、数字-模拟转换阵列(DAC Array)和比较器。时钟发生电路接收外部时钟信号,输出采样时钟CLK_{sample}和内部清零信号Clear。采样时钟CLK_{sample}利用数字-模拟转换阵列对输入差分信号INP、INN进行采样后,由所述比较器比较,并通过异或产生Ready信号。

[0033] 请参阅图1,本发明的用于异步SAR-ADC的延迟链电路的数字校正方法,包括下列步骤:

[0034] 步骤S1,异步SAR-ADC的内部清零信号Clear通过串接的两个D触发器(DFF)对Ready信号进行采样,得到校正位CAL;其中,Ready信号是异步SAR-ADC中比较器两个差分输出异或产生的时钟信号;

[0035] 步骤S2,实现数字控制:根据异步SAR-ADC中时钟发生电路输出的采样时钟CLK_{sample},通过判断校正使能信号CAL_EN的电平和判断校正位CAL的状态来输出选择控制字TDC给多路选择器。从而使延迟时间实现最大化而不丢失有用信息。具体地,参考图4,步骤S2,包括下列步骤:

[0036] 1) 异步SAR-ADC上电后,判断校正使能信号CAL_EN是否为高电平,若否,将选择控制字TDC设置为最大位NMAX,校正结束;若是,进入下一步骤;

[0037] 2) 设置选择控制字TDC为最大位NMAX,i=0;

[0038] 3) 判断校正位CAL是否为1,若是,设置i=i+1,选择控制字TDC=NMAX-i,并重新判断校正位CAL是否为1;若否,设置选择控制字TDC=NMAX-i-1,进入下一步骤;

[0039] 4) 判断校正使能信号CAL_EN是否为高电平,若否,校正结束;若是,重新判断校正位CAL是否为1。

[0040] 图5是数字校正异步SAR-ADC正常时序。图中,CLK_{sample}是异步SAR-ADC的采样时钟;READY是异步SAR-ADC比较器两个差分输出异或产生的时钟信号;CLEAR是异步SAR-ADC每次比较周期结束后的清零信号。当异步SAR-ADC工作正常的时候,清零信号发生在READY完成后,这样CLEAR通过DFF采样READY产生的CAL信号为低电平。T_{sample}表示ADC的采样时间。

[0041] 另外,图6是数字校正异步SAR-ADC出现异常时的时序。当异步SAR-ADC工作异常的时候。清零信号发生在READY结束前,这样CLEAR通过DFF采样READY产生的CAL信号为高电平,而READY信号会由于SAR-ADC进入采样阶段而丢失有用的脉冲。这种现象必须通过数字校正而避免。

[0042] 以上实施例仅供说明本发明之用,而非对本发明的限制,有关技术领域的技术人员,在不脱离本发明的精神和范围的情况下,还可以作出各种变换或变型,因此所有等同的

技术方案也应该属于本发明的范畴,应由各权利要求所限定。

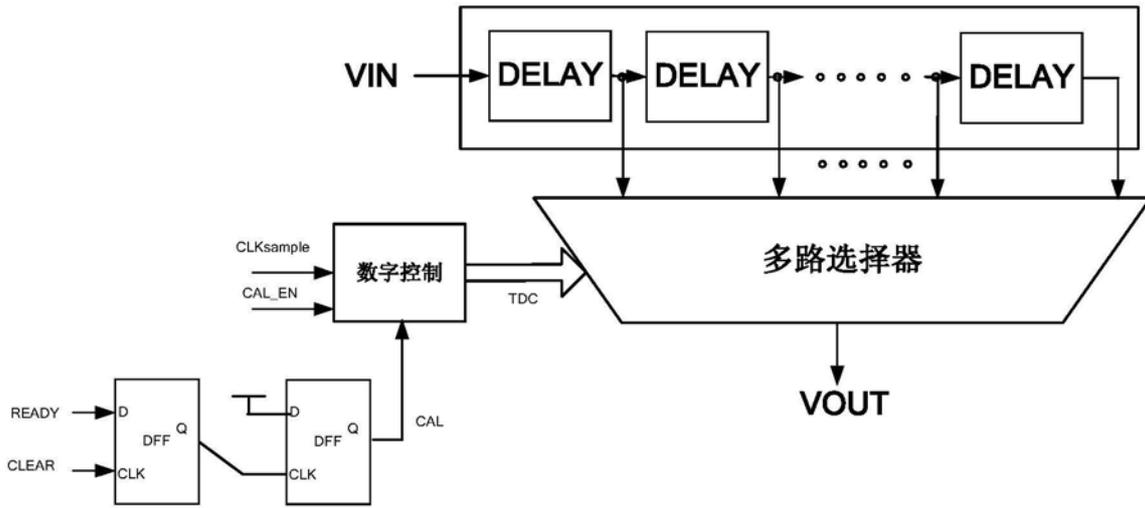


图1

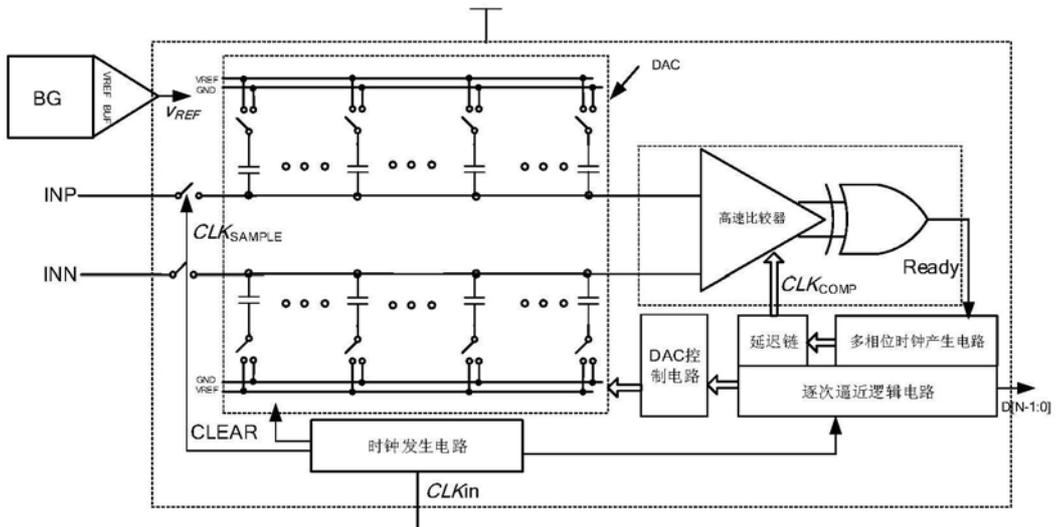


图2

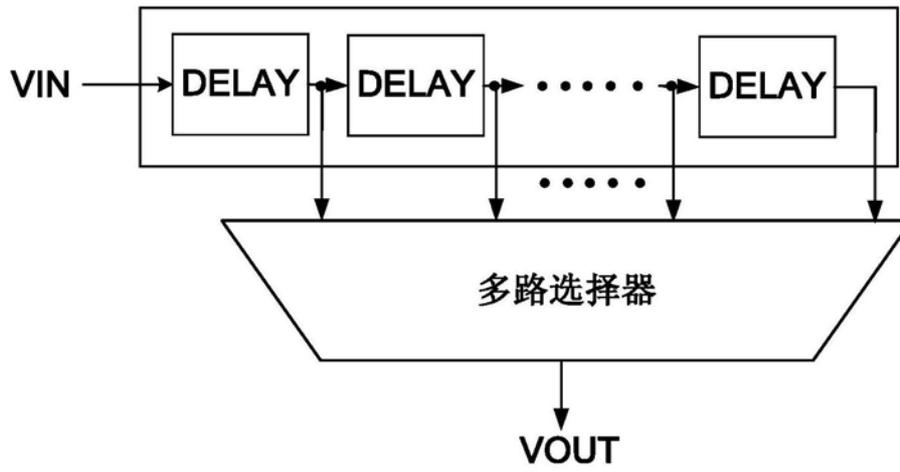


图3

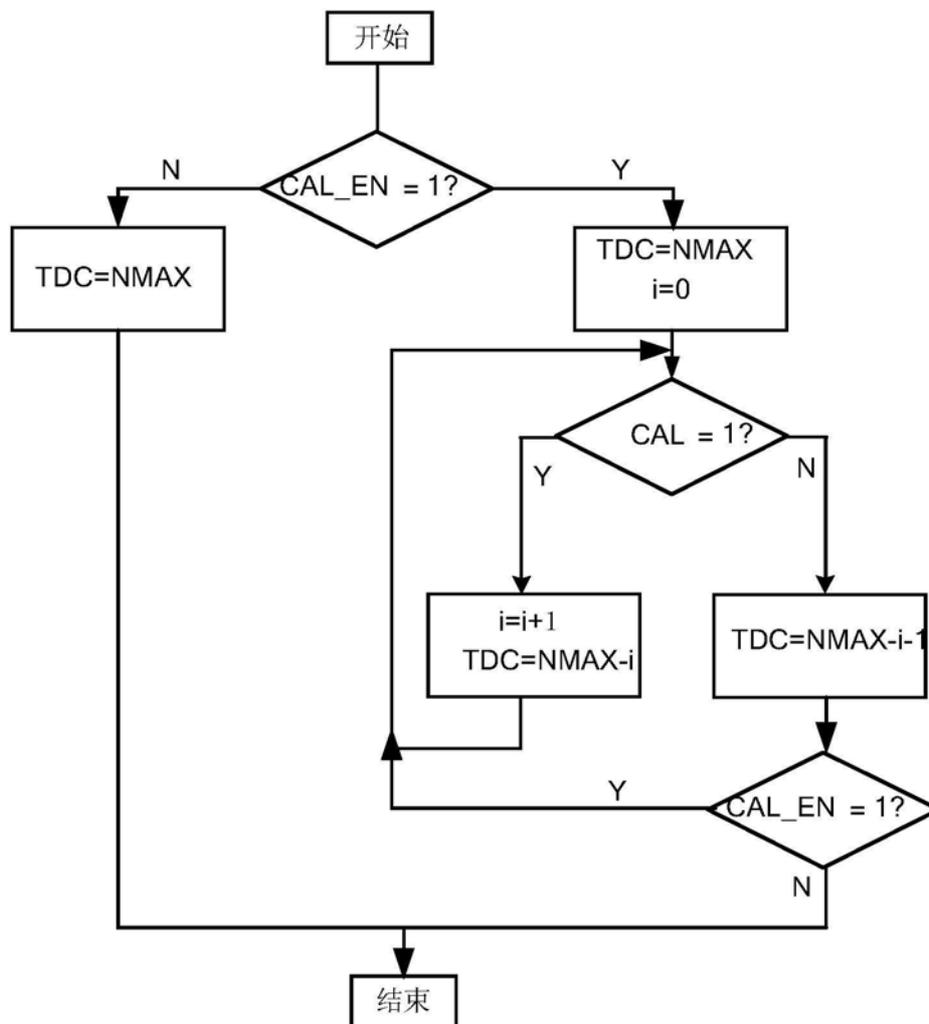


图4

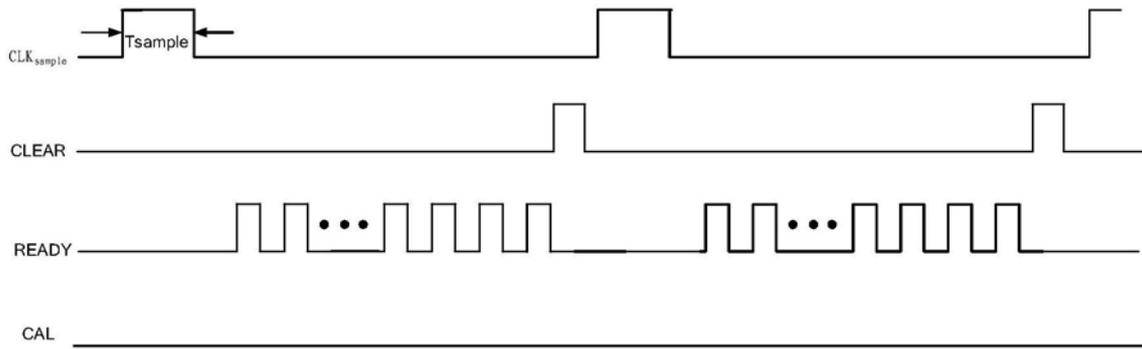


图5

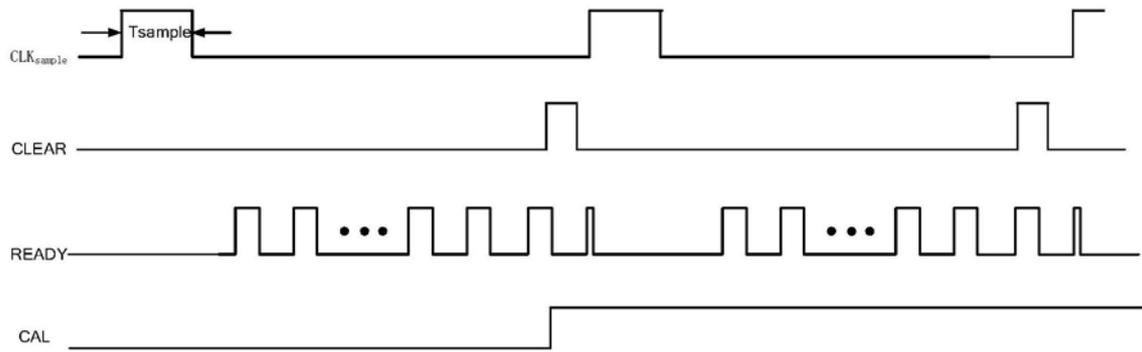


图6