



(12) 发明专利申请

(10) 申请公布号 CN 105742236 A

(43) 申请公布日 2016. 07. 06

(21) 申请号 201511020867. 4

H01L 27/02(2006. 01)

(22) 申请日 2015. 12. 30

(30) 优先权数据

14/586, 268 2014. 12. 30 US

(71) 申请人 格罗方德半导体公司

地址 英属开曼群岛大开曼岛

(72) 发明人 A·拉特波夫 J·徐

(74) 专利代理机构 北京戈程知识产权代理有限公司

公司 11314

代理人 程伟 王锦阳

(51) Int. Cl.

H01L 21/768(2006. 01)

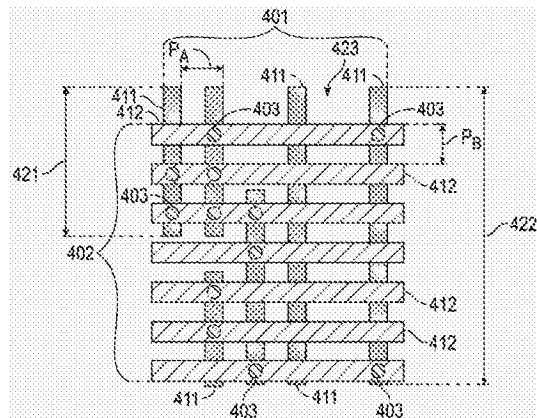
权利要求书3页 说明书11页 附图11页

(54) 发明名称

以定向自组装形成通孔及接触结构的制造集成电路的方法

(57) 摘要

本发明揭露以定向自组装形成通孔及接触结构的制造集成电路的方法。一种示例方法包括确定定向自组装 (directed self-assembly ;DSA) 期间在嵌段共聚物 (block copolymer ;BCP) 材料中形成的圆柱体之间的自然六角间隔距离 L_0 以及依据公式 $P_A = L_0 * (\sqrt{3} / 2) * n$ 确定集成电路特征间距 P_A , 其中 n 为正整数。该方法还包括产生较佳地适应聚合物圆柱体的自然形成排列的集成电路布局设计, 其中, 集成电路特征是依据该集成电路特征间距 P_A 而隔开, 以及其中, 通孔或接触结构与该集成电路特征实体连接及电性连接; 以及依据该集成电路布局设计在半导体在制品 (work-in process ;WIP) 上制造该集成电路特征以及该通孔或接触结构, 其中, 该通孔或接触结构是使用 BCP 材料的定向自组装而制造。



1. 一种制造集成电路的方法,包括:

确定定向自组装(directed self-assembly; DSA)期间在嵌段共聚物(block copolymer; BCP)材料中形成的圆柱体之间的自然六角间隔距离 L_0 ;

依据公式 $P_A = L_0 * (\sqrt{3}/2) * n$ 确定集成电路特征间距 P_A ,其中 n 为正整数;

产生集成电路布局设计,其中,集成电路特征依据该集成电路特征间距 P_A 而隔开,以及其中,通孔或接触结构与该集成电路特征实体连接及电性连接;以及

依据该集成电路布局设计在半导体在制品(work-in process; WIP)上制造该集成电路特征以及该通孔或接触结构,其中,该通孔或接触结构使用该BCP材料的定向自组装而制造。

2. 如权利要求1所述的方法,其中,确定该间隔距离 L_0 包括确定在BCP材料中形成的圆柱体之间的间隔距离 L_0 ,该BCP材料包括聚苯乙烯-嵌段-聚甲基丙烯酸甲酯(PS-b-PMMA)、聚苯乙烯-嵌段-聚丁二烯(PS-b-PB)、聚苯乙烯-嵌段-聚2-乙烯基吡啶(PS-b-P2VP)、聚苯乙烯-嵌段-聚二甲基硅氧烷(PS-b-PDMS)或聚苯乙烯-嵌段-聚氧化乙烯(PS-b-PEO)。

3. 如权利要求1所述的方法,其中,产生该集成电路布局设计包括依据该集成电路特征间距 P_A 而隔开金属化层的平行导线。

4. 如权利要求1所述的方法,其中,产生该集成电路布局设计包括产生该集成电路布局设计,其中,主动集成电路结构依据该集成电路特征间距 P_A 而隔开。

5. 如权利要求1所述的方法,其中,确定该集成电路特征间距 P_A 包括依据公式 $P_A = L_0 * (\sqrt{3}/2) * n$ 确定该集成电路特征间距 P_A ,其中 n 为1。

6. 如权利要求5所述的方法,其中,确定该集成电路特征间距 P_A 是针对该集成电路的第一层的集成电路特征而执行,其中,该方法还包括针对设于该集成电路的该第一层上方或下方的该集成电路的第二层的集成电路特征确定集成电路特征间距 P_B ,其中,确定该集成电路特征间距 P_B 是依据公式 $P_B = (L_0/2) * m$ 而执行,其中 m 为独立于 n 所选择的正整数,以及其中,该方法还包括产生该集成电路布局设计,其中,该集成电路的该第一层的集成电路特征是依据该集成电路特征间距 P_A 而隔开以及该集成电路的该第二层的集成电路特征是依据该集成电路特征间距 P_B 而隔开。

7. 如权利要求6所述的方法,其中,确定该集成电路特征间距 P_B 包括依据公式 $P_B = (L_0/2) * m$ 确定该集成电路特征间距 P_B ,其中 m 为1。

8. 如权利要求5所述的方法,其中,确定该集成电路特征间距 P_A 是针对该集成电路的第一层的集成电路特征而执行,其中,该方法还包括针对设于该集成电路的该第一层上方或下方的该集成电路的第二层的集成电路特征确定集成电路特征间距 P_B ,其中,确定该集成电路特征间距 P_B 是依据公式 $P_B = L_0 * (\sqrt{3}/2) * m$ 而执行,其中, m 为独立于 n 所选择的正整数,以及其中,该方法还包括产生该集成电路布局设计,其中,该集成电路的该第一层的集成电路特征是依据该集成电路特征间距 P_A 而隔开以及该集成电路的该第二层的集成电路特征是依据该集成电路特征间距 P_B 而隔开。

9. 如权利要求8所述的方法,其中,确定该集成电路特征间距 P_B 包括依据公式 $P_B = L_0 * (\sqrt{3}/2) * m$ 确定该集成电路特征间距 P_B ,其中 m 为1。

10. 如权利要求8所述的方法,其中,产生该集成电路布局设计包括产生该集成电路布局设计以使该集成电路的该第一层的该集成电路特征沿第一方向取向且使该第二层的该

集成电路特征沿相对该第一方向呈一角度的第二方向取向,从而使与该集成电路的该第一层连接并以该间隔距离 L_0 彼此隔开的圆柱体也与该集成电路的该第二层连接。

11. 如权利要求10所述的方法,其中,产生该集成电路布局设计包括产生该集成电路布局设计,以使该第二层的该集成电路特征沿相对该第一方向呈约50度至约70度的角度的该第二方向取向。

12. 如权利要求1所述的方法,其中,确定该集成电路特征间距 P_A 包括依据公式 $P_A = L_0 * (\sqrt{3}/2) * n$ 确定该集成电路特征间距 P_A ,其中 n 为2。

13. 如权利要求12所述的方法,其中,确定该集成电路特征间距 P_A 是针对该集成电路的第一层的集成电路特征而执行,其中,该方法还包括针对设于该集成电路的该第一层上方或下方的该集成电路的第二层的集成电路特征确定集成电路特征间距 P_B ,其中,确定该集成电路特征间距 P_B 是依据公式 $P_B = (L_0/2) * m$ 而执行,其中 m 为独立于 n 所选择的正整数,以及其中,该方法还包括产生该集成电路布局设计,其中,该集成电路的该第一层的集成电路特征是依据该集成电路特征间距 P_A 而隔开以及该集成电路的该第二层的集成电路特征是依据该集成电路特征间距 P_B 而隔开。

14. 如权利要求13所述的方法,其中,确定该集成电路特征间距 P_B 包括依据公式 $P_B = (L_0/2) * m$ 确定该集成电路特征间距 P_B ,其中 m 为1。

15. 一种制造集成电路的方法,包括:

确定集成电路特征间距 P_A ,其中, P_A 大于或等于最小微影间距,该最小微影间距用以图案化约束阱以在定向自组装(directed self-assembly; DSA)期间包围嵌段共聚物(block copolymer; BCP)材料;

产生集成电路布局设计,其中,集成电路特征依据该集成电路特征间距 P_A 而隔开,以及其中,通孔或接触结构与该集成电路特征实体连接及电性连接;以及

依据该集成电路布局设计在半导体在制品(work-in process; WIP)上制造该集成电路特征以及该通孔或接触结构,其中,该通孔或接触结构是使用该BCP材料的定向自组装而制造。

16. 如权利要求15所述的方法,其中,确定该集成电路特征间距 P_A 包括依据光学微影、紫外光(UV)微影、极紫外光(EUV)微影或深紫外光(DUV)微影的最小微影间距而确定该集成电路特征间距 P_A 。

17. 如权利要求15所述的方法,其中,确定该集成电路特征间距 P_A 是针对该集成电路的第一层的集成电路特征执行,其中,该方法还包括针对设于该集成电路的该第一层上方或下方的该集成电路的第二层的集成电路特征确定集成电路特征间距 P_B ,其中,确定该集成电路特征间距 P_B 是依据公式 $P_B = (L_0/2) * m$ 而执行,其中 m 为正整数,以及其中,该方法还包括产生该集成电路布局设计,其中,该集成电路的该第一层的集成电路特征依据该集成电路特征间距 P_A 而隔开以及该集成电路的该第二层的集成电路特征依据该集成电路特征间距 P_B 而隔开。

18. 一种制造集成电路的方法,包括:

确定定向自组装(directed self-assembly; DSA)期间在嵌段共聚物(block copolymer; BCP)材料中形成的圆柱体之间的自然六角间隔距离 L_0 ;

确定该集成电路的第一层的集成电路特征间距 P_A 大于或等于被用以图案化约束阱以在

定向自组装期间包围该BCP材料的最小微影间距或者等于 $L_0 * (\sqrt{3}/2) * n$,其中n为正整数;

确定该集成电路的第二层的集成电路特征间距 P_B 等于 $(L_0/2) * m$ 或者 $L_0 * (\sqrt{3}/2) * m$,其中m为独立于n所选择的正整数,以及其中,该集成电路的该第一层设于该集成电路的该第二层上方或下方;

产生集成电路布局设计,其中,该集成电路的该第一层的集成电路特征依据该集成电路特征间距 P_A 而隔开,其中,该集成电路的该第二层的集成电路特征依据该集成电路特征间距 P_B 而隔开,以及其中,通孔或接触结构实体连接及电性连接于该集成电路的该第一及第二层两者的该集成电路特征之间;以及

依据该集成电路布局设计在半导体在制品(work-in process;WIP)上制造该集成电路特征以及该通孔或接触结构,其中,该通孔或接触结构使用该BCP材料的定向自组装而制造。

19.如权利要求18所述的方法,其中,使用该BCP材料的定向自组装制造该通孔或接触结构包括:利用微影图案化位于该半导体WIP上方的光阻层,以形成图案化光阻层;选择性蚀刻该光阻层以形成形貌特征,该形貌特征在该光阻层中定义约束阱;使用该BCP材料填充该约束阱;通过热处理而微相分离该BCP材料,以在该BCP材料中形成该圆柱体;移除该BCP材料中的该圆柱体,从而在该BCP材料中形成开口并定义掩膜以将该开口蚀刻转移至该半导体WIP,从而形成通孔或接触孔;以及使用导电材料填充该通孔或接触孔,以形成该通孔或接触结构。

20.如权利要求18所述的方法,还包括在该半导体WIP上制造闲置通孔或接触结构,该闲置通孔或接触结构不与该集成电路布局设计的该通孔或接触结构对应,且不与该集成电路的该第一及第二层的该集成电路特征的任意一个或两个连接。

以定向自组装形成通孔及接触结构的制造集成电路的方法

技术领域

[0001] 本发明大致涉及制造集成电路的方法,尤其涉及利用定向自组装形成通孔及接触结构的制造集成电路的方法。

背景技术

[0002] 传统上,降低装置尺寸并增加装置密度已成为集成电路制造的高优先级任务。光学微影已成为装置尺寸缩小的驱动力。对于单一曝光图案化,传统光学微影受限于约80纳米(nm)间距。尽管双重或其它多重图案化制程可实现更小间距,但这些方法昂贵且更加复杂。

[0003] 在微影定义的定向或引导图案上对齐自组装聚合物材料的定向自组装(directed self-assembly; DSA)技术是使当前微影超越其间距及分辨率限制的潜在选择。自组装材料例如为包括“A”均聚物与“B”均聚物共价键合的嵌段共聚物(block copolymer; BCP),该嵌段共聚物沉积于半导体在晶圆(wafer-in-process)或在制品(work-in-process; WIP)上的微影定义定向图案上方。该微影定义定向图案是预图案(下文中称作“DSA定向图案”),它使用空间化学和/或形貌信息(例如化学外延和/或制图外延)编码并用以对自组装制程以及由自组装材料形成的图案加以定向。随后,通过退火DSA聚合物,A聚合物链及B聚合物链经由微相分离(micro-phase separation)形成A聚合物区及B聚合物区,该A聚合物区及该B聚合物区与下方的DSA定向图案对齐以定义纳米图案(下文中称为“DSA图案”)。这些A及B聚合物区由嵌段共聚物高分子所施加的分子内及分子间作用力形成。这些聚合物区的尺寸由嵌段共聚物分子的特征尺寸确定,从而形成与DSA定向图案相比具有更小尺寸的结构。接着,通过湿式化学或等离子体蚀刻技术移除A聚合物区块或B聚合物区块来形成掩膜,以将该DSA图案转移至下方的半导体在制品。

[0004] 一种DSA技术是制图外延,其中,通过形成于半导体在制品上方的形貌特征来定向自组装。例如,这种技术用以形成通孔及接触孔,随后使用导电材料填充该通孔及接触孔,以在半导体在制品的一个或多个层之间形成电性连接。尤其,为在半导体在制品上方形成该形貌特征,使用定义掩膜特征的光掩膜以及传统的微影技术将该掩膜特征转移至位于半导体在制品上方的光阻层,以形成图案化光阻层。显影后的光阻图案可直接使用或者被进一步蚀刻进入下方层,以形成该形貌特征,该形貌特征定义约束阱。例如,图1A显示半导体在制品101,在其上方形成有图案化光阻材料层102以定义多个约束阱103。

[0005] 使用嵌段共聚物填充约束阱,该嵌段共聚物随后经微相分离以形成例如分别由该嵌段共聚物的A聚合物区或B聚合物区形成的选择性可蚀刻圆柱体或其它可蚀刻特征。移除该可蚀刻圆柱体以形成开口并定义掩膜,以将该开口蚀刻转移至下方的半导体在制品,从而形成通孔及接触孔。例如,图1B显示使用嵌段共聚物填充约束阱103以后且该嵌段共聚物微相分离成多个圆柱体聚合物A区104及围绕聚合物A区104的聚合物B区105以后的图1A的半导体在制品101。

[0006] 在不存在约束阱的情况下,以上述方式在BCP膜中形成的圆柱体聚合物区通常自

组装成六角排列图案,如图2所示。在这里及下文中,六角形是指正六角形,它是具有六个顶点及等长的六条边且所有内角都等于120度的多角形。在图2中的圆柱体聚合物A区104上迭加六角形迭层200,以较佳地显示这个组构。该六角形迭层的各边长度表示圆柱体(由各圆柱体的中心点定义)之间的自然六角间隔距离,在现有技术中通常被称为间隔距离 L_0 ,如图所示。集成电路的通孔或接触结构的布局设计常常不适合此类六角形组构。可在有限程度上使用约束阱来形成更复杂的形状并使其中一些圆柱体脱离其自然的六角形排列,但这种方法受约束阱图案化制程的分辨率限制,如上所述。因此,并不总是能使圆柱体位置与集成电路的精确通孔/接触孔布局设计匹配。例如,图3显示用以试图使BCP圆柱体图案与所需布局图案匹配的复杂形状约束阱303。图3中显示位于约束阱303中的多个圆柱体312及313,且通过约束阱303上的多个通孔/接触结构311显示所需布局图案。如图所示,圆柱体312不合期望地未与通孔/接触结构311对齐。而且,圆柱体313形成于不打算形成通孔/接触结构的地方。在这个例子中,仅在位置314,圆柱体与通孔/接触结构的图案布局是基本对齐。因此,尽管约束阱303试图使所有圆柱体与所需图案布局匹配,但仅使用约束阱来定向圆柱体设置的缺点是明显的。

[0007] 现有技术已尝试使用DSA邻近校准技术,以通过使用各种约束阱形状来迫使圆柱体偏离其自然的六角形排列,从而进一步调整圆柱体的形成。这些尝试将圆柱体的形成从圆柱体的自然图案角度修改成更紧密匹配所需的布局设计。不过,现有技术从未尝试以集成电路布局设计而非约束阱设计的角度来解决圆柱体设置问题。换句话说,现有技术尚未试图更改集成电路布局设计以较佳地适应聚合物圆柱体的自然(六角形)形成排列。

[0008] 因此,期望提供利用定向自组装形成更接近所需集成电路布局设计的通孔及接触结构的制造集成电路的方法。另外,期望提供此种方法,其使用“DSA-感知”集成电路布局设计使通孔及接触孔的所需设置与聚合物圆柱体自然形成(也就是呈六角形组构)的位置匹配。而且,从下面结合附图及背景技术所作的实施方式以及所附权利要求书中将清楚本发明的其它期望的特征及特性。

发明内容

[0009] 本发明揭露利用定向自组装形成通孔及接触结构的制造集成电路的方法。依据一个示例实施例,一种制造集成电路的方法包括确定定向自组装(directed self-assembly; DSA)期间在嵌段共聚物(block copolymer; BCP)材料中形成的圆柱体之间的自然六角间隔距离 L_0 以及依据公式 $P_A = L_0 * (\sqrt{3}) / 2 * n$ 确定集成电路特征间距 P_A ,其中 n 为正整数。该方法还包括:产生集成电路布局设计,其中,集成电路特征依据该集成电路特征间距 P_A 而隔开,以及其中,通孔或接触结构与该集成电路特征实体连接及电性连接;以及依据该集成电路布局设计在半导体在制品(work-in process; WIP)上制造该集成电路特征以及该通孔或接触结构,其中,该通孔或接触结构使用该BCP材料的定向自组装而制造。

[0010] 依据另一个示例实施例,一种制造集成电路的方法包括:确定集成电路特征间距 P_A ,其中, P_A 大于或等于被用以图案化约束阱以在定向自组装(DSA)期间包围嵌段共聚物(BCP)材料的最小微影间距;以及产生集成电路布局设计,其中,集成电路特征依据该集成电路特征间距 P_A 而隔开,以及其中,通孔或接触结构与该集成电路特征实体连接及电性连接。该方法还包括依据该集成电路布局设计在半导体在制品(WIP)上制造该集成电路特征

以及该通孔或接触结构,其中,该通孔或接触结构使用该BCP材料的定向自组装而制造。

[0011] 依据又一个示例实施例,一种制造集成电路的方法包括:确定定向自组装(DSA)期间在嵌段共聚物(BCP)材料中形成的圆柱体之间的自然六角间隔距离 L_0 ;确定该集成电路的第一层的集成电路特征间距 P_A 大于或等于被用以图案化约束阱以在定向自组装期间包围该BCP材料的最小微影间距或者等于 $L_0 * (\sqrt{3}/2) * n$,其中 n 为正整数;以及确定该集成电路的第二层的集成电路特征间距 P_B 等于 $(L_0/2) * m$ 或者 $L_0 * (\sqrt{3}/2) * m$,其中 m 为独立于 n 所选择的正整数,以及其中,该集成电路的该第一层设于该集成电路的该第二层上方或下方。该方法还包括:产生集成电路布局设计,其中,该集成电路的该第一层的集成电路特征依据该集成电路特征间距 P_A 而隔开,其中,该集成电路的该第二层的集成电路特征依据该集成电路特征间距 P_B 而隔开,以及其中,通孔或接触结构实体连接及电性连接于该集成电路的该第一及第二层的该集成电路特征之间;以及依据该集成电路布局设计在半导体在制品(WIP)上制造该集成电路特征以及该通孔或接触结构,其中,该通孔或接触结构使用该BCP材料的定向自组装而制造。

附图说明

[0012] 下文中将结合附图说明各种实施例,这些附图中相同的元件符号代表类似的元件,以及其中:

[0013] 图1A及图1B显示依据先前技术已知制程在半导体在制品上方形成聚合物圆柱体;

[0014] 图2显示先前技术已知的聚合物圆柱体的自然六角排列;

[0015] 图3显示依据先前技术已知制程使用复杂图案化的约束阱来调整聚合物圆柱体的自然排列,以更紧密匹配所需集成电路设计布局;

[0016] 图4显示可在其中实施本发明的各种实施例的示例集成电路环境;

[0017] 图5至图9显示依据本发明的各种示例实施例有关设置通孔及接触结构的“DSA-感知”集成电路设计原理;以及

[0018] 图10至图15提供依据本发明的各种示例实施例利用该“DSA-感知”集成电路设计原理的集成电路结构以及制造集成电路结构的方法。

[0019] 符号说明:

[0020]	101	半导体在制品
[0021]	102	图案化光阻材料层
[0022]	103	约束阱
[0023]	104	聚合物A区
[0024]	105	聚合物B区
[0025]	200	六角形迭层
[0026]	303	约束阱
[0027]	311	通孔/接触结构
[0028]	312、313	圆柱体
[0029]	314	位置
[0030]	401	第一层、层
[0031]	402	第二层、层

[0032]	403	电性连接结构、结构
[0033]	411	集成电路特征、集成电路特征线、特征线、线
[0034]	412	特征线、线
[0035]	421、422	长度
[0036]	423	位置
[0037]	501	第一层、层
[0038]	502	第二层、层
[0039]	503	通孔或接触结构
[0040]	505	约束阱
[0041]	511、512	特征线、线
[0042]	601	第一层、层
[0043]	602	第二层、层
[0044]	603	通孔或接触结构
[0045]	605	约束阱
[0046]	611、612	特征线
[0047]	617	角度
[0048]	711、712	特征线
[0049]	730	单元
[0050]	751、752	单元排列
[0051]	775	矩形标准单元
[0052]	776a、775b	角落区
[0053]	801	第一层、层
[0054]	802	第二层、层
[0055]	803	通孔或接触结构
[0056]	804	闲置或不连接的通孔或接触结构
[0057]	805	约束阱
[0058]	811、812	特征线
[0059]	901	第一层、层
[0060]	902	第二层、层
[0061]	903	通孔或接触结构
[0062]	905	约束阱、阱
[0063]	911、912	特征线
[0064]	1001	第一层
[0065]	1003	层间介电材料层
[0066]	1005	光阻材料层
[0067]	1006	图案
[0068]	1007	第二层
[0069]	1008	约束阱
[0070]	1010	可蚀刻相

[0071] 1012 抗蚀刻相

[0072] 1014、1016 开口。

具体实施方式

[0073] 下面的实施方式仅为示例性质,并非意图限制各种实施例或此类实施例的应用以及使用。而且,在前面的先前技术或下面的实施方式中呈现的任何理论并非意图限制本发明。

[0074] 本发明的实施例通常涉及利用定向自组装形成通孔及接触结构的制造集成电路的方法。出于简化目的,这里可能不详细说明有关集成电路装置制造的传统技术。而且,这里所述的各种任务以及制程步骤可纳入这里未详细描述的具有额外步骤或功能的更广泛的程序或制程中。尤其,在以半导体为基础的记忆体结构制造中的各种步骤是已知的,因此出于简化目的,许多传统步骤仅在这里简单提及或者完全省略而不提供已知的制程细节。

[0075] 这里所述的示例实施例提供通孔和/或接触结构的制造,随后可使用导电材料填充该通孔和/或接触结构,以形成集成电路的导电连接结构(也就是通孔及接触件)。如现有技术所熟知,术语“通孔”通常用于指在两个金属化层之间提供电性连接的导电连接结构,例如可在后端制程(back-end-of-line;BEOL)制程中形成。而且,术语“接触件”通常用于指在主动集成电路结构例如晶体管(也就是其栅极电极或源极/漏极区)与上方金属化层之间提供电性连接的导电连接结构。为方便说明,下面将详细描述的附图显示在制造通孔结构(也就是两个金属化层之间的导电元件)的背景下的特定实施例。不过,本领域的技术人员将了解,这些实施例也可在制造接触结构(也就是主动集成电路结构与金属化层之间的导电元件)的背景下实施。

[0076] 例如,图4显示其中可实施本发明的各种实施例的示例集成电路环境。总体而言,图4显示集成电路的第一层401以及集成电路的第二层402。假定图4为层401及402的顶视图,本领域的技术人员将了解,第二层402被设置成位于第一层401上方。多个电性连接结构403在层401与402之间提供电性连接,电性连接结构403在各种实施例中可为通孔或接触件。电性连接结构403提供连接层401与402的电性路径。如这里所使用者,本领域的技术人员将理解,当元件或层(例如BCP圆柱体元件或光阻层)被称为位于另一元件或层“上”或“上方”或与另一元件或层“连接”或“耦接”时,该元件或层可直接位于该另一元件或层“上”或“上方”或与该另一元件或层“连接”或“耦接”,或者可存在中间元件或层。而且,这里可使用空间相关术语例如“在下面”、“在下方”、“在上面”、“下方的”、“之下”、“之上”、“上方的”等,以方便说明如附图中所示的一个元件或特征与一个或多个其它元件或特征的关系。本领域的技术人员将理解,除附图中所示方位以外,该空间相关术语意图包括在使用或操作中的装置的不同方位。例如,如果翻转附图中的集成电路布局设计,则所述在其它元件或特征“下方”或“下面”的元件将会位于该其它元件或特征“上方”。因此,示例术语“下方”可包括上方及下方的方位。装置还可呈其它取向(旋转90度或处于其它方位),相应可类似地解释这里所使用的空间相关说明,如上所述,在结构403为通孔的实施例中,层401及402被理解为集成电路的金属化层(例如M1、M2、M3等)。因此,在该实施例中,各集成电路特征411(下文中被称为层401的集成电路特征“线”411)是金属化层的平行导线。而且,层402的各特征线412是上方金属化层的平行导线。在结构403为接触件的实施例中,层401的特征线411

可表示集成电路的主动特征/结构,例如栅极电极或源极/漏极结构,且层402的特征线412表示上方金属化层(例如M1)的平行导线。

[0077] 如图4进一步所示,层401的特征线411与层402的特征线412可相对彼此实质垂直。这是当代集成电路设计原理的普遍特征。这里所使用的术语“实质”是指动作、特性、属性、状态、结构、项目或结果的完全或接近完全的程度。作为一个任意的例子,被“实质”包围的对象意味着该对象或者被完全包围或者几乎完全包围。在一些情况下,偏离绝对完全的精确允许程度是取决于特定的背景。不过,一般来说,完全接近将会具有与获得绝对且彻底的完全相同的总体结果。不过,在其它例子中,特征线411及412不需要相对彼此垂直,而是可呈另一个角度,例如约60度,下面会结合图6作更详细说明。当然,特征线不需要全部都具有相同的长度,有一些可能不存在或者“缺漏”。例如,层401显示具有不同长度的特征线411,也就是比较特征线411的长度421与长度422。而且,在位置423处,特征线411并不存在。当然,本领域的技术人员将了解,与411类似,特征线412可具有不同的长度或者可缺漏。特征线411及412的不同长度及存在将依据特定的集成电路设计而大幅变化,且不当被理解为在此所述的实施例的限制特征。

[0078] 另外,图4显示层401的集成电路特征线间距 P_A 以及层402的集成电路特征线间距 P_B 。 P_A 是指上方层还是下方层的间距通常不重要,且将一层的间距标示为 P_A 并将另一层的间距标示为 P_B 不当被理解为当前所述实施例的限制特征。换句话说,在不同实施例中,具有特征间距 P_A 的第一层401可被理解为位于具有特征间距 P_B 的第二层402的上方或下方。如图4所示,且如先前技术传统所使用者,术语“间距”是用以定义相邻特征线之间的间隔距离,其中,在每条线的相同位置执行测量间隔距离(也就是如图4所示的线411的最右侧边缘以及线412的最顶部边缘)。当特征线不存在时,如在图4的位置423处,间隔距离则变为 $2 * P_A$,以此类推。

[0079] 现在将结合图5至图9说明本发明的各种实施例。应当了解,有关示例半导体环境(例如线组构及长度、间距、电性连接结构等)的图4的上述讨论适用于下列图5至图9中的每一个附图,因此,出于简化讨论目的,不会就每个这样的附图重复上述说明。

[0080] 在结合图5至图8的下述各种示例实施例中,通过设定 P_A 等于 $L_0 * (\sqrt{3}/2) * n$ 来创建“DSA-感知”集成电路布局设计,其中 n 为正整数。尽管从严格数学角度来看,“ $\sqrt{3}/2$ ”的数值为 ~ 0.866025 ,但应当了解,本发明的所述实施例以及所导致的权利要求是指近似意义上的“ $\sqrt{3}/2$ ”,而不是指至任意特定小数位的精确值。这意味着在这里的所有情况下, ~ 0.866025 的精确值应当被理解为包括高于或低于该精确数值的特定容差“ Δ ”。容差 Δ 是由本领域技术人员基于特定的DSA制程以及所选择使用的BCP材料的知识确定的值,但可通常在精确数值的20%、10%、5%或1%的其中一个范围内。例如,如果本领域的技术人员知道使用特定嵌段共聚物的特定DSA制程往往与完美几何(六角形)排列呈大约10%的偏差,则在此类情况下选择 Δ 为 ~ 0.866025 的精确数值的10%并因此表明术语“ $\sqrt{3}/2$ ”具有 $\sim 0.866025 \pm 10\%$ 的含义是合适的。总之,当使用BCP材料的定向自组装的性质通常不允许这样严格时,本发明不当被解读为需要严格的几何比例(也就是 $\sqrt{3}/2$ 的精确数值)来实施。

[0081] 值得注意的是,除非特定实施例中特别指出,否则这里所述的方法不受所述步骤的特定顺序约束。出于说明目的,方法被描述为特定序列的步骤,不过,应当理解,特定序列

的步骤的任意数目排列是可能的,只要实现所述的组件修复目的即可。换句话说,可以任意可行的顺序执行所揭露方法的任意一种所列的步骤,且本发明的方法不限于任意所述实施例、例子或所附权利要求书中所提出的任意特定顺序。因此,如下面结合图5至图8的更详细说明,一种制造集成电路的示例方法包括确定定向自组装(DSA)期间在嵌段共聚物中形成的圆柱体之间的自然六角间隔距离 L_0 。基于特定的BCP材料选择可作该确定,下面更详细地提供各种例子。而且,BCP材料选择可基于所需的 L_0 距离,该距离可依据制程的约束条件或依据所需的集成电路布局间距而预先确定。换句话说,可首先确定集成电路设计及角度,接着依据此类集成电路设计选择适当的BCP材料。如上面一开始所述,执行方法中的这些步骤的顺序并不重要。该示例方法还包括依据公式 $P_A=L_0*(\sqrt{3}/2)*n$ 来确定通孔或接触孔间隔距离 P_A ,其中 n 为正整数。另外,该方法还包括产生集成电路布局设计,其中,依据通孔或接触孔间隔距离 P_A 而隔开通孔或接触孔。在这点上,可以数个不同的格式产生集成电路布局设计。图形数据系统II(Graphic Data System II;GDSII)格式是传输并存档二维(2D)图形电路布局数据的常见格式。除其它特征以外,它还包含阶层结构,每个结构包含布局元件(例如多角形、路径或折线、圆圈以及文字方块)。例如,其它格式包括最近由半导体设备及材料国际协会(Semiconductor Equipment and Materials International;SEMI)提出的开放图稿系统交换标准(Open Artwork System Interchange Standard;OASIS)。这些不同的产业格式是用以定义用于制造集成电路的设计布局中的几何资讯。

[0082] 另外,在结合图9的下述各种示例实施例中,通过设定 P_A 大于或等于用以图案化约束阱以在定向自组装期间包围嵌段共聚物材料的最小微影间距来产生“DSA-感知”集成电路布局设计。因此,如下面结合该附图所作的更详细说明,一种制造集成电路的方法包括确定通孔或接触孔间隔距离 P_A 大于或等于用以图案化约束阱以在定向自组装期间包围嵌段共聚物材料的最小微影间距,以及产生集成电路布局设计,其中,依据通孔或接触孔间隔距离 P_A 隔开通孔或接触孔。

[0083] 现请具体参照图5,其显示依据本发明的一个示例实施例的“DSA-感知”集成电路布局设计。该布局设计包括含有多个特征线511的第一层501,以及含有多个特征线512且位于第一层501上方的第二层502,其中,特征线511及512相对彼此实质垂直。关于特征线511或512(以及一般适用于例如图6、8及9中的所有下述实施例的特征线),本领域的技术人员将了解,出于简化目的,所示的这些特征线没有剪切或者终止金属线。尽管这些附图上所示的特征线没有剪切,但实际集成电路设计可包括此类剪切或金属线终止,包括可使一些金属线不存在或部分不存在的剪切或终止。剪切的存在或不存在不影响当前揭露的实施例的实质意义,因此这里出于简化目的不显示任何剪切或线终止。特征线511的间距 P_A 设定成等于 $L_0*(\sqrt{3}/2)*n$,其中 n 为正整数。在该示例实施例中, n 等于1,因此 P_A 等于 $L_0*(\sqrt{3}/2)$ 。特征线512的间距设定成 P_B 等于 $(L_0/2)*m$,其中 m 为独立于 n 所选择的正整数。在该示例实施例中, m 等于1,因此 P_B 等于 $L_0/2$ 。相应地,上述示例方法还包括确定设于该集成电路的第一层上方或下方的集成电路的第二层的集成电路特征的集成电路特征间距 P_B ,其中,依据公式 $P_B=(L_0/2)*m$ 执行确定集成电路特征间距 P_B ,其中, m 为独立于 n 所选择的正整数,在该例子中也为1。还应当注意,对于此实施例以及下面的实施例,选择 n 和/或 m 的值高于那些指定值可能需要在如图5所示的511及512的特征线之间设置“闲置”或不连接通孔或接触结构而不与特征线连接。这里所用的术语“闲置”通孔或接触结构是指不在上方集成电路层之

间提供电性连接以及因此与最多一个集成电路层的线特征连接的通孔或接触结构。多个通孔或接触结构503电性连接层501及502,通孔或接触结构503形成于利用传统微影技术预先图案化的多个DSA约束阱505中。

[0084] 从几何角度(其中,基本几何原理教导从正六角形的边到其中心点的垂直距离是由该边的长度乘以 $\sqrt{3}/2$ 来定义)并考虑BCP圆柱体的自然六角间隔距离 L_0 ,设定 P_A 等于 $L_0 * (\sqrt{3}/2)$ 且 P_B 等于 $L_0/2$ 允许在每隔一个特征线511及512的交叉处设置通孔或接触结构503。这里所使用的术语“交叉”是指从上方看时两个不同层中的两条特征线明显相交,不过应当理解,特征线不会实际接触彼此,而是使用导电通孔或接触结构在交叉点处的线之间提供电性连接。因此,如图5所示,对于给定的线511,可在位于该线上方的每隔一条特征线512的交叉处设置通孔或接触结构503,且对于给定的线512,可在位于该线下方的每隔一条特征线511的交叉处设置通孔或接触结构503。特定的交叉是否具有通孔或接触结构提供电性连接取决于约束阱505图案,其相应取决于集成电路布局设计。对比于试图使圆柱体的排列符合所需间距的方式,依据BCP圆柱体的自然六角排列隔开特征线511及512的方式允许产生“DSA-感知”集成电路布局设计,其使BCP圆柱体能够依据其自然顺序形成,并避免可能导致上面参照图3所述的通孔或接触件不对齐的先前技术。

[0085] 现在请参照图6,其显示依据本发明的另一个示例实施例的“DSA-感知”集成电路布局设计。该布局设计包括含有多个特征线611的第一层601以及含有多个特征线612且位于第一层601上方的第二层602。在该实施例中,特征线611及612没有相对彼此实质垂直,相反地,特征线611沿第一方向取向而特征线612沿相对该第一方向呈一个角度的第二方向取向,使得与层601连接且以间隔距离 L_0 相互隔开的圆柱体也与集成电路的第二层连接。在给定BCP圆柱体的自然六角排列的情况下,该角度617通常在约50度至约70度的范围内,例如约60度。特征线611的间距 P_A 设定成等于 $L_0 * (\sqrt{3}/2) * n$,其中 n 为正整数。在该示例实施例中, n 等于1,因此 P_A 等于 $L_0 * (\sqrt{3}/2)$ 。特征线612的间距 P_B 设定为 $L_0 * (\sqrt{3}/2) * m$,其中 m 为独立于 n 所选择的正整数。在该示例实施例中, m 等于1,因此 P_B 等于 $L_0 * (\sqrt{3}/2)$ 。多个通孔或接触结构603电性连接层601及602,通孔或接触结构603形成于利用传统微影技术预先图案化的多个DSA约束阱605中。

[0086] 从几何角度并考虑BCP圆柱体的自然六角间隔距离 L_0 ,设定 P_A 等于 $L_0 * (\sqrt{3}/2)$ 且 P_B 等于 $L_0 * (\sqrt{3}/2)$ 需要使特征线611及612相对彼此以约60度的角度617设置,以使BCP圆柱体自然位于特征线611与612的交叉处。不过,与图5的实施例相反,可能在每个交叉处而不是每隔一个交叉处设置通孔或接触结构。这样,特定的交叉处是否具有通孔或接触结构提供电性连接仅取决于约束阱605图案,约束阱605图案相应取决于集成电路布局设计。

[0087] 先前技术所熟知的是,集成电路的相关特征的分组是以“标准单元”或“单元”的模块形式提供。在先前技术排列中,单元通常彼此相邻排列,其中,单元相对彼此呈实质垂直的角度。不过,在给定如图6所示的组构所需的角度617的情况下,传统单元图案变得难以实现。因此,延续图6所示的“DSA-感知”集成电路布局设计的实施例,图7A提供两个示例单元排列751及752,各单元排列包括多个单元730,这些单元适合结合图6的集成电路布局设计使用。如图7A所示,单元排列751提供“交错的”单元设计,其中,相邻单元的边不毗连,而是交错以使每个单元呈同一角度。单元排列752提供“波形”图案的毗连单元,其中,相邻单元

相对彼此呈镜像角度,而不呈排列751中的同一角度。本领域的技术人员也可实现其它合适的单元排列,且结合上面参照图6所述的布局设计使用。

[0088] 例如,在替代实施例中,如图7B所示,其显示如何设计矩形标准单元775的图形,包括特征线711及712,其中,特征线711呈上述角度617设置。如图所示,所有特征线711及712都包含于标准单元772的约束范围内,从而使位于标准单元775的角落区776a、776b中的特征线711短于穿过标准单元的中心的那些特征线(可能从角落至中心逐渐增加长度)。当然,本领域的技术人员将了解,与711类似,特征线712可具有不同的长度或者可缺漏。此类矩形标准单元775可如通常一样交错。

[0089] 现在请参照图8,其显示依据本发明的另一个示例实施例的“DSA-感知”集成电路布局设计。该布局设计包括多个特征线811的第一层801以及包括多个特征线812且位于第一层801上方的第二层802。在该实施例中,特征线811及812相对彼此实质垂直,特征线811的间距 P_A 设定成等于 $L_0 * (\sqrt{3}) / 2 * n$,其中 n 为正整数。在该示例实施例中, n 等于2,因此 P_A 等于 $L_0 * (\sqrt{3})$ 。特征线812的间距 P_B 设定成等于 $(L_0 / 2) * m$,其中 m 为独立于 n 所选择的正整数。在该示例实施例中, m 等于2,因此 P_B 等于 L_0 。多个通孔或接触结构803电性连接层801及802,通孔或接触结构803形成于利用传统微影技术预先图案化的多个DSA约束阱805中。

[0090] 从几何角度并考虑BCP圆柱体的自然六角间隔距离 L_0 , P_A 设定成等于 $L_0 * (\sqrt{3})$ 且 P_B 设定等于 L_0 从而允许在特征线811与812之间的每个交叉处设置通孔或接触结构803,但它也需要在特征线811与812之间设置“闲置”或者不连接的通孔及接触结构804,但通孔及接触结构804并不与特征线811及812中的任何一个连接,如图8所示。如上面开始所述,这里所用的术语“闲置”通孔或接触结构是指不在上方集成电路层之间提供电性连接以及因此与最多一个集成电路层的线特征连接的通孔或接触结构。相应地,依据实施例的该示例方法包括在半导体在制品上制造闲置通孔或接触结构804,它们不与集成电路布局设计的通孔或接触结构803对应且不与集成电路的第一及第二层801、802的集成电路特征线811、812的任意一个或两个连接。而且,特定交叉是否具有提供电性连接的通孔或接触结构是取决于约束阱805图案,约束阱805图案相应取决于集成电路布局设计。

[0091] 现在请参照图9,其显示依据本发明的又一个示例实施例的“DSA-感知”集成电路布局设计。该布局设计包括多个特征线911的第一层901以及包括多个特征线912且位于第一层901上方的第二层902。在该实施例中,特征线911及912相对彼此实质垂直,特征线911的间距 P_A 设定成大于或等于被用以图案化约束阱以在定向自组装(DSA)期间包围嵌段共聚物(BCP)材料的最小微影间距。相应地,该最小微影间距取决于所使用的微影的特定类型,下面将作详细讨论。特征线912的间距 P_B 设定为 $(L_0 / 2) * m$,其中 m 为偶数正整数。在该示例实施例中, m 等于2,因此 P_B 等于 L_0 。相应地,该示例方法包括依据公式 $P_B = (L_0 / 2) * m$ 确定集成电路特征间距 P_B ,其中, m 为偶数正整数且在该例子中等于2。多个通孔或接触结构903电性连接层901及902,通孔或接触结构903形成于利用传统微影技术预先图案化的多个DSA约束阱905中。

[0092] 从几何角度并考虑BCP圆柱体的自然六角间隔距离 L_0 , P_A 设定成等于或大于最小微影间距且 P_B 设定成等于 L_0 从而允许在特征线911与912之间的每个交叉处设置通孔或接触结构903,但它也需要沿特征线911纵向形成约束阱。当约束阱905在平行特征线911上以至少用以形成此类阱905的最小微影间距彼此充分隔开时,约束阱905能够以这种方式形成,接

着使圆柱体沿这些特征线911以它们的自然间隔 L_0 形成,其中,以与 L_0 相同的距离方便地设置特征线911与特征线912的交叉。因此,特定交叉是否具有提供电性连接的通孔或接触结构是取决于约束阱905图案,约束阱905图案相应取决于集成电路布局设计。这里再次依据呈自然六角排列的BCP圆柱体之间的距离隔开特征线912,而不是试图使圆柱体的排列适应所需间距,从而允许产生“DSA-感知”集成电路布局设计,其使BCP圆柱体能够依据其自然顺序形成并避免可能导致通孔或接触不对齐的先前技术。

[0093] 针对上面参照图5至图9所述的全部实施例,参照图10至图15详细说明依据前面的“DSA-感知”设计原理制造集成电路。换句话说,图10至图15说明依据上面所提出的示例集成电路布局设计在半导体在制品上制造集成电路特征以及通孔或接触结构,其中,通过使用BCP材料的定向自组装制造该通孔或接触结构。

[0094] 请参照图10,其提供穿过示例集成电路在制品的剖视图,一种示例集成电路制造方法包括形成包括主动集成电路特征或者金属化层的第一层1001,依据该第一层的内容,使用传统制造技术来形成主动集成电路特征(例如晶体管)或形成金属化层。本领域的技术人员应当熟知这些传统制造技术,因此在这里无需重复说明。第一层1001可被理解为与上述实施例中的第一层501、601、801或901中的任意一个对应。在这点上,其中的集成电路特征间距 P_A 可与上面参照图5至图9所述的那些的任意一个对应。该方法还包括在该第一层上方形成层间介电(interlayer dielectric;ILD)材料层1003。层间介电材料层1003由一种或多种低k介电材料、未掺杂硅酸盐玻璃(un-doped silicate glass;USG)、氮化硅、氮氧化硅或其它常用材料形成。该低k介电材料的介电常数(k值)可小于约3.9,例如小于约2.8。依据所使用的特定材料,通过使用传统沉积技术形成层间介电材料层1003。在一个示例实施例中,层间介电材料层1003包括氧化硅材料并通过化学气相沉积(chemical vapor deposition;CVD)制程或等离子体增强型化学气相沉积制程形成,在该制程中使用正硅酸乙酯(tetraethyl orthosilicate;TEOS)作为反应物。该方法还包括在层间介电材料层1003上方沉积光阻材料层1005。

[0095] 现在请参照图11,其提供光阻材料层1005的顶视图,该示例方法包括利用现有技术已知的传统微影技术将光掩膜微影转移至光阻材料层1005一图案1006。例如,光阻材料层1005曝光于与该光掩膜对应的图像图案,并使用显影溶液处理以在与图案1006对应的该光阻层内形成图案开口。图案1006可依据上面参照图5至图9所述的实施例中的任意一个设计。所使用的微影制程可为现有技术所已知的光学、紫外光(UV)、极紫外光(extreme ultraviolet;EUV)、深紫外光(deep ultraviolet;DUV)等。显影图案化光阻材料层1005以形成与图案1006对应的多个形貌特征,例如约束阱1008。

[0096] 在一个示例实施例中,现在请参照图12,使用形成圆柱体的嵌段共聚物材料填充约束阱1008。在一个示例实施例中,嵌段共聚物材料具有A聚合物区块及B聚合物区块。嵌段共聚物的非限制例子包括聚苯乙烯-嵌段-聚甲基丙烯酸甲酯(PS-b-PMMA)、聚苯乙烯-嵌段-聚丁二烯(PS-b-PB)、聚苯乙烯-嵌段-聚2-乙烯基吡啶(PS-b-P2VP)、聚苯乙烯-嵌段-聚二甲基硅氧烷(PS-b-PDMS)以及聚苯乙烯-嵌段-聚氧化乙烯(PS-b-PEO)。嵌段共聚物微相分离为实质呈圆柱体结构形式的可蚀刻相1010以及包围该可蚀刻相1010的实质呈圆柱体的结构的抗蚀刻相1012。

[0097] 在一个示例实施例中,如图13所示,蚀刻该嵌段共聚物以自约束阱1008移除可蚀

刻相1010,从而形成由抗蚀刻相1012包围的多个实质呈圆柱体的开口1014。通过这些开口1014,利用任意合适的蚀刻技术例如反应性离子蚀刻(reactive ion etching;RIE)可将圆柱体开口的图案转移进入下方层中。换句话说,通过开口1014,可使相应开口1016被转移进入层间介电材料层1003中。接着,利用不同的蚀刻制程或平坦化制程(例如化学机械平坦化制程)移除剩余的抗蚀刻相1012以及光阻材料层,从而暴露出包括开口1016的层间介电材料层1003的上表面,如图14所示。可使用导电材料(例如铜材料、铝材料、钨材料)或者可用于制造通孔或接触结构的任意其它导电材料来填充这些开口1016。这样,在开口1016中形成通孔或接触结构。还应当注意的是,本发明的实施例与本领域技术人员所熟知的后端制程制程中广泛应用的双镶嵌制程兼容,无论是先通孔还是先沟槽。

[0098] 接着,请参照图15,其再次提供穿过该示例集成电路在制品的剖视图,该示例方法包括形成包括金属化层的第二层1007,利用传统制造技术形成金属化层,例如在使用铜材料作为该金属化层情况下的镶嵌制程。第二层1007可被理解为与上述实施例中的第二层502、602、802或902中的任意一个对应。在这点上,其中的集成电路特征间距 P_B 可与上面参照图5至图9所述的那些的任意一个对应。因此,例如,如图15所示的集成电路结构包括:第一层1001,其中包括集成电路特征;层间介电材料层1003,其中包括与第一层1001的集成电路特征电性连接的通孔或接触结构(在如图14所示的开口1016内形成该通孔或接触结构);以及第二层1007,其中包括与该通孔或接触结构电性连接的集成电路特征,从而提供第一层1001的集成电路特征与第二层1007的集成电路特征之间的有效电性连接。

[0099] 因此,上面说明利用定向自组装形成通孔及接触结构的制造集成电路的方法的示例实施例。所述实施例提供利用定向自组装来形成更紧密接近所需集成电路布局设计的通孔或接触结构的制造集成电路的方法。所述实施例还提供使用DSA-感知集成电路布局设计使通孔及接触结构与DSA制程中自然形成的可选择性蚀刻的聚合物圆柱体的位置(也就是六角形组构)匹配的方法。与试图使圆柱体的排列适应所需布局设计相反,依据BCP圆柱体的自然六角排列提供集成电路布局设计允许产生DSA-感知集成电路布局设计,其使BCP圆柱体能够依据其自然顺序形成并避免可能导致通孔或接触不对齐的先前技术。

[0100] 尽管在本发明的上面的实施方式中提供了至少一个示例实施例,但应当了解存在大量的变更。还应当了解,这个或这些示例实施例仅为示例,并非意图以任意方式限制本发明的范围、应用或组构。相反,前面的实施方式将为本领域的技术人员提供一个方便的指南来实施本发明的示例实施例。应当理解,示例实施例中所述的元件的功能及排列可作各种变更,而不背离所附权利要求书所规定的本发明的范围。

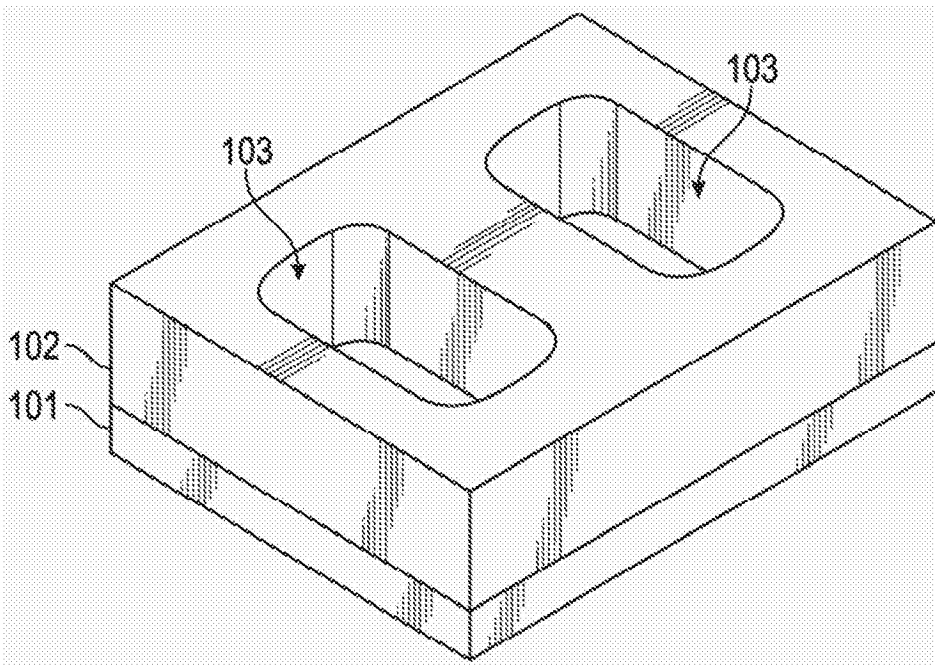


图1A

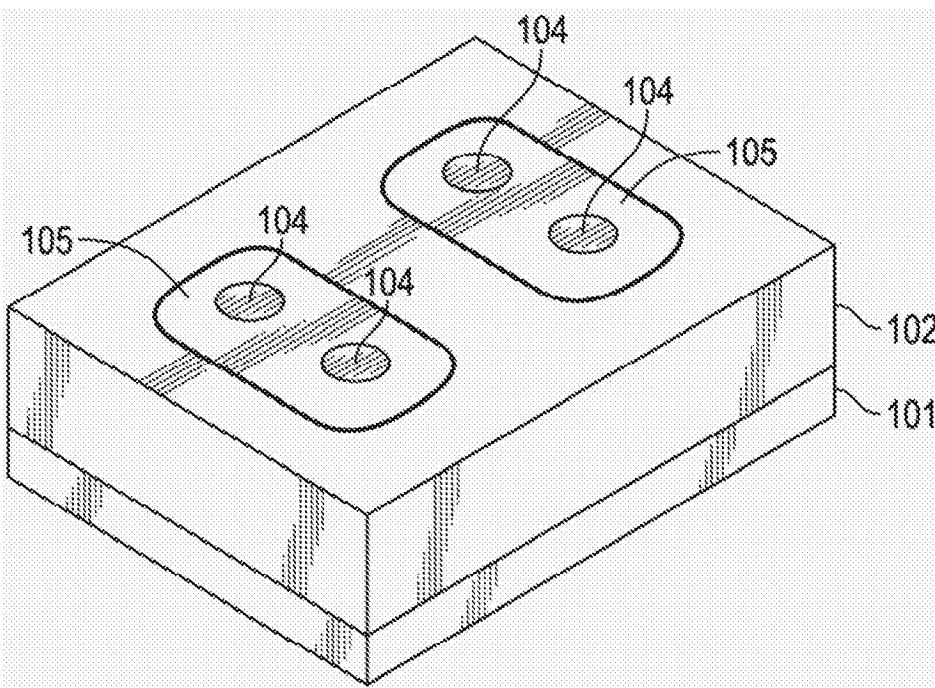


图1B

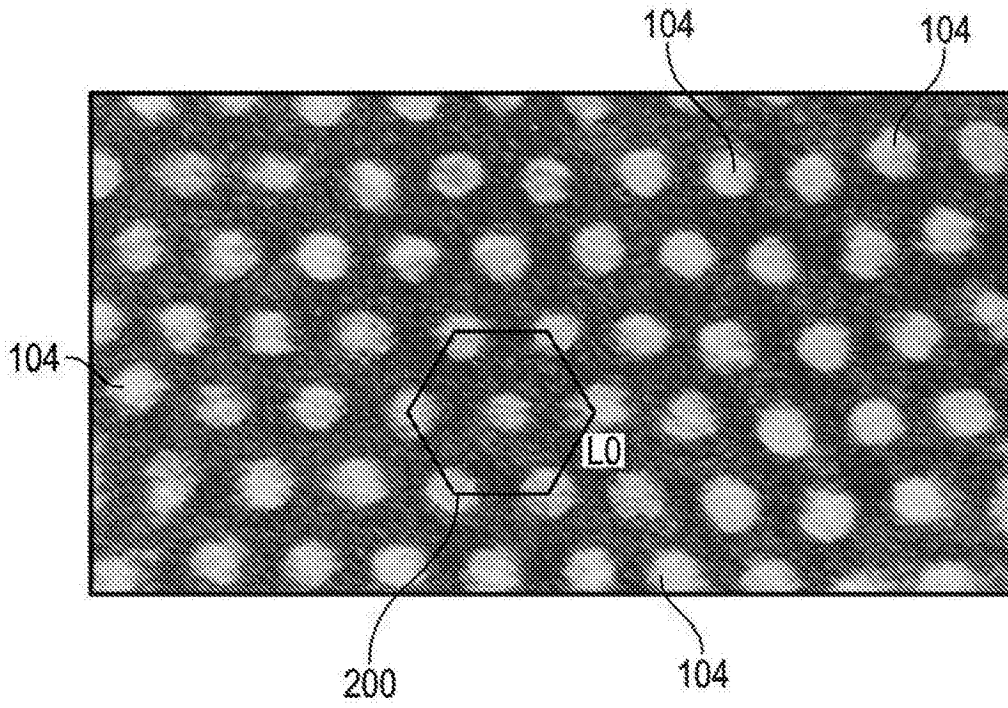


图2

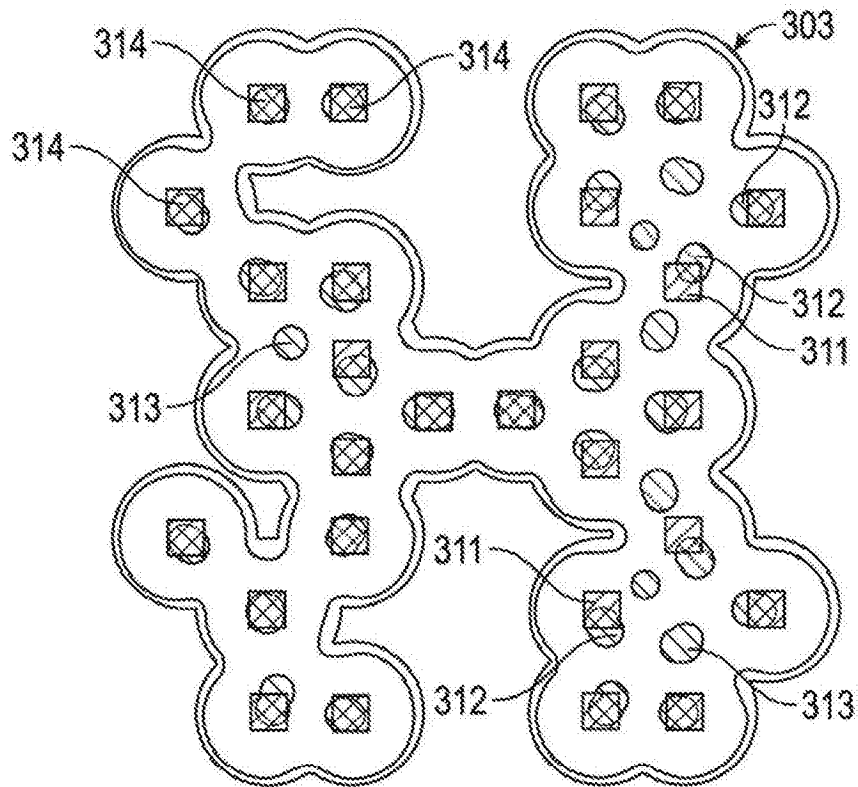


图3

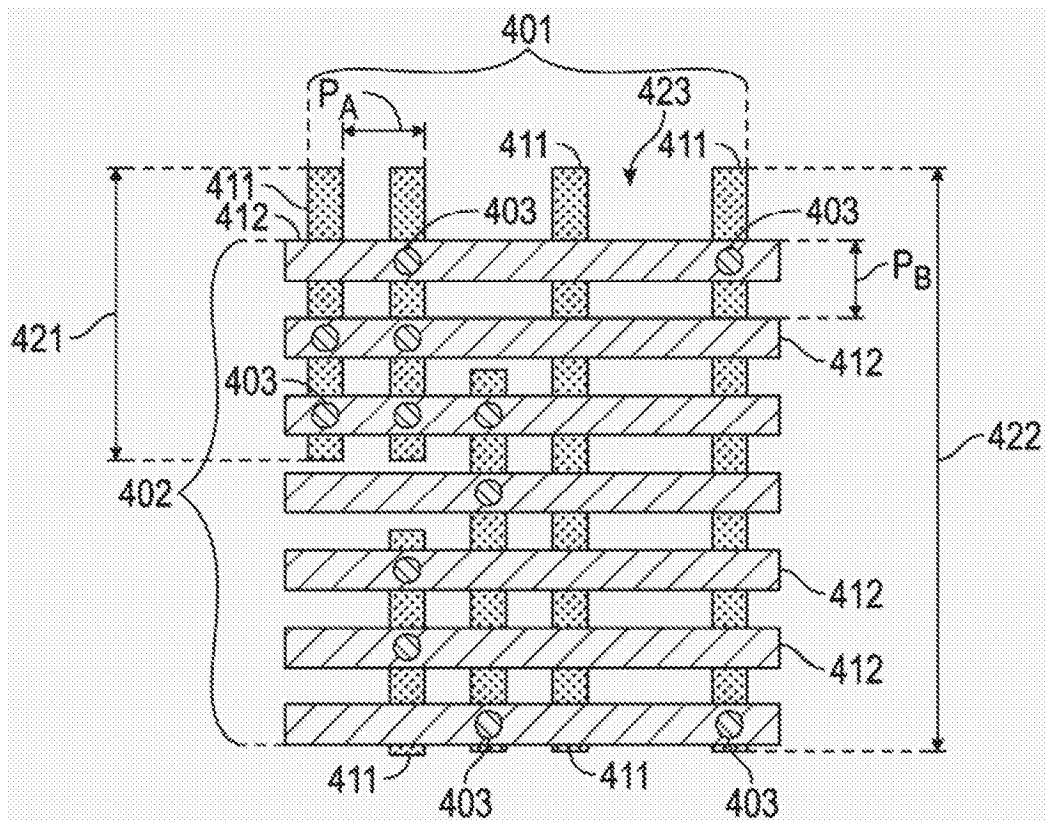


图4

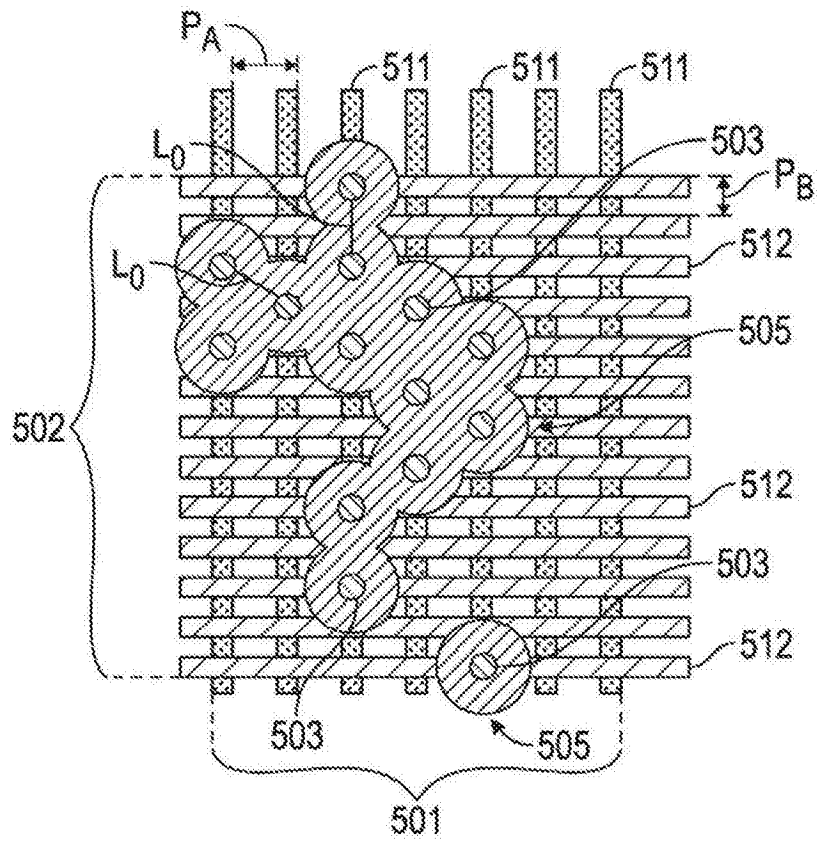


图5

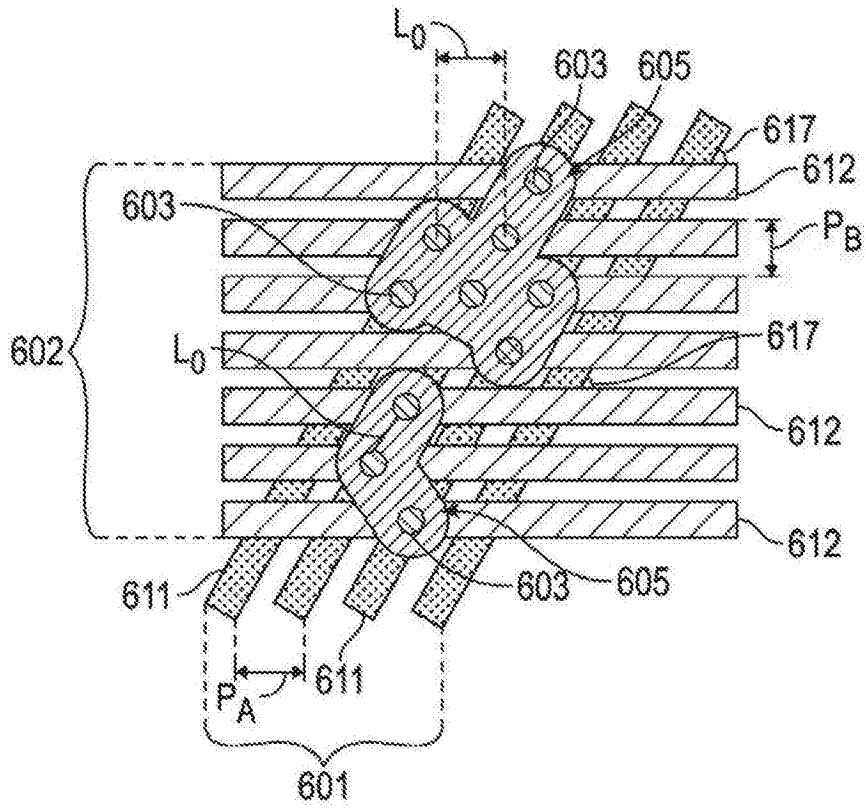


图6

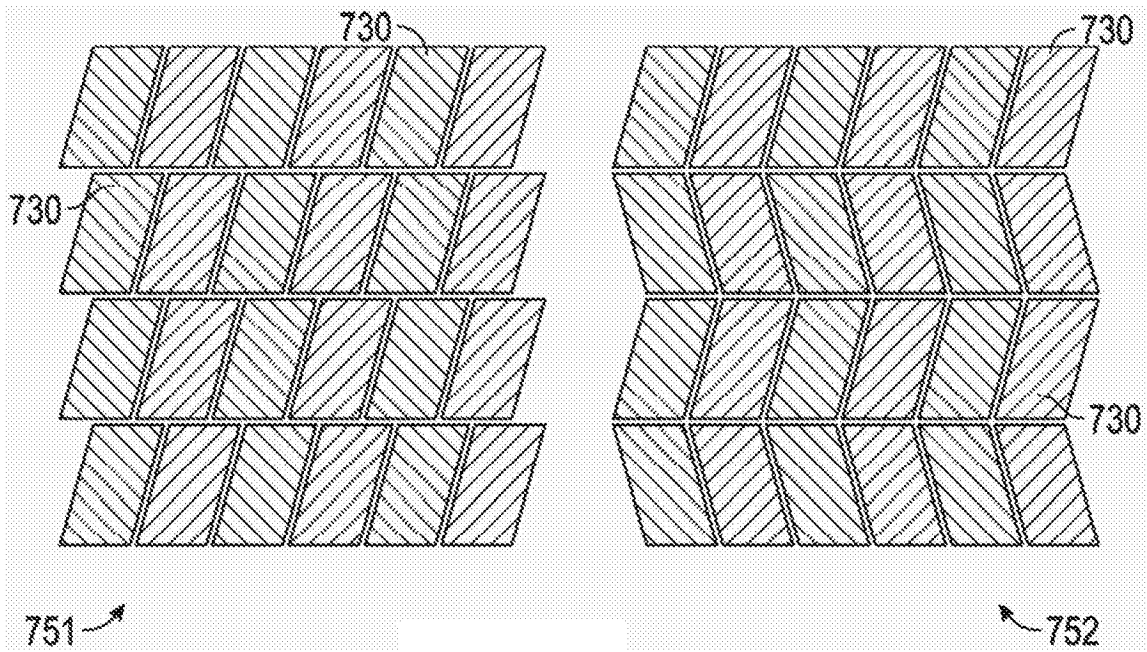


图7A

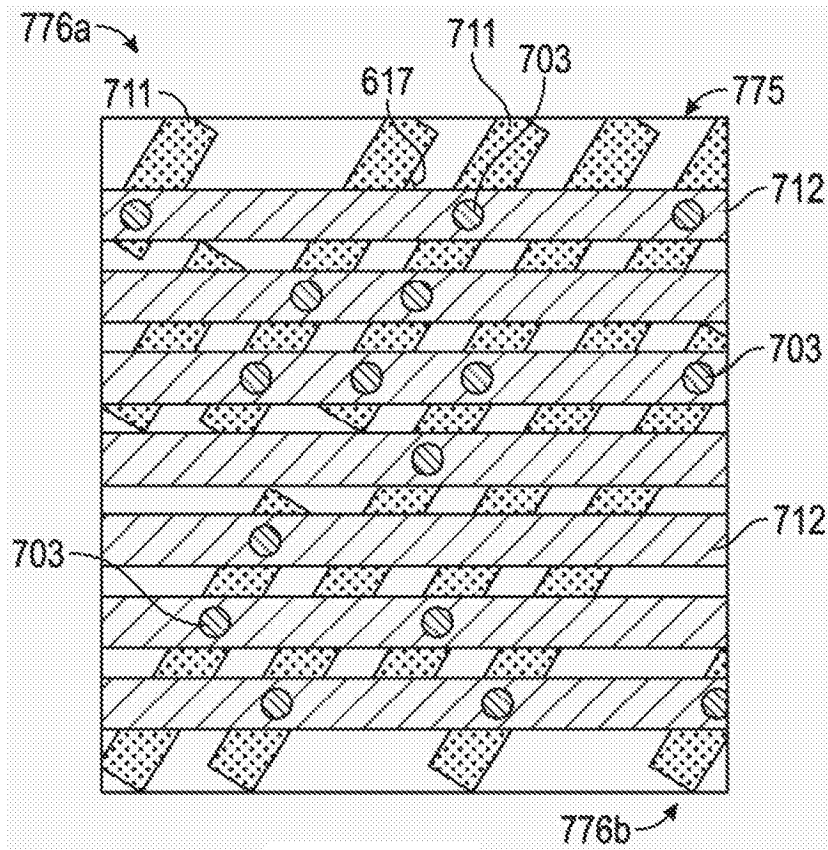


图7B

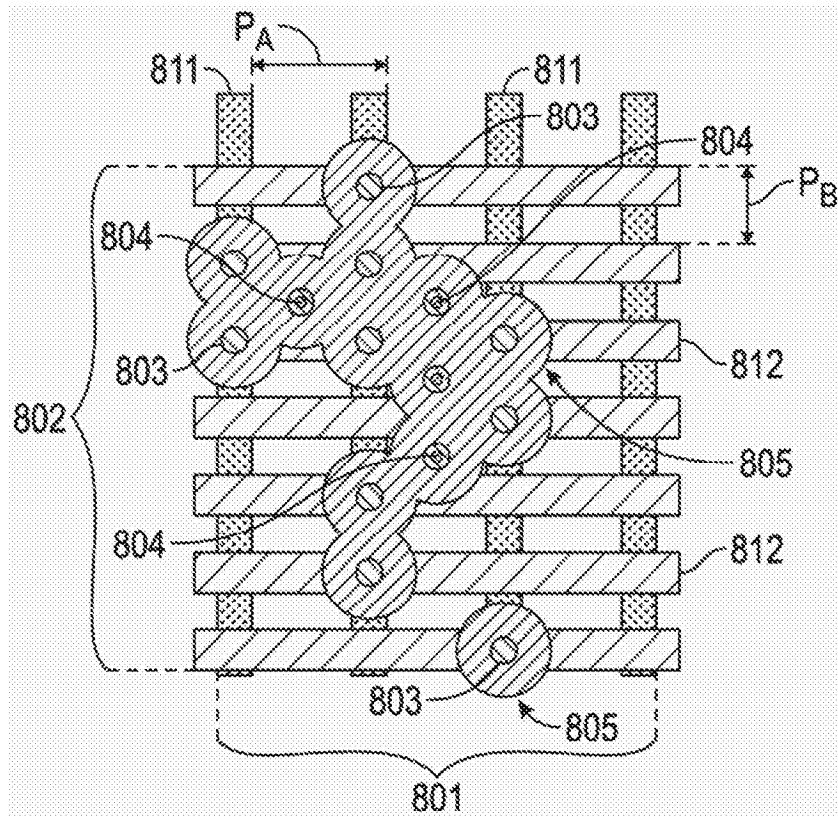


图8

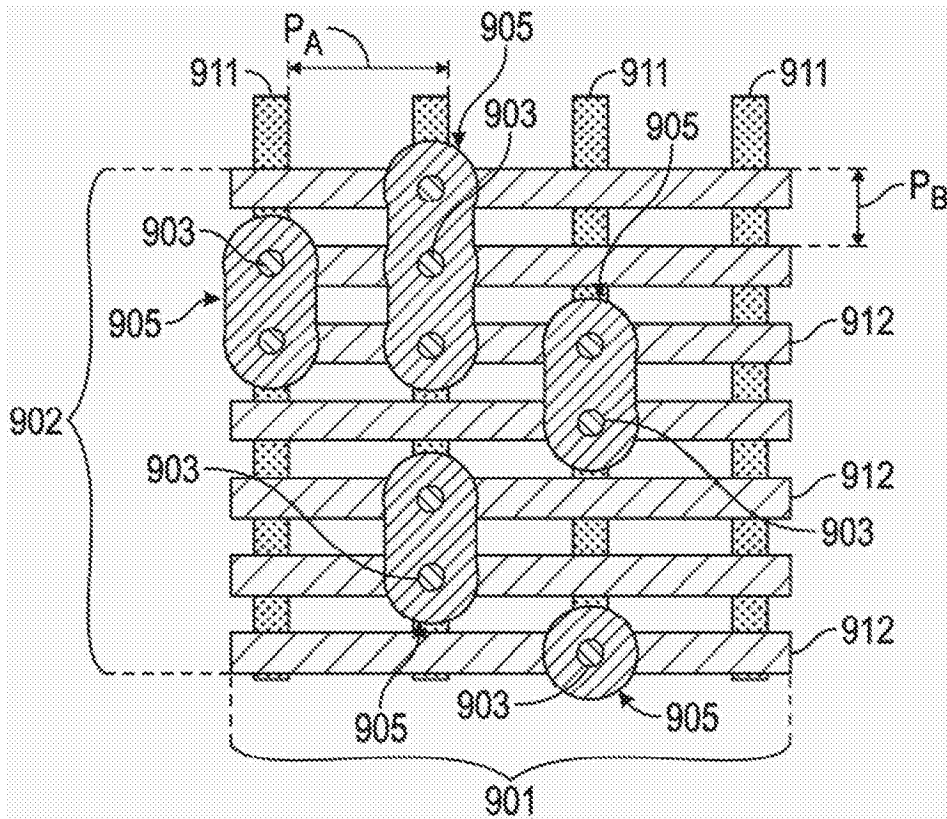


图9

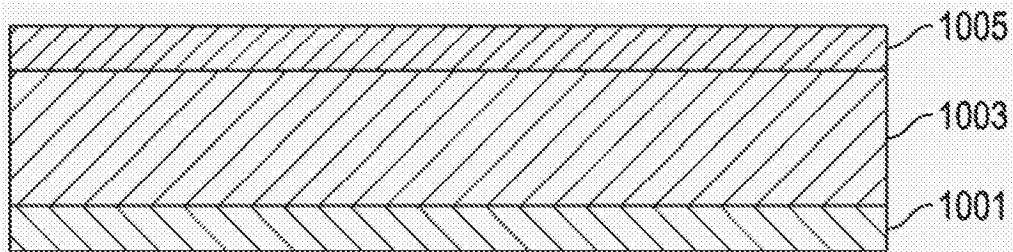


图10

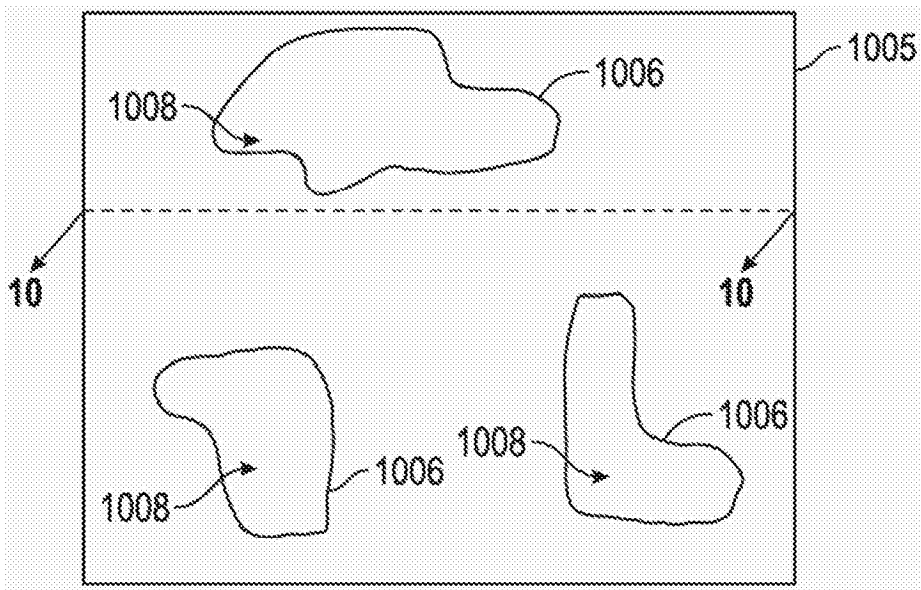


图11

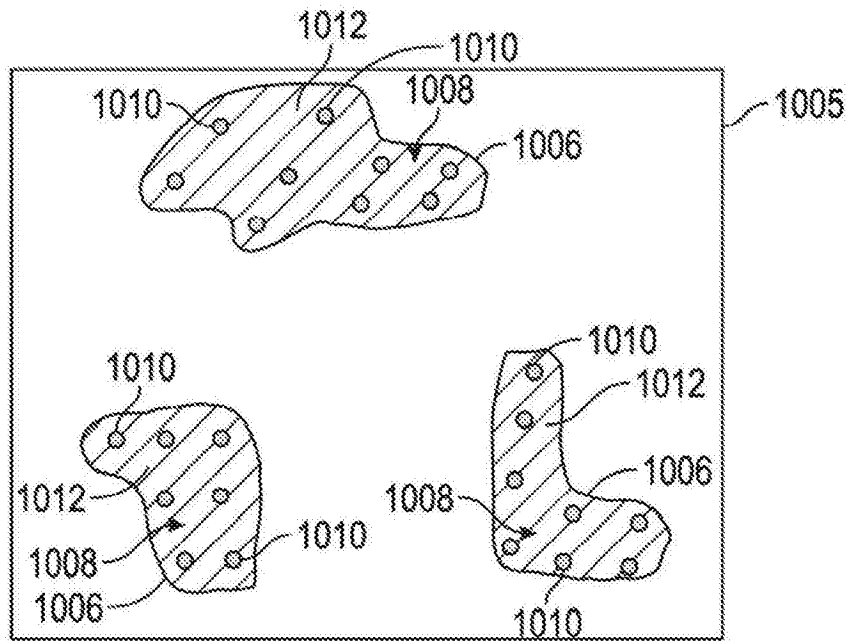


图12

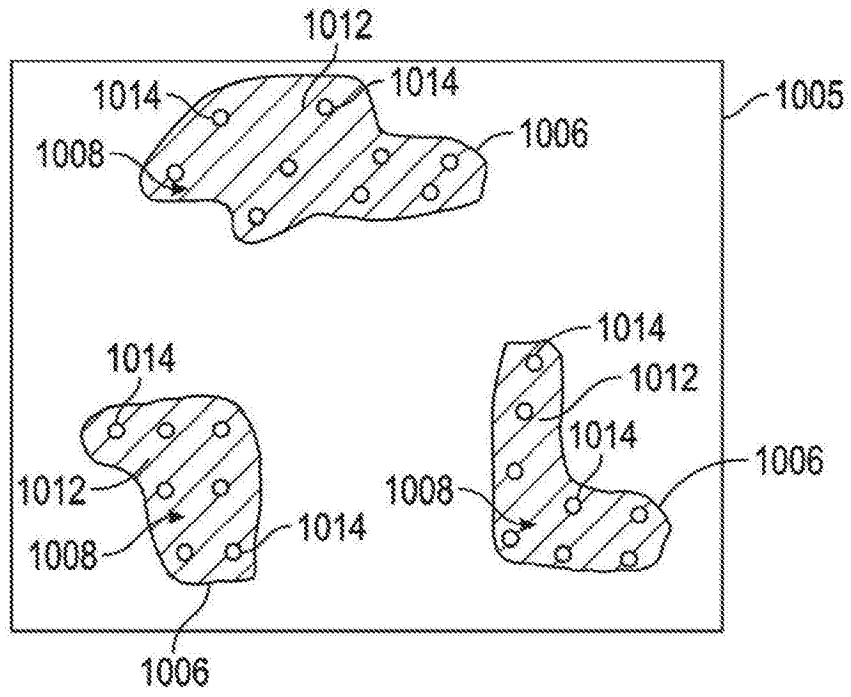


图13

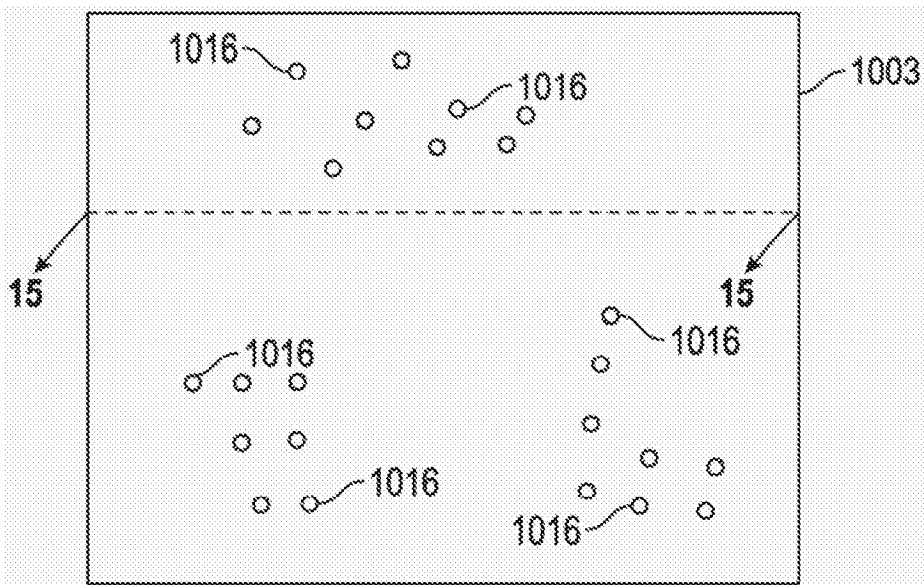


图14

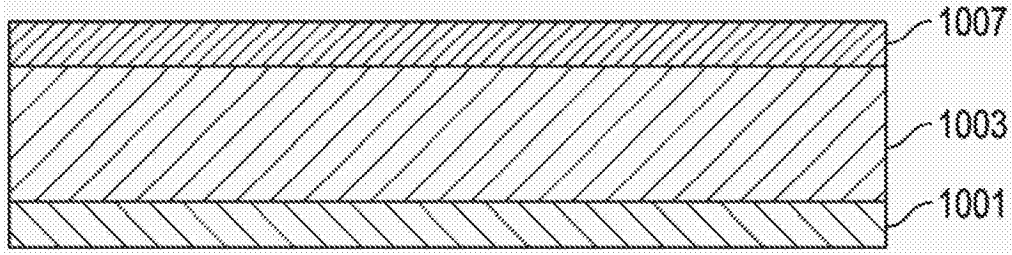


图15