(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0067024
(43) 공개일자 2012년06월25일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2006.01) *H01L 21/8247* (2006.01)
(21) 출원번호 10-2010-0128412
(22) 출원일자 2010년12월15일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김비오
서울특별시 동작구 동작대로29길 195, 101동 501호 (사당동, 사당 유니드)
황기현
경기도 성남시 분당구 내정로 94, LG아파트 202동 604호 (정자동, 한솔마을)
(뒷면에 계속)
(74) 대리인
권혁수, 송윤호, 오세준

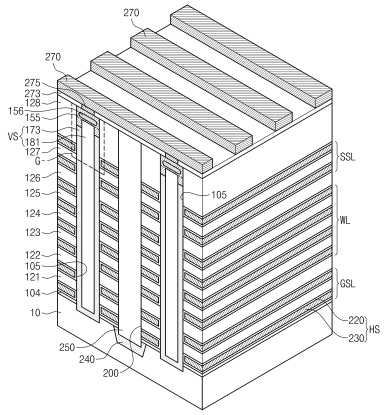
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **3차원 반도체 장치 및 그 제조 방법**

(57) 요 약

기판, 기판 상에 적층된 도전 패턴, 및 도전 패턴들을 관통하여 기판과 연결되는 활성 패턴이 제공된다. 활성 패턴은 활성 패턴의 상부 영역에 형성된 제 1 불순물 영역 및 상기 제 1 불순물 영역과 적어도 일부 중첩되는 확산 저지 불순물 영역을 포함하고, 상기 확산 저지 불순물 영역은 탄소를 포함할 수 있다.

대 표 도 - 도2



(72) 발명자

안재영

경기도 성남시 분당구 돌마로486번길 7, 삼환아파트 507동 403호 (서현동, 효자촌)

임승현

경기 용인시 수지구 풍덕천동 1060번지 신정마을 상록7단지아파트 703동 1303호

김동우

인천광역시 남동구 구월로336번길 18, 4동 303호 (만수동, 삼보빌라)

특허청구의 범위

청구항 1

기판;

상기 기판 상에 적층된 도전 패턴들; 및

상기 도전 패턴들을 관통하여 상기 기판과 연결되는 활성 패턴을 포함하고,

상기 활성 패턴은:

상기 활성 패턴의 상부 영역에 형성된 제 1 불순물 영역; 및

상기 제 1 불순물 영역과 적어도 일부 중첩되는 확산 저지 불순물 영역을 포함하고,

상기 확산 저지 불순물 영역은 탄소를 포함하는 3차원 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 불순물 영역의 도전형은 n형인 3차원 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 확산 저지 불순물 영역의 하면은 상기 도전 패턴들의 최상면 보다 위에 제공되는 3차원 반도체 장치.

청구항 4

제 1 항에 있어서,

상기 활성 패턴 내에 제공되는 매립 패턴을 더 포함하고,

상기 확산 저지 불순물 영역의 탄소의 최고 농도점은 상기 매립 패턴의 상면 보다 높은 3차원 반도체장치.

청구항 5

제 1 항에 있어서,

상기 확산 저지 불순물 영역의 탄소의 농도는 상기 활성 패턴의 측벽으로부터 상기 활성 패턴의 중심으로 갈수록 감소되는 3차원 반도체 장치.

청구항 6

제 1 항에 있어서,

상기 활성 패턴은 실리콘을 포함하고,

상기 확산 저지 불순물 영역의 탄소의 최대 농도 지점에서 단위 부피당 탄소 원자수는 상기 활성 패턴의 단위 부피당 실리콘 원자수에 대하여 0.1 - 2%인 3차원 반도체 장치.

청구항 7

기판 상에, 도전 패턴들 및 절연 패턴들이 교대로 반복하여 제공된 적층 구조체를 형성하는 것; 및

상기 적층 구조체를 관통하여 상기 기판과 연결되는 활성 패턴을 형성하는 것을 포함하고,

상기 활성 패턴을 형성하는 것은:

상기 활성 패턴의 상부에 탄소를 도핑하는 것; 및

상기 활성 패턴의 상부에 상기 기판의 도전형과는 다른 제 1 불순물 영역을 형성하는 것을 포함하는 3차원 반

도체 장치의 제조 방법.

청구항 8

제 7 항에 있어서,

상기 적층 구조체를 형성하는 것은:

상기 기판 상에 교대로 반복하여 상기 절연 패턴들 및 희생 패턴들을 형성하는 것; 및

상기 희생 패턴들을 도전 패턴들로 교체하는 것을 포함하는 3차원 반도체 장치의 제조 방법.

청구항 9

제 8 항에 있어서,

상기 활성 패턴을 형성하는 것은:

상기 희생 패턴들 및 상기 절연 패턴들을 관통하는 제 1 채널 홀을 형성하는 것; 및

상기 제 1 채널 홀 내에 제 1 반도체 패턴 및 매립 패턴을 형성하는 것을 포함하고,

상기 탄소는 상기 제 1 반도체 패턴에 도핑되는 3차원 반도체 장치의 제조 방법.

청구항 10

제 8 항에 있어서,

상기 활성 패턴을 형성하는 것은:

상기 희생 패턴들 및 상기 절연 패턴들을 관통하는 제 1 채널 홀을 형성하는 것; 및

상기 제 1 채널 홀 내에 제 1 반도체 패턴 및 매립 패턴을 형성하는 것;

상기 매립 패턴의 상부를 제거하여 제 2 채널 홀을 형성하는 것; 및

상기 제 2 채널 홀 내에 제 2 반도체 패턴을 형성하는 것을 포함하고,

상기 탄소는 상기 제 2 반도체 패턴의 형성 시 인-시츄 도핑되는 3차원 반도체 장치의 제조 방법.

명 세 서

기 술 분 야

[0001] 본 발명은 반도체 장치에 관한 것으로, 보다 구체적으로는 3차원적으로 배열된 메모리 셀들을 포함하는 3차원 메모리 반도체 장치 및 제조 방법에 관한 것이다.

배 경 기 술

[0002] 3D-IC 메모리 기술은 메모리 용량의 증대를 위한 기술로서, 메모리 셀들을 3차원적으로 배열하는 것과 관련된 제반 기술들을 의미한다.

[0003] 3D-IC 기술의 하나로서, 펀치-앤-플러그(punch-and-plug) 기술이 최근 제안되었다. 상기 펀치-앤-플러그 기술은 다층의 박막들을 기판 상에 차례로 형성한 후 상기 박막들을 관통하는 플러그들을 형성하는 단계들을 포함한다. 이 기술을 이용하면, 제조 비용의 큰 증가없이 3D 메모리 소자의 메모리 용량을 크게 증가시킬 수 있기 때문에, 이 기술은 최근 크게 주목받고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 이루고자 하는 일 기술적 과제는 전기적 특성을 향상시킬 수 있는 3차원 반도체 장치 및 그 제조 방법을 제공하는 데 있다.

과제의 해결 수단

[0005] 상기 기술적 과제를 해결하기 위한 반도체 장치가 제공된다. 이 장치는 기판, 상기 기판 상에 적층된 도전 패턴들, 및 상기 도전 패턴들을 관통하여 상기 기판과 연결되는 활성 패턴을 포함하고, 상기 활성 패턴은 상기 활성 패턴의 상부 영역에 형성된 제 1 불순물 영역, 및 상기 제 1 불순물 영역과 적어도 일부 중첩되는 확산 저지 불순물 영역을 포함하고, 상기 확산 저지 불순물 영역은 탄소를 포함할 수 있다.

[0006] 일 실시예에 있어서, 상기 제 1 불순물 영역의 도전형은 n형일 수 있다.

[0007] 일 실시예에 있어서, 상기 확산 저지 불순물 영역의 하면은 상기 도전 패턴들의 최상면 보다 위에 제공될 수 있다.

[0008] 일 실시예에 있어서, 상기 활성 패턴 내에 제공되는 매립 패턴을 더 포함하고, 상기 확산 저지 불순물 영역의 탄소의 최고 농도점은 상기 매립 패턴의 상면 보다 높을 수 있다.

[0009] 일 실시예에 있어서, 상기 제 1 불순물 영역은 n형 불순물을 포함하고, 상기 탄소의 최고 농도 지점의 깊이는 상기 n형 불순물의 최고 농도 지점의 깊이보다 깊을 수 있다.

[0010] 일 실시예에 있어서, 상기 확산 저지 불순물 영역의 탄소의 농도는 상기 활성 패턴의 측벽으로부터 상기 활성 패턴의 중심으로 갈수록 감소될 수 있다.

[0011] 일 실시예에 있어서, 상기 활성 패턴은 실리콘을 포함하고, 상기 확산 저지 불순물 영역의 탄소의 최대 농도 지점에서 단위 부피당 탄소 원자수는 상기 활성 패턴의 단위 부피당 실리콘 원자수에 대하여 0.1 - 2%일 수 있다.

[0012] 일 실시예에 있어서, 상기 확산 저지 불순물 영역의 탄소의 최대 농도 지점의 깊이는 상기 제 1 불순물 영역의 n 형 불순물의 최대 농도 지점의 깊이보다 깊을 수 있다.

[0013] 일 실시예에 있어서, 상기 확산 저지 불순물 영역의 하면은 상기 제 1 불순물 영역의 하면 보다 낮을 수 있다.

[0014] 일 실시예에 있어서, 상기 도전 패턴들과 상기 활성 패턴 사이에 정보 저장막을 더 포함할 수 있다.

[0015] 일 실시예에 있어서, 상기 도전 패턴들 상에 반전 유도 패턴을 더 포함하고, 상기 반전 유도 패턴은 상기 제 1 불순물 영역과 오버랩될 수 있다.

[0016] 상술한 기술적 과제를 해결하기 위한 3차원 반도체 장치의 제조 방법이 제공된다. 이 방법은 기판 상에, 도전 패턴들 및 절연 패턴들이 교대로 반복하여 제공된 적층 구조체를 형성하는 것, 및 상기 적층 구조체를 관통하여 상기 기판과 연결되는 활성 패턴을 형성하는 것을 포함하고, 상기 활성 패턴을 형성하는 것은 상기 활성 패턴의 상부에 탄소를 도핑하는 것, 및 상기 활성 패턴의 상부에 상기 기판의 도전형과는 다른 제 1 불순물 영역을 형성하는 것을 포함할 수 있다.

[0017] 일 실시예에 있어서, 상기 적층 구조체를 형성하는 것은 상기 기판 상에 교대로 반복하여 상기 절연 패턴들 및 희생 패턴들을 형성하는 것, 및 상기 희생 패턴들을 도전 패턴들로 교체하는 것을 포함할 수 있다.

[0018] 일 실시예에 있어서, 상기 활성 패턴을 형성하는 것은 상기 희생 패턴들 및 상기 절연 패턴들을 관통하는 제 1 채널 홀을 형성하는 것, 및 상기 제 1 채널 홀 내에 제 1 반도체 패턴 및 매립 패턴을 형성하는 것을 포함하고, 상기 탄소는 상기 제 1 반도체 패턴에 도핑될 수 있다.

[0019] 일 실시예에 있어서, 상기 활성 패턴을 형성하는 것은 상기 매립 패턴의 상부를 제거하여 제 2 채널 홀을 형성하는 것, 및 상기 제 2 채널 홀을 채우는 제 2 반도체 패턴을 형성하는 것을 포함하고, 상기 제 1 불순물 영역은 상기 제 2 반도체 패턴 및 상기 제 1 반도체 패턴의 상부에 형성될 수 있다.

[0020] 일 실시예에 있어서, 상기 활성 패턴을 형성하는 것은 상기 희생 패턴들 및 상기 절연 패턴들을 관통하는 제 1 채널 홀을 형성하는 것, 및 상기 제 1 채널 홀 내에 제 1 반도체 패턴 및 매립 패턴을 형성하는 것, 상기 매립 패턴의 상부를 제거하여 제 2 채널 홀을 형성하는 것, 및 상기 제 2 채널 홀 내에 제 2 반도체 패턴을 형성하는 것을 포함하고, 상기 탄소는 상기 제 2 반도체 패턴의 형성 시 인-시츄 도핑될 수 있다.

[0021] 일 실시예에 있어서, 상기 제 1 불순물 영역은 상기 탄소의 도핑 후 형성될 수 있다.

[0022] 일 실시예에 있어서, 상기 제 1 불순물 영역의 형성은 상기 활성 패턴의 상부에 n형 불순물을 주입하는 것을 포함하고, 상기 탄소의 주입 깊이는 상기 n형 불순물의 주입 깊이보다 깊을 수 있다.

[0023] 일 실시예에 있어서, 상기 제 1 불순물 영역과 오버랩되는 반전 유도 패턴을 형성하는 것을 더 포함할 수 있

다.

[0024] 일 실시예에 있어서, 상기 활성 패턴 상에 상기 활성 패턴과 전기적으로 연결되는 상부 배선들을 형성하는 것을 더 포함할 수 있다.

발명의 효과

[0025] 본 발명에 따르면, 드레인 영역 내에 확산 저지 불순물 영역이 제공되어 드레인 영역의 불순물의 확산을 완화할 수 있다.

[0026] 본 발명에 따르면, 반전 유도 패턴이 제공되어 채널 연결 영역의 반전을 도울 수 있다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 회로도이다.

도 2 및 도 3은 본 발명의 제 1 실시예에 따른 3차원 반도체 장치의 사시도 및 확대도이다.

도 4 및 도 5는 제 1 실시예의 변형예에 따른 3차원 반도체 장치의 확대도들이다.

도 6은 본 발명의 비교례를 나타내는 도면이다.

도 7 내지 도 9는 제 1 불순물 영역 및 확산 저지 불순물 영역의 불순물 농도 분포를 나타내는 그래프들이다.

도 10 내지 도 17은 본 발명의 제 1 실시예에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 18 내지 도 20은 확산 저지 불순물 영역의 제조 방법의 일 예를 나타내는 단면도들이다.

도 21 및 도 22는 확산 저지 불순물 영역의 제조 방법의 다른 예를 나타내는 단면도들이다.

도 23 내지 도 25는 본 발명의 제 2 실시예에 따른 3차원 반도체 장치의 제조 방법을 설명하기 위한 사시도들 및 단면도들이다.

도 26은 본 발명의 제 3 실시예에 따른 3차원 반도체 장치 및 그 제조 방법을 설명하기 위한 단면도이다.

도 27 내지 29는 본 발명의 실시예들에 따른 정보 저장막들의 구조를 설명하기 위한 일부 사시도이다.

도 30은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 포함하는 메모리 시스템의 일 예를 나타내는 개략 블록도이다.

도 31은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치를 구비하는 메모리 카드의 일 예를 나타내는 개략 블록도이다.

도 32는 본 발명에 따른 3차원 반도체 메모리 장치를 장착한 정보 처리 시스템의 일 예를 나타내는 개략 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0028] 이상의 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시예들을 통해서 쉽게 이해될 것이다. 그러나 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

[0029] 본 명세서에서, 어떤 막이 다른 막 또는 기판 상에 있다고 언급되는 경우에 그것은 다른 막 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 막이 개재될 수도 있다는 것을 의미한다. 또한, 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 또한, 본 명세서의 다양한 실시예들에서 제1, 제2, 제3 등의 용어가 다양한 영역, 막들 등을 기술하기 위해서 사용되었지만, 이들 영역, 막들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 소정 영역 또는 막을 다른 영역 또는 막과 구별시키기 위해서 사용되었을 뿐이다. 따라서, 어느 한 실시예에의 제1막질로 언급된 막질이 다른 실시예에서는 제2막질로 언급될 수도 있다. 여기에 설명되고 예시되는 각 실시예는 그것의 상보적인 실시예도 포함한다.

[0030] 본 발명의 실시예들에 따른 3차원 반도체 장치는 셀 어레이 영역, 주변회로 영역, 센스 앰프 영역, 디코딩 회로 영역 및 연결 영역을 포함할 수 있다. 상기 셀 어레이 영역에는, 복수의 메모리 셀들 및 상기 메모리 셀들로의 전기적 연결을 위한 비트 라인들 및 워드라인들이 배치된다. 상기 주변 회로 영역에는 상기 메모리 셀들의 구동을 위한 회로들이 배치되고, 상기 센스 앰프 영역에는 상기 메모리 셀들에 저장된 정보를 판독하기 위한 회로들이 배치된다. 상기 연결 영역은 상기 셀 어레이 영역과 상기 디코딩 회로 영역 사이에 배치될 수 있으며, 여기에는 상기 워드라인들과 상기 디코딩 회로 영역을 전기적으로 연결하는 배선 구조체가 배치될 수 있다.

[0031] 이하, 도면들을 참조하여, 본 발명의 실시예들에 대해 상세히 설명하기로 한다.

[0032] 도 1은 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치의 회로도이다.

[0033] 도 1을 참조하면, 본 발명의 실시예들에 따른 3차원 반도체 메모리 장치는 공통 소오스 라인들(CSL), 비트 라인들(BL0-BL2) 및 상기 공통 소오스 라인들(CSL)과 상기 비트 라인들(BL0-BL2) 사이에 배치되는 셀 스트링들(CSTR)을 포함할 수 있다.

[0034] 비트 라인들(BL0-BL2)은 2차원적으로 배열되고, 그 각각에는 복수개의 셀 스트링들(CSTR)이 병렬로 연결된다. 상기 셀 스트링들(CSTR)은 상기 공통 소오스 라인들(CSL)에 공통으로 연결될 수 있다. 즉, 상기 비트 라인들(BL0-BL2)과 하나의 공통 소오스 라인(CSL) 사이에 복수의 셀 스트링들(CSTR)이 배치될 수 있다. 일 실시예에 따르면, 상기 공통 소오스 라인들(CSL)은 복수 개가 2차원적으로 배열될 수 있다. 여기서, 상기 공통 소오스 라인들(CSL)에는 전기적으로 동일한 전압이 인가될 수 있으며, 또는 상기 공통 소오스 라인들(CSL) 각각이 전기적으로 제어될 수도 있다.

[0035] 상기 셀 스트링들(CSTR) 각각은 상기 공통 소오스 라인들(CSL)에 접속하는 접지 선택 트랜지스터(GST), 상기 비트 라인들(BL0-BL2)에 접속하는 스트링 선택 트랜지스터(SST), 및 상기 접지 및 스트링 선택 트랜지스터들(GST, SST) 사이에 배치되는 복수개의 메모리 셀 트랜지스터들(MCT)로 구성될 수 있다. 그리고, 상기 접지 선택 트랜지스터(GST), 상기 스트링 선택 트랜지스터(SST) 및 상기 메모리 셀 트랜지스터들(MCT)은 직렬로 연결될 수 있다.

[0036] 공통 소오스 라인들(CSL)은 복수의 접지 선택 트랜지스터들(GST)의 소오스들에 공통으로 연결될 수 있다. 이에 더하여, 공통 소오스 라인들(CSL)과 비트 라인들(BL0-BL2) 사이에 배치되는, 접지 선택 라인들(GSL), 워드라인들(WL0-WL3) 및 스트링 선택 라인들(SSL)이 상기 접지 선택 트랜지스터(GST), 상기 메모리 셀 트랜지스터들(MCT) 및 상기 스트링 선택 트랜지스터들(SST)의 게이트 전극들로서 각각 사용될 수 있다. 또한, 상기 메모리 셀 트랜지스터들(MCT) 각각은 정보저장체를 포함한다.

[0037] 하나의 셀 스트링(CSTR)은 상기 공통 소오스 라인들(CSL)으로부터의 거리가 서로 다른 복수개의 메모리 셀 트랜지스터들(MCT)로 구성되기 때문에, 상기 공통 소오스 라인들(CSL)과 상기 비트 라인들(BL0-BL2) 사이에는 다층의 워드라인들(WL0-WL3)이 배치된다.

[0038] 상기 공통 소오스 라인들(CSL)으로부터 실질적으로 동일한 거리에 배치되는, 상기 메모리 셀 트랜지스터들(MCT)의 게이트 전극들은 상기 워드라인들(WL0-WL3) 중의 하나에 공통으로 연결되어 등전위 상태에 있을 수 있다. 이와 달리, 상기 메모리 셀 트랜지스터들(MCT)의 게이트 전극들이 상기 공통 소오스 라인들(CSL)으로부터 실질적으로 동일한 거리에 배치되더라도, 서로 다른 행 또는 열에 배치되는 게이트 전극들이 독립적으로 제어될 수 있다.

[0039] **[제 1 실시예]**

[0040] 도 2 및 도 3은 본 발명의 제 1 실시예에 따른 3차원 반도체 장치를 설명하기 위한 도면들로, 도 3은 도 2의 G 영역의 확대도이다.

[0041] 도 2 및 도 3을 참조하여, 기판(10) 상에 도전 패턴들(230) 및 제 1 내지 제 8 절연막들(121-128)이 교대로 반복하여 제공된다. 상기 기판(10)은 반도체 특성을 갖는 물질들, 절연성 물질들, 절연성 물질에 의해 덮인 반도체 또는 도전체 중의 하나일 수 있다. 예를 들면, 상기 기판(10)은 실리콘 웨이퍼일 수 있다. 상기 기판(10)은 제 1 도전형 불순물로 도핑된 구조일 수 있다. 일 예로, 상기 기판(10)은 p형 불순물로 도핑된 실리콘 기판일 수 있다.

[0042] 상기 도전 패턴들(230)은 도핑된 실리콘, 금속 물질들, 금속 질화막들 및 금속 실리사이드들 중의 적어도 하나를 포함할 수 있다. 예를 들면, 상기 도전막은 탄탈륨 질화막 또는 텅스텐을 포함할 수 있다 상기 절연막들

(121-128)은 실리콘 산화막 또는 실리콘 질화막 중 적어도 하나를 포함할 수 있다. 상기 도전 패턴들(230) 중 아래로부터 두 층은 접지 선택 라인들(GSL)일 수 있고, 위로부터 두 층은 스트링 선택 라인들(SSL1, SSL2:이하, SSL)일 수 있다. 상기 접지 선택 라인들(GSL)과 상기 스트링 선택 라인들(SSL) 사이의 도전 패턴들은 워드라인들(WL)일 수 있다.

[0043] 상기 절연막들(121-128)의 두께는 서로 다를 수 있다. 일 예로, 아래에서 두 번째 절연막(이하, 제 2 절연막)(122) 및 제 6 절연막(126)은 다른 절연막들(121,123-125,127) 보다 두꺼울 수 있다. 최상층 절연막(128)은 상기 제 2 및 제 6 절연막들(122,126) 보다 두꺼울 수 있다.

[0044] 상기 도전 패턴들(230)을 관통하는 제 1 구조체들(VS)이 제공될 수 있다. 상기 제 1 구조체들(VS)은 상기 도전 패턴들(230)을 관통하는 채널 홀들(105) 내에 제공될 수 있다. 상기 채널 홀들(105)의 형상은 원형, 타원형 또는 라인형일 수 있다.

[0045] 상기 제 1 구조체들(VS)은 상기 채널 홀들(105)의 측벽 및 하면을 따라 제공되는 활성 패턴(173), 및 상기 활성 패턴(173) 상에 제공되고, 상기 채널 홀들(105)을 채우는 제 1 매립 패턴(181)을 포함할 수 있다. 상기 제 1 매립 패턴(181)은 실리콘 질화막 및 실리콘 산화막 중의 하나일 수 있다. 상기 활성 패턴(173)은 다결정 실리콘막일 수 있다. 본 발명의 변형된 실시예들에 따르면, 상기 활성 패턴(173)은 유기 반도체막 및 탄소 나노구조체들 중의 한가지일 수 있다. 일 실시예에 따르면, 상기 활성 패턴(173)은 상기 채널 홀들(105)을 완전히 매립하지 않는 두께로 형성될 수 있다. 상기 활성 패턴(173)은 상기 제 1 매립 패턴(181) 위의 d1 영역 및 상기 제 1 매립 패턴(181)의 상면으로부터 상기 제 1 스트링 선택 라인(SSL1)까지의 d2 영역을 포함할 수 있다.

[0046] 상기 활성 패턴(173)은 상기 도전 패턴들(230)에 인접한 채널 영역들을 포함할 수 있다. 상기 활성 패턴(173)은 상기 채널 영역들 사이 및 상기 채널 영역들과 이하 설명될 불순물 영역 사이의 채널 연결 영역을 포함할 수 있다. 일 예로, 상기 채널 영역들은 상기 제 1 스트링 선택 라인(SSL1)에 인접한 제 1 채널 영역(b1)을 포함할 수 있고, 상기 채널 연결 영역들은 상기 제 1 채널 영역(b1) 위에 제공되는 제 1 채널 연결 영역(a1)을 포함할 수 있다.

[0047] 3차원 반도체 메모리 장치가 동작할 때, 상기 도전 패턴들(230)에 인접한 활성 패턴(173) 내의 채널 영역에는 반전층(inversion layer)이 생성될 수 있다. 반전층은, 소정 전압이 인가되는 상기 도전 패턴들(230)로부터의 프린징 전계(fringing field)에 의해, 상기 절연막들(121~128)과 인접한 채널 연결 영역들로 연장될 수 있다. 상기 채널 연결 영역들에 형성된 반전층은 트랜지스터들의 소오스/드레인 영역으로 이용될 수 있다. 이러한 경우, 소정 전압이 인가된 도전 패턴들(230)로부터 프린징 전계(fringing field)에 의해 형성되는 반전층들을 공유함으로써, 접지 선택 라인들(GSL), 워드라인들(WL) 및 스트링 선택 라인들(SSL) 각각에 인접한 채널 영역들이 전기적으로 연결될 수 있다.

[0048] 상기 도전 패턴들(230)과 상기 제 1 구조체들(VS) 사이에 정보 저장막(220)이 제공될 수 있다. 상기 정보 저장막(220)은 상기 도전 패턴들(230)과 함께 제 2 구조체들(HS)을 구성한다. 상기 정보 저장막들(220)의 구조에 대해서는 이하, 도 27 내지 29를 참조하여 보다 자세히 설명된다.

[0049] 상기 활성 패턴(173)의 상부에 제 1 불순물 영역(155)이 제공될 수 있다. 상기 제 1 불순물 영역(155)은 셀 스트링들을 비트 라인들(BL)에 전기적으로 연결할 수 있다. 상기 제 1 불순물 영역들(155)은 상기 기판(10)과 다른 도전형으로 도핑된 불순물 영역일 수 있다. 일 예로, 상기 제 1 불순물 영역(155)의 도전형은 n형일 수 있다. 상기 제 1 불순물 영역(155)은 상기 제 1 매립 패턴(181) 상의 불순물 주입 영역(152) 및 상기 불순물 주입 영역(152)으로부터 상기 기판(10) 쪽으로 연장된 불순물 연장 영역(153)을 포함할 수 있다. 상기 불순물 연장 영역(153)은 이하 설명될 열처리 공정에서 상기 불순물 주입 영역(152)으로부터 불순물이 확산되어 형성된 결과물일 수 있다.

[0050] 상기 활성 패턴(173)의 상부에 확산 저지 불순물 영역(156)이 제공될 수 있다. 상기 확산 저지 불순물 영역(156)은 상기 제 1 불순물 영역(155)과 적어도 일부 중첩될 수 있다. 상기 확산 저지 불순물 영역(156)의 하면은 상기 도전 패턴들(230)의 최상면(상기 제 1 스트링 선택 라인(SSL1)의 상면) 보다 높을 수 있다. 상기 확산 저지 불순물 영역(156)은 탄소(C)로 도핑된 불순물 영역일 수 있다. 탄소(C)는 실리콘 격자 내에서 불순물 원소의 확산을 저지할 수 있다. 일 예로, 불순물 원소가 인(P)인 경우, 인(P)의 확산은 실리콘 격자들 사이의 침입형 자리들(interstitial sites)을 매개로 수행될 수 있다. 실리콘 격자 내에 탄소(C)가 주입되는 경우, 상기 침입형 자리들을 매개로 하는 확산이 방해되어 인(P)의 확산이 저지될 수 있다. 상기 확산 저지 불순물 영역(156)의 탄소의 최대 농도 지점에서 단위 부피당 탄소 원자수는 상기 활성 패턴(173)의 단위 부피당 실리콘 원자수에 대하여 0.1-2%일 수 있다.

[0051] 상기 확산 저지 불순물 영역(156)의 형태 및 탄소 농도 분포는 다양하게 변형이 가능하다. 일 예로, 도 3과 같이 상기 확산 저지 불순물 영역(156)은 상기 제 1 매립 패턴(181) 위에 제공될 수 있다. 일 예로, 상기 확산 저지 불순물 영역(156)의 탄소의 최고 농도점은 상기 제 1 매립 패턴(181)의 상면 보다 높을 수 있다. 상기 확산 저지 불순물 영역(156)은 상기 불순물 주입 영역(152)의 하부에 제공될 수 있다. 상기 확산 저지 불순물 영역(156) 아래로 상기 불순물 연장 영역(153)이 제공될 수 있다.

[0052] 상기 도전 패턴들(230)을 관통하는 제 2 매립 패턴(250)이 제공될 수 있다. 상기 제 2 매립 패턴(250)은 상기 도전 패턴들(230)을 가로지르며 상기 기판(10)을 노출하는 트렌치(200) 내에 제공될 수 있다. 상기 제 2 매립 패턴(250) 아래에 제 2 불순물 영역(240)이 제공될 수 있다. 상기 제 2 불순물 영역(240)은 상기 기판(10)과 다른 도전형을 가질 수 있다. 일 예로 상기 제 2 불순물 영역(240)의 도전형은 n형일 수 있다.

[0053] 상기 제 1 구조체들(VS)의 상부에 상부 플러그들(275)이 제공되고, 상기 상부 플러그들(275)의 상에 이들을 연결하는 상부 배선들(270)이 형성될 수 있다. 상기 상부 플러그들(275)은 층간 절연막(273) 내에 제공될 수 있다. 상기 상부 플러그들(275) 및 상기 상부 배선들(270)은 도핑된 실리콘 및 금속성 물질들 중의 하나일 수 있다. 상기 상부 배선들(270) 각각은 상기 상부 플러그들(275)을 통해 상기 제 1 구조체들(VS)과 전기적으로 연결될 수 있다. 상기 상부 배선들(270)은 상기 제 2 구조체들(HS)과 교차할 수 있다. 낸드 플래시 메모리를 위한 실시예에 따르면, 상기 상부 배선들(270)은 복수의 셀 스트링들의 일단들에 접속하는 비트 라인들일 수 있다.

[0054] 도 4 및 도 5는 확산 저지 불순물 영역(156)의 다른 형태를 나태내는 도면들이다. 상기 확산 저지 불순물 영역(156)은 도 4에 도시된 바와 같이, 상기 제 1 매립 패턴(181)의 측벽과 상기 활성 패턴(173)의 외측벽 사이에 제공될 수 있다. 상기 확산 저지 불순물 영역(156)의 하면은 상기 불순물 연장 영역(153)의 하면까지 연장될 수 있다. 상기 확산 저지 불순물 영역(156)은 도 5에 도시된 바와 같이, 상기 제 1 불순물 영역과 실질적으로 동일한 공간을 점유할 수 있다.

[0055] 도 6은 본 발명의 비교례를 나타내는 도면이다. 제 2 스트링(ST2)에서 상기 불순물 연장 영역(153)은 상기 제 1 스트링 선택 라인(SSL1)과 오버랩된다. 이 경우, 스트링 선택 트랜지스터의 동작 특성이 열화될 수 있다. 이와 같은 오버랩 현상을 해결하기 위하여, 제 1 스트링(ST1)은 상기 d2 영역의 길이를 상기 제 2 스트링(ST2) 보다 증가시켰다. 이 경우, 상기 제 1 채널 연결 영역(a1)의 길이가 길어져 상기 제 1 채널 영역(a1)에 프린징 필드에 의한 반전 영역이 제한적으로 형성된다. 따라서 상기 제 1 스트링 선택 라인(SSL1)의 전체 저항이 증가될 수 있다.

[0056] 본 발명의 실시예들에 따르면, 상기 확산 저지 불순물 영역(156)에 의하여 상기 불순물 주입 영역(152)의 과도한 확산이 완화되어 상기 불순물 연장 영역(153)이 각 스트링 별로 실질적으로 유사한 깊이로 형성될 수 있다. 따라서 스트링들의 저항이 증가되거나 트랜지스터의 동작이 열화되는 현상을 완화할 수 있다.

[0057] 도 7 내지 도 9는 상기 제 1 불순물 영역(155) 및 상기 확산 저지 불순물 영역(156)의 불순물 농도 분포를 도시하는 그래프들이다. 이하 설명에서, 상기 제 1 불순물 영역(155)은 인(P)으로 도핑된 영역으로 설명되었으나, 이에 한정되지 않는다. L1은 상기 제 1 불순물 영역(155)의 인(P)의 농도 분포를 나타내고, L2는 상기 확산 저지 불순물 영역(156)의 탄소(C)의 농도 분포를 나타낸다. 도 7을 참조하여, 상기 제 1 불순물 영역(155)에서 인(P)의 최대 농도 지점(PM) 및, 상기 확산 저지 불순물 영역(156)의 탄소(C)의 최대 농도 지점(CM)은 상기 d1 영역 내에 제공될 수 있다. 상기 탄소의 최대 농도 지점(CM)은 상기 인의 최대 농도 지점(PM)보다 상기 d2 영역에 가까울 수 있다.

[0058] 상기 L2은 도 8에 도시된 바와 같이 농도가 실질적으로 동일한 분포를 나타내는 구간을 포함할 수 있다. 이와 같은 농도 분포는 이하 제조 방법에서 설명될 인-시츄 공정의 결과일 수 있다.

[0059] 도 9는 도 4의 E-E'라인에 따른 불순물 농도 분포를 나타낸다. 상기 탄소의 농도는 상기 활성 패턴(173)의 외측벽으로부터 일정 농도를 유지하다가 중심부로 갈수록 감소될 수 있다. 도 7 내지 도 9의 농도 분포는 농도 분포의 일 예이며, n형 불순물의 확산, 특히 제 1 채널 연결 영역(a1) 방향으로의 확산을 저지 또는 완화할 수 있는 어떠한 분포로도 변형이 가능하다.

[0060] 도 10 내지 도 17을 참조하여, 본 발명의 제 1 실시예에 따른 3차원 반도체 장치의 제조 방법이 설명된다. 설명의 간략화를 위하여, 중복되는 구성에 대해서는 설명을 생략할 수 있다.

[0061] 도 10을 참조하여, 기판(10) 상에 희생막들(131-138:130) 및 절연막들(121~128: 120)이 교대로 그리고 반복적으로 적층될 수 있다. 상기 희생막들(130) 및 상기 절연막들(120)은 주형 구조체의 일부일 수 있다. 상기 기

판(10)은 반도체 특성을 갖는 물질들, 절연성 물질들, 절연성 물질에 의해 덮인 반도체 또는 도전체 중의 하나일 수 있다. 예를 들면, 상기 기판(10)은 실리콘 웨이퍼일 수 있다. 상기 기판(10)은 제 1 도전형 불순물로 도핑된 구조일 수 있다. 일 예로, 상기 기판(10)은 p형 불순물로 도핑된 실리콘 기판일 수 있다.

[0062] 상기 희생막들(130) 및 상기 절연막들(120)은 상호 식각 선택성이 있는 물질로 형성될 수 있다. 즉, 소정의 식각 레서피를 사용하여 상기 희생막들(130)을 식각하는 공정에서, 상기 희생막들(130)은 상기 절연막들(120)의 식각을 최소화하면서 식각될 수 있는 물질로 형성될 수 있다. 알려진 것처럼, 이러한 식각 선택성(etch selectivity)은 상기 절연막들(120)의 식각 속도에 대한 상기 희생막들(130)의 식각 속도의 비율을 통해 정량적으로 표현될 수 있다. 일 실시예에 따르면, 상기 희생막들(130)은 상기 절연막들(120)에 대해 1:10 내지 1:200(더 한정적으로는, 1:30 내지 1:100)의 식각 선택비를 제공할 수 있는 물질들 중의 하나일 수 있다. 예를 들면, 상기 절연막들(120)은 실리콘 산화막 및 실리콘 질화막 중의 적어도 한가지일 수 있고, 상기 희생막들(130)은 실리콘막, 실리콘 산화막, 실리콘 카바이드 및 실리콘 질화막 중에서 선택되는 상기 절연막들(120)과 다른 물질일 수 있다. 아래에서는, 본 발명의 기술적 사상에 대한 보다 쉬운 이해를 위해, 상기 절연막들(120)은 실리콘 산화막이고 상기 희생막들(130)은 실리콘 질화막인 실시예를 예시적으로 설명할 것이다. 최하층 희생막(131)과 상기 기판(10) 사이에 버퍼층(104)이 제공될 수 있다. 상기 버퍼층(104)은 실리콘 산화막일 수 있다.

[0063] 상기 절연막들(120)의 두께는 모두 동일하지 않을 수 있다. 일 예로, 아래에서 두 번째 절연막(이하, 제 2 절연막)(122) 및 제 6 절연막(126)은 다른 절연막들(121,123-125,127) 보다 두꺼울 수 있다. 최상층 절연막(128)은 상기 제 2 및 제 6 절연막들(122,126) 보다 두꺼울 수 있다. 상기 최상층 절연막(128)은 평탄화, 에칭 등의 수행과, 이하 설명될 제 1 불순물 영역의 확산을 고려하여 두껍게 형성될 수 있다. 상기 절연막들(120) 및 상기 희생막들(130)의 두께는 도시된 것으로부터 다양하게 변형될 수 있으며, 상기 막들의 층수 역시 다양하게 변형될 수 있다.

[0064] 도 11을 참조하여, 상기 희생막들(130) 및 상기 절연막들(120)을 관통하는 채널 홀들(105)이 형성될 수 있다. 상기 채널 홀들(105)의 단면은 평면적 관점에서 원형, 타원형, 사각형, 또는 라인형일 수 있다. 상기 채널 홀들(105) 각각은 그것의 깊이가 그것의 폭보다 적어도 5배 이상 큰 모양으로 형성될 수 있다. 상기 채널 홀들(105)은 상기 기판(10)의 상부면 상에 2차원적으로 형성될 수 있다. 즉, 상기 채널 홀들(105) 각각은 제 1 방향 및 상기 제 1 방향과 교차하는 제 2 방향으로 다른 채널 홀들로부터 이격되어 형성되는 고립된 영역일 수 있다.

[0065] 상기 채널 홀들(105)을 형성하는 단계는 상기 주형 구조체 상에 상기 채널 홀들(105)의 위치를 정의하는 소정의 마스크 패턴을 형성하는 단계 및 이를 식각 마스크로 사용하여 상기 주형 구조체를 이방성 식각하는 단계를 포함할 수 있다. 한편, 상기 주형 구조체는 적어도 두 종류의 서로 다른 막들을 포함하기 때문에, 상기 채널 홀들(105)의 측벽은 상기 기판(10)의 상부면에 완전하게 수직하지 않을 수 있다. 예를 들면, 상기 기판(10)에 가까울수록, 상기 채널 홀들(105) 의 폭은 감소될 수 있다.

[0066] 상기 채널 홀들(105)은 도시된 것처럼 상기 기판(10)의 상면을 노출시키도록 형성될 수 있다. 이에 더하여, 상기 이방성 식각 단계에서의 과도식각(over-etch)의 결과로서, 도시된 것처럼 상기 채널 홀들(105) 아래의 상기 기판(10)의 일부는 소정의 깊이로 리세스될 수 있다.

[0067] 도 12를 참조하여, 상기 채널 홀들(105) 의 내벽들을 덮는 반도체막(170)이 형성될 수 있다. 상기 반도체막(170)은 원자층 증착(ALD) 또는 화학적 기상 증착(CVD) 기술들을 사용하여 형성되는 다결정 실리콘막일 수 있다. 상기 반도체막(170)은 상기 채널 홀들(105)의 폭의 1/50 내지 1/5의 범위에서 선택되는 두께로 형성될 수 있다. 본 발명의 변형된 실시예들에 따르면, 상기 반도체막(170)은 유기 반도체막 및 탄소 나노 구조체들 중의 한가지일 수도 있다. 일 실시예에 따르면, 상기 반도체막(170)은 상기 채널 홀들(105)을 완전히 매립하지 않는 두께로 형성될 수 있다. 상기 반도체막(170)이 형성된 결과물 상에 상기 채널 홀들(105)을 채우는 제 1 매립막(180)을 형성할 수 있다. 상기 제 1 매립막(180)은 에스오지(SOG) 기술을 이용하여 형성되는 절연성 물질들 및 실리콘 산화막 중의 하나일 수 있다. 일 실시예에 따르면, 상기 제 1 매립막(180)을 형성하기 전에, 상기 반도체막(170)이 형성된 결과물을 수소 또는 중수소를 포함하는 가스 분위기에서 열처리하는 수소 어닐링 단계가 더 실시될 수 있다. 상기 반도체막(170) 내에 존재하는 결정 결함들 중의 많은 부분이 상기 수소 어닐링 단계에 의해 치유될 수 있다.

[0068] 본 발명의 변형된 실시예에 따르면, 상기 반도체막(170)은 상기 채널 홀들(105)을 채우도록 형성될 수 있으며, 이 경우 상기 제 1 매립막(180)을 형성하는 단계는 생략될 수 있다.

[0069] 도 13을 참조하면, 상기 제 1 매립막(180)의 일부가 제거되어 제 2 채널 홀들(106)이 형성될 수 있다. 상기 제거 공정에 의하여 제 1 매립 패턴(181)이 형성될 수 있다. 상기 제 1 매립 패턴(181)의 형성은 상기 제 1 매립막(180)의 상면이 상기 최상층 절연막(128)의 상면 보다 아래에 위치하도록 상기 제 1 매립막(180)에 에치백 공정을 수행하는 것을 포함할 수 있다.

[0070] 도 14를 참조하여, 상기 제 2 채널 홀들(106)이 형성된 결과물 상에, 상기 제 2 채널 홀들(106)을 채우는 반도체막(미도시)을 형성한 후 평탄화 공정을 수행할 수 있다. 그 결과, 상기 최상층 절연막(128) 상의 상기 반도체막(170)이 제거되어 제 1 반도체 패턴(171)이 형성되고, 상기 제 1 매립 패턴(181) 상에 상기 제 2 채널 홀들(106)을 채우는 제 2 반도체 패턴(172)이 형성될 수 있다. 상기 제 1 반도체 패턴(171) 및 상기 제 2 반도체 패턴(172)은 활성 패턴(173)의 일부를 구성하고, 상기 활성 패턴(173) 및 상기 제 1 매립 패턴(181)은 제 1 구조체들(VS)의 일부를 구성할 수 있다. 상기 활성 패턴(173)은 p형 도전형을 갖거나 진성 상태(intrinsic state)일 수 있다.

[0071] 상기 주형 구조체를 패터닝하여 상기 제 1 구조체들(VS) 사이의 상기 기판(10)을 노출하는 트렌치(200)를 형성할 수 있다. 상기 트렌치(200)를 형성하는 단계는 상기 주형 구조체의 상부에 식각 마스크를 형성한 후, 상기 기판(10)의 상부면이 노출될 때까지 상기 식각 마스크 아래의 막들을 이방성 식각하는 단계를 포함할 수 있다. 상기 이방성 식각 단계에서의 과도식각(over-etch)의 결과로서, 도시된 것처럼 상기 기판(10)의 상기 트렌치(200) 아래의 부분은 소정의 깊이로 리세스될 수 있다.

[0072] 도 15를 참조하여, 상기 트렌치(200)에 의하여 노출된 상기 희생막들(130)을 선택적으로 제거하여 리세스 영역들(210)을 형성할 수 있다. 보다 구체적으로, 상기 리세스 영역들(210)의 외곽 경계(outer boundary)는 그것의 상/하부에 위치하는 상기 절연막들(120) 및 상기 트렌치(200)에 의해 한정된다. 또한, 상기 리세스 영역들(210)의 내부 경계(internal boundary)는 상기 활성 패턴(173)에 의해 정의된다.

[0073] 상기 리세스 영역들(210)을 형성하는 단계는 상기 절연막들(120) 및 상기 활성 패턴(173)에 대해 식각 선택성을 갖는 식각 레시피를 사용하여 상기 희생막들(130)을 수평적으로 식각하는 단계를 포함할 수 있다. 예를 들면, 상기 희생막들(130)이 실리콘 질화막이고 상기 절연막들(120)이 실리콘 산화막인 경우, 상기 수평적 식각 단계는 인산을 포함하는 식각액을 사용하여 수행될 수 있다.

[0074] 도 16을 참조하여, 상기 리세스 영역들(210)을 채우는 제 2 구조체들(HS)이 형성될 수 있다. 상기 제 2 구조체들(HS)은 상기 리세스 영역들(210)의 내벽을 덮는 정보 저장막(220) 및 상기 리세스 영역들(210)의 나머지 공간을 채우는 도전 패턴들(230)을 포함할 수 있다.

[0075] 상기 제 2 구조체들(HS)을 형성하는 단계는 상기 리세스 영역들(210)을 차례로 채우는 정보 저장막(220) 및 도전막을 차례로 형성한 후, 상기 트렌치(200) 내에서 상기 도전막을 제거하여 상기 리세스 영역들(210) 내에 상기 도전 패턴들(230)을 남기는 단계를 포함할 수 있다. 상기 정보 저장막(220)의 구성에 대해서는 이하 설명될 도 26 내지 도 28을 참조하여 보다 상세히 설명된다. 상기 도전막은, 상기 정보 저장막(220)에 의해 덮인, 상기 리세스 영역들(210)을 채우도록 형성될 수 있다. 상기 트렌치(200)는 상기 도전막에 의해 완전히 또는 부분적으로 채워질 수 있다. 상기 도전막은 도핑된 실리콘, 금속 물질들, 금속 질화막들 및 금속 실리사이드들 중의 적어도 하나를 포함할 수 있다. 예를 들면, 상기 도전막은 탄탈륨 질화막 또는 텅스텐을 포함할 수 있다. 일 실시예에 따르면, 상기 도전막은 상기 트렌치(200)의 내벽을 덮도록 형성될 수 있으며, 이 경우, 상기 도전 패턴들(230)을 형성하는 단계는 상기 트렌치(200) 내에서 상기 도전막을 등방적 식각의 방법으로 제거하는 단계를 포함할 수 있다. 다른 실시예에 따르면, 상기 도전막은 상기 트렌치(200)를 완전히 채우도록 형성될 수 있으며, 이 경우 상기 도전 패턴들(230)을 형성하는 단계는 상기 트렌치(200) 내에서 상기 도전막을 이방성 식각하는 단계를 포함할 수 있다.

[0076] 상기 트렌치(200)에 의하여 노출된 상기 기판(10)에 제 2 불순물 영역(240)이 형성될 수 있다. 상기 제 2 불순물 영역(240)은 상기 기판(10)과 다른 도전형일 수 있다. 일 예로, 상기 제 2 불순물 영역(240)은 n형일 수 있다. 상기 제 2 불순물 영역(240)의 형성은 이온 주입 공정에 의하여 수행될 수 있다.

[0077] 상기 트렌치(200)를 채우는 제 2 매립 패턴(250)이 형성될 수 있다. 상기 제 2 매립 패턴(250)을 형성하는 단계는 상기 트렌치(200)가 형성된 결과물 상에 절연 물질막을 형성한 후, 그 결과물을 식각하여 상기 최상층 절연막(128)의 상부면을 노출시키는 단계를 포함할 수 있다. 상기 제 2 매립 패턴(250)은 실리콘 산화막, 실리콘 질화막 및 실리콘 산화질화막 중의 적어도 한가지로 형성될 수 있으며, 상기 식각 단계는 화학적-기계적 연마 기술 또는 에치백 기술과 같은 평탄화 기술을 사용하여 실시될 수 있다.

[0078] 도 17을 참조하여, 상기 활성 패턴(173)의 상부에 확산 저지 불순물 영역(156)이 형성될 수 있다. 상기 확산 저지 불순물 영역(156)은 이온 주입 공정, 인-시츄(in-situ) 도핑 공정, 또는 확산 공정 등 다양한 방법에 의한 탄소(C)의 주입에 의하여 형성될 수 있다. 상기 탄소(C)의 농도는 상기 공정들에 따라 도 3 내지 도 5의 도면들 및 도 7 내지 도 9의 그래프들과 같은 분포를 가질 수 있다. 상기 탄소의 제조 방법은 도 18 내지 도 23을 참조하여 보다 상세하게 설명된다.

[0079] 상기 활성 패턴(173)의 상부에 불순물 주입 영역(152)이 형성될 수 있다. 상기 불순물 주입 영역(152)은 상기 활성 패턴(173)의 상부에 상기 기판(10)의 도전형과 다른 도전형의 불순물을 도핑하여 형성될 수 있다. 일 예로, 상기 불순물 주입 영역(152)의 도전형은 n형일 수 있다. 상기 불순물 주입 영역(152)은 이온 주입 공정 또는 확산 공정에 의하여 형성될 수 있다. 이 후, 상기 불순물 주입 영역(152) 및 상기 확산 저지 불순물 영역(156)이 형성된 결과물 상에 어닐링 공정이 수행될 수 있다. 상기 어닐링 공정에 의하여 이온 주입에 의하여 상기 활성 패턴(173) 내에 발생된 격자 결함들이 치유될 수 있다. 상기 어닐링 공정에 의하여 상기 불순물 주입 영역(152)이 확대되어 도 3에 도시된 불순물 연장 영역(153)이 형성될 수 있다. 상기 어닐링 공정에 의하여 상기 확산 저지 불순물 영역(156) 또한 일부 확장될 수 있다. 상기 제 1 구조체들(VS)의 상부에 상부 플러그들(미도시)이 형성되고, 상기 상부 플러그들의 상에 이들을 연결하는 상부 배선들(미도시)이 형성될 수 있다.

[0080] 도 18 내지 도 20은 상기 확산 저지 불순물 영역(156)의 형성 방법의 일 예를 도시하는 단면도들이다. 도 18을 참조하여, 도 13에 의하여 설명된 결과물 상에 상기 확산 저지 불순물 영역(156)이 형성될 수 있다. 상기 확산 저지 불순물 영역(156)은 상기 제 1 반도체 패턴(171) 내에 형성될 수 있다. 일 예로, 상기 확산 저지 불순물 영역(156)은 이온 주입 공정 또는 확산 공정에 의하여 형성될 수 있다. 일 예로, 상기 확산 저지 불순물 영역(156)은 하면이 상기 제 2 채널 홀(106)의 깊이(d5)와 실질적으로 동일한 깊이까지 형성될 수 있다. 상기 공정시, 상기 제 1 매립 패턴(181) 또는 상기 최상층 절연막(128) 내에 탄소가 일부 주입될 수 있다. 도 19를 참조하여, 상기 제 2 채널 홀(106) 내에 제 2 반도체 패턴(172)이 형성될 수 있다.

[0081] 도 20을 참조하여, 상기 활성 패턴(173)의 상부에 제 1 불순물 영역(155)이 형성될 수 있다. 일 예로, 상기 제 1 불순물 영역(155)의 형성은 n형 불순물을 도핑하는 것을 포함할 수 있다. 상기 제 1 불순물 영역(155)의 일부는 상기 확산 저지 불순물 영역(156)과 오버랩될 수 있다. 상기 오버랩 되는 부분에 의하여 n형 불순물이 상술한 채널 인접 영역으로 과도하게 확산되는 현상을 방지할 수 있다. 상기 확산 저지 불순물 영역(156)의 하면은 어닐링 또는 이하 열 공정에 의하여 상기 제 1 매립 패턴(181)의 상면 아래로 확장될 수 있다. 상술한 공정에 의한 상기 확산 저지 불순물 영역(156)의 형성 시, 불순물 농도 분포는 상술한 도 9와 유사할 수 있다.

[0082] 도 21 및 도 22는 본 발명의 다른 실시예에 따른 상기 확산 저지 불순물 영역(156)의 형성 방법을 나타내는 도면들이다. 도 21을 참조하여, 상기 제 2 채널 홀(106) 내에 상기 제 2 반도체 패턴(172)이 형성될 수 있다. 상기 확산 저지 불순물 영역(156)은 상기 제 2 반도체 패턴(172)의 형성 시, 인-시츄(in-situ)로 형성될 수 있다.

[0083] 도 22를 참조하여, 상기 활성 패턴(173)의 상부에 제 1 불순물 영역(155)이 형성될 수 있다. 상기 제 1 불순물 영역(155)의 형성 후 어닐링 공정 또는 이후의 열 공정에 의하여 상기 확산 저지 불순물 영역(156)은 도시된 바와 같이 확장될 수 있다.

[0084] 본 발명의 일 실시예에 따르면, 상기 확산 저지 불순물 영역(156) 내의 탄소(C) 원자들은 상기 제 1 불순물 영역(155)의 확산을 완화 또는 저지할 수 있다. 따라서 확산에 의한 불순물 분포 변화 및 채널 연결 영역의 저항 성분 증가가 최소화될 수 있다.

[0085] **[제 2 실시예]**

[0086] 도 23 내지 도 25는 본 발명의 제 2 실시예에 따른 3차원 반도체 장치를 설명하기 위한 사시도 및 확대도이다. 설명의 간략화를 위하여 중복되는 구성에 대한 설명은 생략될 수 있다. 도 24는 도 23의 H영역의 확대도이고, 도 26는 도 23의 구성 요소 일부의 사시도이다.

[0087] 도 23 내지 도 25를 참조하여, 상기 활성 패턴(173)의 상부에 확산 저지 불순물 영역(156)이 형성될 수 있다. 상기 확산 저지 불순물 영역(156)은 제 1 불순물 영역(155)의 확산을 저지 또는 완화할 수 있다. 상기 확산 저지 불순물 영역(156)의 형태 및 형성 방법은 제 1 실시예와 동일하다.

[0088] 상기 기판(10) 상에 반전 유도 패턴(IS)이 제공될 수 있다. 상기 반전 유도 패턴(IS)은 상기 제 1 스트링 선

택 라인(SSL1)과 상기 불순물 주입 영역(152) 사이에 제공될 수 있다. 상기 d2 영역의 길이는 스트링 선택 라인들 사이의 이격 거리 및/또는 워드라인 사이의 이격 거리에 비하여 멀다. 이는, 상술한 바와 같이, 상기 불순물 주입 영역(152) 내의 불순물의 일부가 상기 기판(10) 방향으로 확산되어 상기 불순물 연장 영역(153)이 형성되는 것을 고려한 것이다. 즉, 불순물 주입 영역(152) 내의 n형 불순물의 확산 정도는 각 셀 스트링 마다 차이가 발생할 수 있고, 그에 따라 상기 불순물 연장 영역(153)의 길이는 각 셀 스트링 마다 차이가 있을 수 있다. 상기 불순물 연장 영역(153)에 바로 인접하여 상기 제 1 스트링 선택 라인(SSL1)이 배치되는 경우, 누설 전류에 의하여 스트링 선택 트랜지스터의 동작이 열화될 수 있다. 따라서 이러한 각 셀 스트링간의 확산 거리 차이를 고려하여 상기 제 1 스트링 선택 라인(SSL1)의 상면으로부터 상기 제 1 매립 패턴(181)의 상면까지의 거리는 충분히 이격될 수 있다.

[0089] 상기 d2 영역의 증가에 따라, 상기 제 1 스트링 선택 라인(SSL1)으로부터의 프린징 전계에 의하여 상기 제 1 채널 연결 영역(a1)에 반전층을 형성시키는 것이 어려워지거나, 반전층이 균일하게 형성되지 않을 수 있다. 따라서 상기 제 1 채널 연결 영역(a1)의 저항이 증가될 수 있다.

[0090] 본 발명의 제 2 실시예에 따르면, 상기 반전 유도 패턴(IS)은 상기 제 1 스트링 선택 라인(SSL1)과 상기 불순물 주입 영역(152) 사이에 제공될 수 있다. 상기 반도체 소자의 동작 시, 상기 반전 유도 패턴(IS)에 소정의 전압이 일정하게 유지될 수 있다. 이 경우, 상기 제 1 채널 연결 영역(a1)에 반전층이 보다 용이하고 균일하게 형성될 수 있다.

[0091] 일부 셀 스트링에 있어서, 상기 반전 유도 패턴(IS)의 일부는 상기 제 1 불순물 영역(155)의 일부와 수평적으로 오버랩될 수 있다. 상기 제 1 스트링 선택 라인(SSL1)이 상기 제 1 불순물 영역(155)과 오버랩되는 경우와는 달리, 상기 반전 유도 패턴(IS)이 상기 제 1불순물 영역(155)과 일부 오버랩되어도 스트링 선택 라인의 동작에 문제가 발생하지 않는다. 따라서 상기 반전 유도 패턴(IS)이 추가되어도 상기 제 1 불순물 영역(155)의 높이를 추가로 증가시키지 않을 수 있다. 도 23 및 도 24에는 상기 반전 유도 패턴(IS)의 일부가 상기 제 1 불순물 영역(155)과 수평적으로 오버랩되는 것으로 도시되었으나, 오버랩되지 않을 수 있다.

[0092] 상기 반전 유도 패턴(IS)은 상기 제 1 구조체들(VS) 주위를 둘러싸는 형상일 수 있다. 일 예로, 도 25에 도시된 바와 같이, 상기 반전 유도 패턴(IS)은 상기 도전 패턴들(230)이 연장되는 방향과 평행한 방향으로 연장되는 플레이트 형상일 수 있다. 즉, 상기 플레이트 형상의 반전 유도 패턴(IS)은 복수의 활성 패턴들(173)에 의하여 관통될 수 있다. 상기 반전 유도 패턴(IS)과 상기 활성 패턴(173) 사이에 절연막이 제공될 수 있다. 본 실시예에서는 공정의 단순화를 위하여 상기 정보 저장막(220)이 상기 절연막으로 사용되었으나, 이에 한정되지 않고 다양한 형태, 물질의 절연막이 사용될 수 있다.

[0093] 상기 반전 유도 패턴(IS)은 도전성 물질을 포함할 수 있다. 일 예로, 상기 반전 유도 패턴(IS)은 금속, 도전성 금속 질화물, 및 도핑된 실리콘 중 적어도 하나를 포함할 수 있다. 일 예로, 상기 반전 유도 패턴(IS)은 상기 도전 패턴들(230)과 동일한 물질로 형성될 수 있다. 상기 반전 유도 패턴(IS)은 상기 도전 패턴들(230)과 동시에 형성될 수 있다.

[0094] **[제 3 실시예]**

[0095] 도 26은 본 발명의 제 3 실시예에 따른 3차원 반도체 장치 및 그 제조 방법을 설명하기 위한 단면도이다. 상기 3차원 반도체 장치는 상기 기판(10) 상의 제 1 적층 구조체(DS1) 및 상기 제 1 적층 구조체(DS1) 상의 제 2 적층 구조체(DS2)를 포함할 수 있다. I-I'선은 상기 제 1 적층 구조체(DS1)와 상기 제 2 적층 구조체(DS2)의 경계를 나타내는 라인이다.

[0096] 상기 적층 구조체들(DS1, DS2)은 상기 기판(10) 상에 적층된 제 2 구조체들(HS)을 포함할 수 있다. 상기 제 2 구조체들(HS)은 도전 패턴들(230) 및 정보 저장막(220)을 포함할 수 있다.

[0097] 상기 적층 구조체들(DS1, DS2) 각각을 관통하는 제 1 구조체들(VS1, VS2)이 제공될 수 있다. 상기 제 1 구조체들(VS1, VS2) 각각은 제 1 활성 패턴(173) 및 제 2 활성 패턴(174)을 포함할 수 있다. 또한, 상기 제 1 구조체들(VS1, VS2)은 제 1 매립 패턴들(181, 182)을 포함할 수 있다. 상기 적층 구조체들(DS1, DS2) 각각을 가로지르는 제 2 매립 패턴들(251,252)이 제공될 수 있다.

[0098] 상기 제 2 활성 패턴(174)의 상부에 제 1 불순물 영역(155)이 제공될 수 있다. 상기 제 1 불순물 영역(155) 내에 상기 확산 저지 불순물 영역(156)이 제공될 수 있다. 상기 확산 저지 불순물 영역(156)은 이하 설명될 연결 패드 내에도 제공될 수 있다. 상술한 바와 같이, 제 2 반전 유도 패턴(IS2)이 상기 제 1 불순물 영역(155)에 인접하여 형성될 수 있다. 상기 제 2 반전 유도 패턴(IS2)은 스트링 선택 라인 위의 채널 인접 영역

에 반전층을 형성하여 채널 인접 영역의 저항을 낮출 수 있다.

[0099] 상기 제 2 활성 패턴(174)과 상기 제 1 활성 패턴(173)을 전기적으로 연결하기 위한 연결 패드(159)가 제공될 수 있다. 상기 연결 패드(159)는 상기 기판(10)과 다른 도전형으로 도핑된 영역일 수 있다. 일 예로 상기 연결 패드(159)의 도전형은 n형일 수 있다. 상기 제 2 활성 패턴(174)과 동일하게, 상기 연결 패드(159) 내의 n형 불순물들도 확산에 의하여 아래로 확산이 진행될 수 있다. 상기 연결 패드(159)에 인접하여 제 1 반전 유도 패턴(IS1)이 제공될 수 있다. 상기 제 1 반전 유도 패턴(IS1)은 상기 연결 패드(159)의 위 및 아래로 각각 최인접한 도전 패턴들 사이에 제공될 수 있다. 상기 제 1 반전 유도 패턴(IS1)은 바로 아래의 도전 패턴에 소정의 전압이 인가될 경우, 커플링에 의하여 상기 제 1 활성 패턴(173)에 반전층을 형성할 수 있다. 따라서 누설 전류를 증가시키지 않으면서, 상기 제 1 활성 패턴(173) 내의 저항을 줄일 수 있다.

[0100] 도 27 내지 도 29는 본 발명의 실시예들에 따른 정보 저장막을 설명하기 위한 부분 사시도이다.

[0101] 도 27을 참조하여, 상기 제 1 및 제 2 구조체들의 구조가 보다 자세히 설명된다. 상기 제 1 및 2 구조체들은 채널 홀(105)의 측벽에 형성된 정보 저장막(220)을 포함할 수 있다. 상기 정보 저장막(220)은 상기 리세스 영역(210) 내에 차례로 적층된 터널 절연막(TIL), 전하 저장막(CL), 및 블로킹 절연막(BLL)을 포함할 수 있다. 상기 정보 저장막(220)을 구성하는 막들은 우수한 단차 도포성을 제공할 수 있는 증착 기술(예를 들면, 화학 기상증착 또는 원자층 증착 기술)을 사용하여 형성될 수 있다.

[0102] 상기 전하저장막(CL)은 트랩 사이트들이 풍부한 절연막들 및 나노 입자들을 포함하는 절연막들 중의 하나일 수 있으며, 화학 기상 증착 또는 원자층 증착 기술들 중의 한 가지를 사용하여 형성될 수 있다. 예를 들면, 상기 전하저장막(CL)은 트랩 절연막, 부유 게이트 전극 또는 도전성 나노 돗들(conductive nano dots)을 포함하는 절연막 중의 한가지를 포함할 수 있다. 일 예로, 상기 전하저장막(CL)은 실리콘 질화막, 실리콘 산화질화막, 실리콘-풍부 질화막(Si-rich nitride), 나노크리스탈 실리콘(nanocrystalline Si) 및 박층화된 트랩막(laminated trap layer) 중의 적어도 하나를 포함할 수 있다.

[0103] 상기 터널 절연막(TIL)은 상기 전하저장막(CL)보다 큰 밴드 갭을 갖는 물질들 중의 하나일 수 있으며, 화학 기상 증착 또는 원자층 증착 기술들 중의 한가지를 사용하여 형성될 수 있다. 예를 들면, 상기 터널 절연막(TIL)은 상술한 증착 기술들 중의 하나를 사용하여 형성되는 실리콘 산화막일 수 있다. 이에 더하여, 상기 터널 절연막(TIL)은 증착 공정 이후 실시되는 소정의 열처리 단계를 더 경험할 수 있다. 상기 열처리 단계는 급속-열-질화 공정(Rapid Thermal Nitridation; RTN) 또는 질소 및 산소 중의 적어도 하나를 포함하는 분위기에서 실시되는 어닐링 공정일 수 있다.

[0104] 상기 블로킹 절연막(BLL)은 단일 절연막일 수 있다. 이와는 달리 상기 블로킹 절연막(BLL)은 제 1 및 제 2 블로킹 절연막들(미도시)을 포함할 수 있다. 상기 제 1 및 제 2 블로킹 절연막들은 서로 다른 물질로 형성될 수 있으며, 상기 제 1 및 제 2 블로킹 절연막들 중의 하나는 상기 터널 절연막(TIL)보다 작고 상기 전하저장막(CL)보다 큰 밴드 갭을 갖는 물질들 중의 하나일 수 있다. 또한, 상기 제 1 및 제 2 블로킹 절연막들은 화학 기상 증착 또는 원자층 증착 기술들 중의 한가지를 사용하여 형성될 수 있으며, 이들 중의 적어도 하나는 습식 산화 공정을 통해 형성될 수 있다. 일 실시예에 따르면, 상기 제 1 블로킹 절연막은 알루미늄 산화막 및 하프늄 산화막 등과 같은 고유전막들 중의 하나이고, 상기 제 2 블로킹 절연막은 상기 제 1 블로킹 절연막보다 작은 유전 상수를 갖는 물질일 수 있다. 다른 실시예에 따르면, 상기 제 2 블로킹 절연막은 고유전막들 중의 하나이고, 상기 제 1 블로킹 절연막은 상기 제 2 블로킹 절연막보다 작은 유전 상수를 갖는 물질일 수 있다.

[0105] 도 28은 본 발명의 다른 실시예에 따른 정보 저장막 구조를 도시하는 부분 사시도이다. 본 실시예에 따른 정보 저장막(220)은 상기 채널 홀(105)내에 상기 활성 패턴(173)의 형성 전에 형성될 수 있다. 상기 채널 홀(105)의 측벽 상에 블로킹 절연막(BLL), 전하 저장막(CL), 및 터널 절연막(TIL)을 차례로 형성할 수 있다. 상기 정보 저장막(220) 상에 상기 활성 패턴(173) 및 상기 제 1 매립 패턴(181)을 형성할 수 있다.

[0106] 도 29는 본 발명의 또 다른 실시예에 따른 정보 저장막의 구조를 도시하는 부분 사시도이다. 본 실시예에 따른 정보 저장막은 제 1 정보 저장막(DA1) 및 제 2 정보 저장막(DA2)을 포함할 수 있다. 상기 제 1 정보 저장막(DA1)은 상기 채널 홀(105) 내에 형성될 수 있고, 상기 제 2 정보 저장막(DA2)은 상기 리세스 영역(210) 내에 형성될 수 있다. 상기 제 1 및 제 2 정보 저장막(DA1, DA2)은 각각 상기 블로킹 절연막(BLL), 전하 저장막(CL), 및 터널 절연막(TIL) 중 하나 이상을 포함할 수 있다.

[0107] 도 30은 본 발명의 실시예들의 제조 방법에 따라 제조된 반도체 메모리 장치를 포함하는 메모리 시스템의 일

예를 나타내는 개략 블록도이다.

[0108] 도 30을 참조하면, 메모리 시스템(1100)은 PDA, 포터블(portable) 컴퓨터, 웹 타블렛(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 소자에 적용될 수 있다.

[0109] 메모리 시스템(1100)은 컨트롤러(1110), 키패드(keypad), 키보드 및 디스플레이와 같은 입출력 장치(1120), 메모리(1130), 인터페이스(1140), 및 버스(1150)를 포함한다. 메모리(1130)와 인터페이스(1140)는 버스(1150)를 통해 상호 소통된다.

[0110] 컨트롤러(1110)는 적어도 하나의 마이크로 프로세서, 디지털 시그널 프로세서, 마이크로 컨트롤러, 또는 그와 유사한 다른 프로세스 장치들을 포함한다. 메모리(1130)는 컨트롤러에 의해 수행된 명령을 저장하는 데에 사용될 수 있다. 입출력 장치(1120)는 시스템(1100) 외부로부터 데이터 또는 신호를 입력받거나 또는 시스템(1100) 외부로 데이터 또는 신호를 출력할 수 있다. 예를 들어, 입출력 장치(1120)는 키보드, 키패드 또는 디스플레이 소자를 포함할 수 있다.

[0111] 메모리(1130)는 본 발명의 실시예들에 따른 비휘발성 메모리 소자를 포함한다. 메모리(1130)는 또한 다른 종류의 메모리, 임의의 수시 접근이 가능한 휘발성 메모리, 기타 다양한 종류의 메모리를 더 포함할 수 있다.

[0112] 인터페이스(1140)는 데이터를 통신 네트워크로 송출하거나, 네트워크로부터 데이터를 받는 역할을 한다.

[0113] 도 31은 본 발명의 실시예들의 제조 방법에 따라 제조된 반도체 메모리 장치를 구비하는 메모리 카드의 일 예를 나타내는 개략 블록도이다.

[0114] 도 31을 참조하면, 고용량의 데이터 저장 능력을 지원하기 위한 메모리 카드(1200)는 본 발명에 따른 플래시 메모리 장치(1210)를 장착한다. 본 발명에 따른 메모리 카드(1200)는 호스트(Host)와 플래시 메모리 장치(1210) 간의 제반 데이터 교환을 제어하는 메모리 컨트롤러(1220)를 포함한다.

[0115] SRAM(1221)은 프로세싱 유닛(1222)의 동작 메모리로써 사용된다. 호스트 인터페이스(1223)는 메모리 카드(1200)와 접속되는 호스트의 데이터 교환 프로토콜을 구비한다. 에러 정정 블록(1224)은 멀티 비트 플래시 메모리 장치(1210)로부터 독출된 데이터에 포함되는 에러를 검출 및 정정한다. 메모리 인터페이스(1225)는 본 발명의 플래시 메모리 장치(1210)와 인터페이싱 한다. 프로세싱 유닛(1222)은 메모리 컨트롤러(1220)의 데이터 교환을 위한 제반 제어 동작을 수행한다. 비록 도면에는 도시되지 않았지만, 본 발명에 따른 메모리 카드(1200)는 호스트(Host)와의 인터페이싱을 위한 코드 데이터를 저장하는 ROM(미도시됨) 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

[0116] 도 32는 본 발명의 실시예들의 제조 방법에 따라 제조된 반도체 메모리 장치를 장착하는 정보 처리 시스템의 일 예를 나타내는 개략 블록도이다.

[0117] 도 32를 참조하면, 모바일 기기나 데스크 톱 컴퓨터와 같은 정보 처리 시스템에 본 발명의 플래시 메모리 시스템(1310)이 장착된다. 본 발명에 따른 정보 처리 시스템(1300)은 플래시 메모리 시스템(1310)과 각각 시스템 버스(760)에 전기적으로 연결된 모뎀(1320), 중앙처리장치(1330), 램(1340), 유저 인터페이스(1350)를 포함한다. 플래시 메모리 시스템(1310)은 앞서 언급된 메모리 시스템 또는 플래시 메모리 시스템과 실질적으로 동일하게 구성될 것이다. 플래시 메모리 시스템(1310)에는 중앙처리장치(1330)에 의해서 처리된 데이터 또는 외부에서 입력된 데이터가 저장된다. 여기서, 상술한 플래시 메모리 시스템(1310)이 반도체 디스크 장치(SSD)로 구성될 수 있으며, 이 경우 정보 처리 시스템(1300)은 대용량의 데이터를 플래시 메모리 시스템(1310)에 안정적으로 저장할 수 있다. 그리고 신뢰성의 증대에 따라, 플래시 메모리 시스템(1310)은 에러 정정에 소요되는 자원을 절감할 수 있어 고속의 데이터 교환 기능을 정보 처리 시스템(1300)에 제공할 것이다. 도시되지 않았지만, 본 발명에 따른 정보 처리 시스템(1300)에는 응용 칩셋(Application Chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 입출력 장치 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

[0118] 또한, 본 발명에 따른 플래시 메모리 장치 또는 메모리 시스템은 다양한 형태들의 패키지로 실장 될 수 있다. 예를 들면, 본 발명에 따른 플래시 메모리 장치 또는 메모리 시스템은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In

Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지화되어 실장될 수 있다.

[0119] 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

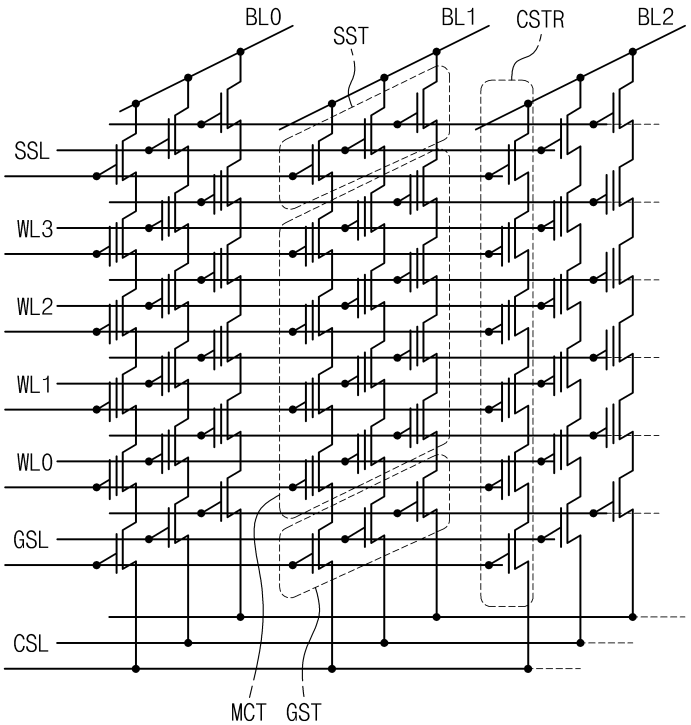
부호의 설명

[0120]

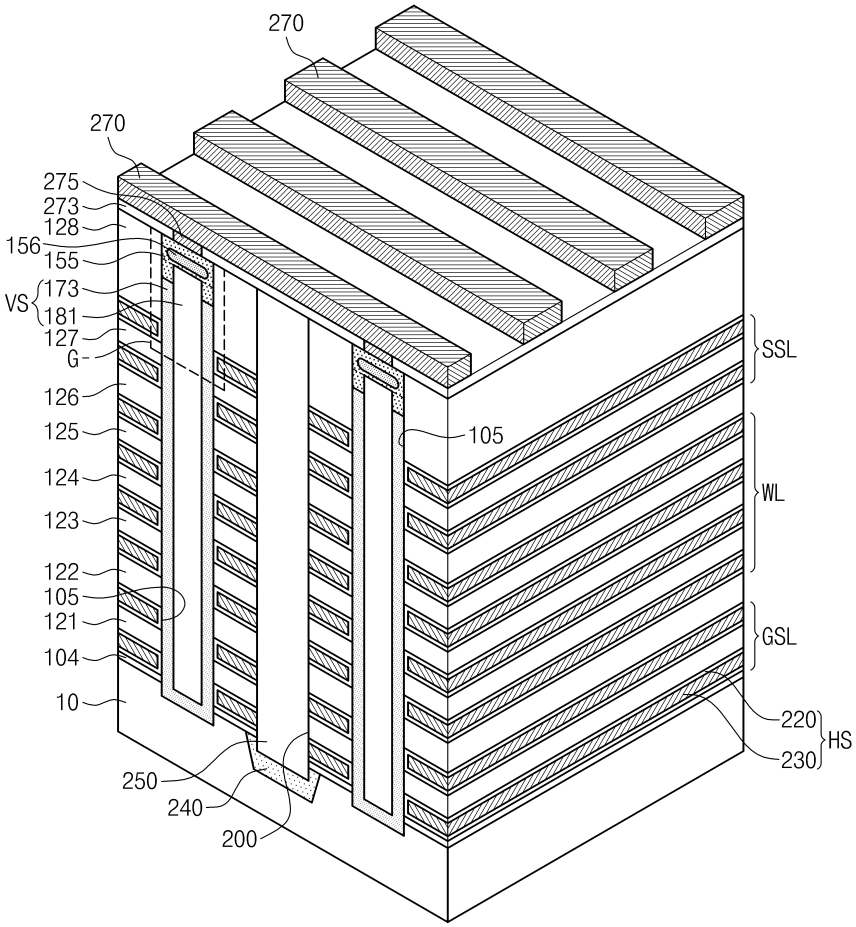
10	기판	105	채널 홀
120	절연막들	130	희생막들
VS	제 1 구조체들	HS	제 2 구조체들
173	활성 패턴	181	제 1 절연 패턴
155	제 1 불순물 영역	156	확산 저지 불순물 영역
240	제 2 불순물 영역		

도면

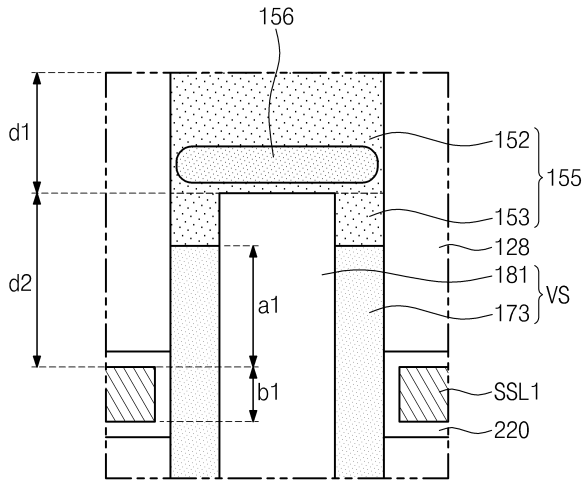
도면1



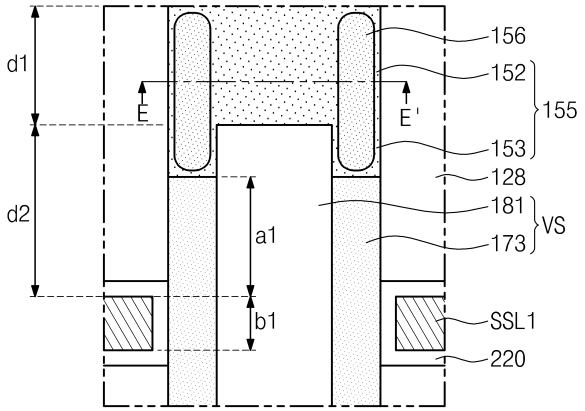
도면2


270
270
275
273
128
156
155
VS
173
181
127
G
126
125
124
123
122
105
121
104
10
250
240
200
105
SSL
WL
GSL
220
230
HS

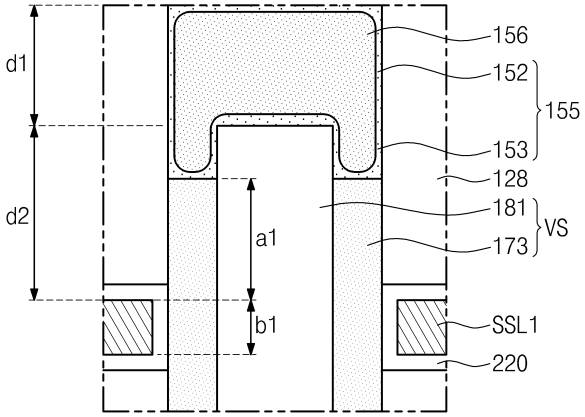
도면3


156
d1
d2
a1
b1
152
155
153
128
181
VS
173
SSL1
220

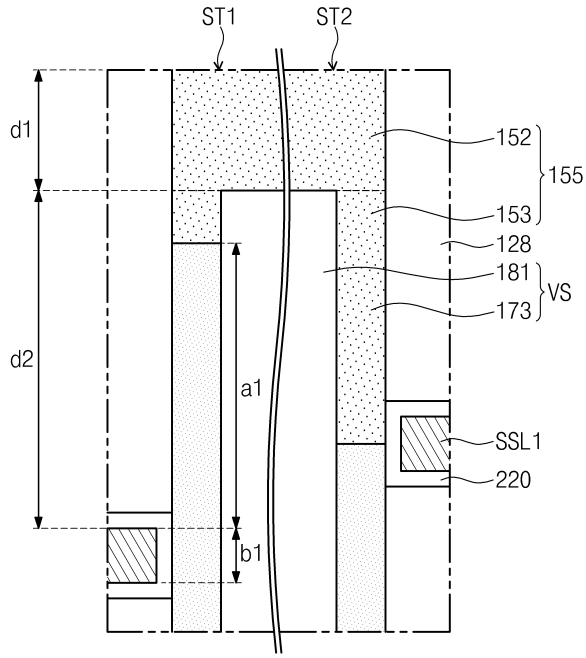
도면4


d1
d2
E
E'
a1
b1
156
152
155
153
128
181
VS
173
SSL1
220

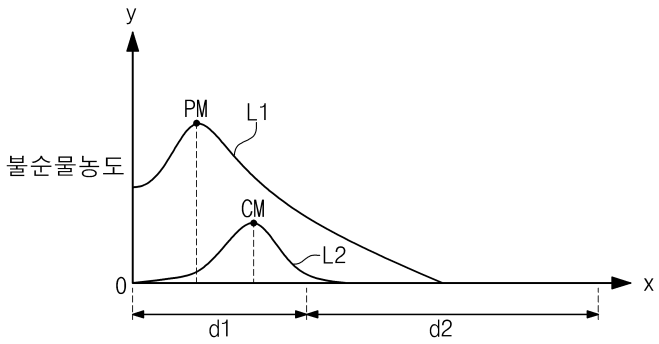
도면5


d1
d2
a1
b1
156
152
155
153
128
181
VS
173
SSL1
220

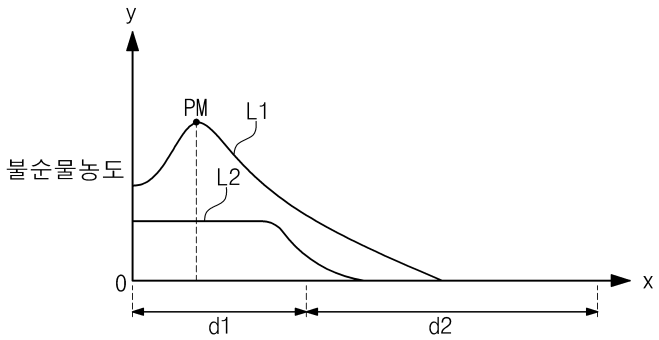
도면6


ST1
ST2
d1
d2
a1
b1
152
155
153
128
181
VS
173
SSL1
220

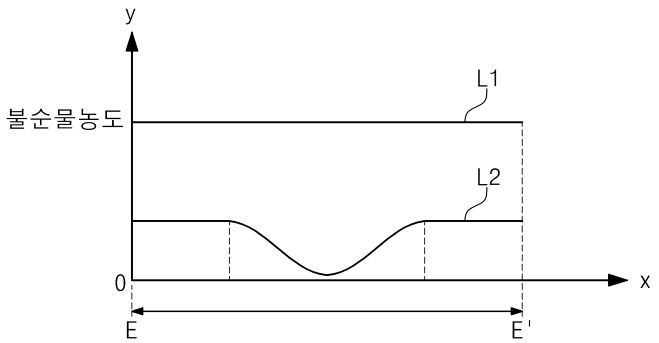
도면7


y
PM
L1
불순물농도
CM
L2
0
x
d1
d2

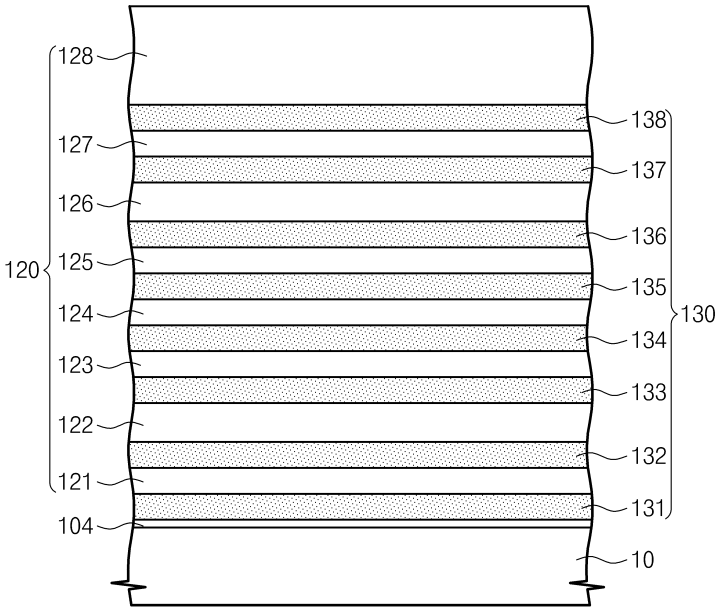
도면8


y
PM
L1
불순물농도
L2
0
x
d1
d2

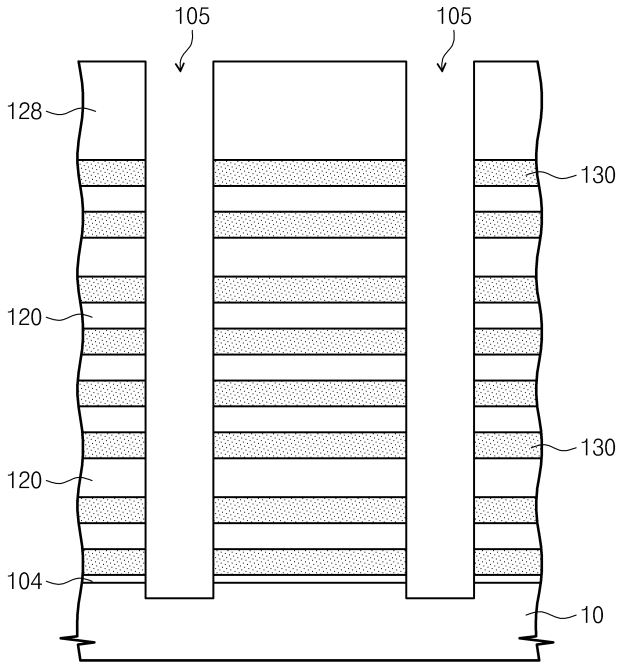
도면9


y
L1
불순물농도
L2
0
x
E
E'

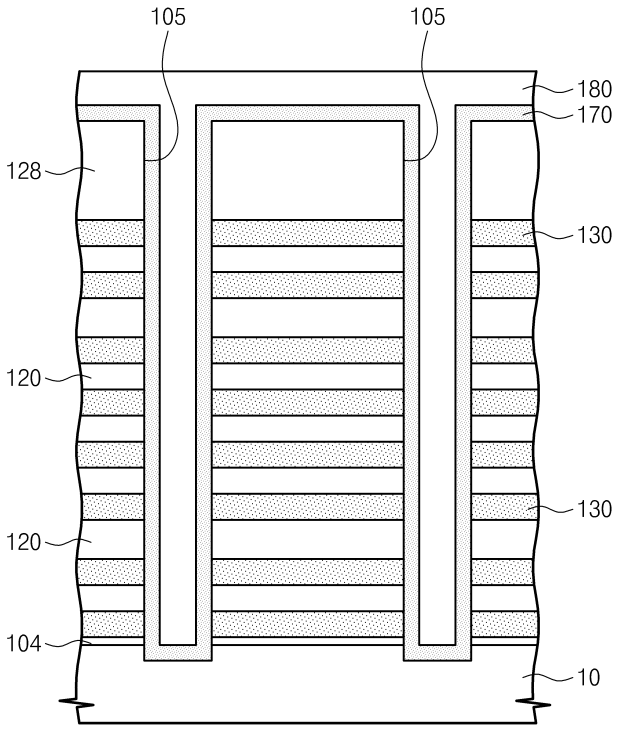
도면10


128
127
126
125
124
123
122
121
104
120
138
137
136
135
134
133
132
131
130
10

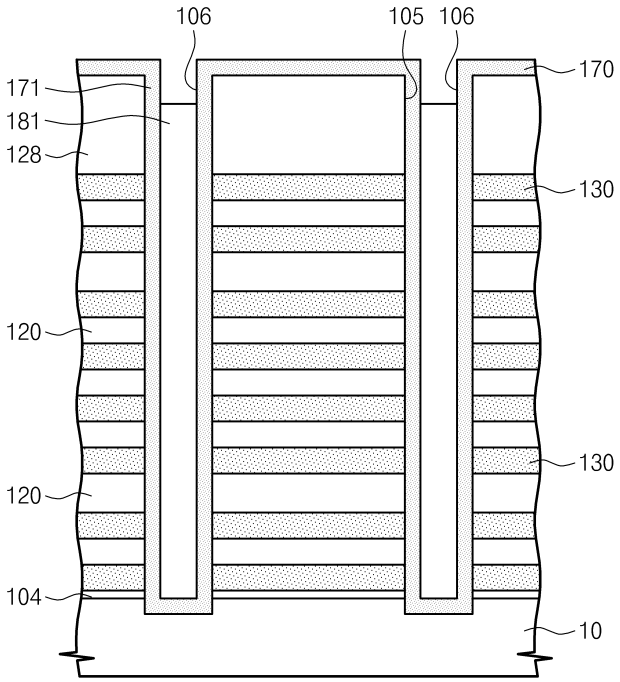
도면11


105
105
128
120
120
104
130
130
10

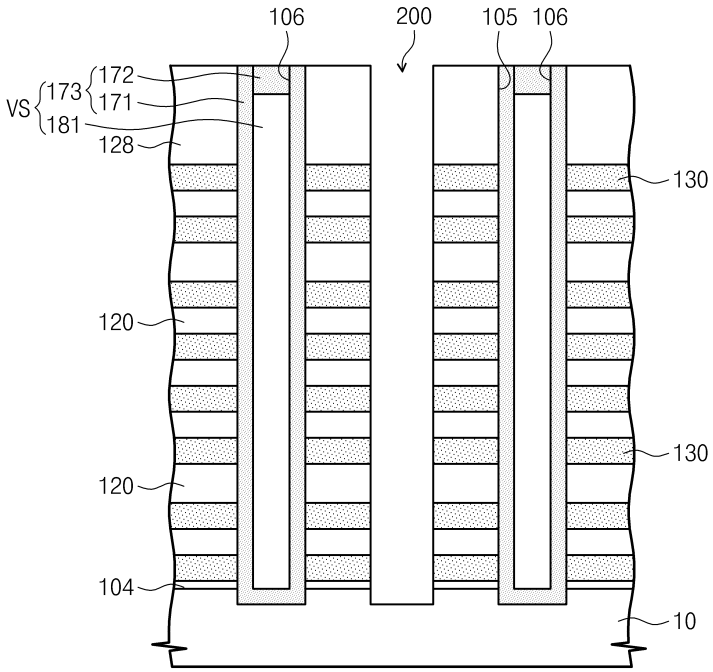
도면12


105
105
180
170
128
130
120
130
120
104
10

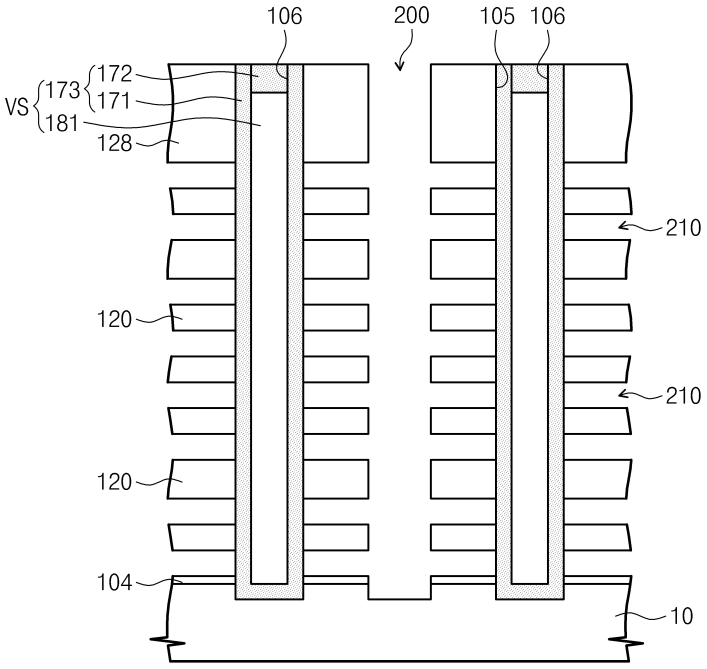
도면13


106
105
106
170
171
181
128
130
120
130
120
104
10

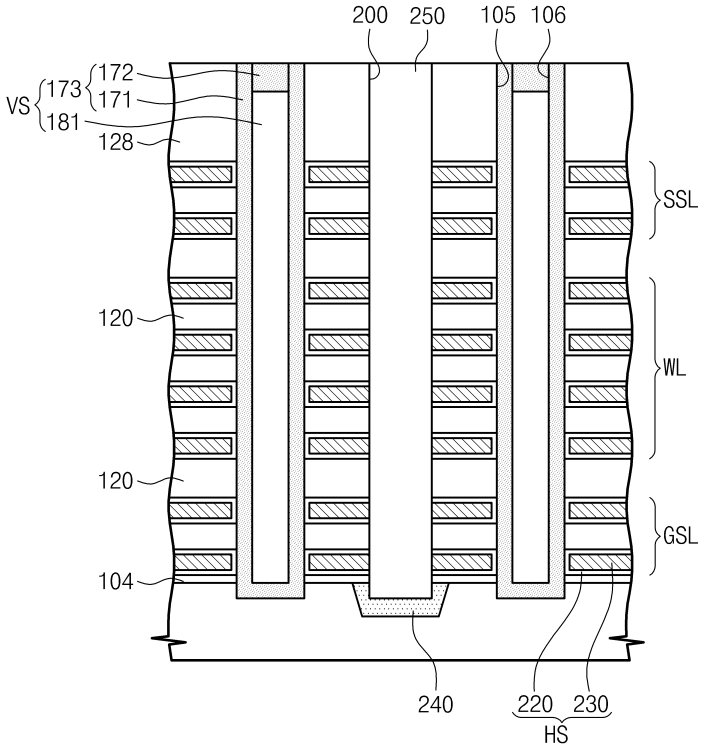
도면14


106
200
105
106
VS
173
172
171
181
128
130
120
120
130
104
10

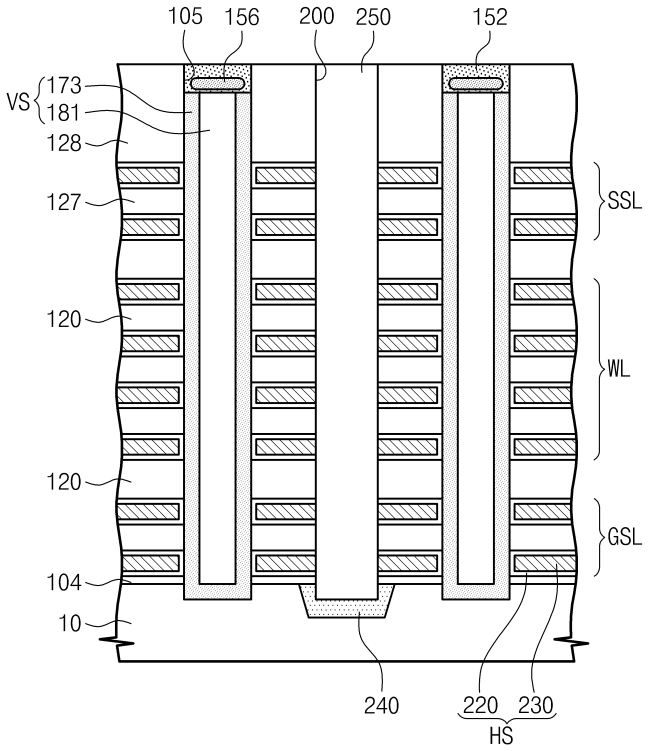
도면15


106
200
105
106
VS
173
172
171
181
128
210
120
210
120
104
10

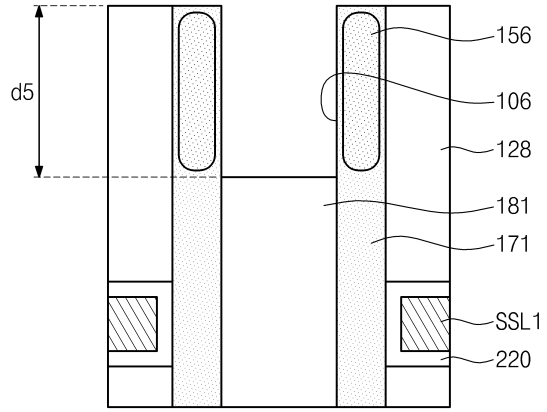
도면16


200
250
105
106
VS
173
172
171
181
128
SSL
120
WL
120
GSL
104
240
220
230
HS

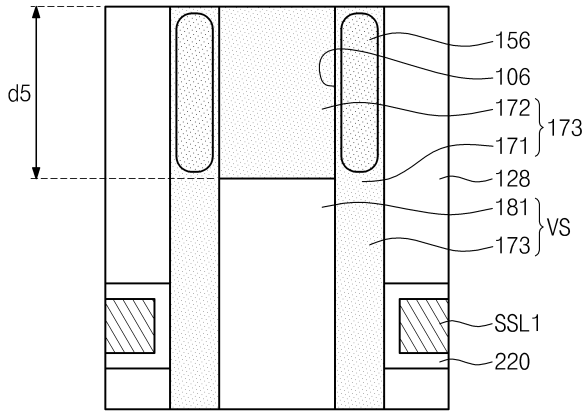
도면17


105
156
200
250
152
VS
173
181
128
127
SSL
120
WL
120
GSL
104
10
240
220
230
HS

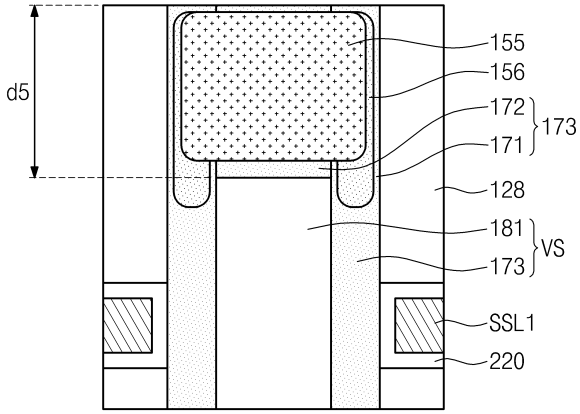
도면18



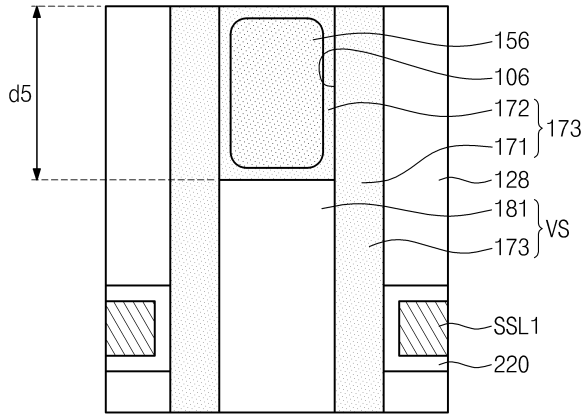
도면19



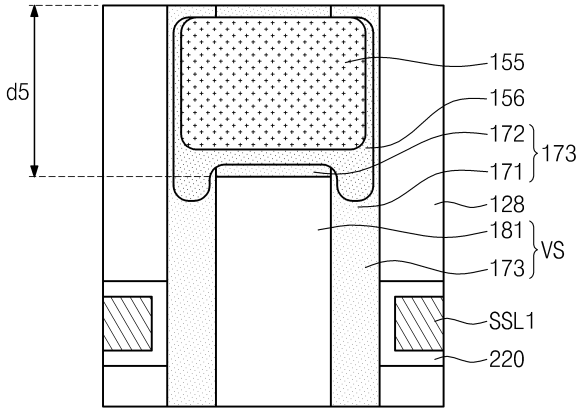
도면20



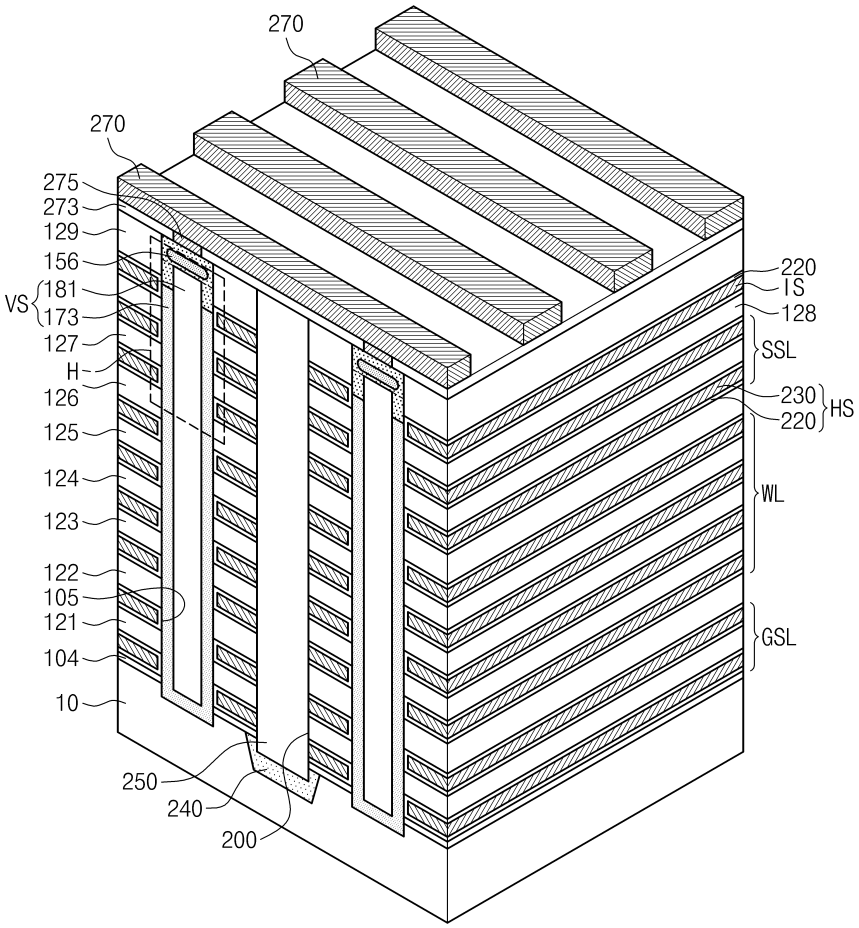
도면21


d5
156
106
172
171
173
128
181
173
VS
SSL1
220

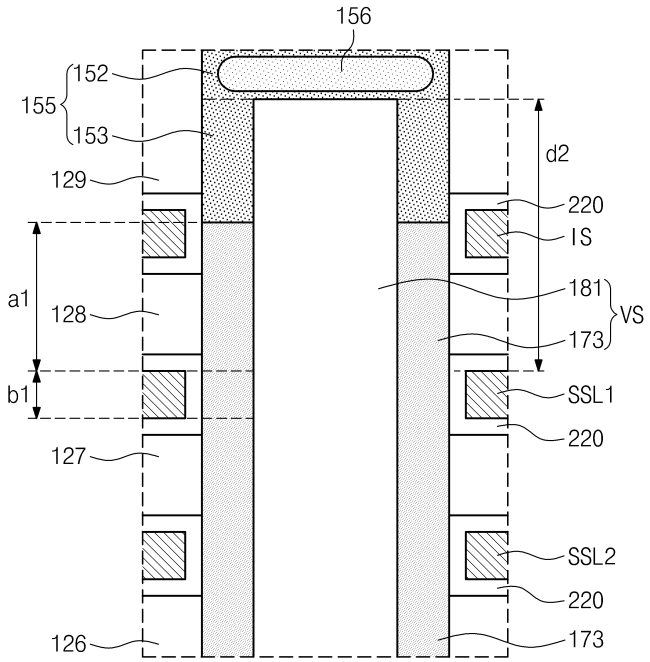
도면22


d5
155
156
172
171
173
128
181
173
VS
SSL1
220

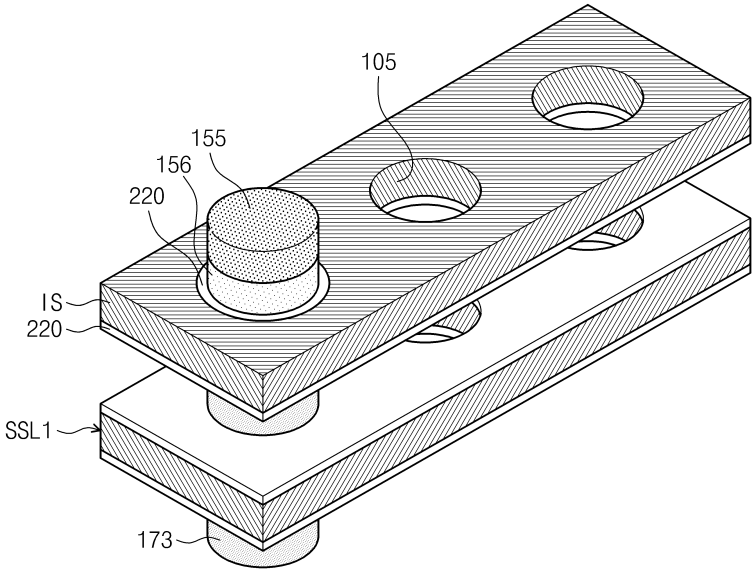
도면23


270
270
275
273
129
156
VS
181
173
127
H
126
125
124
123
122
105
121
104
10
250
240
200
220
IS
128
SSL
230
220
HS
WL
GSL

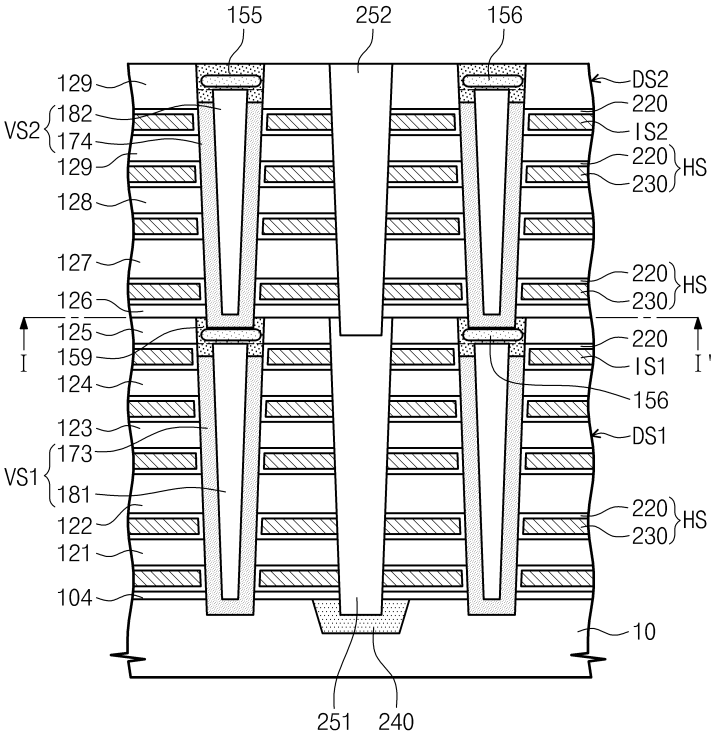
도면24


156
152
155
153
129
a1
128
b1
127
126
d2
220
IS
181
173
VS
SSL1
220
SSL2
220
173

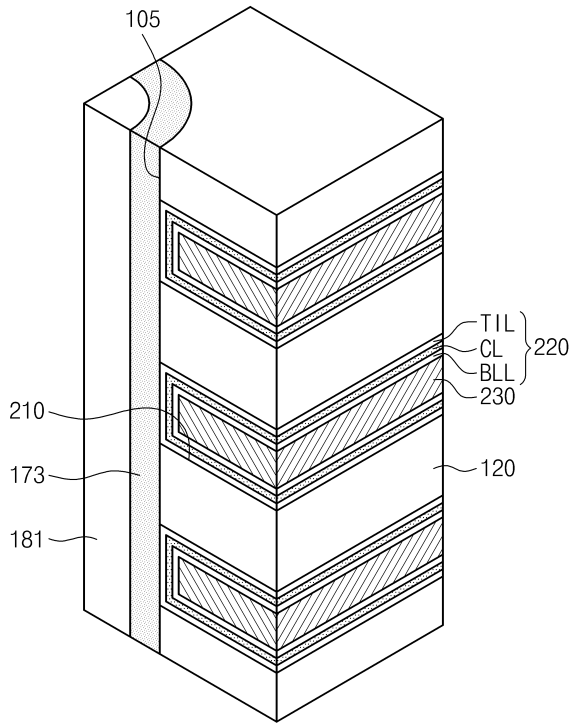
도면25


105
155
156
220
IS
220
SSL1
173

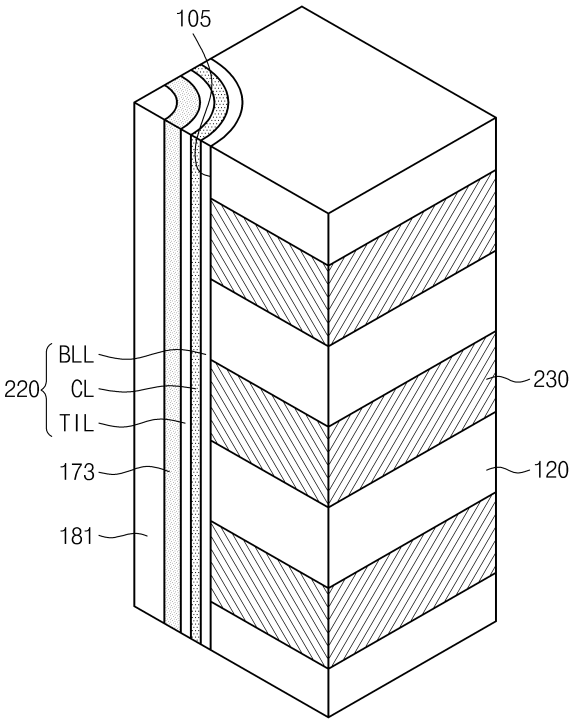
도면26


155
252
156
129
VS2
182
174
129
128
127
126
125
159
124
123
173
VS1
181
122
121
104
DS2
220
IS2
220
230
HS
220
230
HS
220
IS1
156
DS1
220
230
HS
10
I
I'
251
240

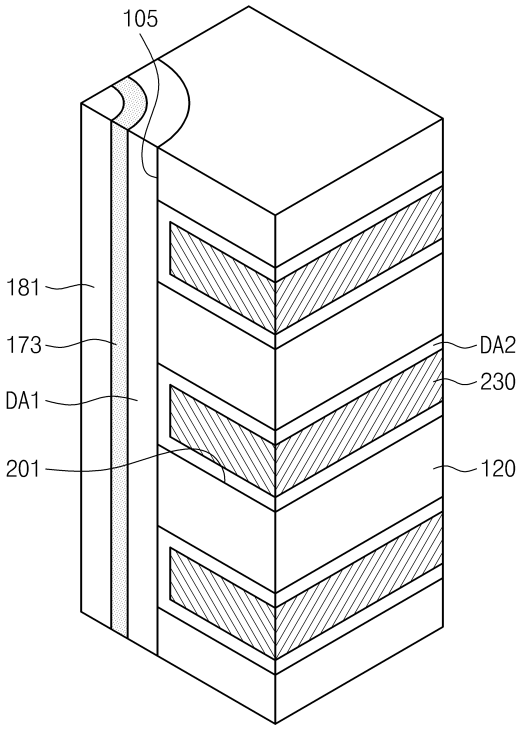
도면27


105
TIL
CL
BLL
220
230
210
173
120
181

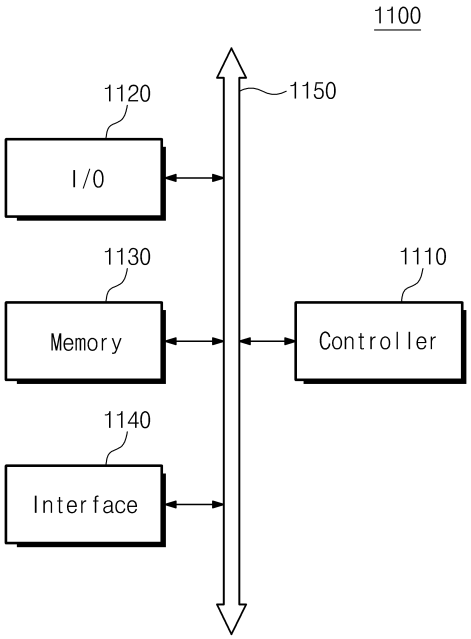
도면28


105
BLL
220
CL
TIL
230
173
120
181

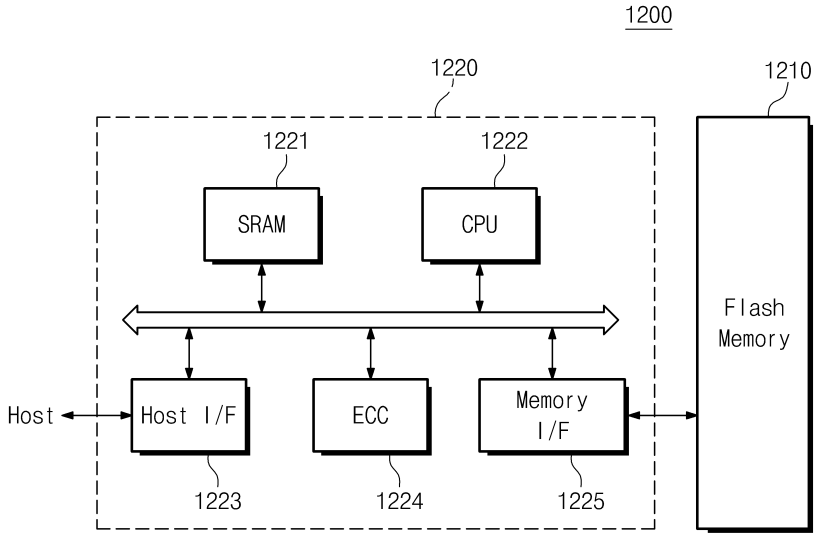
도면29


105
181
173
DA1
201
DA2
230
120

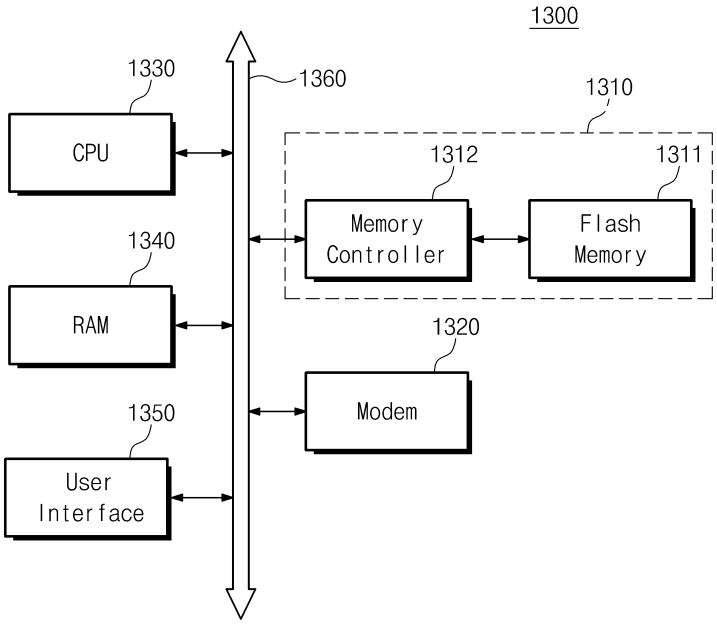
도면30


1100
1120
1150
I/O
1130
1110
Memory
Controller
1140
Interface

도면31


1200
1220
1210
1221
1222
SRAM
CPU
Flash
Memory
Host
Host I/F
ECC
Memory
I/F
1223
1224
1225

도면32


1300
1330
1360
1310
CPU
1312
1311
Memory
Controller
Flash
Memory
1340
RAM
1320
Modem
1350
User
Interface