



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201838045 A

(43) 公開日：中華民國 107 (2018) 年 10 月 16 日

(21) 申請案號：107122137

(22) 申請日：中華民國 106 (2017) 年 01 月 23 日

(51) Int. Cl. : H01L21/56 (2006.01)

H01L21/78 (2006.01)

H01L23/31 (2006.01)

(30) 優先權：2016/02/26 美國

15/055,264

(71) 申請人：美商先科公司 (美國) SEMTECH CORPORATION (US)

美國

(72) 發明人：奇努薩米 沙亞莫希 CHINNUSAMY, SATYAMOORTHY (US)；辛普森 凱文

SIMPSON, KEVIN (US)；科斯特洛 馬克 C COSTELLO, MARK C. (US)

(74) 代理人：閻啟泰；林景郁

申請實體審查：有 申請專利範圍項數：15 項 圖式數：7 共 47 頁

(54) 名稱

半導體裝置及在半導體晶粒周圍形成絕緣層的方法

SEMICONDUCTOR DEVICE AND METHOD OF FORMING INSULATING LAYERS AROUND SEMICONDUCTOR DIE

(57) 摘要

一種半導體裝置包括一半導體晶圓，該半導體晶圓包含被形成在該半導體晶圓的第一表面上方的複數個半導體晶粒和複數個接觸墊。一溝槽被部分形成貫穿該半導體晶圓的該第一表面。一絕緣材料被設置在該半導體晶圓的第一表面上方及該第一溝槽之中。一導體層被形成在該些接觸墊上方。該導體層會被印刷為用以延伸在介於相鄰接觸墊之間的溝槽中的絕緣材料上方。和該半導體晶圓之第一表面反向的該半導體晶圓的一部分會被移除至該第一溝槽中的絕緣材料。一絕緣層被形成在該半導體晶圓的一第二表面和該半導體晶圓的側表面上方。該半導體晶圓會被單體化裁切貫穿該第一溝槽中的絕緣材料，以便分離該半導體晶粒。

A semiconductor device has a semiconductor wafer including a plurality of semiconductor die and a plurality of contact pads formed over a first surface of the semiconductor wafer. A trench is formed partially through the first surface of the semiconductor wafer. An insulating material is disposed over the first surface of the semiconductor wafer and into the trench. A conductive layer is formed over the contact pads. The conductive layer can be printed to extend over the insulating material in the trench between adjacent contact pads. A portion of the semiconductor wafer opposite the first surface of the semiconductor wafer is removed to the insulating material in the trench. An insulating layer is formed over a second surface of the semiconductor wafer and side surfaces of the semiconductor wafer. The semiconductor wafer is singulated through the insulating material in the first trench to separate the semiconductor die.

指定代表圖：

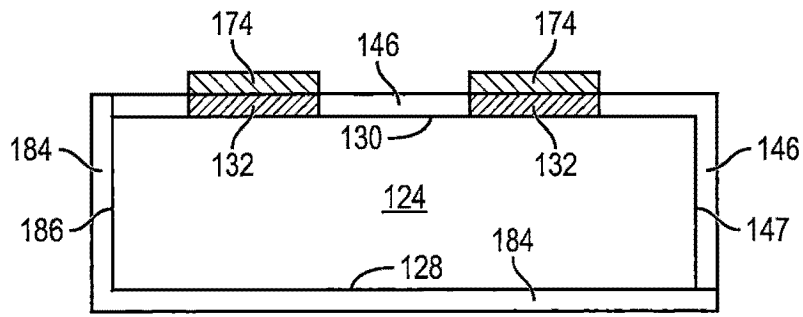


圖3

符號簡單說明：

124 . . . 半導體晶粒
或構件

128 . . . 半導體晶圓
背表面或非主動表面

130 . . . 主動表面

132 . . . 導電層

146 . . . 絕緣材料

147 . . . 半導體晶粒
側表面

174 . . . 導電層

184 . . . 絕緣層

186 . . . 半導體晶圓
側表面

【發明說明書】

【中文發明名稱】 半導體裝置及在半導體晶粒周圍形成絕緣層的方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND METHOD OF
FORMING INSULATING LAYERS AROUND
SEMICONDUCTOR DIE

【技術領域】

【0001】 本發明大體上和半導體裝置有關，且更明確地說，關於一種半導體裝置及在半導體晶粒周圍形成絕緣層的方法。

【先前技術】

【0002】 在現代的電子產品中經常發現半導體裝置。半導體裝置會有不同數量與密度的電氣構件。離散式半導體裝置通常含有某一種類型的電氣構件，舉例來說，發光二極體(Light Emitting Diode, LED)、小訊號電晶體、電阻器、電容器、電感器、以及功率金屬氧化物半導體場效電晶體(Metal Oxide Semiconductor Field Effect Transistor, MOSFET)。整合式半導體裝置通常含有數百個至數百萬個電氣構件。整合式半導體裝置的範例包含微控制器、微處理器、電荷耦合裝置(Charged-Coupled Device, CCD)、太陽能電池、以及數位微鏡裝置(Digital Micro-mirror Device, DMD)。

【0003】 半導體裝置會實施各式各樣的功能，例如，訊號處理、高速計算、傳送與接收電磁訊號、控制電子裝置、將太陽光轉換成電能、以及產生電視顯示器的視覺投影。在娛樂領域、通訊領域、電力轉換領域、網路領域、電腦領域、以及消費性產品領域中皆會發現半導體裝置。在軍事應用、航空、自動車、工業控制器、以及辦公室設備中同樣會發現半導體裝置。

【0004】 半導體裝置會利用半導體材料的電氣特性。半導體材料的結構使

得可藉由施加電場或基極電流或是經由摻雜處理來操縱該材料的導電性。摻雜會將雜質引入至半導體材料之中，以便操縱及控制半導體裝置的傳導性。

【0005】 半導體裝置含有主動電氣結構與被動電氣結構。主動結構(其包含雙極電晶體與場效電晶體)會控制電流的流動。藉由改變摻雜程度以及施加電場或基極電流，電晶體便會提高或限制電流的流動。被動結構(其包含電阻器、電容器、以及電感器)會創造用以實施各式各樣電氣功能所需要的電壓和電流之間的關係。該些被動結構與主動結構會被電氣連接以形成讓半導體裝置實施高速運算及其它實用功能的電路。

【0006】 半導體裝置通常使用兩種複雜的製程來製造，也就是，前端製造以及後端製造，每一者皆可能涉及許多步驟。前端製造涉及在一半導體晶圓的表面上形成複數個晶粒。每一個半導體晶粒通常相同並且含有藉由電氣連接主動構件和被動構件而形成的電路。後端製造涉及從已完成的晶圓中單體化裁切獨特半導體晶粒並且封裝該晶粒以便提供結構性支撐以及環境隔離。

【0007】 半導體製造的一目標係保護半導體晶粒，避免受到外部環境元素(例如，濕氣、污染物、以及光)的破壞。一囊封劑或模製化合物經常會被塗敷在該半導體晶粒上方。該半導體晶粒的一或更多個表面，尤其是在覆晶組態中，可能仍曝露於外部環境元素。

【發明內容】

【0008】 本技術領域需要保護半導體晶粒避免受到外部環境元素破壞。據此，於一實施例中，本發明係一種製造半導體裝置的方法，該方法包括下面步驟：提供一半導體晶圓，其包含被形成在該半導體晶圓之第一表面上方的複數個半導體晶粒和複數個接觸墊；形成部分貫穿該半導體晶圓之第一表面的第一溝槽；設置一絕緣材料於該半導體晶圓的第一表面上方及該第一溝槽之中；移除和該半導體晶圓之第一表面反向的該半導體晶圓的一部分至該第一溝槽中的

絕緣材料；形成一絕緣層於該半導體晶圓的一第二表面和該半導體晶圓的側表面上方；以及貫穿該第一溝槽中的絕緣材料來單體化裁切該半導體晶圓，用以分離該半導體晶粒。

【0009】 於另一實施例中，本發明係一種製造半導體裝置的方法，該方法包括下面步驟：提供一半導體晶圓，其包含被形成在該半導體晶圓之第一表面上方的複數個半導體晶粒和複數個接觸墊；形成第一溝槽於該半導體晶圓的第一表面之中；設置一絕緣材料於該半導體晶圓的第一表面上方及該第一溝槽之中；以及形成一絕緣層於該半導體晶圓的一第二表面和該半導體晶圓的側表面上方。

【0010】 於另一實施例中，本發明係一種製造半導體裝置的方法，該方法包括下面步驟：提供一半導體晶圓；形成第一溝槽於該半導體晶圓的第一表面之中；設置一絕緣材料於該半導體晶圓的第一表面上方及該第一溝槽之中；以及形成一絕緣層於該半導體晶圓的一第二表面和該半導體晶圓的側表面上方。

【0011】 於另一實施例中，本發明係一種半導體裝置，其包括一半導體晶圓，該半導體晶圓包含被形成在該半導體晶圓的第一表面之中的第一溝槽。一絕緣材料被設置在該半導體晶圓的第一表面上方及該第一溝槽之中。一絕緣層被形成在該半導體晶圓的一第二表面和該半導體晶圓的側表面上方。

【圖式簡單說明】

【0012】

圖1所示的係一印刷電路板(Printed Circuit Board, PCB)，在該PCB的表面鑲嵌著不同類型的封裝；

圖2a至2q所示的係在一半導體晶圓周圍形成絕緣材料的製程；

圖3所示的係圖2a至2q的製程流程中的半導體晶粒；

圖4a至4g所示的係在一具有導體印刷的半導體晶圓周圍形成絕緣材料的另

一製程；

圖5所示的係圖4a至4g的製程流程中的半導體晶粒；

圖6a至6m所示的係在一半導體晶圓周圍形成絕緣材料的另一製程，在該半導體晶粒的側表面上有一導體層；以及

圖7所示的係圖6a至6m的製程流程中的半導體晶粒。

【實施方式】

【0013】 在下面的說明中參考圖式於一或更多個實施例中說明本發明，於該些圖式中，相同的符號代表相同或雷同的元件。雖然本文以達成本發明之目的的最佳模式來說明本發明；不過，熟習本技術的人士便明白，本說明希望涵蓋受到下面揭示內容及圖式支持的隨附申請專利範圍及申請專利範圍等效範圍所定義的本發明的精神與範疇內可以併入的替代例、修正例、以及等效例。

【0014】 半導體裝置通常會使用兩種複雜的製程來製造：前端製造和後端製造。前端製造涉及在一半導體晶圓的表面上形成複數個半導體晶粒。該晶圓上的每一個半導體晶粒皆含有主動電氣構件和被動電氣構件，它們會被電氣連接而形成功能性電路。主動電氣構件(例如電晶體與二極體)能夠控制電流的流動。被動電氣構件(例如電容器、電感器、以及電阻器)會創造用以實施電路功能所需要的電壓和電流之間的關係。本文中所使用的「半導體晶粒」一詞兼具單數與複數形式，且據此能夠表示單一半導體裝置以及多個半導體裝置。

【0015】 被動構件和主動構件會藉由一連串的製程步驟被形成在該半導體晶圓的表面上方，該些製程步驟包含：摻雜、沉積、光微影術、蝕刻、以及平坦化。摻雜會藉由下面的技術將雜質引入至半導體材料之中，例如：離子植入或是熱擴散。摻雜製程會藉由響應於電場或基極電流來動態改變半導體材料傳導性而修正主動裝置中半導體材料的導電性。電晶體含有不同類型及不同摻雜程度的多個區域，它們會在必要時被排列成用以在施加電場或基極電流下讓

該電晶體提高或限制電流的流動。

【0016】 主動構件和被動構件係由具有不同電氣特性的多層材料構成。這些層能夠藉由各式各樣的沉積技術來形成，其部分取決於要被沉積的材料之類型。舉例來說，薄膜沉積可能包含：化學氣相沉積(Chemical Vapor Deposition, CVD)製程、物理氣相沉積(Physical Vapor Deposition, PVD)製程、電解質電鍍製程、以及無電極電鍍製程。每一層通常都會被圖案化，以便形成主動構件、被動構件、或是構件之間的電氣連接線的一部分。

【0017】 後端製造係指將已完成的晶圓切割或單體化裁切成獨特的半導體晶粒，並且接著封裝該半導體晶粒，以達結構性支撐以及環境隔離的效果。為單體化裁切半導體晶粒，該晶圓會利用雷射切割工具或鋸片沿著該晶圓中被稱為切割道(saw street)或切割線(scribe line)的非功能性區域被切割。經過單體化裁切之後，獨特的半導體晶粒會被鑲嵌至包含接針或接觸墊的封裝基板，以便和其它系統構件進行互連。被形成在該半導體晶粒上方的接觸墊接著會被連接至該封裝裡面的接觸墊。該些電氣連接線可利用焊料凸塊、短柱凸塊、導電膏、或是焊線來製成。一囊封劑或是其它模製材料會被沉積在該封裝的上方，用以提供物理性支撐和電氣隔離。接著，已完成的封裝便會被插入一電氣系統之中並且讓其它系統構件可取用該半導體裝置的功能。

【0018】 圖1圖解電子裝置50，其具有一晶片載體基板或是印刷電路板(PCB)52，在其表面上鑲嵌著複數個半導體封裝。電子裝置50會具有某一種類型的半導體封裝或是多種類型的半導體封裝，端視應用而定。為達解釋的目的，圖1中顯示不同類型的半導體封裝。

【0019】 電子裝置50能夠係單機型系統，其使用該些半導體封裝來實施一或更多項電氣功能。或者，電子裝置50亦能夠係一較大型系統中的子構件。舉例來說，電子裝置50能夠係蜂巢式電話、個人數位助理(Personal Digital

Assistant, PDA)、數位錄像機(Digital Video Camera, DVC)、或是其它電子通訊裝置的一部分。或者, 電子裝置50能夠係圖形卡、網路介面卡、或是能夠被插入在電腦之中的其它訊號處理卡。該半導體封裝能夠包含: 微處理器、記憶體、特定應用積體電路(Application Specific Integrated Circuits, ASIC)、邏輯電路、類比電路、射頻(Radio Frequency, RF)電路、離散式裝置、或是其它半導體晶粒或電氣構件。該些產品要被市場接受, 微型化以及減輕重量相當重要。半導體裝置之間的距離可能縮小, 以達更高密度的目的。

【0020】 在圖1中, PCB 52提供一種通用基板, 用以達到結構性支撐以及電氣互連被鑲嵌在該PCB上的半導體封裝的目的。多條導體訊號線路54會利用下面製程被形成在PCB 52的一表面上方或是多層裡面: 蒸發製程、電解電鍍製程、無電極電鍍製程、網印製程、或是其它合宜的金屬沉積製程。訊號線路54在該些半導體封裝、被鑲嵌的構件、以及其它外部系統構件中的每一者之間提供電氣通訊。線路54亦提供連接至每一個該些半導體封裝的電力連接線及接地連接線。

【0021】 於某些實施例中, 一半導體裝置會有兩個封裝層。第一層封裝係一種用於以機械方式及電氣方式將該半導體晶粒附接至一中間載板的技術。第二層封裝則涉及以機械方式及電氣方式將該中間載板附接至該PCB。於其它實施例中, 一半導體裝置可以僅有該第一層封裝, 其中, 該晶粒以機械方式及電氣方式直接被鑲嵌至該PCB。

【0022】 為達解釋的目的, 圖中在PCB 52上顯示數種類型的第二層封裝, 其包含焊線封裝56以及覆晶58。除此之外, 圖中還顯示被鑲嵌在PCB 52上的數種類型第二層封裝, 其包含: 球柵陣列(Ball Grid Array, BGA)60; 凸塊晶片載體(Bump Chip Carrier, BCC)62; 平台格柵陣列(Land Grid Array, LGA)66; 多晶片模組(Multi-Chip Module, MCM)68; 方形扁平無導線封裝(Quad Flat

Non-leaded package，QFN)70；方形扁平封裝72；以及覆晶74。端視系統需求而定，由第一層封裝樣式和第二層封裝樣式之任何組合配置而成的半導體封裝以及其它電子構件所組成的任何組合皆能夠被連接至PCB 52。於某些實施例中，電子裝置50包含單一附接半導體封裝；不過，其它實施例則會需要多個互連封裝。藉由在單一基板上方組合一或更多個半導體封裝，製造商便能夠將事先製造的構件併入電子裝置和系統之中。因為該些半導體封裝包含精密的功能，所以，電子裝置能夠使用較便宜的構件及有效率的製程來製造。所產生的裝置比較不可能失效而且製造價格較低廉，從而降低消費者的成本。

【0023】 圖2a顯示一具有基礎基板材料122(例如，矽、鍺、磷化鋁、砷化鋁、砷化鎵、氮化鎵、磷化銮、碳化矽、或是用於結構性支撐的其它本體半導體材料)的半導體晶圓120。複數個半導體晶粒或構件124會被形成在晶圓120上，藉由如上面所述之非主動的晶粒間晶圓區域、切割線、或切割道126來分離。切割道126提供切割區，以便將半導體晶圓120單體化裁切成獨特的半導體晶粒124。於一實施例中，半導體晶圓120的寬度或直徑為200至300毫米(mm)而厚度為700微米(μm)。於另一實施例中，半導體晶圓120的寬度或直徑為100至450mm。

【0024】 圖2b所示的係半導體晶圓120的一部分的剖視圖。半導體晶圓120，以及每一個半導體晶粒124，有一背表面或非主動表面128以及含有類比電路或數位電路的主動表面130，該些類比電路或數位電路會被施行為根據該晶粒的電氣設計與功能被形成在該晶粒裡面及電氣互連的主動裝置、被動裝置、導體層、以及介電層。舉例來說，該電路可以包含被形成在主動表面130裡面的一或更多個電晶體、二極體、以及其它電路元件，用以施行類比電路或數位電路，例如，數位訊號處理器(Digital Signal Processor，DSP)、ASIC、記憶體、或是其它訊號處理電路。半導體晶粒124可以還含有用於RF訊號處理的整合式被動裝置(Integrated Passive Device，IPD)，例如，電感器、電容器、以及電阻器。於一實

施例中，半導體晶粒124為一覆晶型裝置。

【0025】 一導體層132會使用PVD、CVD、電解質電鍍、無電極電鍍製程、或是其它合宜的金屬沉積製程被形成在主動表面130的上方。導體層132能夠係由下面所製成的一或更多層：鋁(Al)、銅(Cu)、錫(Sn)、鎳(Ni)、金(Au)、銀(Ag)、鈦(Ti)、或是其它合宜的導電材料。於一實施例中，導體層132為藉由無電極沉積或電鍍被形成在Al上方的Ni。其它金屬層亦能夠被用來形成導體層132。導體層132的操作如同被電氣連接至主動表面130上之電路的接觸墊。導體層132會被形成為多個接觸墊，它們以並排的方式被設置在和半導體晶粒124的邊緣相隔第一距離處，如圖2b之中所示。或者，導體層132會被形成為偏移在多列之中的多個接觸墊，俾使得第一列接觸墊會被設置在和該晶粒的邊緣相隔第一距離處，而與該第一列交錯的第二列接觸墊則被設置在和該晶粒的邊緣相隔第二距離處。

【0026】 圖2c所示的係一載板或暫時性基板140的一部分的剖視圖，該載板或暫時性基板140含有犧牲性基礎材料，例如，矽、聚合物、氧化鈹、玻璃、或是用於達到結構性支撐之目的的其它合宜低成本剛性材料。一介面層或雙面膠帶142被形成在載板140上方成為一暫時性膠黏焊膜、蝕刻阻止層、或是熱脫模層。半導體晶圓120被定位在載板140和介面層142上方並且被鑲嵌至載板140和介面層142，主動表面130和導體層132背向該載板。圖2d所示的係已被鑲嵌至載板140之介面層142的半導體晶圓120。

【0027】 在圖2e中，一溝槽144會利用鋸片或雷射切割工具145、深反應離子蝕刻(Deep Reactive Ion Etching, DRIE)、或是其它合宜切割製程沿著切割道126部分但是沒有完全貫穿半導體晶圓120被形成在半導體晶圓120的表面中。於一實施例中，在700 μm 厚度的半導體晶圓120中的溝槽144具有210 μm 的深度。或者，溝槽144的深度為半導體晶圓120之厚度的0.25至0.50。圖2f所示的係沿著切

割道126被形成在半導體晶圓120中的溝槽144的平面圖。半導體晶圓120會先以電漿蝕刻或化學性蝕刻進行預處置，用以增強後面塗敷的絕緣材料或囊封劑的黏著性。氧化物沉積會被套用至需要第二層金屬終端的半導體晶圓120。

【0028】 在圖2g中，溝槽144會被絕緣材料146(例如，環氧樹脂或聚合物材料)填充。絕緣材料146覆蓋溝槽144中的半導體晶粒124的側表面147並且進一步形成一位於主動表面130上方的層。於另一實施例中，絕緣材料146能夠為二氧化矽(SiO_2)、氮化矽(Si_3N_4)、氮氧化矽(SiON)、五氧化二鉭(Ta_2O_5)、三氧化二鋁(Al_2O_3)、或是具有雷同絕緣特性及結構特性的其它材料。絕緣材料層146延伸至導體層132的表面148，露出表面148，如圖2g中所示。絕緣材料146被固化以便凝固並黏結至主動表面130以及半導體晶粒124的側表面147。

【0029】 於另一實施例中，該絕緣材料層146的厚度足以覆蓋導體層132的表面148，如圖2h中所示。於此情況中，研磨機150會移除多餘的絕緣材料146，以便平坦化該絕緣材料並且露出導體層132的表面148。

【0030】 於另一實施例中，不會在圖2g或2h中塗敷絕緣材料146，取而代之的係，半導體晶圓120會從載板140中移除並放置在模套162的凹腔160中，如圖2i中所示。某個體積的囊封劑或模製化合物164會在主動表面130上方的高溫與高壓下被注入凹腔160之中(舉例來說，經由入口166)以及半導體晶圓120的溝槽144之中。在自動模製製程期間會在埠口170吸入真空168，用以達成平均分散、均勻分佈、實質上沒有空隙的囊封劑164。或者，半導體晶圓120會由真空輔助以模套162中的囊封劑164壓模。囊封劑164能夠為聚合物合成材料，例如，有填充劑的環氧樹脂、有填充劑的環氧丙烯酸酯、或是有適當填充劑的聚合物。囊封劑164係非導體，為半導體晶粒124提供物理性支撐和環境保護，避免受到外部元素、污染物、以及濕氣的破壞。囊封劑164還保護半導體晶粒124，避免因曝露於光中而受損。半導體晶圓120會從模套162中移除，囊封劑164則被設置在

主動表面130上方和半導體晶圓120的溝槽144之中。在圖2j中，研磨機172會移除多餘的囊封劑164，以便平坦化該囊封劑並且露出導體層132的表面148。

【0031】 據此，被設置在主動表面130上方和溝槽144之中的絕緣材料能夠為如圖2g或2h中的絕緣材料146或是如圖2j中的囊封劑164。下面說明係針對絕緣材料146，但是亦適用於具有囊封劑164的實施例。回到圖2h，導體層132的表面148會被清洗，並且一導電層174會使用PVD、CVD、電解質電鍍、無電極電鍍製程、或是其它合宜的金屬沉積製程被形成在導體層132的表面148上方，如圖2k中所示。導體層174能夠係由下面所製成的一或更多層：Al、Cu、Sn、Ni、Au、Ag、Ti、SnAg、SnAgCu、CuNi、CuNiAu、CuSnAg、CuNiPdAu、或是其它合宜的導電材料。於一實施例中，導體層174為Ni、Au、或是Ni/Au合金。導體層174延伸在絕緣材料146或囊封劑164之上並且抑制導體層132的氧化。

【0032】 在圖2l中，載板140和介面層142會藉由化學性蝕刻、機械性剝除、化學機械性平坦化(Chemical Mechanical Planarization, CMP)、機械性研磨、熱烘烤、UV光、雷射掃描、或是濕式脫除被移除。圖2l進一步顯示一載板或暫時性基板176的一部分的剖視圖，該載板或暫時性基板176含有犧牲性基礎材料，例如，矽、聚合物、氧化鈹、玻璃、或是用於達到結構性支撐之目的其它合宜低成本剛性材料。一介面層或雙面膠帶178被形成在載板176上方成為一暫時性膠黏焊膜、蝕刻阻止層、或是熱脫模層。半導體晶圓120被定位在載板176的介面層178上方並且被鑲嵌至載板176的介面層178，主動表面130以及導體層132和174朝向該載板。

【0033】 在圖2m中，研磨機180往下移除一部分的基板材料122至溝槽144中的絕緣材料146。或者，一部分的基板材料122會藉由蝕刻製程被移除，用以露出溝槽144中的絕緣材料146。半導體晶圓120以及相應的半導體晶粒124的厚度會因被移除的基板材料122的數額而縮減。於一實施例中，研磨機180受控於

光學感測器或光學成像機182，以便達成半導體晶圓120的所希望或最佳厚度，舉例來說， $210\mu\text{m}$ 。光學感測器182監視半導體晶圓120的研磨後厚度並且調整研磨機180以保持平坦、均勻、以及精確的研磨操作。半導體材料122雖然已被移除至溝槽144；不過，半導體晶粒124仍藉由該些溝槽中的已固化絕緣材料146而被固定在一起。

【0034】 在圖2n中，一絕緣層184會使用PVD、CVD、印刷、層疊、旋塗、或噴塗被形成在半導體晶圓120的背表面128和側表面186的上方。絕緣層184含有由下面所製成的一或更多層： SiO_2 、 Si_3N_4 、 SiON 、 Ta_2O_5 、 Al_2O_3 、或是具有雷同絕緣特性及結構特性的其它材料。於一實施例中，絕緣層184係一LC型背面塗佈黏著膠帶，用以保護和強化背表面128以及側表面186。

【0035】 在圖2o中，載板176和介面層178會藉由化學性蝕刻、機械性剝除、CMP、機械性研磨、熱烘烤、UV光、雷射掃描、或是濕式脫除被移除，留下被絕緣材料146或囊封劑164以及絕緣層184完全封閉的半導體晶圓120(也就是，所有側表面147和186、背表面128、以及主動表面130)，導體層174會露出用於進行電氣互連。此外，半導體晶粒124亦會被雷射標記。

【0036】 於另一實施例中，不會在圖2n中塗敷絕緣層184，取而代之的係，有絕緣材料146的半導體晶圓120被放置在模套192的凹腔190中，如圖2p中所示。某個體積的囊封劑或模製化合物194會在半導體晶圓120的背表面128上方和側表面186周圍的高溫與高壓下被注入凹腔190之中(舉例來說，經由入口196)。在自動模製製程期間會在埠口200吸入真空198，用以達成平均分散、均勻分佈、實質上沒有空隙的囊封劑194。或者，半導體晶圓120會由真空輔助以模套192中的囊封劑194壓模。囊封劑194能夠為聚合物合成材料，例如，有填充劑的環氧樹脂、有填充劑的環氧丙烯酸酯、或是有適當填充劑的聚合物。囊封劑194係非導體，為半導體晶粒124提供物理性支撐和環境保護，避免受到外部元素、污染

物、以及濕氣的破壞。囊封劑194還保護半導體晶粒124，避免因曝露於光中而受損。半導體晶圓120會從模套192中移除，囊封劑164則位在半導體晶圓120的背表面128上方和側表面186周圍，雷同於圖2o。一研磨機會移除多餘的囊封劑194，以便平坦化該囊封劑，雷同於圖2h。據此，半導體晶圓120被絕緣材料146或囊封劑164以及絕緣層184或囊封劑194完全封閉，也就是，所有側表面147和186、背表面128、以及主動表面130，導體層174則露出用於進行電氣互連。此外，半導體晶粒124亦會被雷射標記。

【0037】 在圖2q中，半導體晶圓120被放置在切晶膠帶202上並且利用鋸片或雷射切割工具204單體化裁切貫穿溝槽144中的絕緣材料146或囊封劑164的中心成為獨特的半導體晶粒124。鋸片或雷射切割工具204的寬度小於溝槽144的寬度，留下側表面147和主動表面130上的絕緣材料146或囊封劑164以及每一個半導體晶粒124的側表面186和背表面128上的絕緣層184或囊封劑194用以保護該半導體晶粒的側表面、主動表面、以及背表面。經單體化裁切的半導體晶粒124會利用一超音波工具來與切晶膠帶202分離並且接著進行品質保證與功能測試。

【0038】 圖3所示的係單體化裁切後的半導體晶粒124。半導體晶粒124的主動表面130上的電路被電氣連接至導體層132和174，用於進行外部互連。於一實施例中，半導體晶粒124係一覆晶型晶粒。絕緣材料146或囊封劑164保護半導體晶粒124的側表面147和主動表面130。絕緣層184或囊封劑194覆蓋半導體晶粒124的側表面186和背表面128。據此，每一個半導體晶粒124被絕緣材料146或囊封劑164以及絕緣層184或囊封劑194完全封閉，也就是，所有側表面147和186、背表面128、以及主動表面130，導體層174則露出用於進行電氣互連。

【0039】 圖4a至4g所示的係有一印刷導體層被印刷在導體層132和絕緣材料146上方的替代實施例。接續圖2h，導體層132的表面148會被清洗，並且一導體層220會利用網印、模版印刷、或是噴墨印刷被形成在導體層132的表面148和

絕緣材料146上方，如圖4a中所示。於一實施例中，導體層220係以Ag油墨來印刷，以便減少寄生電容並且提供改良的表面鑲嵌品質。導體層220的印刷允許形成任何形狀電極。或者，導體層220能夠係以微影製程所形成之由下面所製成的一或更多層：Al、Cu、Sn、Ni、Au、Ag、Ti、SnAg、SnAgCu、CuNi、CuNiAu、CuSnAg、CuNiPdAu、或是其它合宜的導電材料。導體層220於溝槽144的反向側上的導體層132的一部分之間延伸在該溝槽上方。導體層220延伸在絕緣材料146或囊封劑164之上並且抑制導體層132的氧化。

【0040】 在圖4b中，載板140和介面層142會藉由化學性蝕刻、機械性剝除、CMP、機械性研磨、熱烘烤、UV光、雷射掃描、或是濕式脫除被移除。圖4b進一步顯示一載板或暫時性基板226的一部分的剖視圖，該載板或暫時性基板226含有犧牲性基礎材料，例如，矽、聚合物、氧化鋁、玻璃、或是用於達到結構性支撐之目的的其它合宜低成本剛性材料。一介面層或雙面膠帶228被形成在載板226上方成為一暫時性膠黏焊膜、蝕刻阻止層、或是熱脫模層。半導體晶圓120被定位在載板226的介面層228上方並且被鑲嵌至載板226的介面層228，主動表面130以及導體層132和220朝向該載板。

【0041】 在圖4c中，研磨機230往下移除一部分的基板材料122至溝槽144中的絕緣材料146。或者，一部分的基板材料122會藉由蝕刻製程被移除，用以露出溝槽144中的絕緣材料146。半導體晶圓120以及相應的半導體晶粒124的厚度會因被移除的基板材料122的數額而縮減。於一實施例中，研磨機230受控於光學感測器或光學成像機232，以便達成半導體晶圓120的所希望或最佳厚度，舉例來說，210 μm 。光學感測器232監視半導體晶圓120的研磨後厚度並且調整研磨機230以保持平坦、均勻、以及精確的研磨操作。半導體材料122雖然已被移除至溝槽144；不過，半導體晶粒124仍藉由該些溝槽中的已固化絕緣材料146而被固定在一起。

【0042】 在圖4d中，一絕緣層234會使用PVD、CVD、印刷、層疊、旋塗、或噴塗被形成在半導體晶圓120的背表面128和側表面236的上方。絕緣層234含有由下面所製成的一或更多層：SiO₂、Si₃N₄、SiON、Ta₂O₅、Al₂O₃、或是具有雷同絕緣特性及結構特性的其它材料。於一實施例中，絕緣層234係一LC型背面塗佈黏著膠帶，用以保護和強化背表面128以及側表面236。

【0043】 在圖4e中，載板226和介面層228會藉由化學性蝕刻、機械性剝除、CMP、機械性研磨、熱烘烤、UV光、雷射掃描、或是濕式脫除被移除，留下被絕緣材料146或囊封劑164以及絕緣層234完全封閉的半導體晶圓120(也就是，所有側表面147和236、背表面128、以及主動表面130)，導體層220會露出用於進行電氣互連。此外，半導體晶粒124亦會被雷射標記。

【0044】 於另一實施例中，不會在圖4d中塗敷絕緣層234，取而代之的係，有絕緣材料146的半導體晶圓120被放置在模套242的凹腔240中，如圖4f中所示。某個體積的囊封劑或模製化合物244會在半導體晶圓120的背表面128上方和側表面236周圍的高溫與高壓下被注入凹腔240之中(舉例來說，經由入口246)。在自動模製製程期間會在埠口250吸入真空248，用以達成平均分散、均勻分佈、實質上沒有空隙的囊封劑244。或者，半導體晶圓120會由真空輔助以模套242中的囊封劑244壓模。囊封劑244能夠為聚合物合成材料，例如，有填充劑的環氧樹脂、有填充劑的環氧丙烯酸酯、或是有適當填充劑的聚合物。囊封劑244係非導體，為半導體晶粒124提供物理性支撐和環境保護，避免受到外部元素、污染物、以及濕氣的破壞。囊封劑244還保護半導體晶粒124，避免因曝露於光中而受損。半導體晶圓120會從模套242中移除，囊封劑244則位在半導體晶圓120的背表面128上方和側表面236周圍，雷同於圖4d。一研磨機會移除多餘的囊封劑244，以便平坦化該囊封劑，雷同於圖2h。據此，半導體晶圓120被絕緣材料146或囊封劑164以及絕緣層234或囊封劑244完全封閉，也就是，所有側表面147和

236、背表面128、以及主動表面130，導體層220則露出用於進行電氣互連。此外，半導體晶粒124亦會被雷射標記。

【0045】 在圖4g中，半導體晶圓120被放置在切晶膠帶252上並且利用鋸片或雷射切割工具254單體化裁切貫穿溝槽144中的絕緣材料146或囊封劑164的中心以及導體層220成為獨特的半導體晶粒124。鋸片或雷射切割工具254的寬度小於溝槽144的寬度，留下側表面147和主動表面130上的絕緣材料146或囊封劑164以及每一個半導體晶粒124的側表面236和背表面128上的絕緣層234或囊封劑244用以保護該半導體晶粒的側表面、主動表面、以及背表面。經單體化裁切的半導體晶粒124會利用一超音波工具來與切晶膠帶252分離並且接著進行品質保證與功能測試。

【0046】 圖5所示的係單體化裁切後的半導體晶粒124。半導體晶粒124的主動表面130上的電路被電氣連接至導體層132和220，用於進行外部互連。於一實施例中，半導體晶粒124係一覆晶型晶粒。絕緣材料146或囊封劑164保護半導體晶粒124的側表面147和主動表面130。絕緣層234或囊封劑244覆蓋半導體晶粒124的側表面236和背表面128。據此，每一個半導體晶粒124被絕緣材料146或囊封劑164以及絕緣層234或囊封劑244完全封閉，也就是，所有側表面147和236、背表面128、以及主動表面130，導體層220則露出用於進行電氣互連。額外的金屬層(舉例來說，Ni、Au、或 Cu)會利用適合焊接的電鍍製程在單體化裁切後被形成在導體層220上方。

【0047】 圖6a至6m所示的係有一印刷導體層被印刷在導體層132和絕緣材料260上方以及溝槽144之中的替代實施例。接續圖2e，溝槽144會被絕緣材料260(例如，環氧樹脂或聚合物材料)填充，如圖6a中所示。絕緣材料260覆蓋溝槽144中的半導體晶粒124的側表面262並且進一步形成一位於主動表面130上方的層。於另一實施例中，絕緣材料260能夠為SiO₂、Si₃N₄、SiON、Ta₂O₅、Al₂O₃、

或是具有雷同絕緣特性及結構特性的其它材料。絕緣材料層260延伸至導體層132的表面264，露出表面264，如圖6a中所示。絕緣材料260被固化以便凝固並黏結至主動表面130以及半導體晶粒124的側表面262。

【0048】 於另一實施例中，該絕緣材料層260的厚度足以覆蓋導體層132的表面264，如圖6b中所示。於此情況中，研磨機266會移除多餘的絕緣材料260，以便平坦化該絕緣材料並且露出導體層132的表面264。

【0049】 於另一實施例中，不會在圖6a或6b中塗敷絕緣材料260，取而代之的係，半導體晶圓120會從載板140中移除並放置在模套272的凹腔270中，如圖6c中所示。某個體積的囊封劑或模製化合物274會在主動表面130上方的高溫與高壓下被注入凹腔270之中(舉例來說，經由入口276)以及半導體晶圓120的溝槽144之中。在自動模製製程期間會在埠口280吸入真空278，用以達成平均分散、均勻分佈、實質上沒有空隙的囊封劑274。或者，半導體晶圓120會由真空輔助以模套272中的囊封劑274壓模。囊封劑274能夠為聚合物合成材料，例如，有填充劑的環氧樹脂、有填充劑的環氧丙烯酸酯、或是有適當填充劑的聚合物。囊封劑274係非導體，為半導體晶粒124提供物理性支撐和環境保護，避免受到外部元素、污染物、以及濕氣的破壞。囊封劑274還保護半導體晶粒124，避免因曝露於光中而受損。半導體晶圓120會從模套272中移除，囊封劑274則被設置在主動表面130上方和半導體晶圓120的溝槽144之中。在圖6d中，研磨機282會移除多餘的囊封劑274，以便平坦化該囊封劑並且露出導體層132的表面264。

【0050】 據此，被設置在主動表面130上方和溝槽144之中的絕緣材料能夠為如圖6a或6b中的絕緣材料260，或是如圖6d中的囊封劑274。下面的說明雖然針對絕緣材料260；但是，亦適用於具有囊封劑274的實施例。回到圖6a，一溝槽286利用鋸片或雷射切割工具287、DRIE、或是其它合宜的切割製程被形成在溝槽144中的絕緣材料260的中央區域中，部分但是沒有完全貫穿該絕緣材料，

如圖6e中所示。於一實施例中，在溝槽144深度210 μm 中，舉例來說，溝槽286的深度為100至150 μm 。或者，溝槽286的深度為溝槽144之深度的0.10至0.50。

【0051】 在圖6f中，導體層132的表面264會被清洗，並且一導電層288會被形成在導體層132的表面264上方以及絕緣材料260上方的溝槽286之中。於一實施例中，導體層288係以Ag油墨來印刷，以便減少寄生電容並且提供改良的表面鑲嵌品質。導體層288的印刷允許形成任何形狀電極。或者，導體層288能夠係以微影製程所形成之由下面所製成之一或更多層：Al、Cu、Sn、Ni、Au、Ag、Ti、SnAg、SnAgCu、CuNi、CuNiAu、CuSnAg、CuNiPdAu、或是其它合宜的導電材料。於一實施例中，導體層288為Ni、Au、或是Ni/Au合金。導體層288於溝槽144的反向側上的導體層132的一部分之間延伸在該溝槽144上方並且延伸至溝槽286之中。導體層288延伸在絕緣材料260或囊封劑274之上並且抑制導體層132的氧化。

【0052】 在圖6g中，載板140和介面層142會藉由化學性蝕刻、機械性剝除、CMP、機械性研磨、熱烘烤、UV光、雷射掃描、或是濕式脫除被移除。圖6g進一步顯示一載板或暫時性基板290的一部分的剖視圖，該載板或暫時性基板290含有犧牲性基礎材料，例如，矽、聚合物、氧化鈹、玻璃、或是用於達到結構性支撐之目的的其它合宜低成本剛性材料。一介面層或雙面膠帶292被形成在載板290上方成為一暫時性膠黏焊膜、蝕刻阻止層、或是熱脫模層。半導體晶圓120被定位在載板290的介面層292上方並且被鑲嵌至載板290的介面層292，主動表面130以及導體層132和288朝向該載板。

【0053】 在圖6h中，研磨機294往下移除一部分的基板材料122至溝槽144中的絕緣材料260。或者，一部分的基板材料122會藉由蝕刻製程被移除，用以露出溝槽144中的絕緣材料260。半導體晶圓120以及相應的半導體晶粒124的厚度會因被移除的基板材料122的數額而縮減。於一實施例中，研磨機294受控於

光學感測器或光學成像機296，以便達成半導體晶圓120的所希望或最佳厚度，舉例來說， $210\mu\text{m}$ 。光學感測器296監視半導體晶圓120的研磨後厚度並且調整研磨機294以保持平坦、均勻、以及精確的研磨操作。半導體材料122雖然已被移除至溝槽144；不過，半導體晶粒124仍藉由該些溝槽中的已固化絕緣材料260而被固定在一起。

【0054】 在圖6i中，一絕緣層300會使用PVD、CVD、印刷、層疊、旋塗、或噴塗被形成在半導體晶圓120的背表面128和側表面302的上方。絕緣層300含有由下面所製成的一或更多層： SiO_2 、 Si_3N_4 、 SiON 、 Ta_2O_5 、 Al_2O_3 、或是具有雷同絕緣特性及結構特性的其它材料。於一實施例中，絕緣層300係一LC型背面塗佈黏著膠帶，用以保護和強化背表面128以及側表面302。

【0055】 在圖6j中，載板290和介面層292會藉由化學性蝕刻、機械性剝除、CMP、機械性研磨、熱烘烤、UV光、雷射掃描、或是濕式脫除被移除，留下被絕緣材料260或囊封劑274以及絕緣層300完全封閉的半導體晶圓120(也就是，所有側表面262和302、背表面128、以及主動表面130)，導體層280會露出用於進行電氣互連。此外，半導體晶粒124亦會被雷射標記。

【0056】 於另一實施例中，不會在圖6i中塗敷絕緣層300，取而代之的係，有絕緣材料260的半導體晶圓120被放置在模套312的凹腔310中，如圖6k中所示。某個體積的囊封劑或模製化合物314會在半導體晶圓120的背表面128上方和側表面302周圍的高溫與高壓下被注入凹腔310之中(舉例來說，經由入口316)。在自動模製製程期間會在埠口320吸入真空318，用以達成平均分散、均勻分佈、實質上沒有空隙的囊封劑314。或者，半導體晶圓120會由真空輔助以模套312中的囊封劑314壓模。囊封劑314能夠為聚合物合成材料，例如，有填充劑的環氧樹脂、有填充劑的環氧丙烯酸酯、或是有適當填充劑的聚合物。囊封劑314係非導體，為半導體晶粒124提供物理性支撐和環境保護，避免受到外部元素、污染

物、以及濕氣的破壞。囊封劑314還保護半導體晶粒124，避免因曝露於光中而受損。半導體晶圓120會從模套312中移除，囊封劑314則位在半導體晶圓120的背表面128上方和側表面302周圍，如圖6l中所示。一研磨機會移除多餘的囊封劑314，以便平坦化該囊封劑，雷同於圖2j。據此，半導體晶圓120被絕緣材料260或囊封劑274以及絕緣層300或囊封劑314完全封閉，也就是，所有側表面262和302、背表面128、以及主動表面130，導體層288則露出用於進行電氣互連。此外，半導體晶粒124亦會被雷射標記。

【0057】 在圖6m中，半導體晶圓120被放置在切晶膠帶322上並且利用鋸片或雷射切割工具324單體化裁切貫穿導體層288以及溝槽144中的絕緣材料260的中心成為獨特的半導體晶粒124。鋸片或雷射切割工具324的寬度小於溝槽286的寬度，留下側表面262和主動表面130上的導體層288以及絕緣材料260或囊封劑274以及每一個半導體晶粒124的側表面302和背表面128上的絕緣層300或囊封劑314用以保護該半導體晶粒的側表面、主動表面、以及背表面。經單體化裁切的半導體晶粒124會利用一超音波工具來與切晶膠帶322分離並且接著進行品質保證與功能測試。

【0058】 圖7所示的係單體化裁切後的半導體晶粒124。半導體晶粒124的主動表面130上的電路被電氣連接至導體層132和288，用於進行外部互連。於一實施例中，半導體晶粒124係一覆晶型晶粒。絕緣材料260或囊封劑274保護半導體晶粒124的側表面262和主動表面130。絕緣層300或囊封劑314覆蓋半導體晶粒124的側表面302和背表面128。據此，每一個半導體晶粒124被絕緣材料260或囊封劑274以及絕緣層300或囊封劑314完全封閉，也就是，所有側表面262和302、背表面128、以及主動表面130，導體層174則露出用於進行電氣互連。額外的金屬層(舉例來說，Ni、Au、或 Cu)會利用適合焊接的電鍍製程在單體化裁切後被形成在導體層288上方。

【0059】 本文雖然已詳細解釋本發明的一或更多個實施例；不過，熟習的技術人士便會明白可以對該些實施例進行修正與改變，其並不會脫離下面申請專利範圍中所提出之本發明的範疇。

【符號說明】

【0060】

50	電子裝置
52	印刷電路板(PCB)
54	訊號線路
56	焊線封裝
58	覆晶
60	球柵陣列(BGA)
62	凸塊晶片載體(BCC)
66	平台格柵陣列(LGA)
68	多晶片模組(MCM)
70	方形扁平無導線封裝(QFN)
72	方形扁平封裝
74	嵌入式晶圓級球柵陣列(eWLB)
120	半導體晶圓
122	基礎基板材料
124	半導體晶粒或構件
126	切割道
128	半導體晶圓背表面或非主動表面
130	主動表面
132	導電層

140	載板或暫時性基板
142	介面層或雙面膠帶
144	溝槽
145	鋸片或雷射切割工具
146	絕緣材料
147	半導體晶粒側表面
148	導體層表面
150	研磨機
160	凹腔
162	模套
164	囊封劑或模製化合物
166	入口
168	真空
170	埠口
172	研磨機
174	導電層
176	載板或暫時性基板
178	介面層或雙面膠帶
180	研磨機
182	光學感測器或光學成像機
184	絕緣層
186	半導體晶圓側表面
190	凹腔
192	模套

194	囊封劑或模製化合物
196	入口
198	真空
200	埠口
202	切晶膠帶
204	鋸片或雷射切割工具
220	導電層
226	載板或暫時性基板
228	介面層或雙面膠帶
230	研磨機
232	光學感測器或光學成像機
234	絕緣層
236	半導體晶圓側表面
240	凹腔
242	模套
244	囊封劑
246	入口
248	真空
250	埠口
252	切晶膠帶
254	鋸片或雷射切割工具
260	絕緣材料
262	半導體晶粒側表面
264	導體層表面

266	研磨機
270	凹腔
272	模套
274	囊封劑或模製化合物
276	入口
278	真空
280	埠口
282	研磨機
286	溝槽
287	鋸片或雷射切割工具
288	導電層
290	載板或暫時性基板
292	介面層或雙面膠帶
294	研磨機
296	光學感測器或光學成像機
300	絕緣層
302	半導體晶圓側表面
310	凹腔
312	模套
314	囊封劑或模製化合物
316	入口
318	真空
320	埠口
322	切晶膠帶

324 鋸片或雷射切割工具

【發明摘要】

【中文發明名稱】 半導體裝置及在半導體晶粒周圍形成絕緣層的方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND METHOD OF FORMING INSULATING LAYERS AROUND SEMICONDUCTOR DIE

【中文】

一種半導體裝置包括一半導體晶圓，該半導體晶圓包含被形成在該半導體晶圓的第一表面上方的複數個半導體晶粒和複數個接觸墊。一溝槽被部分形成貫穿該半導體晶圓的該第一表面。一絕緣材料被設置在該半導體晶圓的第一表面上方及該第一溝槽之中。一導體層被形成在該些接觸墊上方。該導體層會被印刷為用以延伸在介於相鄰接觸墊之間的溝槽中的絕緣材料上方。和該半導體晶圓之第一表面反向的該半導體晶圓的一部分會被移除至該第一溝槽中的絕緣材料。一絕緣層被形成在該半導體晶圓的一第二表面和該半導體晶圓的側表面上方。該半導體晶圓會被單體化裁切貫穿該第一溝槽中的絕緣材料，以便分離該半導體晶粒。

【英文】

A semiconductor device has a semiconductor wafer including a plurality of semiconductor die and a plurality of contact pads formed over a first surface of the semiconductor wafer. A trench is formed partially through the first surface of the semiconductor wafer. An insulating material is disposed over the first surface of the semiconductor wafer and into the trench. A conductive layer is formed over the contact pads. The conductive layer can be printed to extend over the insulating

material in the trench between adjacent contact pads. A portion of the semiconductor wafer opposite the first surface of the semiconductor wafer is removed to the insulating material in the trench. An insulating layer is formed over a second surface of the semiconductor wafer and side surfaces of the semiconductor wafer. The semiconductor wafer is singulated through the insulating material in the first trench to separate the semiconductor die.

【指定代表圖】 圖3

【代表圖之符號簡單說明】

124	半導體晶粒或構件
128	半導體晶圓背表面或非主動表面
130	主動表面
132	導電層
146	絕緣材料
147	半導體晶粒側表面
174	導電層
184	絕緣層
186	半導體晶圓側表面

【特徵化學式】

無

【發明申請專利範圍】

【第1項】一種製造半導體裝置的方法，其包括：

提供半導體晶圓，其包含被形成在該半導體晶圓之第一表面上方的複數個接觸墊；

形成第一溝槽於該半導體晶圓之第一表面之中；

設置絕緣材料於該半導體晶圓的該第一表面上方及該第一溝槽之中，其中該接觸墊從該絕緣材料暴露；

形成從第一接觸墊至第二接觸墊延伸且延伸跨過該第一溝槽的導體層；

背部研磨該半導體晶圓的第二表面，以暴露在該第一溝槽中的該絕緣材料；

形成絕緣層於該半導體晶圓的該第二表面上方；以及

經由該第一溝槽來單體化裁切該半導體晶圓，以將該半導體晶粒分離成複數個半導體晶粒。

【第2項】根據申請專利範圍第1項的方法，其中該絕緣材料和該絕緣層封閉該半導體晶粒。

【第3項】根據申請專利範圍第1項的方法，其進一步包含藉由印刷製程形成該導體層。

【第4項】根據申請專利範圍第1項的方法，其進一步包含：

在該第一溝槽中的該絕緣材料中形成第二溝槽；

形成該導體層於該第二溝槽之中；以及

經由該第二溝槽中的該導體層及該絕緣材料來單體化裁切該半導體晶圓。

【第5項】根據申請專利範圍第1項的方法，其進一步包含：

藉由第一模製製程設置該絕緣材料在該半導體晶圓的該第一表面上方和該第一溝槽之中；以及

藉由第二模製製程形成該絕緣層在該半導體晶圓的該第二表面上方。

【第6項】根據申請專利範圍第1項的方法，其進一步包含在背部研磨該半導體晶圓之後，經由在該第一溝槽中的該絕緣材料來單體化裁切該半導體晶圓。

【第7項】一種製造半導體裝置的方法，其包括：

提供半導體晶圓，其包含被形成在該半導體晶圓之第一表面上方的複數個半導體晶粒和複數個接觸墊；

形成第一溝槽於該半導體晶圓的該第一表面之中；

設置絕緣材料於該半導體晶圓的該第一表面上方及該第一溝槽之中；

形成導體層在該接觸墊中的兩個接觸墊之間且在該溝槽上方；以及

形成絕緣層於該半導體晶圓的第二表面上方。

【第8項】根據申請專利範圍第7項的方法，其進一步包含：

將與該半導體晶圓的該第一表面相對之該半導體晶圓的一部分移除至該第一溝槽中的該絕緣材料；以及

經由在該第一溝槽中的該絕緣材料來單體化裁切該半導體晶圓，用以分離該半導體晶粒。

【第9項】根據申請專利範圍第7項的方法，其進一步包含：

在該第一溝槽中的該絕緣材料中形成第二溝槽；

形成該導體層於該第二溝槽之中；以及

經由該第二溝槽中的該導體層及該絕緣材料來單體化裁切該半導體晶圓，用以分離該半導體晶粒。

【第10項】根據申請專利範圍第7項的方法，其進一步包含經由該導體層來單體化裁切該半導體晶圓。

【第11項】一種製造半導體裝置的方法，其包括：

提供半導體晶圓；

形成第一溝槽於該半導體晶圓之第一表面之中；

設置絕緣材料於該半導體晶圓的該第一表面上方及該第一溝槽之中；以及形成絕緣層於該半導體晶圓的第二表面上方。

【第12項】根據申請專利範圍第11項的方法，其進一步包含：形成複數個接觸墊在該半導體晶圓的該第一表面上方；以及形成導體層在該接觸墊上方。

【第13項】根據申請專利範圍第12項的方法，其進一步包含形成該導體層以延伸在該接觸墊之間的該第一溝槽中的該絕緣材料上方。

【第14項】根據申請專利範圍第12項的方法，其進一步包含：在該第一溝槽中的該絕緣材料中形成第二溝槽；形成該導體層於該第二溝槽之中；以及經由該第二溝槽中的該導體層及該絕緣材料來單體化裁切該半導體晶圓。

【第15項】根據申請專利範圍第11項的方法，其進一步包含藉由模製製程形成該絕緣層。

【發明圖式】

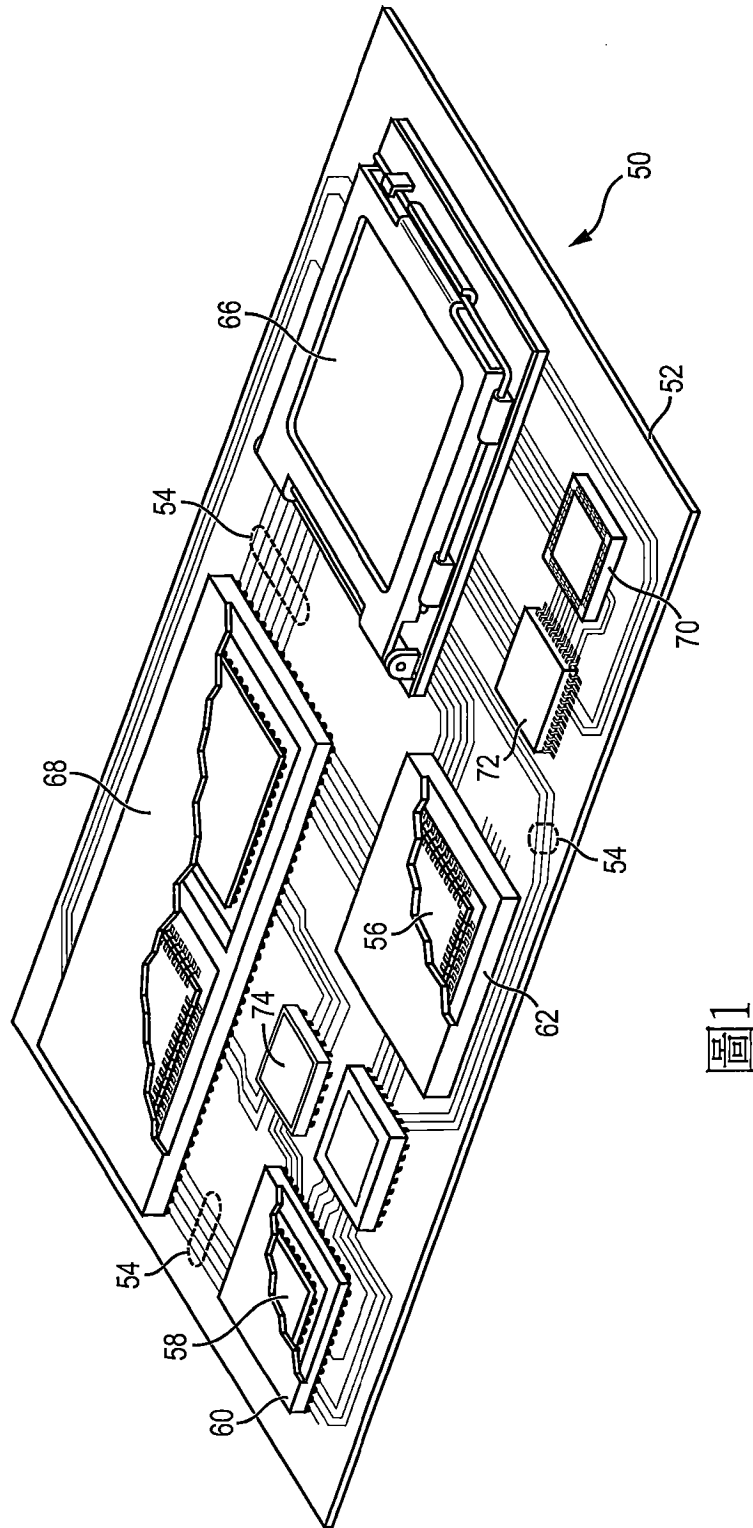


圖1

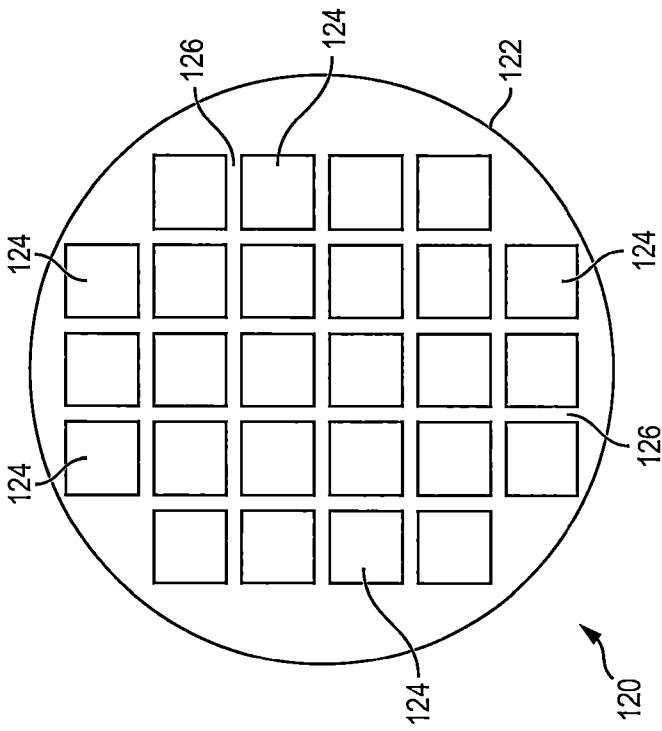


圖2a

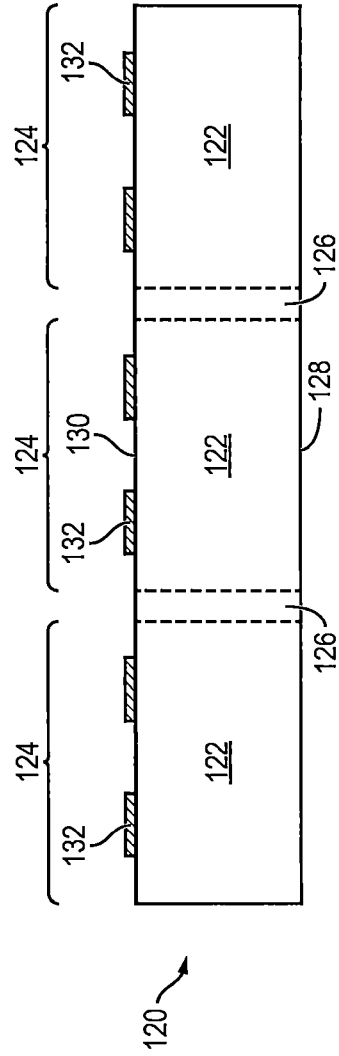


圖2b

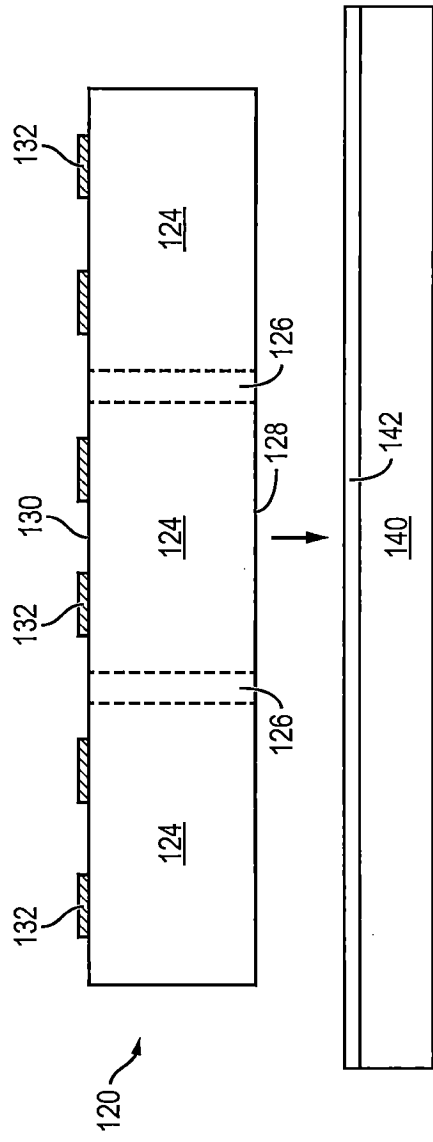


圖2c

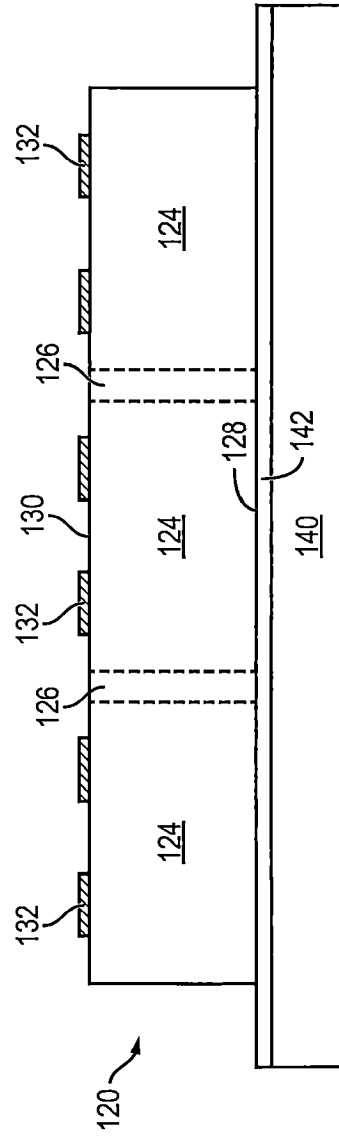


圖2d

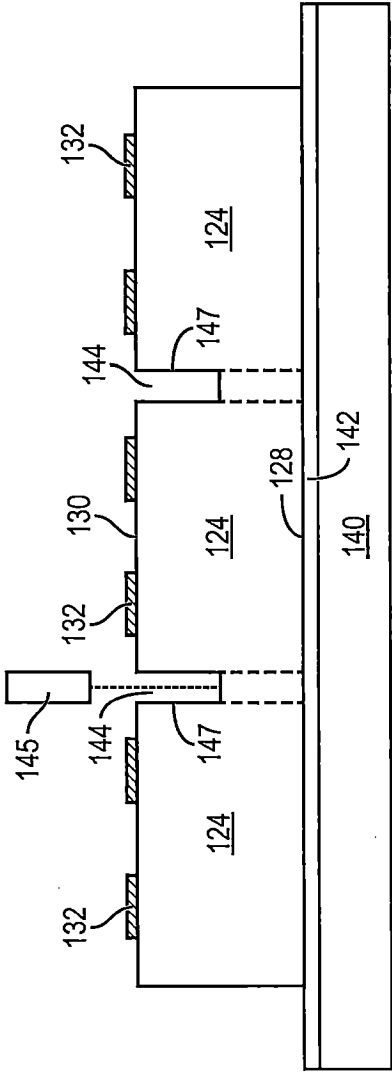


圖2e

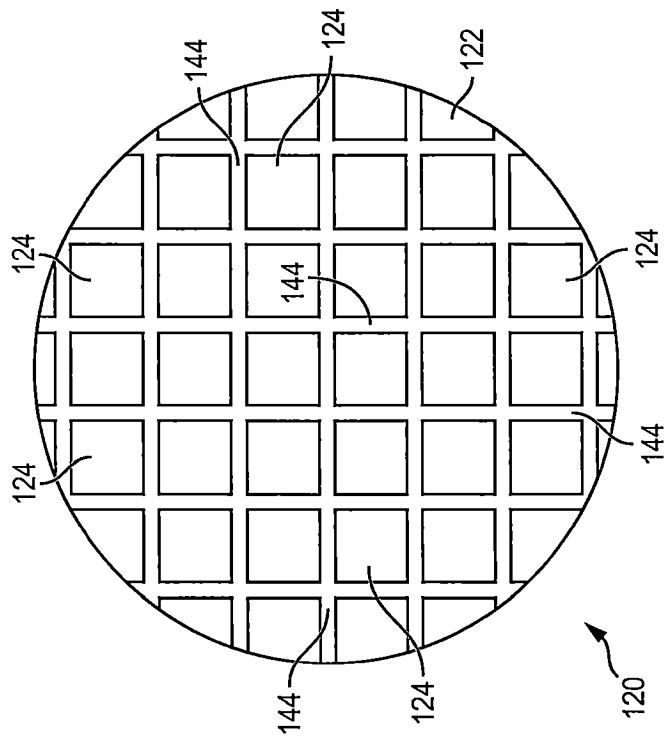


圖2f

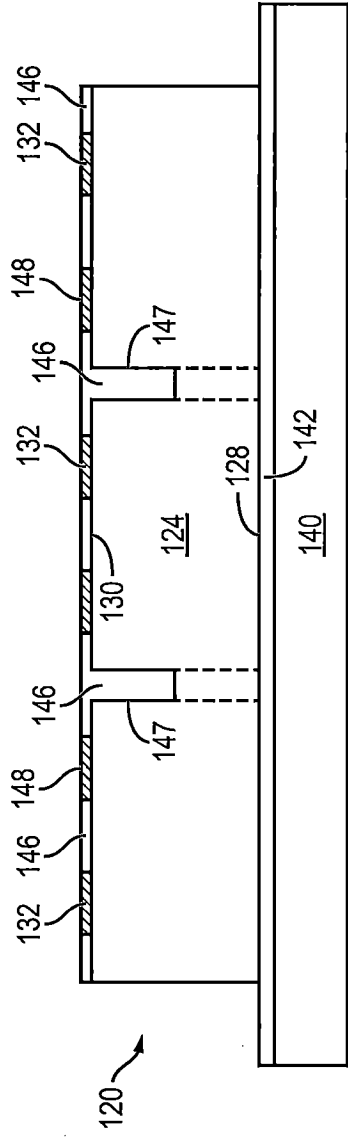


圖2g

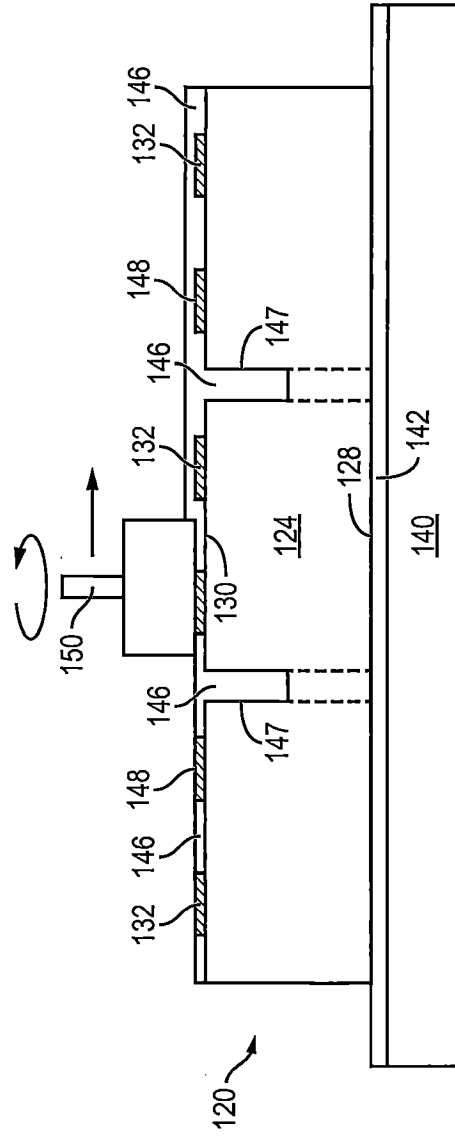


圖2h

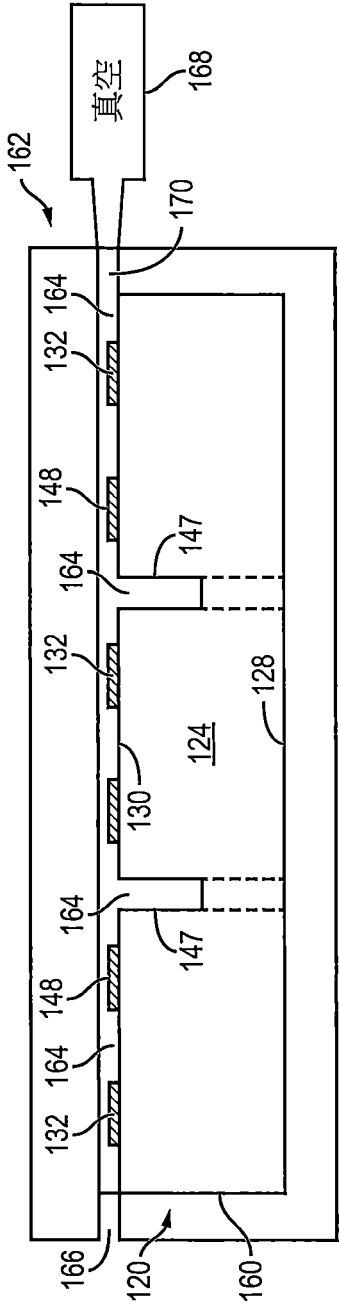


圖2i

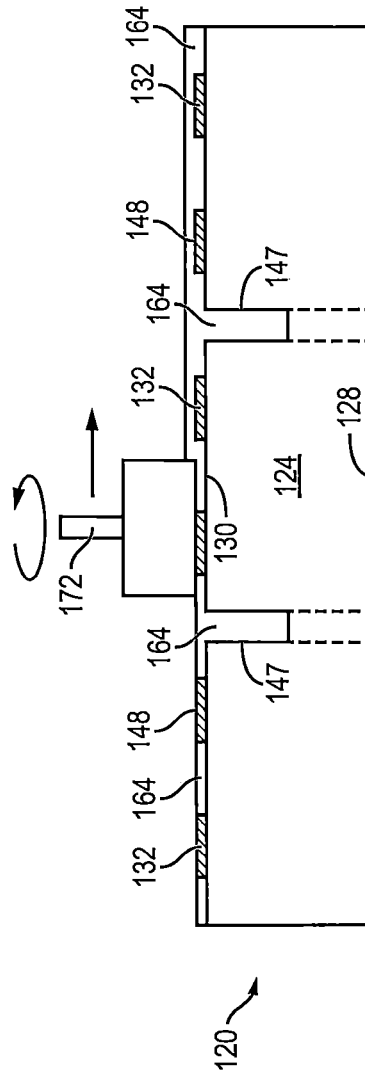


圖2j

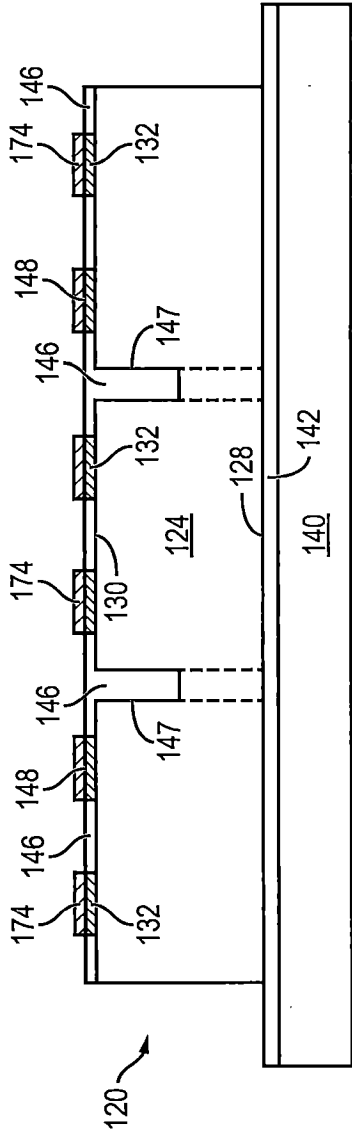


圖2k

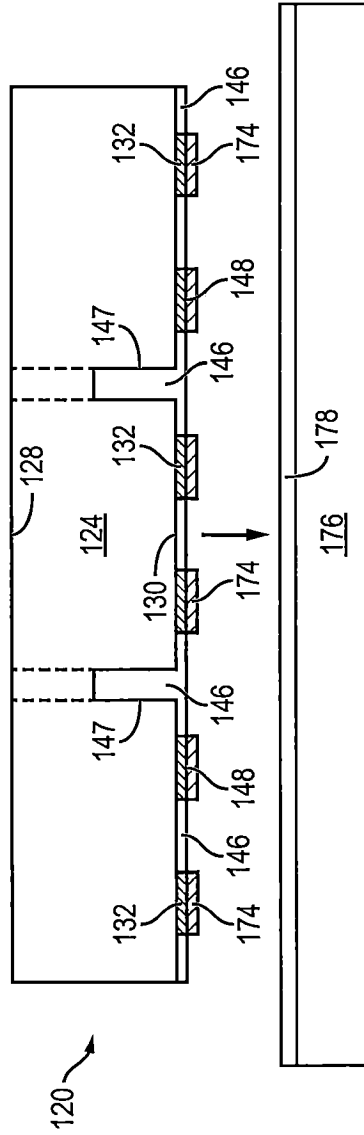


圖2l

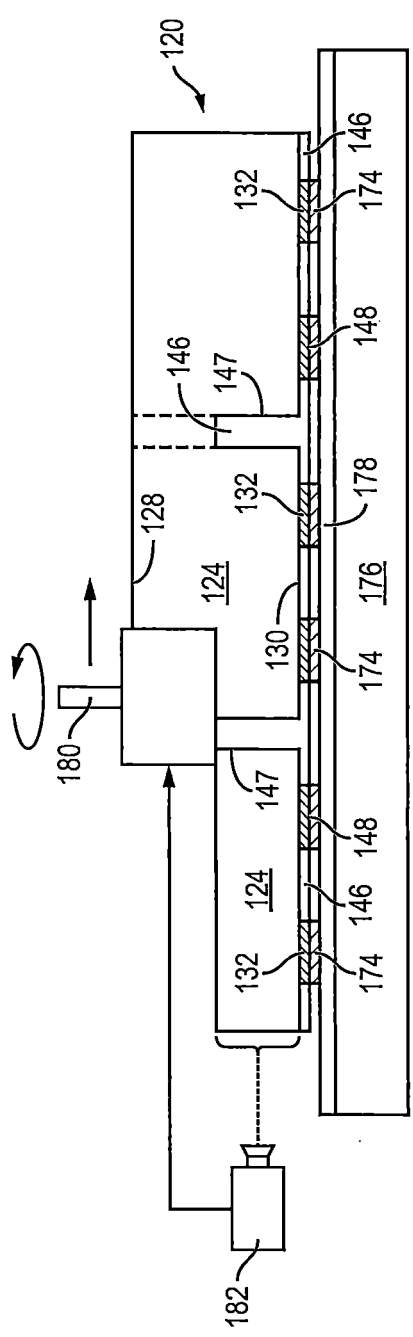


圖2m

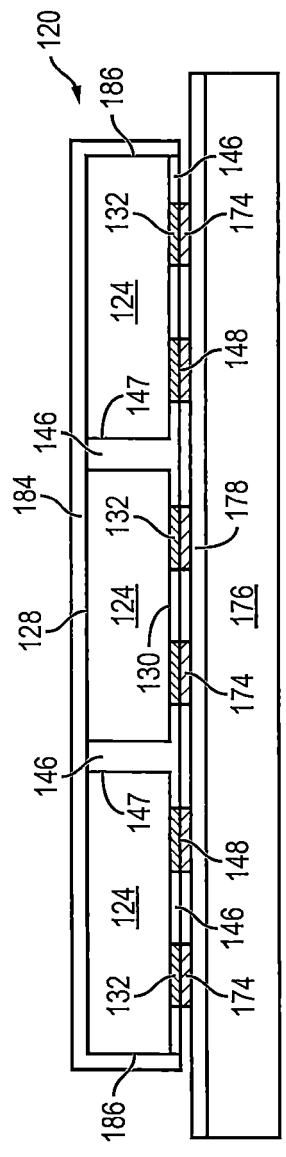


圖2n

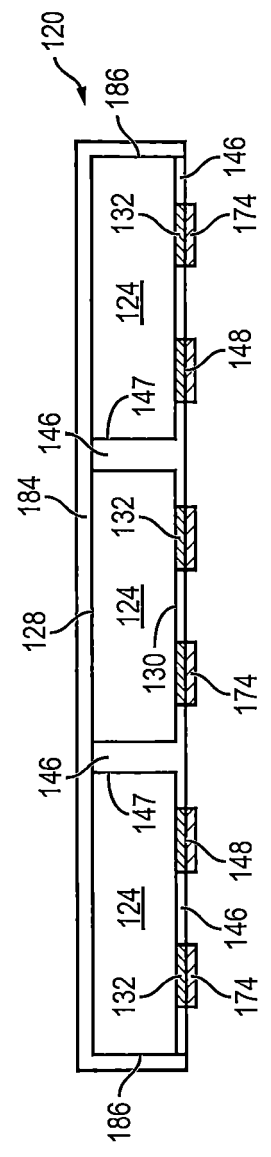


圖2o

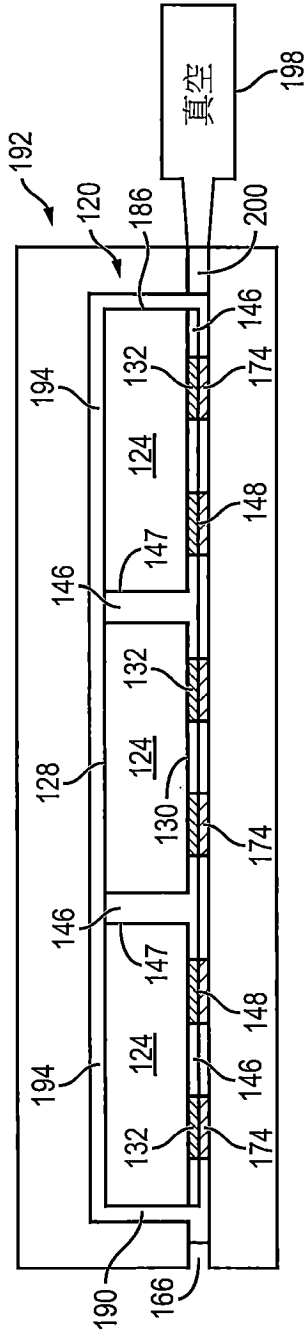


圖2p

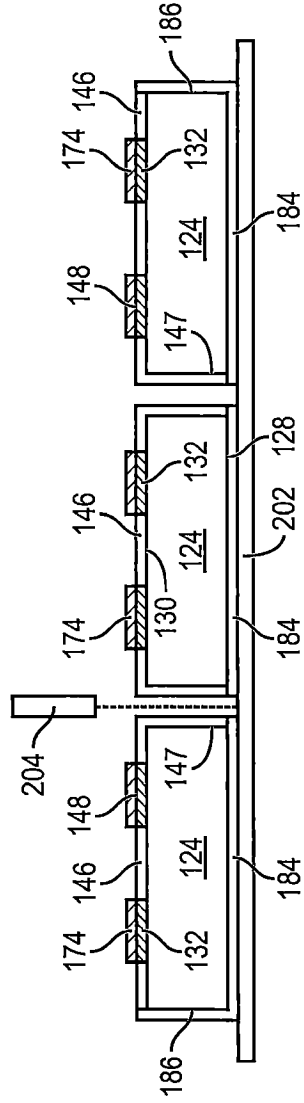


圖2q

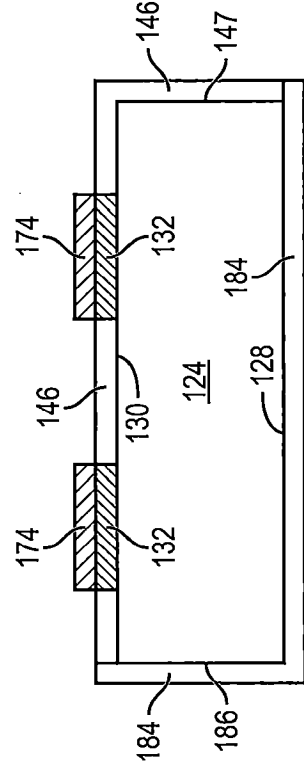


圖3

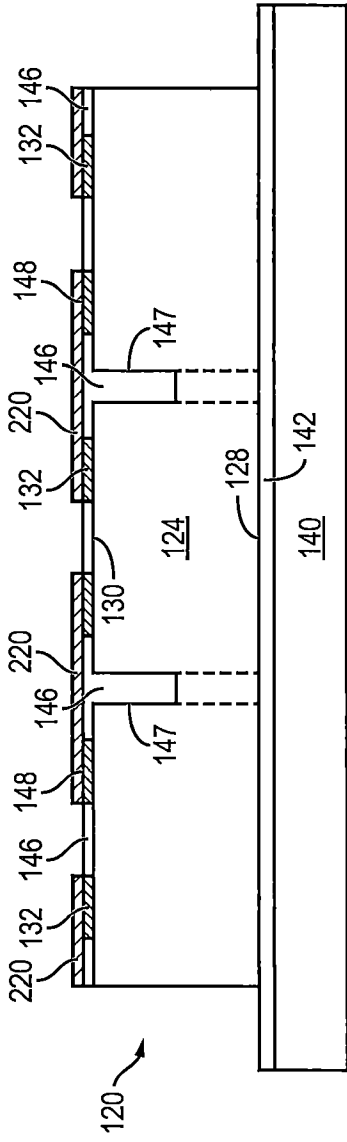


圖4a

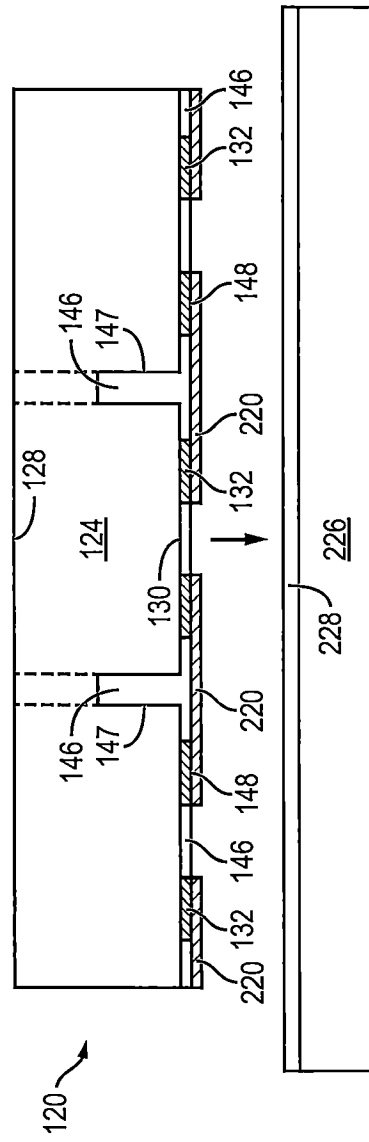


圖4b

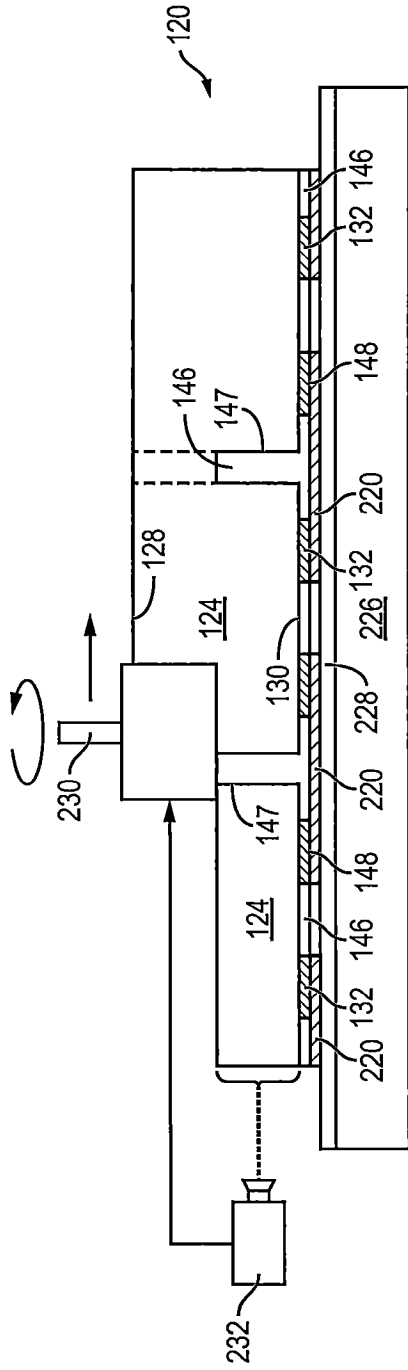


圖4C

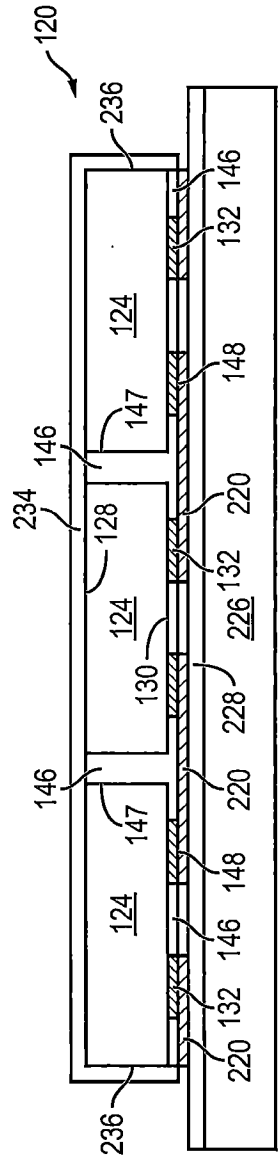


圖4d

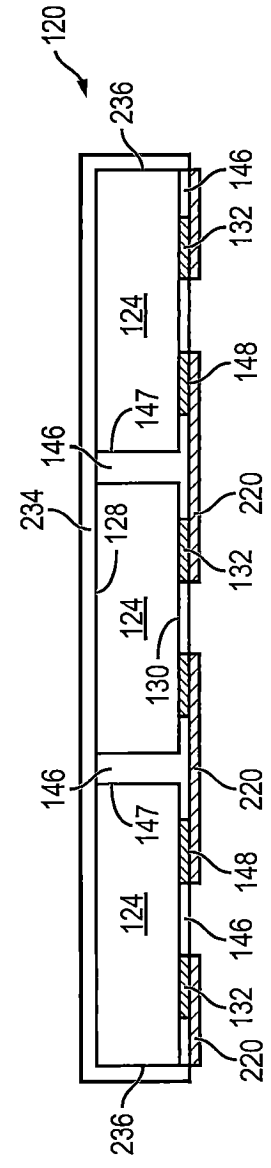


圖4e

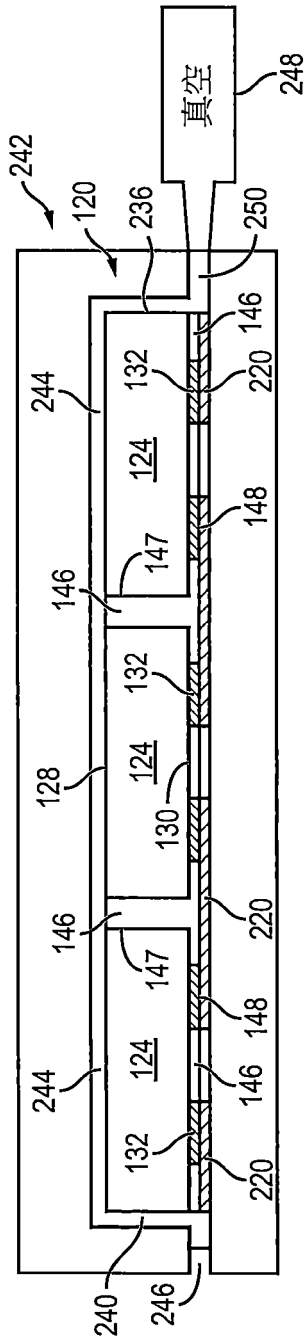


圖4f

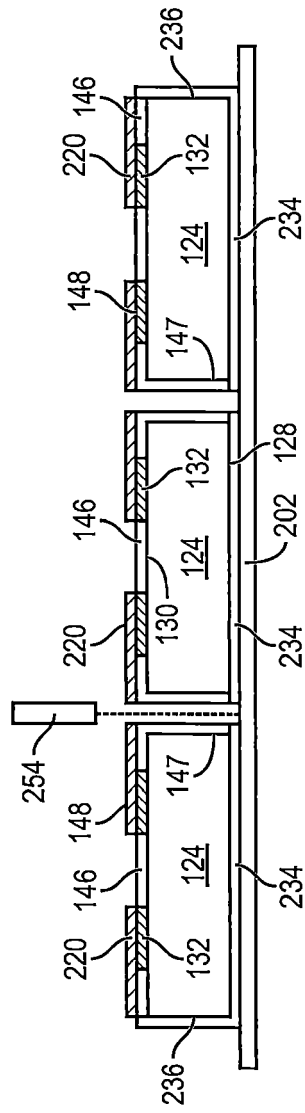


圖4g

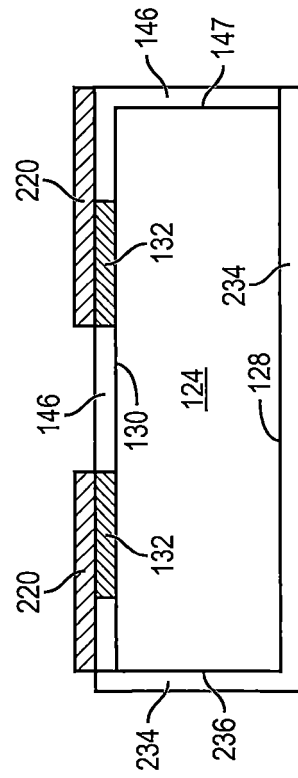


圖5

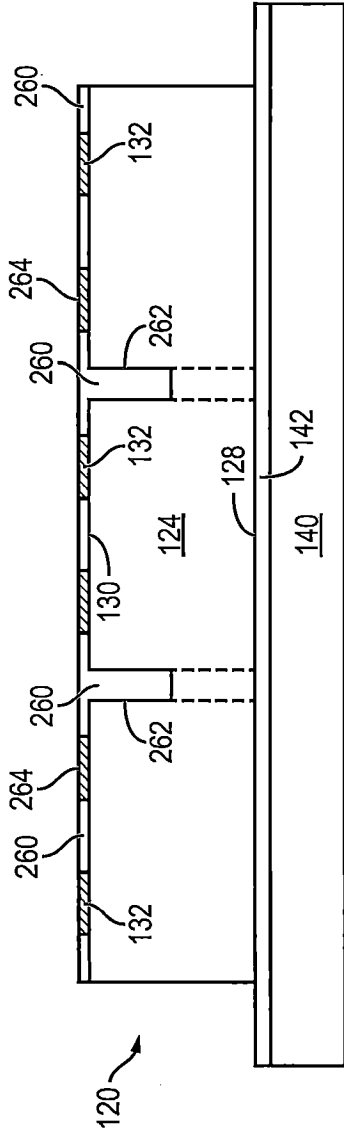


圖6a

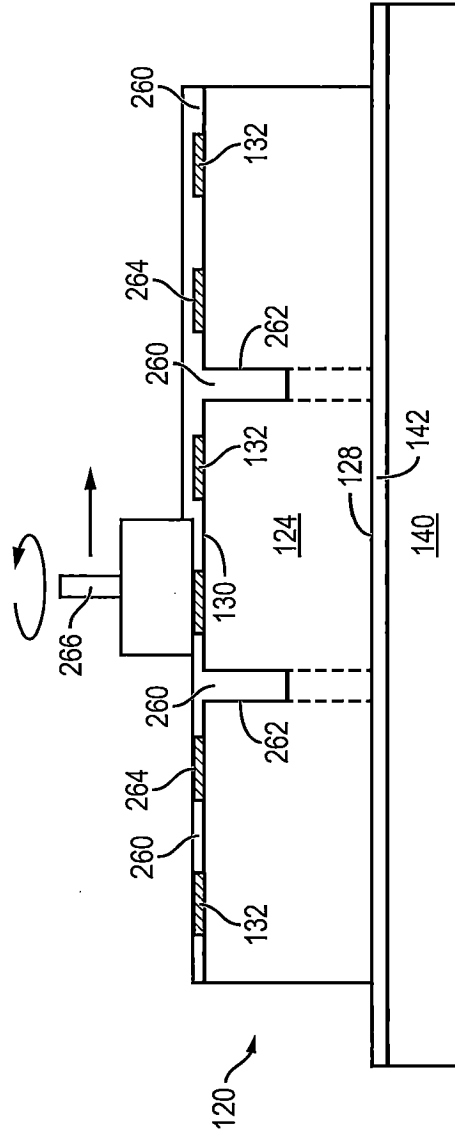


圖6b

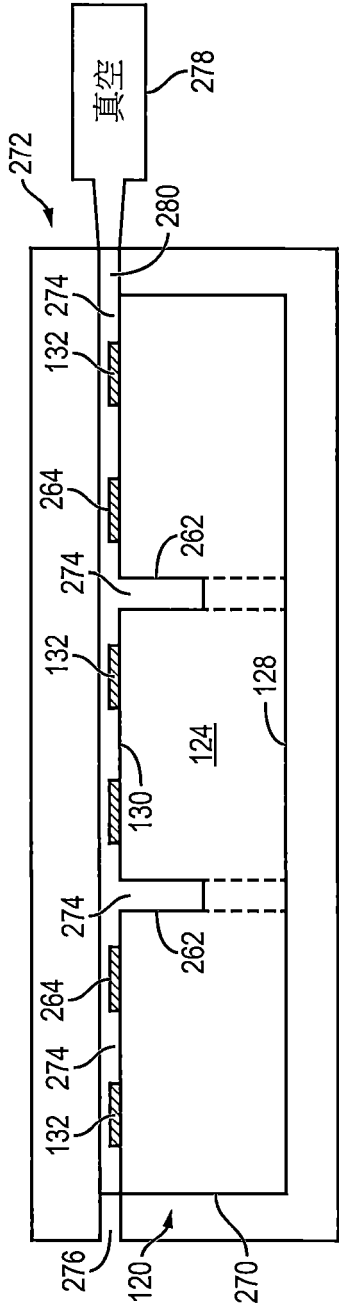


圖6c

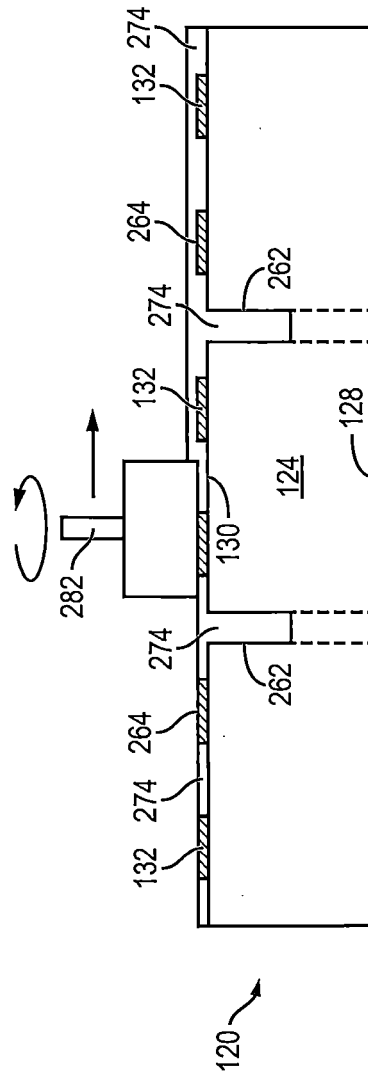


圖6d

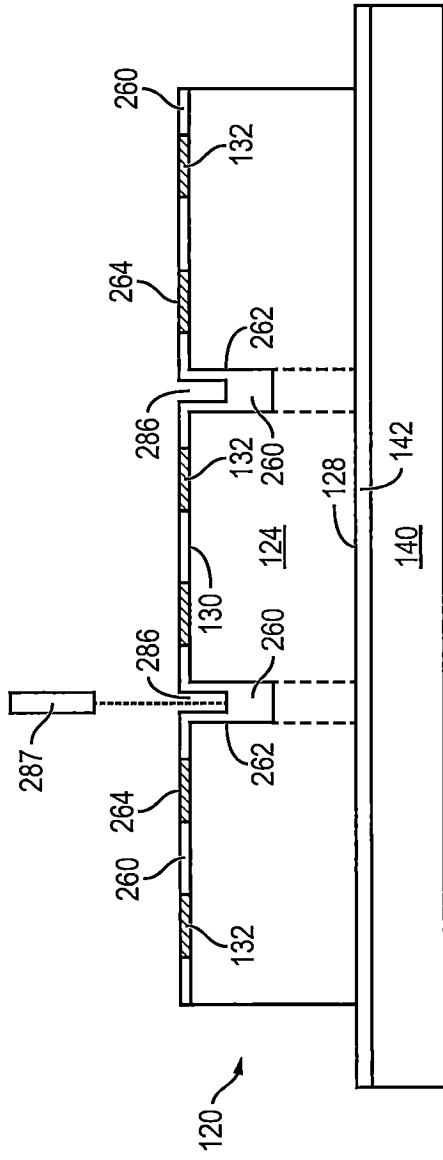


圖6e

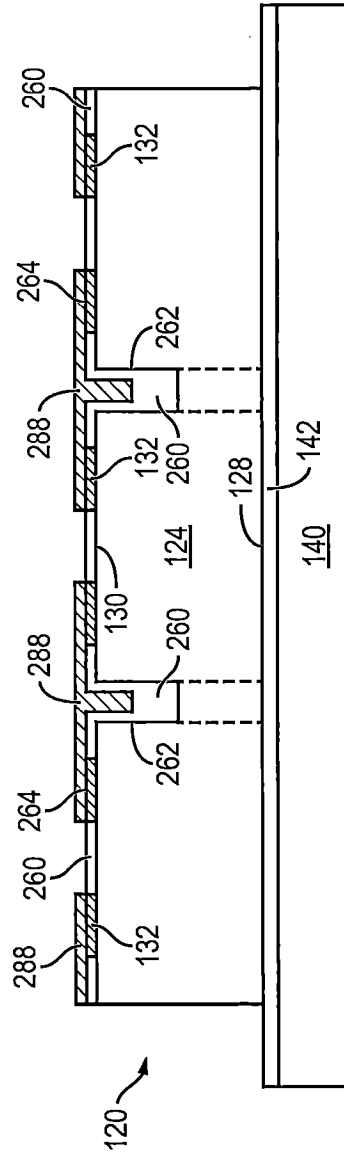


圖6f

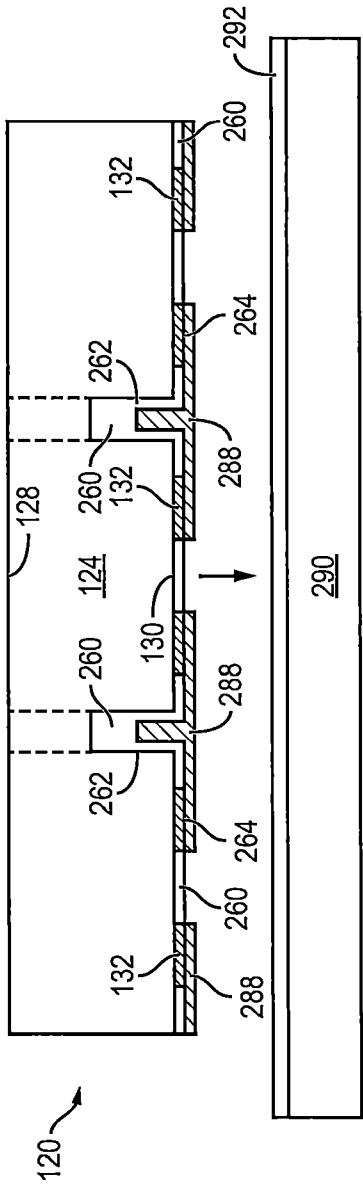


圖6g

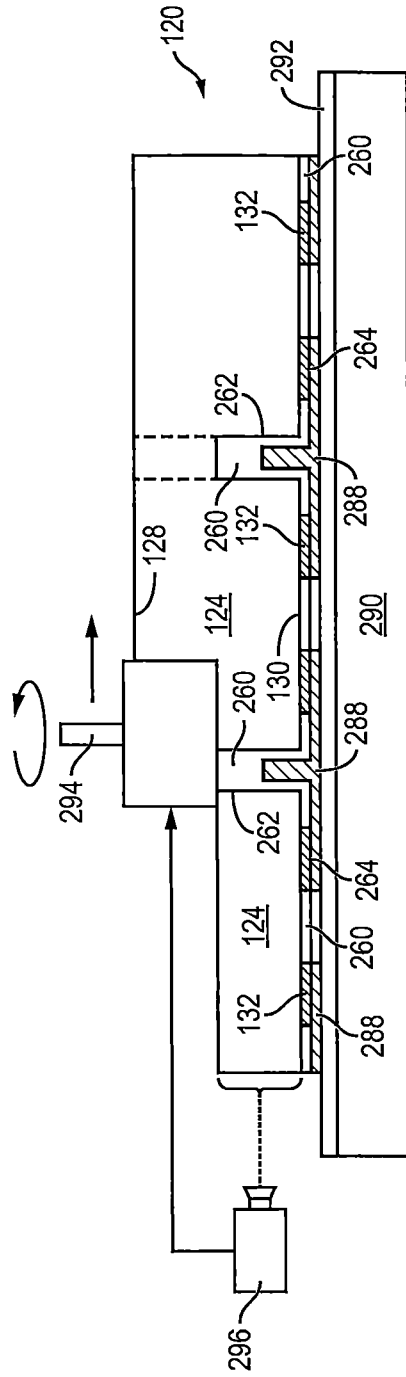


圖6h

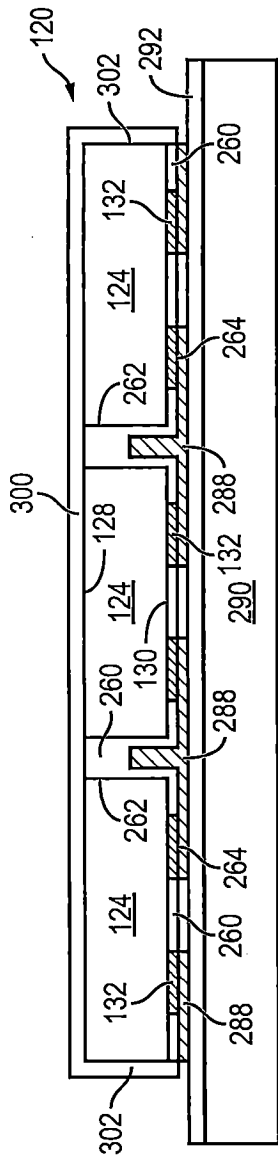


圖6i

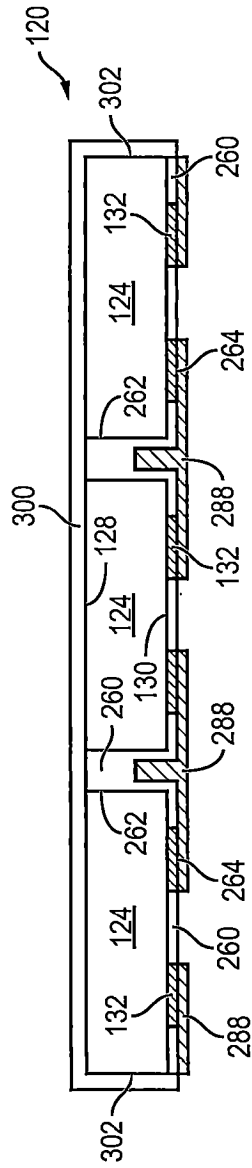


圖6j

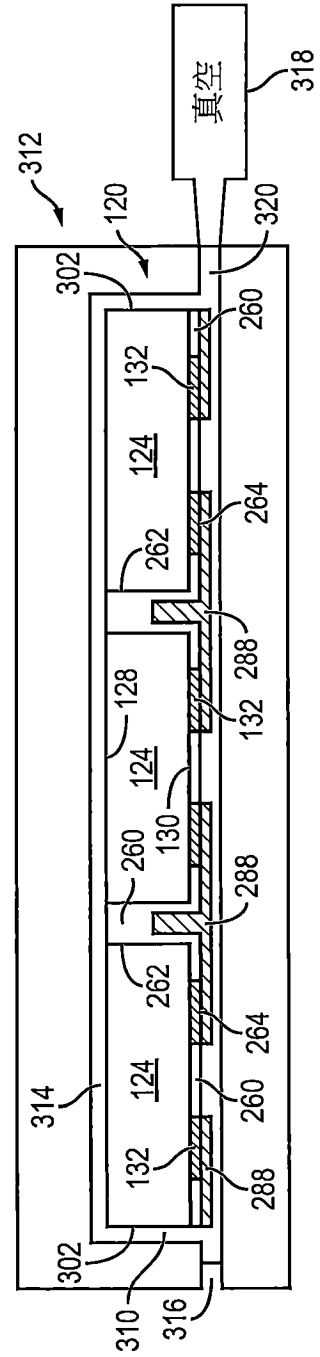


圖6k

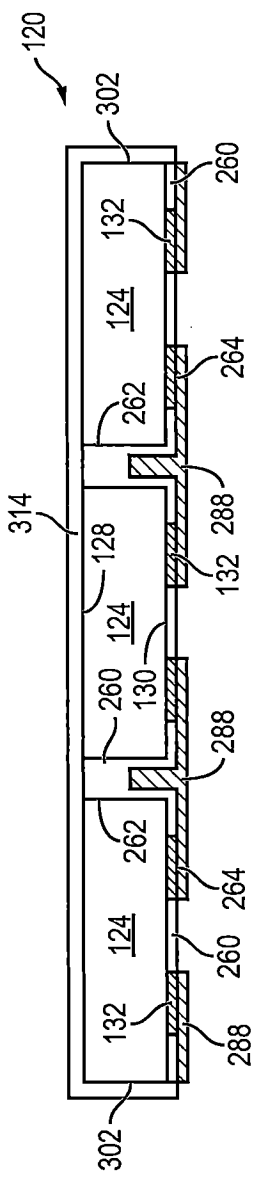


圖6

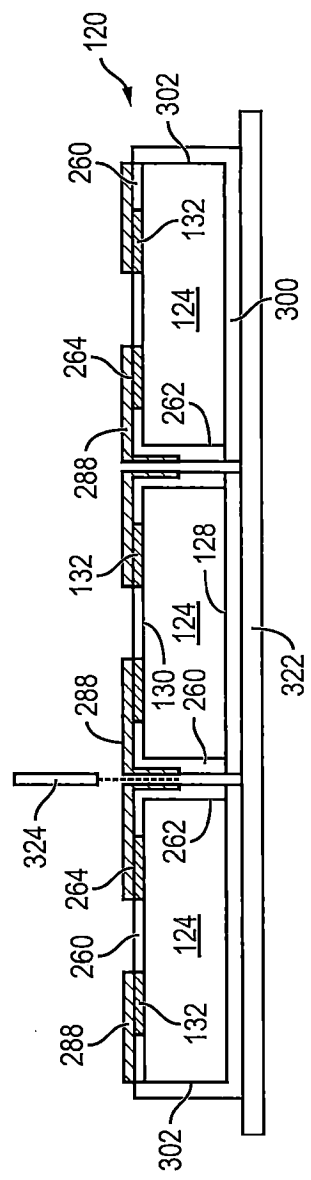


圖6a

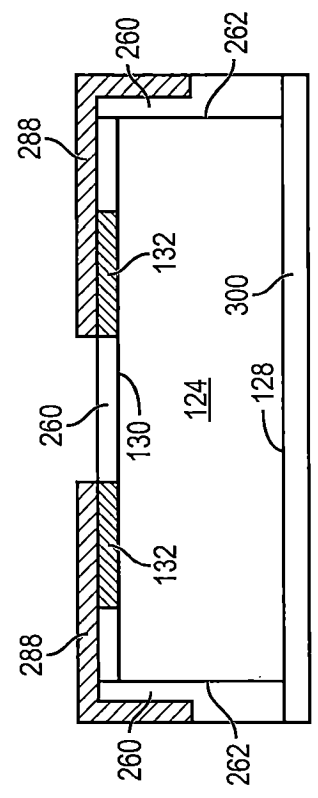


圖7