

(12) 发明专利申请

(10) 申请公布号 CN 102054787 A

(43) 申请公布日 2011. 05. 11

(21) 申请号 201010528021. 2

(22) 申请日 2010. 10. 21

(71) 申请人 日月光半导体制造股份有限公司
地址 中国台湾高雄市楠梓加工出口区经三路 26 号

(72) 发明人 陈仁川 张惠珊 赖宥丞

(74) 专利代理机构 上海专利商标事务所有限公
司 31100

代理人 陆勃

(51) Int. Cl.

H01L 21/98(2006. 01)

H01L 25/065(2006. 01)

H01L 23/00(2006. 01)

H01L 23/28(2006. 01)

H01L 23/31(2006. 01)

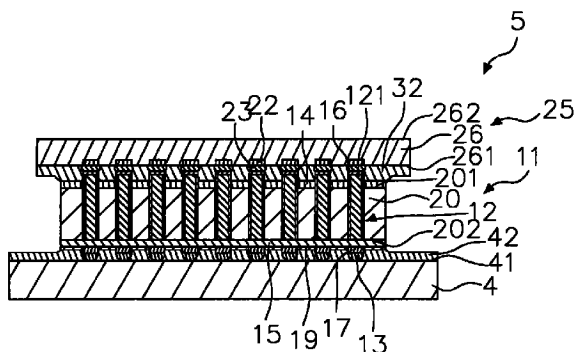
权利要求书 2 页 说明书 6 页 附图 9 页

(54) 发明名称

堆栈式封装结构及其制造方法

(57) 摘要

本发明关于一种堆栈式封装结构及其制造方法,该方法包括以下步骤:形成且固化一第一保护层以覆盖一第一晶圆的的第一凸块;切割该第一晶圆,以形成数个第一晶粒;形成一第二保护层以覆盖一第二晶圆的第二凸块;利用一接合头通过该第一保护层吸附该第一晶粒,且将这些第一晶粒接合于该第二晶圆上;移除该接合头,且移除部分该第一保护层;切割该第二晶圆,以形成数个第二晶粒;形成一第三保护层于一基板上;及将该第一晶粒及该第二晶粒接合于该基板上。藉此,该第一保护层可以保护这些第一凸块,而且该第一保护层还具有增加厚度及平坦化的作用,以利后续第一晶粒的吸附。



1. 一种堆栈式封装结构的制造方法,包括:

(a) 提供一第一晶圆,该第一晶圆包括一第一晶圆本体、数个第一连通柱及数个第一凸块,该第一晶圆本体包括一第一表面及一第二表面,这些第一连通柱突出于该第一表面,这些第一凸块邻接于该第二表面且电性连接这些第一连通柱;

(b) 形成且固化一第一保护层于这些第一凸块上,以覆盖这些第一凸块;

(c) 切割该第一晶圆,以形成数个第一晶粒;

(d) 提供一第二晶圆,该第二晶圆包括一第二晶圆本体及数个第二凸块,该第二晶圆本体包括一第三表面及一第四表面,这些第二凸块邻接于该第三表面,且该第四表面相对于该第三表面;

(e) 形成一第二保护层于这些第二凸块上,以覆盖这些第二凸块;

(f) 利用一接合头通过该第一保护层吸附这些第一晶粒,且将这些第一晶粒接合于该第二晶圆上,其中这些第一连通柱电性连接这些第二凸块;

(g) 移除该接合头,且移除部分该第一保护层以显露这些第一凸块;

(h) 切割该第二晶圆,以形成数个第二晶粒;

(i) 提供一基板,该基板具有一上表面;

(j) 形成一第三保护层于该基板上表面;及

(k) 将该第一晶粒及该第二晶粒接合于该基板上表面,其中这些第一凸块电性连接该基板上表面。

2. 如权利要求1的方法,其中该步骤(a)中,这些第一连通柱突出的一端具有一表面处理层。

3. 如权利要求1的方法,其中该步骤(a)中,该第一晶圆更包括一绝缘层及一重布层,该绝缘层位于该第一表面,且该重布层位于该第二表面。

4. 如权利要求1的方法,其中这些第一凸块包含铜柱,这些第二凸块为焊料。

5. 如权利要求1的方法,其中该第一保护层为一非导电膜,该第二保护层及该第三保护层为一非导电膜或一底胶。

6. 如权利要求1的方法,其中该步骤(d)中,该第二晶圆为数个,每一第二晶圆具有数个第二连通柱,且这些第二晶圆堆栈在一起。

7. 如权利要求1的方法,其中该步骤(k)之后更包括一形成一封胶材料于该基板上表面以包覆该第一晶粒及该第二晶粒的步骤。

8. 一种堆栈式封装结构,包括:

一基板,具有一上表面;

一第一晶粒,接合于该基板,该第一晶粒包括一第一晶粒本体、数个第一连通柱及数个第一凸块,该第一晶粒本体包括一第一表面及一第二表面,这些第一连通柱突出于该第一表面,这些第一凸块邻接于该第二表面且电性连接这些第一连通柱,且这些第一凸块电性连接该基板上表面;

一第一保护层,邻接于该第二表面,且这些第一凸块突出于该第一保护层之外;

一第三保护层,位于该基板上表面及该第一保护层之间,以保护这些第一凸块;

一第二晶粒,接合于该第一晶粒,该第二晶粒包括一第二晶粒本体及数个第二凸块,该第二晶粒本体包括一第三表面及一第四表面,这些第二凸块邻接于该第三表面,且这些第

二凸块电性连接这些第一连通柱；及

一第二保护层,位于该第一晶粒第一表面及该第二晶粒第三表面之间,以保护这些第二凸块。

9. 如权利要求 8 的堆栈式封装结构,其中这些第一连通柱贯穿该第一晶粒本体。

10. 如权利要求 8 的堆栈式封装结构,其中这些第一连通柱突出的一端具有一表面处理层。

11. 如权利要求 8 的堆栈式封装结构,其中该第一晶粒更包括一绝缘层及一重布层,该绝缘层位于该第一表面,且该重布层位于该第二表面。

12. 如权利要求 8 的堆栈式封装结构,其中这些第一凸块包含铜柱,这些第二凸块为焊料。

13. 如权利要求 12 的堆栈式封装结构,其中该第一保护层为一非导电膜,该第二保护层为一非导电膜或一底胶,且该第三保护层为一非导电膜或一底胶。

14. 如权利要求 12 的堆栈式封装结构,其中该第二晶粒为数个,每一第二晶粒具有数个第二连通柱,且这些第二晶粒堆栈在一起。

堆栈式封装结构及其制造方法

技术领域

[0001] 本发明关于一种封装结构及其制造方法,详言之,关于一种堆栈式封装结构及其制造方法。

背景技术

[0002] 堆栈式封装结构将二颗晶粒(下晶粒及上晶粒)堆栈在一基板上以形成的三维封装结构,其中位于下方的下晶粒会具有数个连通柱(Through Silicon Via, TSV)结构,这些连通柱会突出于该下晶粒的一表面,而且该下晶粒另一表面会具有数个凸块结构。因此,制造该堆栈式封装结构的工艺中会遭遇如下问题。

[0003] 首先,在工艺中,利用接合头(Bonding Head)吸附该下晶粒时会伤害这些连通柱结构或这些凸块结构。再者,目前该上晶粒及该下晶粒为超薄,因此,如何吸附这些薄晶粒并且进行薄晶粒的覆晶堆栈是一项重大的挑战。最后,由于该接合头在高温环境下进行热压,因此这些连通柱结构或这些凸块结构可能会因受热软化而沾黏到该接合头。

[0004] 因此,有必要提供一种堆栈式封装结构及其制造方法,以解决上述问题。

发明内容

[0005] 本发明提供一种堆栈式封装结构的制造方法,其包括以下步骤:(a) 提供一第一晶圆,该第一晶圆包括一第一晶圆本体、数个第一连通柱(Through Silicon Via, TSV)及数个第一凸块,该第一晶圆本体包括一第一表面及一第二表面,这些第一连通柱突出于该第一表面,这些第一凸块邻接于该第二表面且电性连接这些第一连通柱;(b) 形成且固化一第一保护层于这些第一凸块上,以覆盖这些第一凸块;(c) 切割该第一晶圆,以形成数个第一晶粒;(d) 提供一第二晶圆,该第二晶圆包括一第二晶圆本体及数个第二凸块,该第二晶圆本体包括一第三表面及一第四表面,这些第二凸块邻接于该第三表面,且该第四表面相对于该第三表面;(e) 形成一第二保护层于这些第二凸块上,以覆盖这些第二凸块;(f) 利用一接合头(Bonding Head)通过该第一保护层吸附这些第一晶粒,且将这些第一晶粒接合于该第二晶圆上,其中这些第一连通柱电性连接这些第二凸块;(g) 移除该接合头,且移除部分该第一保护层以显露这些第一凸块;(h) 切割该第二晶圆,以形成数个第二晶粒;(i) 提供一基板,该基板具有一上表面;(j) 形成一第三保护层于该基板上表面;及(k) 将该第一晶粒及该第二晶粒接合于该基板上表面,其中这些第一凸块电性连接该基板上表面。

[0006] 本发明另提供一种堆栈式封装结构的制造方法,其包括以下步骤:(a) 提供一第一晶圆,该第一晶圆包括一第一晶圆本体、数个第一连通柱及数个第一凸块,该第一晶圆本体包括一第一表面及一第二表面,这些第一连通柱突出于该第一表面,这些第一凸块邻接于该第二表面且电性连接这些第一连通柱;(b) 形成且固化一第一保护层于这些第一连通柱上,以覆盖这些第一连通柱;(c) 切割该第一晶圆,以形成数个第一晶粒;(d) 提供一基板,该基板具有一上表面;(e) 形成一第三保护层于该基板上表面;(f) 利用一接合头通过该第一保护层吸附该第一晶粒,且将该第一晶粒接合于该基板上,其中该第一凸块电性

连接该基板上表面；(g) 移除该接合头，且移除部分该第一保护层以显露这些第一连通柱；(h) 提供一第二晶粒及一第二保护层，该第二晶粒包括一第二晶粒本体及数个第二凸块，该第二晶粒本体包括一第三表面及一第四表面，这些第二凸块邻接于该第三表面，该第二保护层位于这些第二凸块上，以覆盖这些第二凸块；及 (i) 将该第二晶粒接合于该第一晶粒上，其中这些第二凸块电性连接这些第一连通柱。

[0007] 藉此，该第一保护层可以保护这些第一凸块或这些第一连通柱，而且该第一保护层还具有增加厚度及平坦化的作用，以利后续第一晶粒的吸附。

[0008] 本发明另提供由上述方法所制得的封装结构。

附图说明

[0009] 图 1 至 14 显示本发明堆栈式封装结构的制造方法的第一实施例的示意图；及

[0010] 图 15 至 22 显示本发明堆栈式封装结构的制造方法的第二实施例的示意图。

具体实施方式

[0011] 参考图 1 至 14，显示本发明堆栈式封装结构的制造方法的第一实施例的示意图。参考图 1，提供一第一晶圆 1 及一胶带 (Tape) 18。该第一晶圆 1 包括一第一晶圆本体 10、数个第一连通柱 (Through Silicon Via, TSV) 12 及数个第一凸块 13。该第一晶圆本体 10 包括一第一表面 101 及一第二表面 102。这些第一连通柱 12 贯穿该第一晶圆本体 10，且这些第一连通柱 12 的一端 121 突出于该第一表面 101。这些第一凸块 13 邻接于该第二表面 102 且电性连接这些第一连通柱 12，在本实施例中，这些第一凸块 13 为铜柱 (Copper Pillar) 及焊料 (Solder) 的堆栈结构。在其它实施例中，这些第一凸块 13 可仅为铜柱亦或是焊料。该胶带 18 邻接该第一表面 101 以覆盖且保护这些第一连通柱 12 的一端 121。

[0012] 较佳地，该第一晶圆 1 为一处理器晶圆 (Processor Wafer)，其更包括一绝缘层 (Passivation Layer) 14、一重布层 (RDL) 15、一表面处理层 (Surface Finish Layer) 16 及数个第一焊垫 17。该绝缘层 14 位于该第一表面 101，其材质例如苯环丁烯 (Benzocyclobutene, BCB)、聚酰亚胺 (polyimide, PI) 等高分子材料；亦或是无机绝缘层，如：二氧化硅 (SiO_2)。该重布层 15 位于该第二表面 102。这些第一焊垫 17 位于该重布层 15 上，且这些第一凸块 13 位于这些第一焊垫 17 上。该表面处理层 16 位于这些第一连通柱 12 突出的一端 121。

[0013] 参考图 2，形成且固化一第一保护层 19 于这些第一凸块 13 上，以覆盖且保护这些第一凸块 13。在本实施例中，该第一保护层 19 为一非导电膜 (Non Conductive Film, NCF)，其为 B 阶段材料 (B-stage material)。该非导电膜在低温下是硬的，在 B 阶段温度 (B-stage temperature) 时会变软，而在超过 B 阶段温度后会固化 (curing)。因此，该第一保护层 19 (此时该第一保护层 19 为一片材) 先贴附于该第一晶圆本体 10 第二表面 102，之后加热至 B 阶段温度使得该第一保护层 19 软化而完全包覆住这些第一凸块 13，再持续加热使得该第一保护层 19 固化。藉此，该第一保护层 19 除了可以保护这些第一凸块 13，而且该第一保护层 19 还具有增加厚度及平坦化的作用，以利后续的吸附。

[0014] 参考图 3，切割该第一晶圆 1，以形成数个第一晶粒 11。每一第一晶粒 11 包括一第一晶粒本体 20、这些第一连通柱 12 及这些第一凸块 13。该第一晶粒本体 20 包括一第一表

面 201 及一第二表面 202。此时,该第一保护层 19 一起被切割,而切割后的该第一晶粒 11 及该第一保护层 19 仍附着于该胶带 18 上。

[0015] 参考图 4,提供一第二晶圆 2 及一载体 3。该第二晶圆 2 包括一第二晶圆本体 21 及数个第二凸块 23。该第二晶圆本体 21 包括一第三表面 211 及一第四表面 212。这些第二凸块 23 邻接于该第三表面 211,且该第四表面 212 贴附该载体 3。在本实施例中,该第二晶圆 2 为一内存晶圆 (Memory Wafer),这些第二凸块 23 为焊料 (Solder)。此外,该第二晶圆本体 21 更包括数个第二焊垫 22,其邻接于该第三表面 211,且这些第二凸块 23 位于这些第二焊垫 22 上。该第四表面 212 利用一黏胶层 31 贴附于该载体 3 上。

[0016] 参考图 5,形成一第二保护层 32 于这些第二凸块 23 上,以覆盖这些第二凸块 23。在本实施例中,该第二保护层 32 为一非导电膜或一底胶 (Underfill)。

[0017] 参考图 6,利用一接合头 24 吸附该第一晶粒 11,由于该第一晶粒 11 上有该第一保护层 19,因此该接合头 24 通过该第一保护层 19 吸附该第一晶粒 11,而且这些第一凸块 13 被该第一保护层 19 保护住而不会直接接触到该接合头 24。

[0018] 参考图 7,将这些第一晶粒 11 接合于该第二晶圆 2 上,其中这些第一连通柱 12 接触且电性连接这些第二凸块 23。之后,移除该接合头 24,且移除部分该第一保护层 19 以显露这些第一凸块 13。在本实施例中,以灰化 (Ashing) 方式移除部分该第一保护层 19,使得该第一保护层 19 变薄并显露这些第一凸块 13。

[0019] 参考图 8,移除该载体 3 及该黏胶层 31。参考图 9,切割该第二晶圆 2,以形成数个第二晶粒 25。该第二晶粒 25 包括一第二晶粒本体 26 及这些第二凸块 23。该第二晶粒本体 26 包括一第三表面 261 及一第四表面 262,这些第二凸块 23 邻接于该第三表面 261。

[0020] 参考图 10,提供一基板 4,例如一有机基板 (Organic Substrate)。该基板 4 具有一上表面 41。之后,形成一第三保护层 42 于该基板 4 上表面 41。在本实施例中,该第三保护层 42 为一非导电膜或一底胶 (Underfill)。

[0021] 参考图 11,将图 9 中已堆栈的该第一晶粒 11 及该第二晶粒 25 再接合于该基板 4 上表面 41,其中这些第一凸块 13 接触且电性连接该基板 4 上表面 41。

[0022] 在其它实施例中,亦可先将已堆栈的该第一晶粒 11 及该第二晶粒 25 接合于该基板 4 上表面 41 后再形成一第三保护层 42 于该基板 4 及该第一晶粒 11 间。

[0023] 接着,切割该基板 4 以形成数个堆栈式封装结构 5。或者,如图 12 所示,可先形成一封胶材料 51 于该基板 4 上表面 41 以包覆该第一晶粒 11 及该第二晶粒 25,之后再切割该基板 4 以形成数个堆栈式封装结构 5。

[0024] 参考图 13,其显示当图 4 的该第二晶圆 2 为数个时,最终堆栈式封装结构 6 的示意图,其中每一第二晶圆 2 具有数个第二连通柱 263。这些第二晶圆 2 堆栈在一起,且利用这些第二连通柱 263、这些第二凸块 23 及这些第二焊垫 22 彼此电性连接。这些堆栈第二晶圆 2 切割后形成数个堆栈第二晶粒 25。此外,该堆栈式封装结构 6 更包括数个焊球 61,位于该基板 4 下表面。或者,如图 14 所示,可先形成一封胶材料 62 于该基板 4 上表面 41 以包覆该第一晶粒 11 及这些堆栈第二晶粒 25,之后再切割该基板 4 以形成数个堆栈式封装结构 6。

[0025] 参考图 11,显示本发明堆栈式封装结构的第一实施例的示意图。该堆栈式封装结构 5 包括一基板 4、一第一晶粒 11、一第一保护层 19、一第三保护层 42、一第二晶粒 25 及一

第二保护层 32。

[0026] 该基板 4(例如一有机基板)具有一上表面 41。该第一晶粒 11 接合于该基板 4。该第一晶粒 11 包括一第一晶粒本体 20、数个第一连通柱 12 及数个第一凸块 13。该第一晶粒本体 20 包括一第一表面 201 及一第二表面 202。这些第一连通柱 12 贯穿该第一晶粒本体 20,且这些第一连通柱 12 的一端 121 突出于该第一表面 201。这些第一凸块 13 邻接于该第二表面 202 且电性连接这些第一连通柱 12,且这些第一凸块 13 电性连接该基板 4 上表面 41。在本实施例中,这些第一凸块 13 为铜柱。

[0027] 较佳地,该第一晶粒 11 为一处理器晶粒 (Processor Die),其更包括一绝缘层 14、一重布层 15、一表面处理层 16 及数个第一焊垫 17。该绝缘层 14 位于该第一表面 201,其材质例如是苯环丁烯 (Benzocyclobutene,BCB)、聚酰亚胺 (polyimide,PI) 等高分子材料;或是无机绝缘层,如:二氧化硅 (SiO_2)。该重布层 15 位于该第二表面 202。这些第一焊垫 17 位于该重布层 15 上,且这些第一凸块 13 位于这些第一焊垫 17 上。该表面处理层 16 位于这些第一连通柱 12 突出的一端 121。

[0028] 该第一保护层 19 邻接于该第二表面 202,且这些第一凸块 13 突出于该第一保护层 19 之外。该第三保护层 42 位于该基板 4 上表面 41 及该第一保护层 19 之间,以保护这些第一凸块 13。在本实施例中,该第一保护层 19 及该第三保护层 42 为非导电膜。在其它实施例中,该第一保护层 19 为非导电膜而该第三保护层 42 为一底胶 (Underfill)。

[0029] 该第二晶粒 25 接合于该第一晶粒 11。该第二晶粒 25 包括一第二晶粒本体 26 及数个第二凸块 23。该第二晶粒本体 26 包括一第三表面 261 及一第四表面 262,这些第二凸块 23 邻接于该第三表面 261,且这些第二凸块 23 电性连接这些第一连通柱 12。

[0030] 在本实施例中,该第二晶粒 25 为一内存晶粒 (Memory Die),这些第二凸块 23 为焊料。此外,该第二晶粒本体 26 更包括这些第二焊垫 22,其邻接于该第三表面 261,且这些第二凸块 23 位于这些第二焊垫 22 上。

[0031] 该第二保护层 32 位于该第一晶粒 11 第一表面 201 及该第二晶粒 25 第三表面 261 之间,以保护这些第二凸块 23。在本实施例中,该第二保护层 32 为一非导电膜或一底胶 (Underfill)。

[0032] 参考图 12,该堆栈式封装结构 5 更包括一封胶材料 51,位于该基板 4 上表面 41,以包覆该第一晶粒 11 及该第二晶粒 25。

[0033] 参考图 13,显示本发明堆栈式封装结构的第一实施例的另一种方面示意图。在该堆栈式封装结构 6 中,该第二晶粒 25 为数个,每一第二晶粒 25 具有数个第二连通柱 263。这些第二晶粒 25 堆栈在一起,且利用这些第二连通柱 263、这些第二凸块 23 及这些第二焊垫 22 彼此电性连接。

[0034] 参考图 14,该堆栈式封装结构 6 更包括一封胶材料 62,位于该基板 4 上表面 41,以包覆该第一晶粒 11 及这些堆栈第二晶粒 25。

[0035] 参考图 15 至 22,显示本发明堆栈式封装结构的制造方法的第二实施例的示意图。参考图 15,提供一第一晶圆 1 及一胶带 18。该第一晶圆 1 包括一第一晶圆本体 10、数个第一连通柱 12 及数个第一凸块 13。该第一晶圆本体 10 包括一第一表面 101 及一第二表面 102。这些第一连通柱 12 贯穿该第一晶圆本体 10,且这些第一连通柱 12 的一端 121 突出于该第一表面 101。这些第一凸块 13 邻接于该第二表面 102 且电性连接这些第一连通柱 12,

在本实施例中,这些第一凸块 13 为铜柱。该胶带 18 邻接该第二表面 102 以覆盖这些第一凸块 13。

[0036] 较佳地,该第一晶圆 1 更包括一绝缘层 14、一重布层 15、一表面处理层 16 及数个第一焊垫 17。该绝缘层 14 位于该第一表面 101,其材质例如是苯环丁烯 (Benzocyclobutene, BCB)、聚酰亚胺 (polyimide, PI) 等高分子材料;亦或是无机绝缘层,如:二氧化硅 (SiO_2)。该重布层 15 位于该第二表面 102。这些第一焊垫 17 位于该重布层 15 上,且这些第一凸块 13 位于这些第一焊垫 17 上。该表面处理层 16 位于这些第一连通柱 12 突出的一端 121。

[0037] 参考图 16,形成且固化一第一保护层 19 于这些第一连通柱 12 突出的一端 121 上,以覆盖这些第一连通柱 12。在本实施例中,该第一保护层 19 为一非导电膜。

[0038] 参考图 17,切割该第一晶圆 1,以形成数个第一晶粒 11。每一第一晶粒 11 包括一第一晶粒本体 20、这些第一连通柱 12 及这些第一凸块 13。该第一晶粒本体 20 包括一第一表面 201 及一第二表面 202。此时,该第一保护层 19 一起被切割,而切割后的该第一晶粒 11 及该第一保护层 19 仍附着于该胶带 18 上。

[0039] 参考图 18,提供一基板 4,该基板 4 具有一上表面 41。接着,形成一第三保护层 42 于该基板 4 上表面 41。在本实施例中,该第三保护层 42 为一非导电膜或一底胶 (Underfill)。接着,利用一接合头 24 通过该第一保护层 19 吸附该第一晶粒 11,并分离该第一晶粒 11 及该胶带 18,且将该第一晶粒 11 接合于该基板 4 上,其中该第一凸块 13 接触且电性连接该基板 4 上表面 41。

[0040] 在其它实施例中,亦可先将该第一晶粒 11 接合于该基板 4 上表面 41 后再形成一第三保护层 42 于该基板 4 及该第一晶粒 11 间。

[0041] 参考图 19,移除该接合头 24,且移除部分该第一保护层 19 使该第一保护层 19 变薄,以显露这些第一连通柱 12 突出的一端 121。

[0042] 参考图 20,提供一第二晶粒 25 及一第二保护层 32。该第二晶粒 25 包括一第二晶粒本体 26 及数个第二凸块 23。该第二晶粒本体 26 包括数个一第三表面 261 及一第四表面 262。这些第二凸块 23 邻接于该第三表面 261。该第二保护层 32 位于这些第二凸块 23 上,以覆盖这些第二凸块 23。在本实施例中,这些第二凸块 23 为焊料。此外,该第二晶粒本体 26 更包括数个第二焊垫 22,其邻接于该第三表面 261,且这些第二凸块 23 位于这些第二焊垫 22 上。该第二保护层 32 位于这些第二凸块 23 上,以覆盖这些第二凸块 23。在本实施例中,该第二保护层 32 为一非导电膜或一底胶。

[0043] 在其它实施例中,亦可先将该第二保护层 32 覆盖于第一晶粒 11 的该第一保护层 19 上。

[0044] 参考图 21,将该第二晶粒 25 接合于该第一晶粒 11 上,其中这些第二凸块 23 接触且电性连接这些第一连通柱 12。接着,切割该基板 4 以形成数个堆栈式封装结构 7。或者,如图 22 所示,可先形成一封胶材料 71 于该基板 4 上表面 41 以包覆该第一晶粒 11 及该第二晶粒 25,之后再切割该基板 4 以形成数个堆栈式封装结构 7。

[0045] 同样地,在图 21 中,该第二晶粒 25 也可以为数个,每一第二晶粒具有数个第二连通柱,且这些第二晶粒 25 堆栈在一起。

[0046] 参考图 21,显示本发明封装结构的第二实施例的示意图。本实施例的封装结构 7 与第一实施例的封装结构 5 (图 11) 大致相同,其中相同的组件赋予相同的编号。本实施例

与第一实施例不同处在于该第一保护层 19 的位置。在本实施例中,该第一保护层 19 邻接于该第一晶粒本体 20 第一表面 201,且这些第一连通柱 12 突出于该第一保护层 19 之外。该第二保护层 32 位于该第一保护层 19 及该第二晶粒 26 第三表面 261 之间,以保护这些第二凸块 23。第三保护层 42 位于该基板 4 上表面 41 及该第一晶粒本体 20 第二表面 202 之间,以保护这些第一凸块 13。

[0047] 在本发明中,该第一保护层 19 可以保护这些第一凸块 13(第一实施例)或这些第一连通柱 12(第二实施例),而且该第一保护层 19 还具有增加厚度及平坦化的作用,以利后续第一晶粒 11 的吸附。

[0048] 惟上述实施例仅为说明本发明的原理及其功效,而非用以限制本发明。因此,习于此技术的人士对上述实施例进行修改及变化仍不脱本发明的精神。本发明的权利范围应如权利要求书所列。

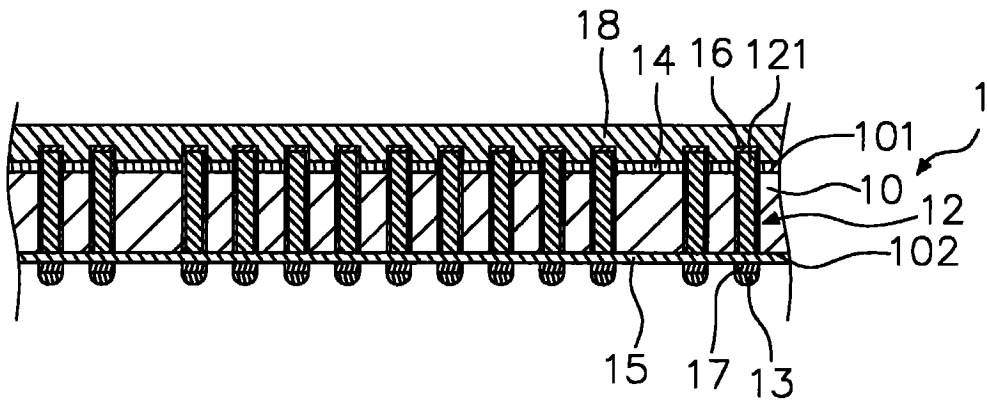


图 1

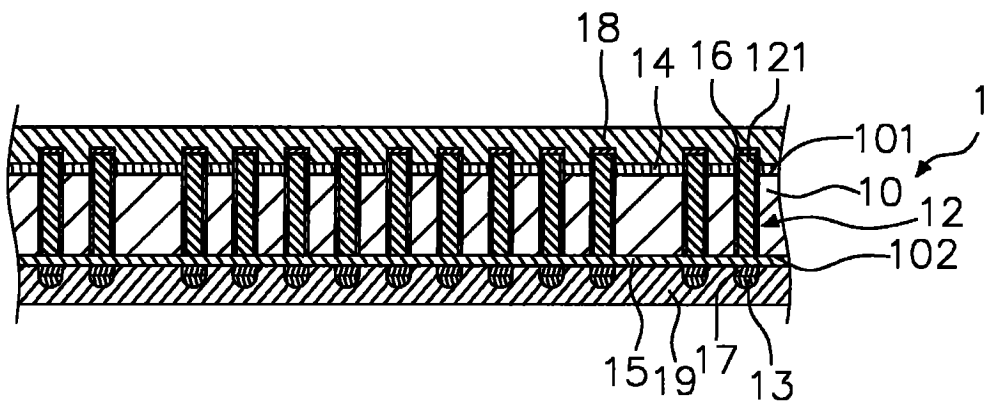


图 2

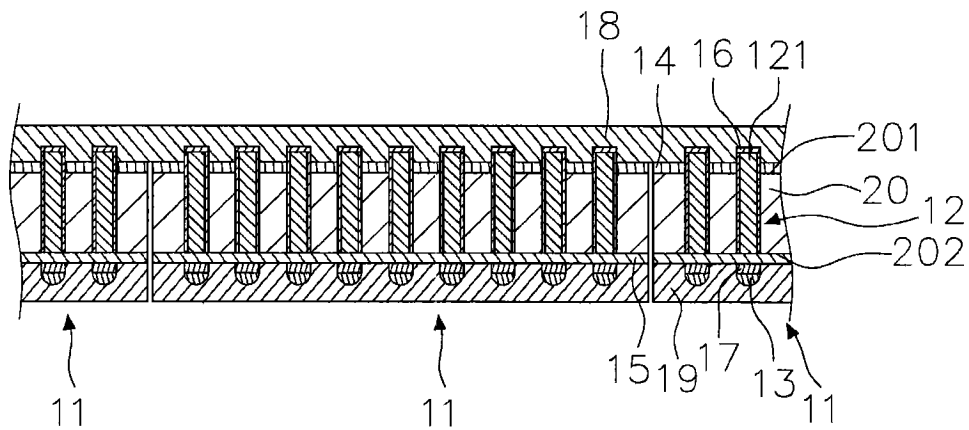


图 3

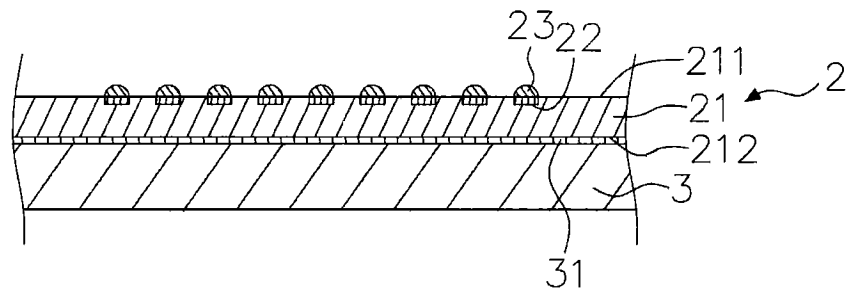


图 4

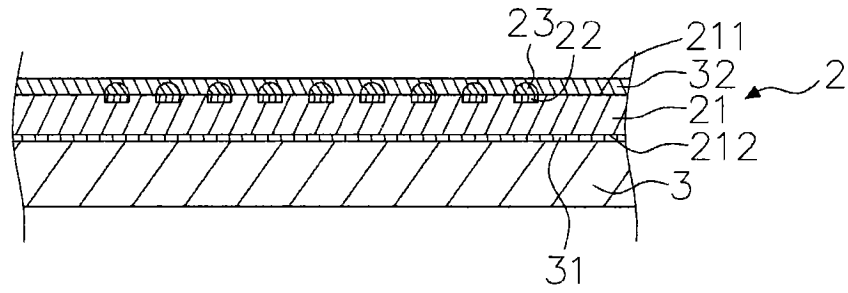


图 5

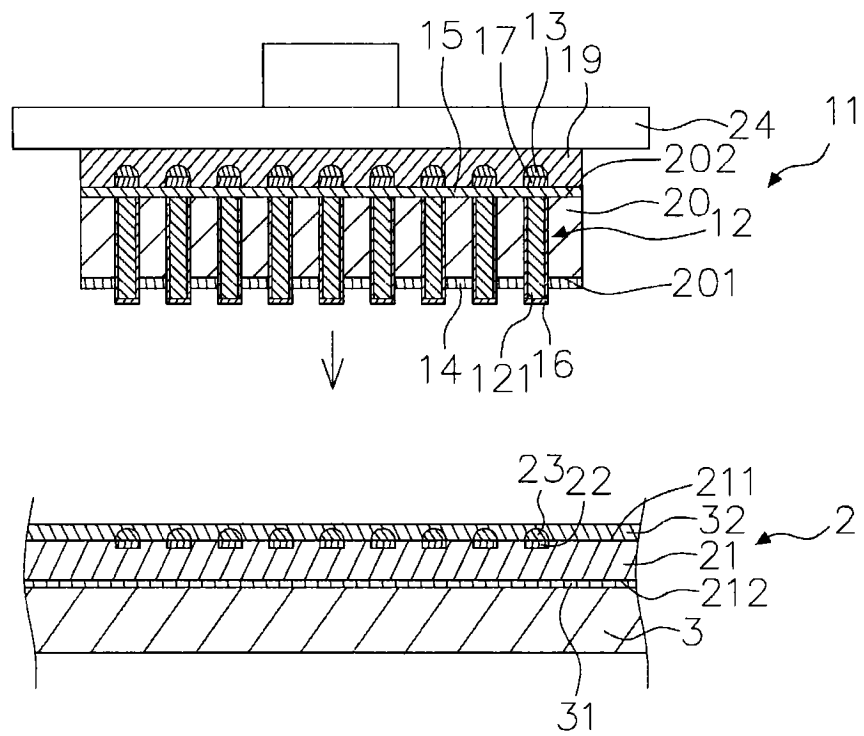


图 6

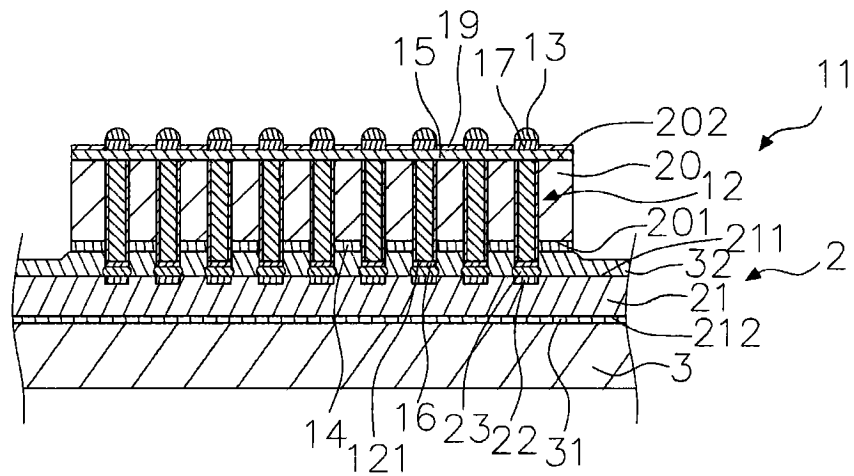


图 7

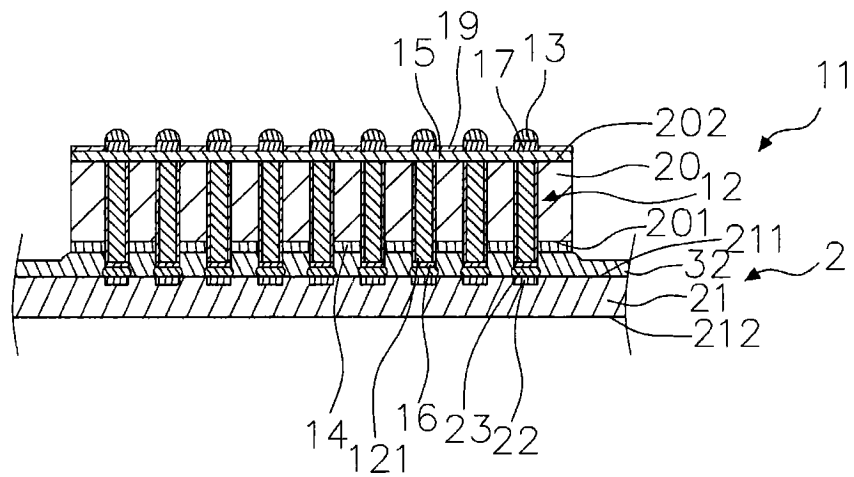


图 8

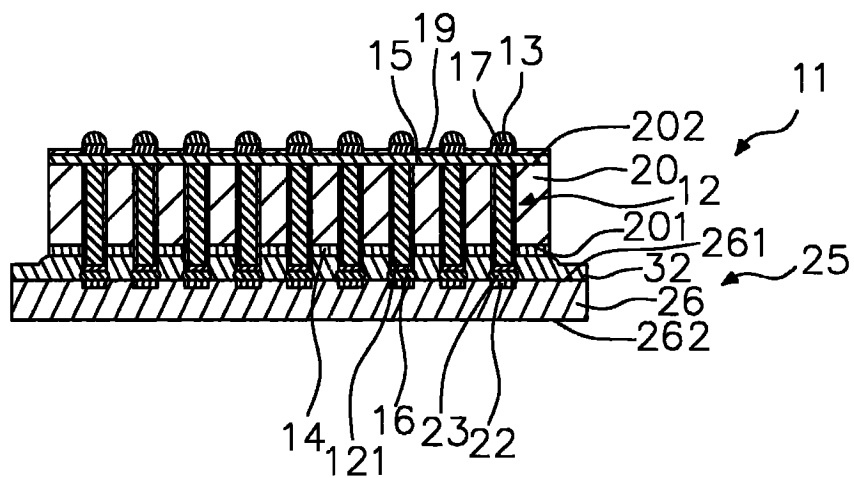


图 9

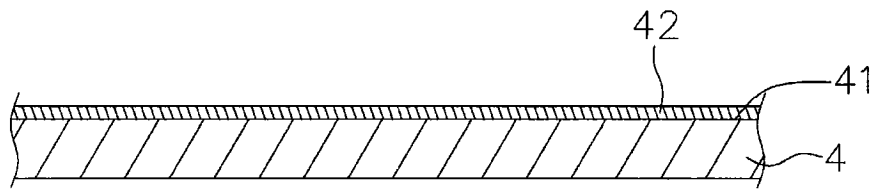


图 10

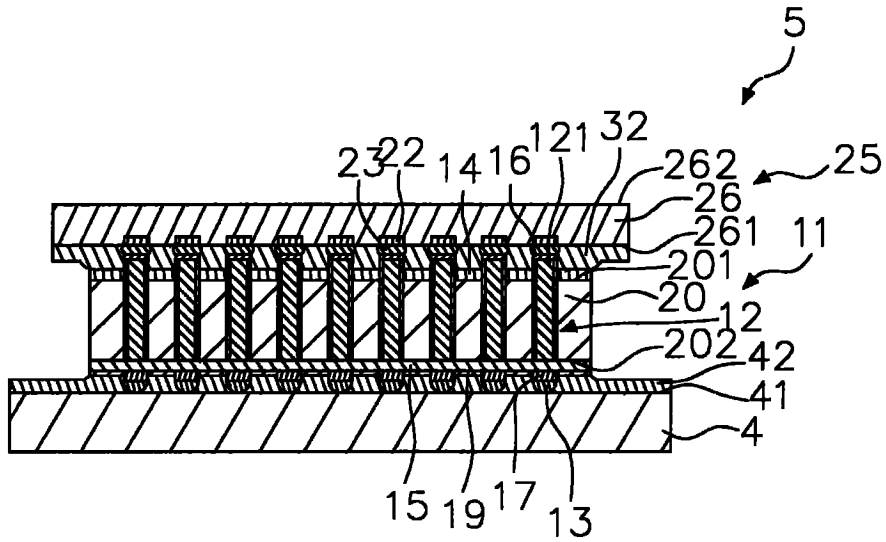


图 11

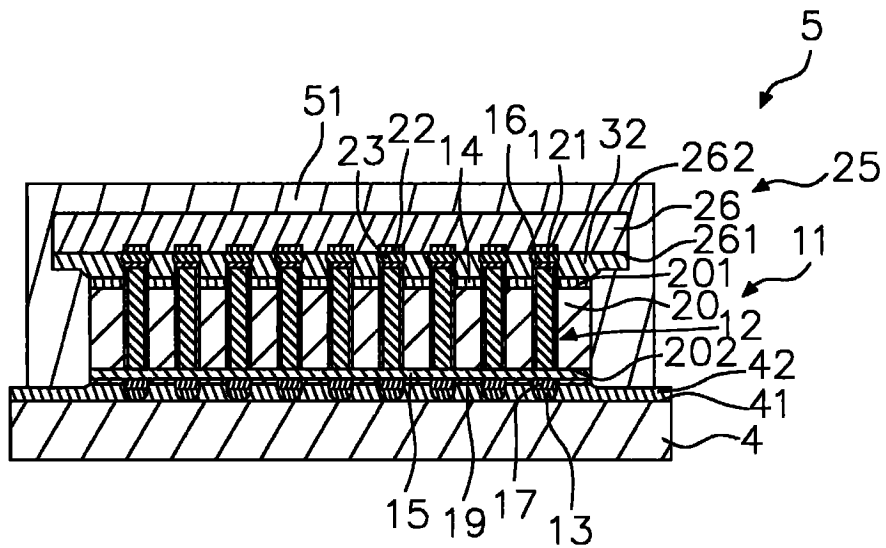


图 12

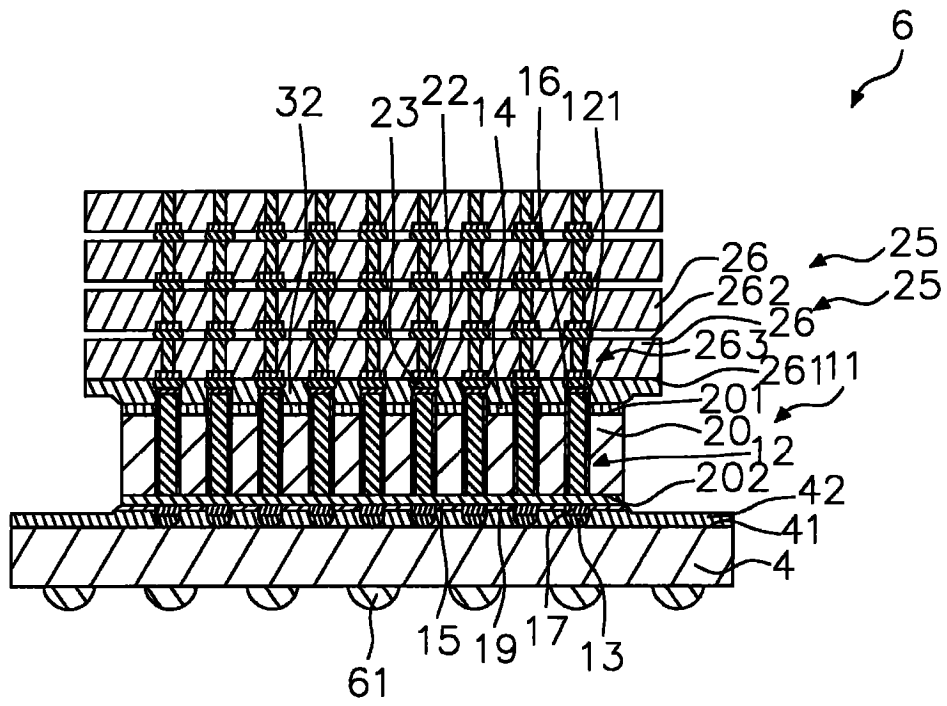


图 13

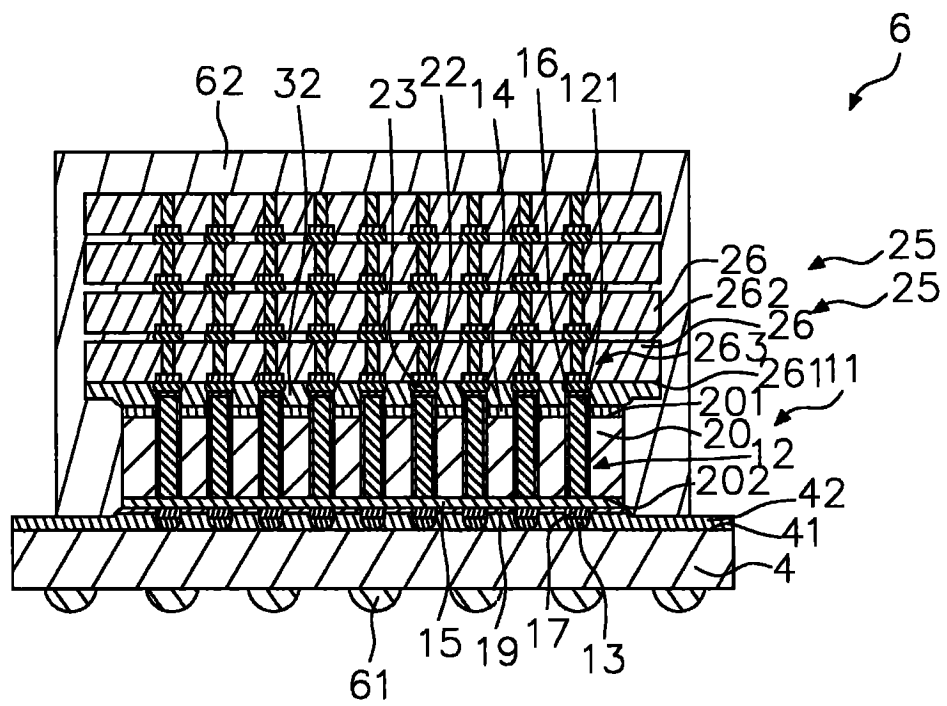


图 14

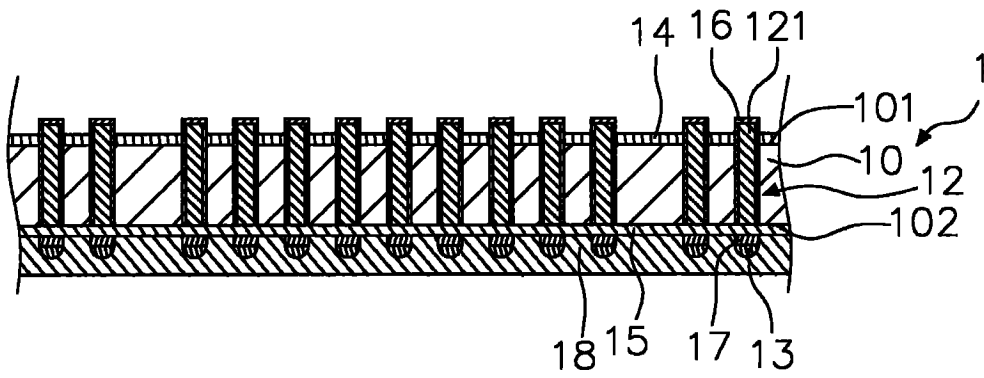


图 15

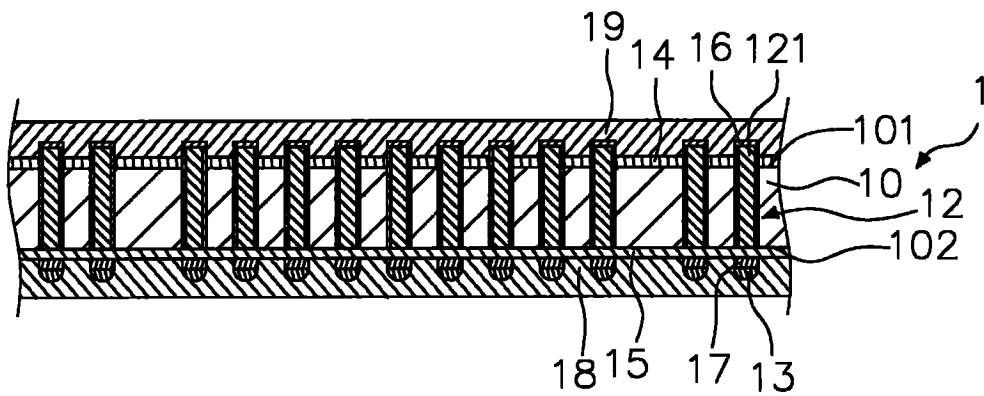


图 16

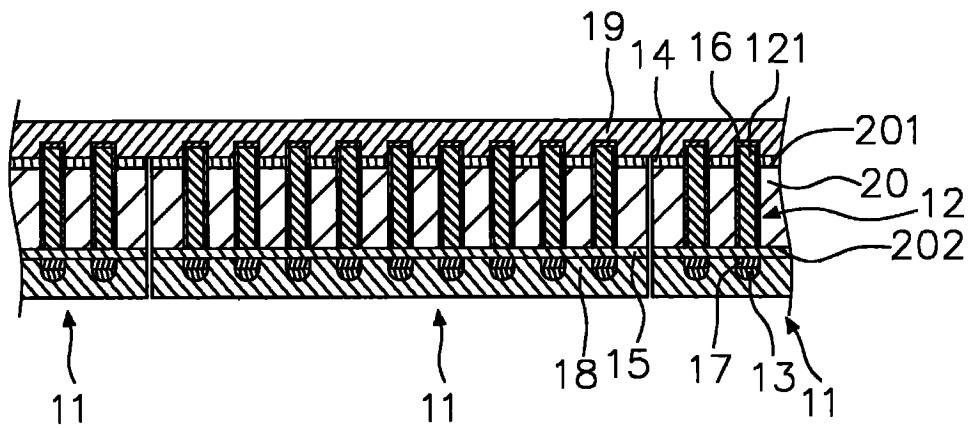


图 17

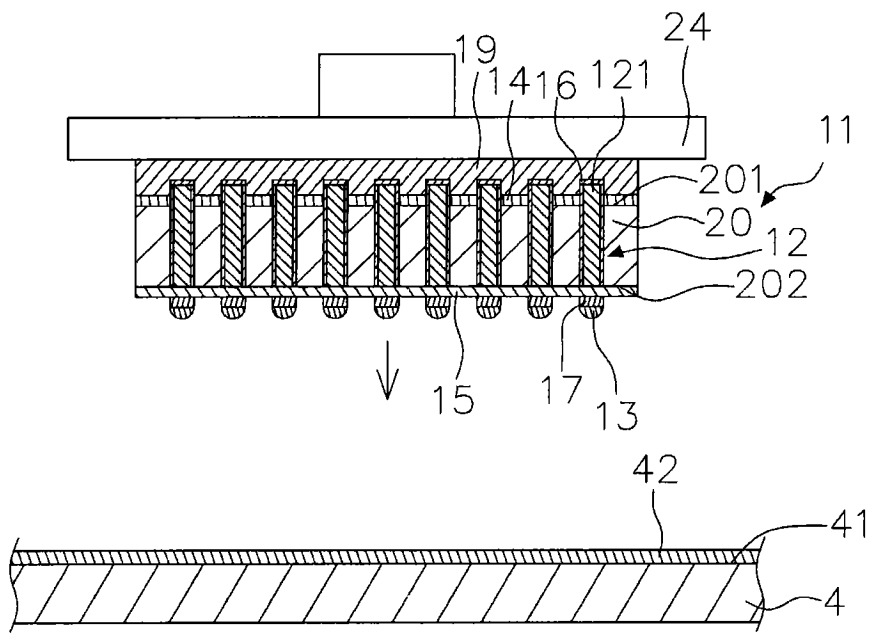


图 18

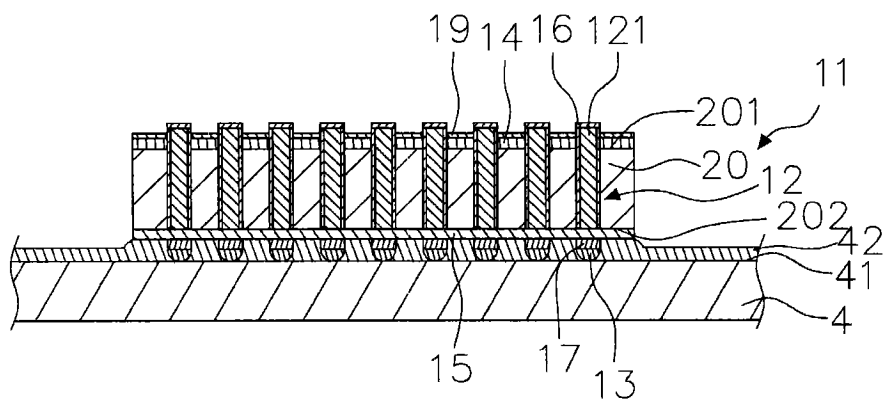


图 19

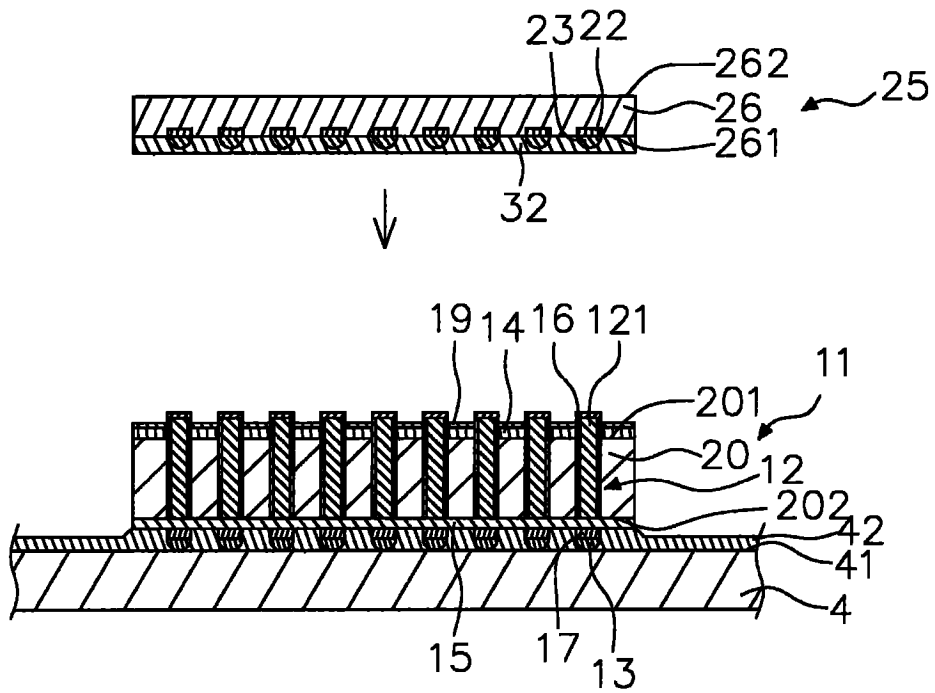


图 20

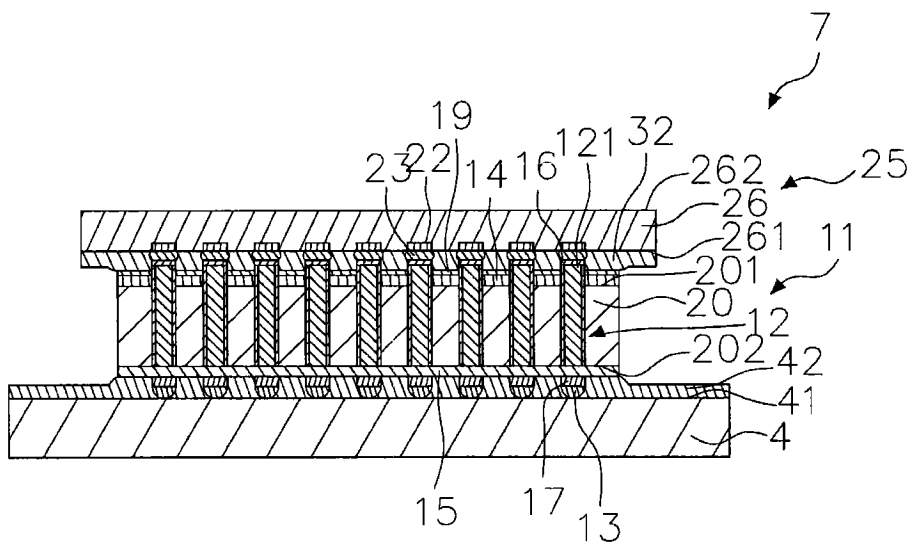


图 21

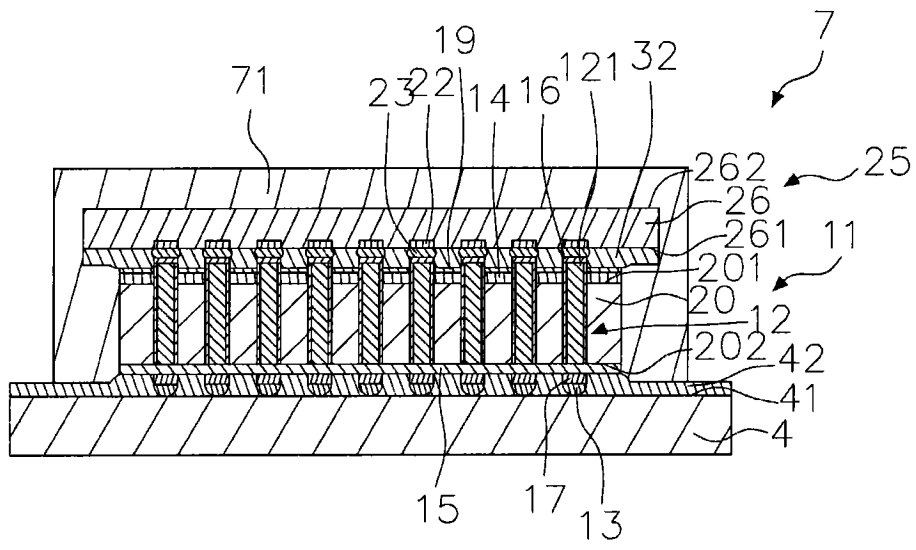


图 22