

# 發明專利說明書

## 公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 96129304

※ 申請日期： 96.8.8

※IPC 分類： G11C 1/00 12006.01

### 一、發明名稱：(中文/英文)

具有可調整尺寸之二端奈米管開關之非依電性電阻式記憶體、閃鎖電路、及操作電路

NONVOLATILE RESISTIVE MEMORIES, LATCH CIRCUITS, AND  
OPERATION CIRCUITS HAVING SCALABLE TWO-TERMINAL  
NANOTUBE SWITCHES

### 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

奈特洛公司

NANTERO, INC.

指定 為應受送達人

代表人：(中文/英文)(簽章)

沙貝特/SEGAL, BRENT M.

住居所或營業所地址：(中文/英文)

美國麻州烏柏區奧林匹克街 25-D 號

25-D Olympia Avenue, Woburn, MA 01801, U.S.A.

國籍：(中文/英文)

美國/U.S.A.

### 三、發明人：(共 6 人)

姓名：(中文/英文)

1. 柏克勞/BERTIN, CLAUDE L.

2. 魯克斯/RUECKES, THOMAS

3. 瓦喬森/WARD, JONATHAN W.

4. 郭法蘭/GUO, FRANK

5. 康瑟克/KONSEK, STEVEN L.

6. 麥賀德/MEINHOLD, MITCHELL

國 籍：(中文/英文)

1.-6.均為美國/U.S.A.

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；西元 2006 年 8 月 8 日；60/836,343
2. 美國；西元 2006 年 8 月 8 日；60/836,437
3. 美國；西元 2006 年 8 月 28 日；60/840,586
4. 美國；西元 2006 年 10 月 27 日；60/855,109
5. 美國；西元 2007 年 3 月 16 日；60/918,388

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

本發明揭露一種非揮發性閃鎖電路，包含：至少一輸入端，能夠輸入一邏輯狀態；一輸出端，能夠輸出一邏輯狀態；一奈米管切換元件，包含設置於兩個導體接點之間的一奈米管織物物件，該奈米管織物物件係電氣連接該等兩個導體接點，其中該奈米管切換元件能夠在一相對低電阻狀態及一相對高電阻狀態之間切換，其中，該奈米管切換元件能夠非揮發性地保持在該相對低或該相對高電阻狀態；一依電性閃鎖電路，包含電氣地設置於該輸入端及該奈米管切換元件之間的至少一半導體的元件，該半導體的元件能夠接收及依電性地儲存一邏輯狀態，該邏輯狀態係輸入至該輸入端；其中，當該奈米管切換元件係處於該相對低電阻狀態時，該依電性閃鎖電路保持一第一邏輯狀態並在該輸出端輸出該第一邏輯狀態，且其中，當該奈米管切換元件係處於該相對高電阻狀態時，該依電性閃鎖電路保持一第二邏輯狀態，該第二邏輯狀態係在該輸出端輸出。

## 六、英文發明摘要：

A non-volatile resistive memory is provided. The memory includes at least one non-volatile memory cell and selection circuitry. Each memory cell has a two-terminal nanotube switching device having and a nanotube fabric article disposed between and in electrical communication with conductive terminals. Selection circuitry is operable to select the two-terminal nanotube switching device for read and write operations. Write control circuitry, responsive to a control signal, supplies write signals to a selected

memory cell to induce a change in the resistance of the nanotube fabric article, the resistance corresponding to an informational state of the memory cell. Resistance sensing circuitry in communication with a selected memory cell, senses the resistance of the nanotube fabric article and provides the control signal to the write control circuitry. Read circuitry reads the corresponding informational state of the memory cell. A non-volatile latch circuit and a non-volatile register file configuration circuit for use with a plurality of non-volatile register files are also provided.



## 七、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

20	非揮發性暫存器檔案
22-1	NV 暫存器檔案級 1
22-(N+M)	NV 暫存器檔案級 N+M
24-1	NV 組態閃鎖 1
24-(N+M)	NV 組態閃鎖 N+M
26	組態選擇電路
C1	輸出
C(N+M)	輸出
CLK	時脈
DI	資料輸入訊號
S1	選擇訊號
S(N+M)	選擇訊號
SW1	開關
SW N+M	開關

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 九、發明說明：

### 【發明所屬之技術領域】

本發明大體上係關於奈米管切換元件之領域。

### 【先前技術】

#### 可縮放的非揮發性閃鎖電路(*Scalable Nonvolatile Latch Circuits*)

半導體工業使用熔絲或反熔絲作為邏輯狀態的非揮發性(nonvolatile)儲存。熔絲(或反熔絲)之非揮發性抗性狀態(於導電狀態或不導電狀態)係用以指示第一或第二邏輯狀態。閃鎖電路將熔絲(或反熔絲)之非揮發性抗性狀態轉換成表示邏輯 1 或 0 的對應電氣電壓位準。

於一類型的熔絲(有時稱為雷射熔絲)，熔絲元件係由金屬或多晶矽材料形成。熔絲係藉由雷射燒蝕(ablation)而被程式化(被燒斷、或做成不導電)而一對應的閃鎖電路讀取該熔絲的非揮發性狀態，如美國專利第 5,345,110 號所描述，其全部內容係併入於此作為參考。

半導體工業已使用更有彈性且更密集的電氣可程式化熔絲(e-fuse)元件來代替雷射熔絲，然而，e-fuses 典型需要 milli-Ampere 範圍的程式化電流且難以縮小至較小的物理及較低的程式化電流位準以供新的較密集技術節點，例如 90nm、65nm、45nm、及更密集者。

半導體工業亦已使用更有彈性且更密集的電氣可程式

化反熔絲(a-fuse)元件來代替雷射熔絲。反熔絲降低程式化電  
流至低 micro-Ampere 範圍(例如 1-10  $\mu$  A)，然而，程式化電  
壓典型在 8 至 12 伏特範圍內。反熔絲難以縮小至較小的物  
理尺寸及較低的程式化電流位準以供新的較密集技術節  
點。使用熔絲及反熔絲的門鎖係說明於 Bertin et al,之美國專  
利第 6,570,806 號，其全部內容係併入於此作為參考。

期望能提供可縮放的元件，其可被使用作為熔絲、或反  
熔絲、或熔絲及反熔絲、或能在熔絲及反熔絲間切換(toggle)  
多次或在 ON 及 OFF 狀態間切換多次的元件，及對應的門鎖  
電路，其係以矽技術可容易地集成(integrate)、係可縮小至較  
小的物理尺寸、係使用低電流值(於 nano-Ampere)或低  
micro-Ampere 範圍來程式化、及係可縮小至較低的程式化電  
流(5 伏特及更低)。

於特定應用，期望能提供可縮放的元件，其可被使用以  
在 ON 及 OFF 狀態間切換，以選擇或不選擇(deselect)(繞過  
(bypass))一系列暫存器(register)檔案中之暫存器檔案級  
(stage)。若此一可縮放的元件被使用作為熔絲，則對應的暫  
存器檔案級可被不選擇(繞過)，以從一系列中消除有缺陷的  
暫存器檔案級。

於特定應用，亦期望能提供可縮放的元件，其可被使用  
以在 ON 及 OFF 狀態間切換，以提供記憶體單元中之資訊狀  
態(informational state)。再者，於其他應用，期望能提供可  
縮放的元件，其可被使用以在多個導電狀態中切換，以提供  
記憶體單元中之多個資訊狀態。更期望能以現有記憶體技術

集成此元件。現有商業可用技術通常不是非揮發性(但不是隨機可存取的且具有低密度、高生產成本及有限的能以電路的功能之高可靠性進行多次寫入)就是揮發性(且具有複雜的系統設計或具有低密度)。理想的非揮發性記憶體(對於至少一些目的)為可致能多次資訊狀態的非揮發性儲存之記憶體，其中記憶體單元可被選擇地啟動及正確地程式化至資訊狀態。

### 【發明內容】

本發明提供包括可縮放的閃鎖電路、非揮發性記憶體及操作電路，其係基於奈米織物材料及可縮放的非揮發性奈米管開關。

根據本發明之一態樣，提供一種非揮發性閃鎖電路，包含：至少一輸入端，能夠輸入一邏輯狀態；一輸出端，能夠輸出一邏輯狀態；一奈米管切換元件，包含設置於兩個導體接點之間的一奈米管織物物件，該奈米管織物物件係電氣連接該等兩個導體接點，其中該奈米管切換元件能夠在一相對低電阻狀態及一相對高電阻狀態之間切換，其中，該奈米管切換元件能夠非揮發性地保持在該相對低或該相對高電阻狀態；一依電性閃鎖電路，包含電氣地設置於該輸入端及該奈米管切換元件之間的至少一半導體的元件，該半導體的元件能夠接收及依電性地儲存一邏輯狀態，該邏輯狀態係輸入至該輸入端；其中，當該奈米管切換元件係處於該相對低電阻狀態時，該依電性閃鎖電路保持一第一邏輯狀態並在該輸

出端輸出該第一邏輯狀態，且其中，當該奈米管切換元件係處於該相對高電阻狀態時，該依電性閃鎖電路保持一第二邏輯狀態，該第二邏輯狀態係在該輸出端輸出。

5 在本發明之一實施例中，電子閃鎖電路包含一反相器電路，該反相器電路包含複數個場效電晶體。

在本發明之另一實施例中，該奈米管切換元件能夠在該相對低電阻狀態及該相對高電阻狀態之間切換數次。

10 在本發明之另一實施例中，該電子閃鎖電路將該奈米管切換元件之該相對低電阻狀態轉換至一相對高的電壓位準，其對應至在該輸出端輸出的該第一邏輯狀態，且其中，該電子閃鎖電路將該奈米管切換元件之該相對高電阻狀態轉換至一相對低的電壓位準，其對應至在該輸出端輸出的該第二邏輯狀態。

15 在本發明之另一實施例中，該非揮發性閃鎖電路係電氣連接一記憶體單元。當該非揮發性閃鎖電路輸出該第一邏輯狀態時，該記憶體單元為有效的，且當該非揮發性閃鎖電路輸出該第二邏輯狀態時，該記憶體單元為無效的。

20 在本發明之另一實施例中，該非揮發性閃鎖電路包含用於該記憶體單元之一冗餘電路，且能夠在該記憶體單元為不可操作時，繞過該記憶體單元。

在本發明之另一實施例中，該非揮發性閃鎖電路係電氣連接一記憶體單元，該記憶體單元能夠儲存第一及第二記憶體狀態。該第一記憶體狀態係被輸入至該輸入端作為一第一

邏輯狀態，且係藉由該非揮發性閃鎖電路而被非揮發性地保持及輸出作為該第一邏輯狀態。該第二記憶體狀態係被輸入至該輸入端作為一第二邏輯狀態，且係藉由該非揮發性閃鎖電路而被非揮發性地保持及輸出作為該第二邏輯狀態。

5 在本發明之另一實施例中，該非揮發性閃鎖電路包含用於該記憶體單元之一冗餘電路，且能夠非揮發性地保持分別對應至該第一及該第二記憶體狀態之該第一及第二邏輯狀態。

10 在本發明之另一實施例中，該記憶體單元包含於一NRAM陣列之記憶體單元。

在本發明之另一實施例中，非揮發性地保持分別該第一及第二邏輯狀態之其中一者包含：修正該記憶體單元中的一錯誤。

15 在本發明之另一實施例中，該非揮發性閃鎖電路係電氣連接一記憶體單元，其中，在該輸入端輸入的電刺激包含一依時間變化的電刺激，其中，在該輸出端輸出的電刺激包含一依時間變化的電刺激，且其中，藉由在該輸入端及該輸出端的該依時間變化的電刺激之間產生一可控制的延遲，該非揮發性閃鎖電路控制該記憶體電路的操作。

20 在本發明之另一實施例中，該非揮發性閃鎖電路產生一可控制的延遲包含：提供具有一實質地選定的上升時間及一實質地選定的下降時間之一實質地雙模訊號。

在本發明之另一實施例中，該奈米管切換元件包含一可

程式化一次的熔絲，該可程式化一次的熔絲能夠僅從該相對低電阻狀態切換至該相對高電阻狀態。

5 根據本發明之另一態樣，提供一種用於與複數個非揮發性暫存器檔案一起使用之非揮發性暫存器檔案組態電路，包含：一輸入電壓端；選擇電路；複數個奈米管熔絲元件，與該輸入電壓端電氣連接，每一奈米管熔絲元件與該複數個非揮發性暫存器檔案之其中一者電氣連接，每一奈米管熔絲元件與該選擇電路電氣連接；其中，每一奈米管熔絲元件包含：一奈米管織物物件及兩個導體接點，該奈米管織物物件係設置於該等兩個導體接點之間，該奈米管織物物件係電氣連接該等兩個導體接點；其中，因應電刺激，該奈米管熔絲元件能夠從一開啟狀態切換至一關閉狀態，該開啟狀態對應至該第一及第二端之一相對低電阻，而該關閉狀態對應至該等兩個導體接點之間的相對低電阻；其中，當該奈米管熔絲元件處於該開啟狀態時，對應的非揮發性暫存器檔案為有效的且在該輸入電壓端對電刺激有反應，且其中，當該奈米管熔絲元件處於該關閉狀態時，對應的非揮發性暫存器檔案為無效的且在該輸入電壓端對電刺激沒有反應；其中，該選擇電路能夠施加電刺激至所選定的奈米管熔絲元件之每一個，以選擇性地繞過該對應的暫存器檔案。

10 在本發明之另一實施例中，因應一暫存器檔案為有缺陷的，該選擇電路選擇性地繞過該暫存器檔案。

15 在本發明之另一實施例中，當該等複數個奈米管熔絲元件之其中一者處於該開啟狀態時，該對應的非揮發性暫存器

檔案能夠因應於該輸入電壓端的電刺激，而與複數個資訊狀態操作。

在本發明之另一實施例中，該奈米管熔絲元件為可程式化一次的奈米管熔絲元件。

5 根據本發明之另一態樣，提供一種非揮發性記憶體，包含：一位元線；一字線；至少一非揮發性記憶體單元，每一非揮發性記憶體單元具有：一兩端奈米管切換裝置，包含第一及第二導體端以及設置於該第一及第二導體端之間的一奈米管織物物件，該奈米管織物物件係電氣連接該第一及第二導體端；一記憶體單元選擇電路，與該位元線及該字線電氣連接，以因應該位元線及該字線之其中至少一者的啟動，而選擇該兩端奈米管切換裝置進行讀取及寫入操作；寫入控制電路，對一控制訊號有反應，用以供應寫入訊號至一選定的記憶體單元，以對該奈米管織物物件之電阻感應一變化，其中，該奈米管織物物件之電阻的值對應至該記憶體單元的一資訊狀態；電阻感測電路，與一選定的非揮發性記憶體單元電氣連接，用以感測該奈米管織物物件之電阻及提供該控制訊號至該寫入控制電路；及讀取電路，與一選定的非揮發性記憶體單元電氣連接，用以讀取該記憶體單元之對應的資訊狀態。

10

15

20

在本發明之另一實施例中，該奈米管切換裝置的第一導體端係與該記憶體單元選擇電路電氣連接，且該奈米管切換裝置的第二導體端係與一參考電壓線電氣連接。

在本發明之另一實施例中，該寫入控制電路係與該位元



線及該字線電氣連接。

在本發明之另一實施例中，該奈米管切換裝置的第一導體端接收由該寫入控制電路供應的該等寫入訊號，而該奈米管切換裝置的第二導體端係與該字線及該位元線之其中至少一者電氣連接。

在本發明之另一實施例中，供應寫入訊號包含：供應具有一選定的電壓之一電刺激。

在本發明之另一實施例中，供應寫入訊號包含：供應具有一選定的電流之一電刺激。

在本發明之另一實施例中，該奈米管切換元件更包含第一及第二絕緣體區域，該第一及第二絕緣體區域係設置於該奈米管織物物件之實質相反側。

在本發明之另一實施例中，該第一及第二絕緣體區域之其中至少一者包含一電介質材料。

在本發明之另一實施例中，藉由一間隙，該奈米管織物物件的至少一部份係與該第一及第二絕緣體區域之其中一者的至少一部份間隔開。

在本發明之另一實施例中，該記憶體單元的資訊狀態能夠被程式化及刪除數次。

在本發明之另一實施例中，該寫入控制電路包含用以寫入至少三個寫入訊號的電路，該等至少三個寫入訊號之每一個能夠感應該奈米管織物物件中之對應的電阻值之一訊號，該電阻值係不同於對應至其他寫入訊號的電阻值。

在本發明之另一實施例中，由該等至少三個寫入訊號所感應之對應的電阻值包含數個低電阻值及一個高電阻值。

在本發明之另一實施例中，該等數個低電阻值係在約 1 kilo-Ohm 至約 1 mega-Ohm 的範圍中，且其中，該高電阻值係至少 100 mega-Ohms。

在本發明之另一實施例中，該寫入控制電路包含用以寫入四個寫入訊號的電路，使得該記憶體單元能夠儲存第一資訊狀態、第二資訊狀態、第三資訊狀態、第四資訊狀態之其中一者。

在本發明之另一實施例中，該電阻感測電路包含反饋電路，該反饋電路與該選定的非揮發性記憶體單元電氣連接且具有一參考電阻值，該反饋電路能夠：比較該選定的非揮發性記憶體單元之奈米管織物物件的電阻與該參考電阻值，及選擇性地阻擋寫入訊號至該選定的非揮發性記憶體單元。

在本發明之另一實施例中，該奈米管織物物件之電阻的值係選自一相對低電阻值及一相對高電阻值之其中一者。

在本發明之另一實施例中，該相對低電阻值對應至一第一資訊狀態，而該相對高電阻值對應至一第二資訊狀態。

在本發明之另一實施例中，供應寫入訊號包含：供應複數個連續的、於選定的間隔遞增地改變的電壓脈衝。

在本發明之另一實施例中，在該寫入控制電路供應各電壓脈衝之後，該反饋電路感測該奈米管織物物件的電阻並比較該奈米管織物物件的電阻與該參考電阻值。

在本發明之另一實施例中，該非揮發性記憶體能夠進行一第一寫入操作，其中，該電壓脈衝被施加，直到該反饋電路感測到該奈米管織物物件的電阻為一相對低電阻值，並選擇性地阻擋寫入訊號。

5 在本發明之另一實施例中，該非揮發性記憶體能夠進行一第二寫入操作，其中，直到該反饋電路感測到該奈米管織物物件的電阻為一相對高電阻值並選擇性地阻擋寫入訊號，該電壓脈衝才被施加。

10 在本發明之另一實施例中，該奈米管切換元件包含一可程式一次的奈米管熔絲，該奈米管織物物件能夠僅從該相對低電阻狀態切換至該相對高電阻狀態。

在本發明之另一實施例中，該寫入控制電路從一範圍的電阻值中選擇該參考電阻值。

15 在本發明之另一實施例中，當該奈米管切換物件之電阻值係約等於該參考電阻值時，該反饋電路選擇性地將於該位元線上至該選定的非揮發性記憶體單元之奈米管切換裝置的寫入訊號阻擋。

20 在本發明之另一實施例中，該讀取電路包含一感測放大器電路，且該電阻感測電路係與該感測放大器電路電氣連接；及其中，該電阻感測電路對該感測放大器電路有反應，以提供該控制訊號至該寫入控制電路，以使該寫入控制電路選擇性地停止供應寫入訊號至該選定的非揮發性記憶體單元。

在本發明之另一實施例中，由該感測放大器電路提供至該電阻感測電路的控制訊號，使該寫入控制電路選擇性地停止感應該奈米管織物物件的電阻之一變化。

5 在本發明之另一實施例中，該奈米管織物物件之電阻的值係選自包含數個低電阻值及一相對高電阻值的複數個電阻值之其中一者。

在本發明之另一實施例中，供應寫入訊號包含：供應複數個連續的、於選定的間隔遞增地改變的電壓脈衝。

10 在本發明之另一實施例中，在該寫入控制電路供應各電壓脈衝之後，該感測放大器電路偵測該奈米管織物物件之電阻的值。

15 在本發明之另一實施例中，該非揮發性記憶體能夠進行一第一寫入操作，其中，該等電壓脈衝被供應至該選定的非揮發性記憶體單元，直到該感測放大器電路偵測到該等數個低電阻值之至少其中一者。

20 在本發明之另一實施例中，當該感測放大器電路於該選定的記憶體單元中偵測到數個低電阻值之其中至少一者時，該電阻感測電路對該感測放大器電路有反應，以使該寫入控制電路選擇性地停止寫入該選定的記憶體單元之資訊狀態。

在本發明之另一實施例中，該非揮發性記憶體能夠進行一第二寫入操作，其中，該等電壓脈衝被供應至該選定的非揮發性記憶體單元，直到偵測到該相對高電阻。

在本發明之另一實施例中，當該感測放大器電路於該選定的非揮發性記憶體單元中偵測到該相對高電阻值時，該電阻感測電路對該感測放大器電路有反應，以使該寫入控制電路選擇性地停止寫入該選定的記憶體單元之資訊狀態。

5 在本發明之另一實施例中，該奈米管切換元件包含一可程式化一次的奈米管熔絲，該可程式化一次的奈米管熔絲具有一奈米管織物物件，該可程式化一次的熔絲能夠僅從一第一電阻值切換至一第二電阻值。

## 10 【實施方式】

### 非揮發性暫存器檔案(*Nonvolatile Register File*)

本發明提供基於奈米織物材料之可縮放的閘鎖電路及記憶體單元、及可縮放的非揮發性奈米管開關。

15 本發明亦提供非揮發性暫存器檔案，更詳而言之，藉由從較大的集合(set)(其包含供良率提升目的之冗餘級)選擇較小的子集的個別非揮發性暫存器檔案來形成之非揮發性暫存器檔案。

20 本發明亦提供高速非同步邏輯及同步邏輯及記憶體電路，其中時間時序及訊號時序使用新的基於奈米織物材料之可縮放的閘鎖電路來改良，及可縮放的非揮發性奈米管開關供較高良率的較高效能。

通常期望熔絲閘鎖電路能夠儲存表示對應的熔絲(或反熔絲)之邏輯狀態的邏輯狀態，使得當閘鎖係連接至其他電

路時，其可提供程式化資訊予其他電子電路，例如對於冗餘記憶體元件之位址再分配、操作模式組態，以儲存關於例如製造日期或其他條件之追蹤碼(tracking code)。一個此種門鎖應用係用於非揮發性暫存器檔案之良率提升的領域。

5 圖 1A 顯示一連串 N 級之非揮發性暫存器檔案 10，具有 N 個重複且基本上相同的個別非揮發性級，從級 1 開始而至級 N 結束。非揮發性暫存器檔案於美國專利申請第 11/280,599 號有更詳細的說明。

10 資料輸入 DI 係供應至 NV 暫存器檔案級 1 之輸入。級 1 之資料輸出驅動 NV 暫存器檔案級 2 之資料輸入，以此類推，直到 NV 暫存器檔案級 N-1 之輸出驅動 NV 暫存器檔案級 N 之輸入。NV 暫存器檔案級 N 之輸出提供資料輸出 DO。

15 非揮發性暫存器檔案 10 以供應至每一級的暫存器檔案 10 之時脈 CLK 操作於同步模式。每一級的非揮發性暫存器檔案 10 包含揮發性主門鎖，其包含非揮發性從門鎖，其中該非揮發性從門鎖包含一揮發性門鎖及相對應耦接的非揮發性奈米管開關，當電源被移除或喪失時，該非揮發性奈米管開關用以在非揮發性模式中儲存門鎖邏輯狀態。在恢復暫存器檔案 10 操作之前，在電源被移除或喪失時之邏輯狀態  
20 被儲存。暫存器檔案 10 以全速(full speed)及對應至選擇的技術節點之電壓位準  $V_{DD}$  操作於一般揮發性模式。 $V_{DD}$  可為例如 1.5 至 2.5 伏特。時脈頻率可為例如 1 至 10GHz 範圍或更多。

若包含非揮發性暫存器檔案之晶片的一部份將失去電

源供應(移除或喪失電源供應)，則來自每一級的非揮發性暫存器檔案 10 之揮發性部分的資料(邏輯狀態)可被轉移至非揮發性奈米管開關，如美國專利申請案第 11/280,599 號所述。時脈 CLK 停止，則操作模式脈衝被使用以恰好在電源關閉之前，儲存每一門鎖的狀態於對應的非揮發性奈米管開關。接著，電源可從非揮發性暫存器檔案 10 及關聯的邏輯及記憶體電路移除。

若一般暫存器檔案 10 操作將被恢復，則該晶片的已失去電源供應之部分或整個晶片(若所有電源被移除或喪失)接著再被供應電源。接著，操作模式脈衝可被用以將每一非揮發性奈米管開關的資料(邏輯狀態)轉移至其對應的非揮發性暫存器檔案 10 之非揮發性暫存器檔案級，如美國專利申請案第 11/280,599 號所述。接著，時脈 CLK 開始且高速操作開始。程式化模式例如抹除、程式化、及讀取係說明於美國專利申請案第 11/280,599 號。非揮發性奈米管開關製造、集成為半導體製程、電氣特性、及操作模式及操作條件係描述於美國專利申請案第 11/280,786 號。

### ***非揮發性暫存器檔案級電路(Nonvolatile Register File Stage Circuit)***

圖 1B 顯示說明於美國專利申請案第 11/280,599 號之非揮發性暫存器檔案級電路 15 之實施例，其對應至圖 1A 中非揮發性暫存器檔案級 1...N 之其中任一者。美國專利申請案第 11/280,599 號說明各種非揮發性暫存器檔案級電路，一些

具有藉由耦接電路耦接至非揮發性奈米管開關之暫存器檔案級電路，其他具有直接耦接至非揮發性奈米管開關之暫存器檔案級電路。於此範例，暫存器檔案級電路 1102 係藉由電路 1108 耦接至非揮發性奈米管開關 1110。

5           非揮發性暫存器檔案級電路 15 具有兩個操作模式，一般運行模式及零電源邏輯狀態(或資料狀態)非揮發性保留模式(其中電源會中斷)。來自暫存器檔案級電路 1102 之一級的揮發性主門鎖級電路 1104 及揮發性從門鎖級電路 1106 亦可稱為 LSSD 暫存器級(LSSD register stage)。

10           如圖 1B 所示，揮發性主門鎖級電路 1104 之輸入節點 1115 接收資料輸入訊號 DI 並驅動 CMOS 轉換閘極 1130，其係連接至儲存節點 1135 並藉由交叉耦接的 CMOS 反相器 1145 及 1150 來驅動儲存節點 1135。CMOS 轉換閘極 1130 使用 NMOS 及 PMOS 裝置兩者代替只有 NMOS 的轉換閘極，以藉由消除裝置臨限電壓降來確保全電源供應及接地電壓位準間之邏輯”1”及邏輯”0”狀態轉變。時脈 CLK 1140 及輔助時脈 CLKb 1140' 係使用以藉由導通(ON)或關斷(OFF) CMOS 轉換閘極 1130，而致能或阻擋於輸入節點 1115 之輸入訊號 DI 驅動儲存節點 1135，從而決定交叉耦接的 CMOS  
15           反相器 1145 及 1150 之邏輯儲存狀態。應注意，除非特別指明，所顯示的反相器皆為 CMOS 反相器。CMOS 反相器包含連接至電源供應之 PMOS 上拉(pull-up)裝置及連接至接地之 NMOS 下拉(pull-down)裝置，CMOS 反相器的操作係說明於 H.B. Bakoglu, “Circuits, Interconnections, and Packaging for  
20



VLSI”, Addison-Wesley Publishing Company, Inc, 1990, pp. 152, 其全部內容係併入於此作為參考。交叉耦接的 CMOS 反相器 1145 及 1150 驅動連接至 CMOS 轉換閘極 1160 之儲存節點 1155。時脈 CLK 及輔助時脈 CLKb 係使用以藉由導通(ON)或關斷(OFF) CMOS 轉換閘極 1160, 而致能或阻擋於儲存的邏輯狀態節點 1155 之輸入訊號 DI 驅動從閘鎖級電路 1106 輸入節點 1120。

如圖 1B 所示, 揮發性從閘鎖級電路 1106 之輸入節點 1120(其亦為主閘鎖級電路 1104 之輸出節點)驅動反相器 1170。反相器 1170 之輸出為於輸出節點 1125 之資料輸出訊號 DO, 且亦驅動反相器 1175 之輸入。反相器 1170 之輸出 1180 係連接至 CMOS 轉換閘極 1185。時脈 CLK 及輔助時脈 CLKb 係使用以致能或阻擋反饋迴圈(feedback loop)的存在, 其當被致能時, 係交叉耦接反相器 1170 及 1175。對於 130nm CMOS 技術節點, 於一般高速操作期間, 時脈 CLK 係於例如 3GHz 之高速的時脈率切換。反相器 1190 產生輔助 CLKb 或輔助 RESTORE ENABLE。當儲存資料時, CMOS 轉換閘極 1185 為 ON 且反相器 1170 及 1175 形成其節點 1120 運作為一儲存節點之交叉耦接的儲存裝置。當 CMOS 轉換閘極 1185 為 OFF, 則反相器 1170 及 1175 沒有交叉耦接且沒有形成一儲存裝置。從閘鎖儲存電路 1106 係藉由耦接電路 1108 而耦接至非揮發性奈米管開關 1110。

如圖 1B 所示, 非揮發性奈米管開關 1110 係連接至電源供應電壓  $V_{EPR}$ , 其供應對應至使用耦接電路 1108 所選擇的

操作模式之一抹除電壓脈衝(或複數個脈衝)。非揮發性奈米管開關 1110 亦使用電氣連接 1114 而連接至耦接電路 1108 的節點 1116。耦接電路 1108 係連接至揮發性從門鎖級電路 1106，其中分別連接至節點 1180 及 1125 之電氣連接 1119 及 1329 係使用於程式化模式，而電氣連接 1118 係使用於恢復模式。

如圖 1B 所示，耦接電路 1108 包含抹除功能。抹除電路包含 NMOS 電晶體 1320，其汲極連接至共同節點 1317、源極連接至接地、輸入閘極連接至抹除致能脈衝。於抹除操作期間，電晶體 1342 藉由於零伏特之一程式化致能脈衝而被啟動，而共同節點 1317 係連接至共同節點 1116，其係連接至非揮發性奈米管開關 1110，以致能抹除操作。

如圖 1B 所示，耦接電路 1108 亦包含程式化功能，包含 PMOS 電晶體 1343，其汲極連接至共同節點 1116、源極連接至共同節點 1350、輸入閘極連接至抹除致能脈衝。於抹除操作期間，電晶體 1342 藉由於零伏特之一程式化致能脈衝而被啟動，而閘極連接至反相器 1330 之輸出，反相器 1330 之輸出係連接至程式化致能輸入。共同節點 1350 係連接至形成高電壓轉換電路 1360' 之交叉耦接 NMOS 電晶體 1325 及 1325' 及 PMOS 電晶體 1327 及 1327'。NMOS 電晶體 1325 及 1325' 之源極係連接至接地，而 PMOS 電晶體 1327 及 1327' 之源極係連接至程式化電壓  $V_{\text{PROG}}$ 。輔助輸入 1119 及 1329 係分別連接至高電壓轉換電路 1360' 輸入 NMOS 電晶體 1325 及 NMOS 1325'，使得高電壓轉換電路 1360' 之邏輯狀態對應

至揮發性從門鎖級 1106 之狀態。 $V_{\text{PROG}}$  電壓可比揮發性從門鎖級電壓電路 1106 高很多。程式化電壓係透過 PMOS 電晶體 1327 被施加至共同節點 1350，其接著透過 PMOS 電晶體 1343 被施加至共同節點 1116 及非揮發性奈米管開關 1110。若共同節點 1350 係藉由 NMOS 電晶體 1325 而保持在接地，則沒有程式化電壓被施加至共同節點 1350，且非揮發性奈米管開關 1110 沒有被程式化。

如圖 1B 所示，耦接電路 1108 亦包含恢復功能，包含 PMOS 電晶體 1365，其源極連接至  $V_{\text{DD}}$ 、汲極係藉由連接器 1118 連接至揮發性從門鎖級電路 1106 輸入 1120。恢復操作期間，PMOS 電晶體 1365 係使用以預先充電(pre-charge)輸入節點 120 至  $V_{\text{DD}}$ ，接著被關斷成 OFF。NMOS 電晶體 1370 具有藉由連接器 1118 連接至輸入 1120 之源極、連接至共同節點 1317 之汲極、連接至恢復致能輸入之閘極。NMOS 電晶體 1342 於恢復操作期間為 ON 狀態且透過非揮發性奈米管開關 1110 來提供輸入節點共同節點 1317 及  $V_{\text{EPR}}$  之放電路徑。 $V_{\text{EPR}}$  於恢復操作期間為零伏特。當電晶體 1370 藉由恢復致能輸入而啟動時，若非揮發性奈米管開關 1110 為 ON，則輸入節點 1120 被放電；若非揮發性奈米管開關 1110 為 OFF，則輸入節點 1120 保持在  $V_{\text{DD}}$ 。揮發性從門鎖級電路 1106 之狀態被恢復成對應至非揮發性奈米管開關 1110 的非揮發性狀態之狀態。

當於一般運行模式時，耦接電路 1108 為不活動的，而非揮發性奈米管開關 1110 沒有從  $V_{\text{EPR}}$  供給電源，且亦從揮

5 發性從門鎖級電路 1106 解耦(decoupled)。因此，揮發性主門鎖級電路 1104 及揮發性從門鎖級電路 1106 以高速時脈率(對於使用 130nm 技術節點所製成的邏輯產品，典型為 3GHz， $V_{DD}=1.3$  伏特)，而操作於一般(傳統)同步的邏輯主/從暫存器運行模式。

於一般運行模式，在時脈週期的一開始，時脈 CLK 1140 從高電壓轉換至低電壓並在時脈週期的前半段保持低電壓，而輔助時脈 CLKb 1140' 從低電壓轉換至高電壓並在時脈週期的前半段保持高電壓。CMOS 轉換裝置 1130 導通耦接輸入節點 1115 電壓  $V_{IN}$  至儲存節點 1135。CMOS 轉換裝置 1160 關斷並將揮發性主門鎖級電路 1104 之輸出隔離揮發性從門鎖級電路 1106 之輸入節點 1120。於一般運行模式，時脈 CLK 係連接至揮發性從門鎖級電路 1106 之模式輸入 1192，時脈 CLK 係連接至 CMOS 轉換裝置 1185，而反相器 1190 之輔助時脈 CLKb 輸出亦連接至 CMOS 轉換裝置 1185，使得 CMOS 轉換裝置亦關斷打斷反相器 1175 之輸出 1180 及反相器 1170 之輸入 1120 間的反饋路徑，使得節點 1120 沒有運作為儲存節點。DI 訊號可在時脈週期的前半段之結束前的任何時間轉換成對應至正確邏輯狀態之電壓值，提供足夠剩餘時間供交叉耦接的反相器 1145 與 1150 以在時脈週期的後半段開始時的時脈轉換之前儲存對應的邏輯狀態於儲存節點 1155。

於一般運行模式，時脈 CLK 1140 從高轉換至低電壓且在時脈週期的後半段開始時保持於高電壓，而輔助時脈

CLKb 1140'從高轉換至低電壓且在時脈週期的後半段保持於低電壓。CMOS 轉換裝置 1130 從儲存節點 1135 關斷解耦輸入節點 1115 輸入訊號 DI，其保持於對應至於時脈週期前半段之結束時的輸入訊號 DI 之狀態，而儲存節點 1155 保持於與儲存節點 1135 互補的輔助狀態。CMOS 轉換裝置 1160 導通並轉換儲存節點 1155 之狀態成反相器 1170 的輸入節點 1120，其驅動輸出節點 1125 至資料輸出訊號 DO，且亦驅動反相器 1175 的輸入。於一般運行模式，時脈 CLK 係連接至揮發性從門鎖級電路之模式輸入 1192，時脈 CLK 係連接至 CMOS 轉換裝置 1185，反相器 1190 之輔助時脈 CLKb 輸出亦連接至 CMOS 轉換裝置 1185，使得 CMOS 轉換裝置亦導通，形成反相器 1175 之輸出 1180 與反相器 1170 之輸入 1120 間之反饋路徑，使得節點 1120 運作為儲存節點。藉由 CMOS 轉換裝置 1185 導通，反相器 1175 的輸入 1180 驅動反相器 1170 的輸入並儲存從門鎖狀態級電路的狀態，直到時脈的第二級之結束。

當於零電源邏輯狀態(或資料)非揮發性保留模式，耦接電路 1108 為不活動的，非揮發性奈米管開關 1110 沒有從  $V_{EPR}$  供給電源，且亦從揮發性從門鎖級電路 1106 解耦 (decoupled)。揮發性主門鎖級電路 1104 及揮發性從門鎖級電路 1106 電源供應係於零伏特。

操作中，當從一般運行模式轉換到零電源非揮發性保留模式時，耦接電路 1108 在電源被關斷之前，將邏輯狀態從揮發性從門鎖級電路 1106 轉換成非揮發性奈米管開關

1110。當電源保持 ON 時，時脈 CLK 停止於低電壓狀態，而輔助時脈 CLKb 於高電壓狀態，其中高電壓狀態係於  $V_{DD}$  (例如 1.3 至 2.5 伏特) 且低電壓狀態係於零伏特。若非揮發性奈米管開關 1110 尚未被抹除，且因此儲存先前的邏輯狀態，則耦接電路 1108 執行一抹除操作，隨後執行一程式化操作。若非揮發性奈米管開關 1110 處於被抹除的狀態，則程式化模式被使用耦接電路 1108 而啟動。

於抹除操作期間，程式化致能輸入電壓係於零伏特，而電晶體 1342 係藉由反相器 1330 的輸出而保持於 ON 狀態。抹除致能脈衝從零伏特轉換至  $V_{DD}$  (例如 1.3 至 2.5 伏特)，將電晶體 1320 導通且透過如圖 1B 所示的 ON 電晶體 1342 及 1320 提供節點 1116 與接地間的導電路徑。藉由於零伏特的程式化致能電壓，電晶體 1343 係藉由反相器 1330 的輸出保持於 OFF 狀態。恢復致能電壓係於零伏特且電晶體 1370 為 OFF，而恢復預充電電壓係於  $V_{DD}$  且電晶體 1365 為 OFF，輸入 1220 被隔離，使得揮發性從閃鎖級電路 1106 的狀態在節點 1120 未被擾亂。強度  $V_E$  的  $V_{ER}$  抹除電壓脈衝被供應至非揮發性奈米管開關 1110 端點，其中  $V_E$  可在例如 5 至 10 伏特的範圍內。串聯的電晶體 1342 及 1320 的電阻比非揮發性奈米管開關 1110 的電阻小非常多，即使開關 1110 係於 ON 狀態。若開關 1110 係於 ON 狀態，則電流從節點 1112 經過開關 1110 及電氣連接 1114 與 ON 電晶體 1342 及 1320 的通道至接地，而非揮發性奈米管開關 1110 被切換至 OFF (抹除的) 狀態。若開關 1110 係於 OFF 狀態，則其保持 OFF (抹除

的)狀態。應注意的是，非揮發性奈米管開關 1110 可在程式化之前的任何時間被抹除。若開關 1110 已知將於抹除的狀態，則程式化可立即地開始。根據本發明特定實施例之抹除刺激係於美國專利申請案第 11/280,786 號有更詳細的說明。

5           應注意的事，於抹除操作期間，電晶體 1370、1365、及 1343 皆為 OFF，將非揮發性奈米管開關 1110 隔離了揮發性從門鎖級電路 1106。因此，抹除操作可在一般運行模式其間的任何時間被執行，而不影響揮發性從門鎖級電路 1106 的效能，且可因此清楚地根據該裝置的邏輯操作而被執行。

10           個別的非揮發性奈米管開關之實驗測試說明了非揮發性奈米管開關(例如圖 1B 所示的開關 1110 及圖 9 的非揮發性奈米管開關)已被循環超過 50 百萬次，如圖 1C 圖形 16 所示。對於導電及不導電狀態間之電阻值的分隔超過五階(five orders)的強度而言，導電狀態電阻典型在 10kOhms 至  
15 50kOhms 的範圍內，不導電狀態電阻典型超過 1GOhm。

          非揮發性奈米管開關的良率取決於所需 ON/OFF 週期的數量。對於 1/2 週期(導電至不導電)，良率接近 100%。達成千或百萬週期取決於奈米織物的品質、整體處理、保護(passivation)、及其他因素。於早期階段的技術，使用冗餘確  
20 保足夠的非揮發性暫存器檔案良率具有優勢。

### *非揮發性暫存器檔案的限制(Limitations of Nonvolatile Register files)*

鑒於半導體工業追求更高的效能同時管理電源消耗(如美國專利申請案第 11/280,599 號所述)，可導入新的裝置(例如非揮發性奈米管開關)以提供更大的彈性。此等新的裝置藉由增加額外的冗餘功能及繞過有缺陷的非揮發性暫存器檔案 10 個別級之手段，在製造的前幾年會需要良率提升，直到良率學習足以降低或消除此冗餘功能的需要。

對於圖 1A 所示之非揮發性暫存器檔案 10，期望的良好級之數量為  $N$ ，例如 256 位元。可加入額外的  $M$  級，例如  $M=116$  位元，使得可用的級的總數量  $N+M$  為 372。選擇手段可被用以繞過有缺陷的暫存器，使得總共 372 個可用的級中的 256 個暫存器級可被用以形成功能上等效於非揮發性暫存器檔案 10 之非揮發性暫存器檔案。

選擇手段可包含傳統熔絲閘鎖裝置(例如雷射熔絲)，例如美國專利第 5,345,110 號，其全部內容係併入於此作為參考。選擇手段可包含具有多個熔絲(及反熔絲)類型的熔絲閘鎖，例如 Bertin et al. 之美國專利第 6,570,802 號，其全部內容係併入於此作為參考。其他選擇手段可包含具有實質較高電阻跳脫點(trip point)之熔絲閘鎖，其範圍在  $100\text{K}\Omega$  內，如美國專利第 6,570,802 號所述。此等閘鎖調節熔絲，其 ON 電阻範圍在例如  $10\text{K}\Omega$  (或更低)至  $50\text{K}\Omega$ ，而 OFF(程式化或燒斷)電阻範圍超過  $1\text{M}\Omega$ ，且非常適合用於以新的非揮發性熔絲類型(例如非揮發性奈米管開關，其電氣特性說明於美國專利申請案第 11/280,786 號)取代傳統使用金屬或多晶矽材料的熔絲類型。傳統熔絲閘鎖典型為



OTP(one-time-programmable)。使用新的非揮發性奈米管開關之閃鎖可運作於 OTP 模式，或可被程式化及抹除例如幾千次。

5 其他選擇手段可包含非揮發性冗餘暫存器檔案，非揮發性暫存器檔案 10 的一個修改版本係顯示於圖 1，其可被使用以識別良好的非揮發性暫存器檔案級。

10 使用以包含或繞過個別非揮發性暫存器檔案級之操縱電路(steering circuit)(藉由傳統或新的熔絲閃鎖之狀態或藉由非揮發性冗餘暫存器檔案級來控制)係被包含於修改的非揮發性暫存器檔案 10 之每一閃鎖級，詳述於後文。

### ***揮發性主及從閃鎖級的最佳效能(Optimizing Performance of Volatile Master and Slave Latch Stages)***

15 上述之非揮發性暫存器檔案包含高速揮發性暫存器(典型每一級包含一主及從閃鎖)及例如耦接至每一從閃鎖之一非揮發性奈米管開關(NV NT Switch)。NV NT Switch 可直接地耦接至從閃鎖，或可使用耦接電路來耦接。除了上述之最佳化非揮發性暫存器檔案閃鎖的非揮發性操作之良率以外，亦需要最佳化揮發性暫存器的高速效能。同樣的，並非  
20 所有的暫存器檔案需要為非揮發性的。然而，暫存器檔案需要高速(高時脈速度)同步操作。

於高時脈速度，例如超過 1GHz，暫存器閃鎖之良率可降低，由於裝置參數變化導致邏輯延遲變化或快取(cache)延

遲變化。此參數變化可發生於製造期間的批次與批次間 (lot-to-lot)，且亦在現場使用 (field use) 的情況下 (由裝置參數飄移 (drift) 所造成) 改變。例如，同步 CPU 及板上快取 (on-board cache) 需要例如 170ps 的快取存取時間，以確保從快取讀出的資料會在 CPU 端點一時脈週期時 (在啟動 CPU 資料請求之後) 準備好。

期望能提供非揮發性的可縮放的元件，其可被使用作為熔絲、或反熔絲、或熔絲及反熔絲兩者、或能在 ON 及 OFF 狀態間切換多次的元件、及對應的門鎖電路。以延遲控制電路集成此門鎖電路可被使用以最佳化製造時之時序 (調整關鍵時序路徑) 且在現場中最佳化較高良率與提升的可靠度之效能。

### 具有冗餘級之非揮發性暫存器檔案 (Nonvolatile Register File with Redundant Stages)

圖 2 說明  $N+M$  級之非揮發性暫存器檔案 20，具有  $N+M$  重複的個別非揮發性級，從級 22-1 (非揮發性暫存器檔案級 1) 開始而結束於級 22-( $N+M$ ) (非揮發性暫存器檔案級  $N+M$ )。級 22-1 至 22-( $N+M$ ) 中的每一個係實質相同，且亦實質相同於揮發性暫存器檔案 10 (圖 1) 中 NV 暫存器檔案級 1 至 NV 暫存器檔案級  $N$  中的每一個。級 1 至  $N+M$  中的  $N$  級之任何子集合可被使用以形成具有  $N$  級之非揮發性暫存器檔案 20。

開關 SW1 至 SW( $N+M$ ) 係使用作為兩輸入一輸出多工器

(mux's)，以當形成非揮發性暫存器檔案 20 之 N 級時，選擇 (包含) 或去選擇 (繞過) 任何級 22-1 至 22-(N+M)。每一非揮發性暫存器檔案級具有對應的開關。例如，級 22-1 之輸出相當於至開關 SW1 之對應的第一輸入，而至級 22-1 之輸入 DI 亦繞過級 22-1 並直接相當於至開關 SW1 之第二輸入。開關 SW1 之輸出可為級 22-1 的輸出，或至級 22-1 之輸入 DI (若級 22-1 被繞過)。當形成非揮發性暫存器檔案 20 時，選擇訊號 S1 判定是否選擇或繞過級 22-1。

對於任何級 22-1 至 22-(N+M) 間的級 22-K，級 22-K 的輸出相當於至開關 SWK 之對應的第一輸入；至級 22-K 的輸入 (其為開關 SW(K-1) 的輸出) 亦繞過級 22-K 且直接相當於至開關 SWK 的第二輸入。開關 SWK 的輸出可為級 22-K 的輸出，或至級 22-K 的輸入，從而繞過級 22-K。當形成非揮發性暫存器檔案 20 時，選擇訊號 SK 判定是否選擇或繞過級 22-K。至級 22-K 的輸入可為級 22-(K-1) 的輸出或可為級 22-(K-2) 之輸出 (例如當級 22-(K-1) 已被繞過時)。可繞過多個級。例如，若已繞過級 K 之前的所有級，則至級 22-K 的輸入可為 DI，至級 1 的輸入。

最後的級 22-(N+M) 的輸出相當於至開關 SW(N+M) 的對應的第一輸入，而至級 22-(N+M) 的輸入亦繞過級 22-(N+M) 且直接相當於至開關 SW(N+M) 的第二輸入。開關 SW(N+M) 的輸出為資料輸出 DO。非揮發性暫存器檔案 20 資料輸出 DO 可為級 22-(N+M) 或可繞過級 22-(N+M)。資料輸出 DO 訊號可來自任何先前級，例如級 K。當形成非揮發性暫存器

檔案 20 時，選擇訊號  $S(N+M)$  判定是否選擇或繞過級  $22-(N+M)$ 。

控制訊號  $S1\dots\dots S(N+M)$  係由對應的非揮發性組態閘鎖  $1(24-1)\dots\dots$  非揮發性組態閘鎖  $N+M(24-(N+M))$  所提供。每一非揮發性組態閘鎖  $K(24-K)$  提供一輸出訊號  $SK$ ，其選擇或去選擇(繞過)非揮發性暫存器檔案級  $K$ ，如後所詳述者。組態選擇電路 26 可被使用以選擇哪一個非揮發性組態閘鎖被程式化及哪一個就讓它這樣子。

組態選擇電路 26 可為具有控制電路的解碼器邏輯，例如使用於記憶體陣列剩餘列或行選擇，如美國專利第 5,345,110 號所述，其全部內容係併入於此作為參考。替代地，組態選擇電路 26 可利用連續的組態控制暫存器，如 U.S. Patent No. Re. 34,363 所述，其全部內容係併入於此作為參考。後文將詳述組態選擇電路。

***使用以選擇非揮發性暫存器檔案級之路由開關(Routing Switches used to Select Nonvolatile Register File Stages)***

圖 3A 說明切換電路 30，其可使用以當形成圖 2 之非揮發性暫存器檔案 20 時，包含或繞過對應的非揮發性暫存器檔案級。切換電路 30 輸出  $C$  係連接至每一個 CMOS 轉換裝置  $TR1$  及  $TR2$  的一側，其中 CMOS 轉換裝置係根據一般產業實務使用並聯 PFET 及 NFET 來形成，如圖 3A 所示。轉換裝置  $TR1$  之相反側係連接至訊號  $A$  而轉換裝置  $TR2$  之相反側係連接至訊號  $B$ 。控制訊號  $SK$  驅動反相器  $INV1$  之輸

入。反相器 INV1 之輸出驅動反相器 INV2 之輸入、及 TR1 之 PFET 控制閘極及 TR2 之 NFET 控制閘極。反相器 INV2 之輸出驅動 TR1 之 NFET 控制閘極及 TR2 之 PFET 控制閘極。

圖 3B 說明切換電路 35，其可使用以當形成圖 2 之非揮發性暫存器檔案 20 時，包含或繞過對應的非揮發性暫存器檔案級。切換電路 35 端點 C 係連接至每一個 CMOS 轉換裝置 TR1 及 TR2 的一側，其中 CMOS 轉換裝置係根據一般產業實務使用圖 3B 所示之並聯 PFET 及 NFET 來形成，如圖 3A 所示。轉換裝置 TR1 之相反側係連接至端點 A 而轉換裝置 TR2 之相反側係連接至端點 B。控制訊號 SK 驅動 TR2 之 PFET 控制閘極及 TR1 之 NFET 控制閘極。輔助控制訊號 SKb 驅動 TR2 之 NFET 控制閘極及 TR1 之 PFET 控制閘極。

操作時，如圖 3C 所示，若輸入控制訊號 SK 為高(例如 1.5 至 2.5 伏特)時，則 CMOS 轉換閘極 TR1 為 ON，且對應的 PFET 及 NFET 並聯裝置皆於 ON 狀態，且端點 C 係連接至端點 A。CMOS 轉換裝置 TR2 為 OFF。然而，若輸入訊號 SK 為低(例如零伏特)，則 CMOS 轉換閘極 TR2 為 ON，且對應的 PFET 及 NFET 並聯裝置皆於 ON 狀態，且端點 C 係連接至端點 B。CMOS 轉換裝置 TR1 為 OFF。應注意的是，當 SK 為高時，則 SKb 為低，且當 SK 為低時，則 SKb 為高。

切換電路 30 或切換電路 35 操作時，如圖 3 所示，端點 A 及 B 可為輸入訊號，其可路由至輸出 C 作為控制訊號 SK(或控制訊號 SK 及 SKb)的功能。替代地，端點 C 可為輸入訊號，其可路由至端點 A 或端點 B 作為控制訊號 SK(或控

制訊號 SK 及 SKb) 的功能。當切換電路 30 或切換電路 35 係使用作為開關 SW1.....SW(M+N) 的代表開關 SK (如圖 2 所示) 時，端點 A 可使用作為連接至對應至非揮發性暫存器檔案級 K 之輸出的第一輸入，且端點 B 可使用作為連接至非揮發性暫存器檔案級 K 之輸入的第二輸入，其可被使用以繞過例如對應的非揮發性暫存器檔案級 K，如上述對於圖 2 所示之非揮發性暫存器檔案 20 操作所描述者。

### *利用非揮發性訊號源之路由開關控制 (Routing Switch Control by Nonvolatile Signal Sources)*

至用以選擇或去選擇個別非揮發性暫存器檔案級 (例如對於圖 2 及圖 3 於上所述之非揮發性暫存器檔案級 K) 的路由電路 30 或 35 之控制訊號可藉由非揮發性閃鎖來供應，例如一個閃鎖供應至每一開關。一個方式是根據雷射熔絲 (其係使用雷射燒蝕來程式化) 而使用各種閃鎖。這些雷射熔絲可由例如經圖案化的金屬或多晶矽元件來形成。替代地，此雷射熔絲可使用經圖案化的奈米織物電阻器來形成，該奈米織物電阻器類似於以奈米織物為基的 (nanofabric-based) 電阻器，其係說明於美國專利申請案第 11/230,876 號，發明名稱為 "Resistive Elements using Carbon Nanotubes"，申請日為 2005 年 9 月 20 日，其全部內容係併入於此作為參考。

另一方式為使用根據電子熔絲或電子反熔絲之閃鎖，如 Bertin et al. 之美國專利第 6,570,806 號所述，其全部內容係併入於此作為參考。這些閃鎖類型係使用作為

OTP(one-time-programmable)閃鎖。

尚有另一方式為引入根據非揮發性奈米管開關的電阻之新的閃鎖作為邏輯狀態熔絲或反熔絲儲存元件，例如美國專利申請案第 11/280,786 號所述之開關。根據非揮發性奈米管開關之電阻來儲存邏輯狀態之新的閃鎖可為 OTP 或可在美國專利申請案第 11/280,786 號所述之抹除/程式化/讀取模式中  
5 被使用超過一次(多次)。應注意的是，說明於美國專利申請案第 11/280,599 號之非揮發性暫存器檔案級(或如後文所述，此級的修改)可被使用作為非揮發性邏輯狀態儲存閃鎖。  
10

於所有的情形中，於關上(導電)狀態或打開(不導電)狀態中之熔絲或反熔絲的非揮發性抗性狀態係被使用以表示第一或第二邏輯狀態。該閃鎖電路將熔絲(或反熔絲)非揮發性抗性狀態轉換成對應的電氣電壓位準(其表示邏輯 1 或  
15 0)。此對應的電壓位準被傳送作為至圖 3 所示之路由電路 30 或 35 之控制訊號。依此方式，非揮發性閃鎖之邏輯狀態可被使用以選擇或去選擇(繞過)圖 2 所示之非揮發性暫存器檔案級。  
20

*根據使用熔絲的雷射燒蝕作為程式化手段的非揮發性閃鎖之非揮發性訊號源(Nonvolatile Signal Sources based on Nonvolatile Latches using Laser Ablation of Fuses as a Programming Means)*

圖 4 說明包含熔絲元件 41(其顯示為具有連接至選通

(strobe)裝置(電晶體)T5 於節點 42 之第一熔絲端點及連接至  
接地於節點 43 之第二熔絲端點)之 OTP 熔絲電路 40。連接  
至端點 45 之選通裝置 T5 的第二端點亦連接至由電晶體 T1、  
T2、T3 及反相器裝置 46 所形成的閃鎖電路。閃鎖預充電裝  
置(電晶體)T4 亦顯示為連接至電源供應  $V_{PS}$  及至端點 45。於  
此閃鎖電路 40，晶片被供給電源期間，該預充電及選通電壓  
係保持於低(例如接地)，而節點 45 係藉由電晶體 T4 被預充  
電至正電壓( $V_{PS}$ )而閃鎖電路 40 係於第一邏輯狀態，節點 45  
係於高電壓而於節點 47 之  $V_{OUT}$  處於低電壓。晶片被供給電  
源期間，電晶體 T2 係藉由低預充電電壓而保持在 OFF 狀  
態，因此保持閃鎖電路 40 反饋路徑打開，以確保晶片被供  
給電源完畢後，閃鎖電路 40 係保持於第一邏輯狀態  
( $V_{OUT}=0$ )。晶片被供給電源完畢後，接著預充電電壓在選通  
高電壓轉變(使電晶體 T2 為 ON 並閃鎖(儲存)第一邏輯狀態  
於閃鎖電路 40，同時使預充電裝置 T4 為 OFF)之前，轉變至  
高值。當電晶體 T2 處於 ON 狀態時，閃鎖電路 40 反饋路徑  
係完成，其致能閃鎖電路 40 以儲存第一邏輯狀態。閃鎖電  
路 40 使用金屬或多晶矽非揮發性抗性熔絲元件 41 以表示兩  
個邏輯狀態之其中一者。例如，若熔絲元件 41 保持完整  
(intact)(導電)，則當選通電晶體 T5 被啟動時，節點 45 被放  
電而閃鎖電路 40 轉變至第二邏輯狀態，使得節點 45 處於低  
電壓節點 47 之  $V_{OUT}$  處於高電壓。然而，若熔絲 41 已被藉  
由雷射燒蝕而程式化(製成不導電)，則節點 45 沒有被放電，  
而閃鎖電路 40 保持在第一邏輯狀態。亦即，閃鎖電路 40 將



非揮發性熔絲的抗性值轉換成表示邏輯 0(第一邏輯狀態)或邏輯 1(第二邏輯狀態)之電氣電壓位準。

圖 2 所示之非揮發性暫存器檔案 20 在製造後被測試，而可用的(良好的)及不可用的(不良的)非揮發性暫存器檔案級由全部 N+M 可用的級來識別。若識別出足夠數量的良好的非揮發性暫存器檔案級，此範例中為至少 256 級，則顯示良好的級不良的級之測試器產生圖(良率圖)被產生。若例如非揮發性暫存器檔案級 K 之級將被包含於非揮發性暫存器檔案 20 之形成中，則對應至非揮發性閃鎖 K 之熔絲 41 被保持保持完整(導通)，且對應的閃鎖電路 40 轉變至第二邏輯狀態。然而，若例如非揮發性暫存器檔案級 J 之級將被繞過(亦即從非揮發性暫存器檔案 20 排除)，則對應至非揮發性閃鎖 J 之熔絲 41 被藉由雷射燒蝕而程式化(寫入)至高電阻狀態(燒斷)，且對應的閃鎖電路 40 保持於第一邏輯狀態。測試器產生的良率圖被轉換成熔絲位置座標(例如 X、Y)以使用雷射燒蝕工具(典型為現成的工業標準雷射工具)而用於雷射燒蝕。

由圖 4 所示之閃鎖電路 40 所執行的典型讀取操作係以波形 50 顯示於圖 5：首先，預充電電晶體裝置 T4 係以訊號 51 施以脈衝(pulsed)並將節點 45 預充電至電壓  $V_{PS}$  及將閃鎖電路 40 預充電至第一邏輯狀態，然後關斷。於其第一邏輯狀態，閃鎖電路 40 節點 45 電壓為高而於節點 47 之輸出電壓  $V_{OUT}$  為低電壓。接著，選通裝置 T5 係以訊號 52 施以脈衝(pulsed)為 ON。若熔絲元件 41 為保持完整的，則其為導

電的並從節點 45 排掉(drain off)預充電電壓，迫使閃鎖電路 40 至第二邏輯狀態，其中節點 45 係於低電壓，而於節點 47 之  $V_{OUT}$  係於高電壓。若熔絲元件 41 已被程式化，則其將不再足以導電以從閃鎖節點 45 排掉足夠電荷，以充電該閃鎖的邏輯級。於此情形，當選通裝置被啟動時，閃鎖電路 40 保持於其第一邏輯狀態，節點 45 為高電壓而於端點 47 之輸出電壓  $V_{OUT}$  為低。

若非揮發性檔案閃鎖級 K 將被包含作為圖 2 所示非揮發性暫存器檔案 20 中之一級，則於對應的閃鎖電路 40 之熔絲 41 保持不變於導電狀態。因此，當對應的閃鎖電路 40 被選通(strobed)時，其轉變至如上所述之第二邏輯狀態，其中節點 45 係於低電壓而於節點 47 之  $V_{OUT}$  係於高電壓。若路由開關 30 被使用於非揮發性暫存器檔案 20，則於輸出 47 之正電壓  $V_{OUT}$  係被傳送以選擇訊號輸入 SK，CMOS 轉換閘極 TR1 被啟動而 CMOS 轉換閘極 TR2 被不啟動(deactivated)，如關於圖 3A 於上所述者。路由開關 30 連接輸入 A 與輸出 C，其傳送非揮發性暫存器檔案 20 級 K 之輸出至非揮發性暫存器檔案 20 級 K+1 之輸入，因此包含級 K 於非揮發性暫存器檔案 20。

應注意的是，若使用圖 3B 所示之路由開關 35 代替路由開關 30，則於節點 47 對應至  $V_{OUT}$  的訊號輸入 SK 及對應至電路閃鎖 40 之節點 45 的輔助選擇訊號輸入 SKb 兩者皆被提供。因此，路由開關 35 連接輸入 A 與輸出 C，其傳送非揮發性暫存器檔案 20 級 K 之輸出至非揮發性暫存器檔案 20 級

K+1 之輸入，因此包含級 K 於非揮發性暫存器檔案 20。

若非揮發性檔案閃鎖級 J 將被排除為非揮發性暫存器檔案 20 中之一級，則於對應的閃鎖電路 40 之熔絲 41 被程式化至不導電狀態。因此，當對應的閃鎖電路 40 被選通時，其保持在第一邏輯狀態，如上所述，其中節點 45 係於高電壓而於節點 47 之  $V_{OUT}$  係於低電壓。若路由開關 30 被使用於非揮發性暫存器檔案 20，則於輸出 47 之低(接近零)電壓  $V_{OUT}$  係被傳送以選擇訊號輸入 SJ，CMOS 轉換閘極 TR2 被啟動而 CMOS 轉換閘極 TR1 被不啟動(deactivated)，如關於圖 3A 於上所述者。路由開關 30 連接輸入 B 與輸出 C，其繞過非揮發性暫存器檔案 20 級 J 之輸出至非揮發性暫存器檔案 20 級 J+1 之輸入，因此包含級 J 於非揮發性暫存器檔案 20。

應注意的是，若使用圖 3B 所示之路由開關 35 代替路由開關 30，則於節點 47 對應至  $V_{OUT}$  的訊號輸入 SJ 及對應至電路閃鎖 40 之節點 45 的輔助選擇訊號輸入 SJb 兩者皆被提供。因此，路由開關 35 連接輸入 B 與輸出 C，其繞過非揮發性暫存器檔案 20 級 J 之輸出至非揮發性暫存器檔案 20 級 J+1 之輸入，因此包含級 J 於非揮發性暫存器檔案 20。

*根據使用經圖案化的奈米織物熔絲的雷射燒蝕作為程式化手段的非揮發性閃鎖之非揮發性訊號源 (Nonvolatile Signal Sources based on Nonvolatile Latches using Laser Ablation of Patterned Nanofabric Fuses as a Programming Means)*

5 使用金屬或多晶矽電阻器元件之經圖案化的雷射熔絲(電阻器)需要在雷射燒蝕期間移除相當大量的材料。典型工業實務需要穿透電介質層的開口，以曝露熔絲區域，使得熔絲材料因相當大量的材料(金屬或半導體)而在雷射燒蝕期間透過該開口而排出。

10 由經圖案化的奈米管層形成的雷射熔絲在半導體製程中很容易在任何點集成。同樣的，熔絲(或電阻器)形成的(fuse-formed)經圖案化的奈米管層在雷射燒蝕期間需要移除少量的材料。因此，經圖案化的奈米管雷射熔絲可用穿透電介質層的開口進行雷射燒蝕，或當以保護的絕緣膜覆蓋時，提供電介質層對雷射能量而言為透明的(transparent)。經圖案化的奈米織物電阻器係說明於美國專利申請案第 11/230,876 號。

15 由於熔絲不適當的燒斷，在電阻器中產生極小的間隙，故金屬及多晶矽熔絲亦可自行復原。若該裝置在例如高放射性的環境之高溫度環境中使用，則可發生材料擴散，其將使先前燒斷的電阻器短路，產生透過該熔絲元件的漏洩路徑。由於奈米管織物之小尺寸及奈米管中存在的強 C-C 鍵結，燒斷的織物之重新連接的能力小至不存在。

20 圖 6 說明經圖案化的奈米織物熔絲及對應的接點，其可以圖 4 所示之門鎖電路 40 中的熔絲 41 代替。圖 6 熔絲對應至經圖案化的以奈米織物為基的電阻器(例如美國專利申請案第 11/230,876 號所示者)，其可包含於半導體(或陶瓷、有機、或其他封裝)製程中之任何垂直層。經圖案化的奈米織

物熔絲可使用於任何產品，例如處理器、控制器、數位訊號  
處理器、ASICs、可程式化的邏輯陣列及其他邏輯產品。經  
圖案化的奈米織物熔絲亦可使用於記憶體產品，例如  
DRAM、SRAM、EEPROM、CRAM；FeRAM、MRAM、及  
5 NRAM。於非揮發性的暫存器檔案門鎖 20 之情形，由於使  
用於圖 2 所示之非揮發性的暫存器檔案門鎖 20 級之非揮發  
性奈米管開關係使用一或多個沉積的奈米織物之層(其接著  
可使用特定光刻方法而圖案化成非揮發性奈米管開關)來形  
成，故使用經圖案化的奈米織物熔絲作為門鎖電路 40 中之  
10 熔絲元件 41 可為特別地有用。用以形成熔絲 41 之奈米織物  
層可被沉積於垂直集成的結構中之任何地方。替代地，奈米  
管熔絲可使用相同奈米織物層(用以製造使用於非揮發性暫  
存器檔案級之非揮發性奈米管開關)來形成。此奈米織物層  
可位於垂直集成的結構中之任何地方。製造奈米織物層級元  
15 件的方法在參考的專利文件中有更詳細的說明。

圖 6A 顯示經圖案化的奈米織物電阻器熔絲 60 的平面  
圖，其被製成(在絕緣層沉積之前)包含經圖案化的奈米織物  
61 電阻器與接點 62 及接點 62'。經圖案化的奈米織物元件  
61 的片電阻(sheet resistance)係由控制奈米織物的多孔性  
(porosity)、用以形成奈米織物元件 61 的奈米管織物層的數  
20 量、以及其他變數所控制。奈米織物可以一可靠的均勻方式  
被施加至一表面，使得奈米織物的電氣性質可被控制。可使  
用例如旋塗(spin-on)或噴霧(spray-on)技術來施加奈米織物  
層。經圖案化的奈米織物 61 可控制片電阻從例如 1K-Ohm

至 1M-Ohm。接點電阻及片電阻之各種範例係說明於美國專利申請案第 11/230,876 號。圖 6B 顯示雷射燒蝕已移除區域 63 後之熔絲 60。

5 接點 62 及 62' 可用於接點及互連(interconnect)的目的，  
如剖面圖 6C 所示(在絕緣件沉積之後)。絕緣件 68 可被沉積  
作為絕緣保護層，以完成絕緣的經圖案化的奈米織物電阻器  
熔絲 65。圖 6D 顯示熔絲 65(雷射燒蝕已移除區域 63 後)之  
剖面。接點及互連材料的範例為元素金屬(例如 Ru、Ti、Cr、  
10 Al、Au、Pd、Ni、W、Cu、Mo、Ag、In、Ir、Pb、Sn)、以  
及金屬合金(例如 TiAu、TiCu、TiPd、PbIn、及 TiW)，亦可  
使用美國專利申請案第 11/230,876 號所述之其他合適的導  
體、或導電氮化物、氧化物、或矽化物(例如 RuN、RuO、  
TiN、TaN、CoSi<sub>x</sub> 及 TiSi<sub>x</sub>)。絕緣件層可為 SiO<sub>2</sub>、SiN<sub>x</sub>、Al<sub>2</sub>O<sub>3</sub>、  
BeO、聚醯亞胺(polyimide)、聚脂樹脂(Mylar)、或其他適合  
15 的絕緣材料。

藉由沉積絕緣的經圖案化的奈米織物電阻器熔絲 65，經  
圖案化的奈米織物電阻器熔絲 65 可被使用作為圖 4 所示門  
鎖 40 中之熔絲 41，使得端點 62 係接觸節點 42 而端點 62'  
係接觸節點 43。

20 熔絲 65 可保持保持完整或者藉由雷射燒蝕而程式化(燒  
斷)。圖 6B 及 6D 分別顯示圖 6A 及 6C，雷射燒蝕之前與之  
後。熔絲材料(例如金屬或多晶矽)需要移除相對大量的材料  
且典型保持為不絕緣，如前所述。有多個 SWNTs 及/或  
MWNTs 構成的奈米織物(其直徑範圍分別在 1 至 5nm 或 5

至 20nm)，導致多個 SWNTs 及/或 MWNTs 之雷射燒蝕移除少量的材料，使得熔絲 65 可在絕緣層存在的情形下被程式化(燒斷)，提供該絕緣層對於使用的雷射光波長為透明的。替代地，為了雷射燒蝕的目的，在經圖案化的奈米織物 61 元件上之絕緣材料 68 的一部份可被移除。

操作時，圖 4 所示的閘鎖 40 之邏輯狀態反射使用作為閘鎖 40 中熔絲 41 之經圖案化的奈米織物電阻器熔絲 65 的電阻狀態。例如，若熔絲元件 41 保持不變(導電)(如圖 6A 或 6C 所示)，當選通電晶體 T5 被啟動時，節點 45 係放電而閘鎖電路 40 轉變至第二邏輯狀態，使得節點 45 處於低電壓而於節點 47 之  $V_{OUT}$  處於高電壓。然而，若熔絲 41 已藉由雷射燒蝕而被程式化(製成不導電)(如圖 6B 或 6D 所示)，則節點 45 沒有被放電而閘鎖電路 40 保持在第一邏輯狀態。亦即，閘鎖電路 40 將非揮發性熔絲 65 電阻值轉換成表示邏輯 0(第一邏輯狀態)或 1(第二邏輯狀態)的對應電氣電壓位準。

**根據使用電子熔絲或反熔絲作為程式化手段的非揮發性閘鎖之非揮發性訊號源 (Nonvolatile Signal Sources based on Nonvolatile Latches using Both Electronic Fuses or Antifuses as a Programming Means)**

雷射燒蝕需要將熔絲置於大尺寸(大足跡(footprint))的區域(由於雷射點尺寸與對準)，且與鄰近電路間需要有間距(clearance)。熔絲底下不能置放任何裝置。

由金屬或多晶矽阻抗的線路(trace)所構成之電子熔絲

(e-fuses)可適合置入較小區域的區域(相較於使用雷射燒蝕之熔絲的區域)。同樣的，電子熔絲可在晶片被封裝之前或之後被啟動。電子熔絲在製成時係於 ON(導電)抗性狀態(典型在數百 ohms)且係藉由造成局部的  $I^2R$  熱之電流而被程式化(燒斷)至大於 100K 至 1M Ohm 範圍之 OFF(不導電)狀態。典型地，此程式化電流係於 milli-Ampere 範圍內。應注意的是，e-fuse 有時會簡單的稱為熔絲。

電子反熔絲(e-antifuses)典型地由電容器結構來形成，該電容器結構包含金屬或多晶矽電容器板及薄絕緣件，例如  $\text{SiO}_2$  及/或  $\text{SiN}_x$ 。電子反熔絲在製成時係於 OFF(不導電)狀態(典型在 10M Ohm 及其以上之範圍)且係藉由施加 8 至 12 伏特之電壓而被程式化(燒斷)至 ON(導電)狀態，及程式化電流係於 milli-Ampere 範圍內。ON(導電)電阻值典型於 1K 至 50K Ohm 範圍。應注意的是，e-antifuse 有時會簡單的稱為反熔絲。

圖 7 顯示設計以符合電子可程式化(OTP)e-fuses 及電子可程式化(OTP)e-antifuse(如 Bertin et al.之美國專利第 6,570,806 號所述者)之通用熔絲閘鎖 70 的代表。通用閘鎖 70 係適於提供不同閘鎖抗性跳脫點(trip point)(稱為原有閘鎖跳脫電阻)供不同熔絲或反熔絲閘鎖電路類型調節 ON 狀態及 OFF 狀態電阻值中的差，如美國專利第 6,570,806 號所述者。閘鎖 70 可被使用作為圖 2 之非揮發性組態閘鎖 1(24-1).....非揮發性組態閘鎖  $N+M(24-(N+M))$ 。

於圖 7 所示之通用閘鎖電路 70，於圖 4 所示之熔絲閘鎖



5 電路 40 已被修改而包含第一 e-fuse 或通過電晶體 T5 及 T6 之選通路徑 80，且其包含連接至電晶體 T6 的節點 72 及至源極電壓  $V_{SOURCE\_F}$  節點 73 之電氣熔絲元件 71。電晶體 T6 係被控制在線性區域內，其具有通道電阻，當與 e-fuse 71 之電阻(典型為例如 200Ohms)結合時，導致如美國專利第 6,570,806 號所述 10KOhms 的閘鎖抗性跳脫點。10KOhms 的閘鎖抗性跳脫點符合數百 Ohms 之 e-fuse ON 電阻，及至少 100kOhms 之 OFF 電阻。應注意的是，當閘鎖 70 之狀態被設定時，節點 73 係於零(接地)電壓。

10 電晶體 T7 已被加入於節點 72 及接地之間，以供 e-fuse 程式化之目的。E-fuse 程式化期間，電壓源  $V_{SOURCE\_F}$  係被施加至節點 73。若電晶體 T7 藉由輸入程式化啟動電壓  $V_{P-F}$  而被導通，則程式化電流流過熔絲 71，且熔絲 71 轉變至高電阻狀態。若電晶體 T7 保持 OFF，則熔絲 71 沒被程式化且保持於低電阻(ON)狀態。E-antifuse 74 可僅被程式化一次。典型地，需要在 milli-Ampere 範圍內的程式化電流。多晶矽熔絲及程式化要求的範例係描述於美國專利第 6,624,499 號及第 6,008,523 號，其全部內容係併入於此作為參考。

20 於圖 7 所示之通用閘鎖電路 70，於圖 4 所示之熔絲閘鎖電路 40 已被修改而包含第二 e-antifuse 或通過電晶體 T8 及 T9 之選通路徑 81，且其包含連接至電晶體 T9 的節點 75 及至源極電壓  $V_{SOURCE\_AF}$  節點 76 之電氣反熔絲元件 74。電晶體 T9 係被控制在線性區域內，其具有通道電阻，當與 e-antifuse 74 之電阻(典型為例如 10KOhms 至 50KOhms)結合

時，導致如美國專利第 6,570,806 號(其全部內容係併入於此作為參考)所述 100KOhms 的閃鎖抗性跳脫點。100KOhms 的抗性跳脫點符合數千 Ohms 之 e-antifuse ON 電阻，及至少 1MOhm 之 OFF 電阻。應注意的是，當閃鎖 70 之狀態被設定時，節點 76 係於零(接地)電壓。

電晶體 T10 已被加入於節點 75 及接地之間，以供 e-antifuse 程式化之目的。E-antifuse 程式化期間，電壓源  $V_{SOURCE\_AF}$  係被施加至節點 76。若電晶體 T10 藉由輸入程式化啟動電壓  $V_{P-AF}$  而被導通，則程式化電流被施加越過 e-antifuse74、少量電流(micro-Amperes)流動、且 e-antifuse74 轉變至低電阻狀態。若電晶體 T10 保持 OFF，則 e-antifuse74 沒被程式化且保持於高電阻(OFF)狀態。熔絲可僅被程式化一次。典型地， $V_{SOURCE\_AF}$  係於 8 至 12 伏特的範圍，而對應的程式化電流在 micro-Ampere 範圍內。反熔絲及程式化要求的範例係描述於美國專利第 5,956,282 號，其全部內容係併入於此作為參考。

通用閃鎖電路 70 輸出節點 78 對應至閃鎖電路 70 輸出節點 47。通用閃鎖店路 70 節點 77(輸出節點 78 的輔助)對應至閃鎖電路 70 節點 45。若通用閃鎖電路 70 之原有閃鎖跳脫電阻係設計為 100kOhms，則通用閃鎖電路 70 可對由電洞-電子對所產生的 alpha 粒子的宇宙射線對於擾動(upset)為更敏感(相較於閃鎖電路 40)。因此，可將安定電容器 79 加入至輸出節點 78，且可將安定電容器 79' 加入至輔助節點 77。安定電容器值可為例如 10 至 20fF。

當使用 e-fuse71 於選通路徑 80 時，用於通用門鎖電路 70 之讀取操作係相同於使用熔絲 41 用於門鎖電路 40 之讀取操作。因此，若非揮發性檔案門鎖級 K 將被包含於圖 2 所示之非揮發性暫存器檔案 20 中之級，則於對應的通用門鎖電路 70 中之 e-fuse71 保持在導電狀態。因此，當對應的通用門鎖電路 70 被選通時，其轉變至第二邏輯狀態，如前所述者，其中節點 77 係於低電壓而於節點 78 之  $V_{OUT}$  係於高電壓。若路由開關 30 被使用於非揮發性暫存器檔案 20，則於輸出 78 上之正電壓  $V_{OUT}$  被傳送以選擇訊號輸入 SK，CMOS 轉換閘極 TR1 被啟動而 CMOS 轉換閘極 TR2 被不啟動 (deactivated)，如關於圖 3A 於上所述者。路由開關 30 連接輸入 A 與輸出 C，其傳送非揮發性暫存器檔案 20 級 K 之輸出至非揮發性暫存器檔案 20 級 K+1 之輸入，因此包含級 K 於非揮發性暫存器檔案 20。

當使用 e-fuse71 於選通路徑 80 時，用於通用門鎖電路 70 之讀取操作係相同於使用熔絲 41 用於門鎖電路 40 之讀取操作。因此，若非揮發性檔案門鎖級 J 將被排除於圖 2 所示之非揮發性暫存器檔案 20 中之級，則於對應的通用門鎖電路 70 中之 e-fuse71 係被程式化至不導電狀態。因此，當對應的通用門鎖電路 70 被選通時，其保持於第一邏輯狀態，如前所述者，其中節點 77 係於高電壓而於節點 78 之  $V_{OUT}$  係於低電壓。若路由開關 30 被使用於非揮發性暫存器檔案 20，則於輸出 78 上之低(接近零)電壓被傳送以選擇訊號輸入 SJ，CMOS 轉換閘極 TR2 被啟動而 CMOS 轉換閘極 TR1 被

不啟動(deactivated)，如關於圖 3A 於上所述者。路由開關 30 連接輸入 B 與輸出 C，其繞過非揮發性暫存器檔案 20 級 J 之輸出至非揮發性暫存器檔案 20 級 J+1 之輸入，因此排除級 J 於非揮發性暫存器檔案 20。

5           應注意的是，對於通用閃鎖電路 70，若節點 78 為正且若節點 78 輸出被製成可選擇訊號輸入 SK 且輔助節點 77 輸出被製成可選擇切換電路 35 之訊號輸入 SKb，則級 K 將被包含於暫存器檔案 20 中。然而，若節點 78 為零被製成可選擇訊號輸入 SJ 且輔助節點 77 被製成可選擇切換電路 35 之訊號輸入 SJb，則級 J 將被包含於暫存器檔案 20 中，如前對於閃鎖電路 40 所述者。

10           當使用 e-antifuse74 於選通路徑 81 時，用於通用閃鎖電路 70 之讀取操作係相反(opposite)於使用熔絲 41(關於程式化)用於閃鎖電路 40 之讀取操作。因此，若非揮發性檔案閃鎖級 K 將被包含於圖 2 所示之非揮發性暫存器檔案 20 中之級，則於對應的通用閃鎖電路 70 中之 e-antifuse74 係從不變的一般不導電狀態被程式化至導電狀態。因此，當對應的通用閃鎖電路 70 被選通時，其轉變至第二邏輯狀態，如前所述者，其中節點 77 係於低電壓而於節點 78 之  $V_{OUT}$  係於高電壓。若路由開關 30 被使用於非揮發性暫存器檔案 20，則於輸出 78 上之正電壓  $V_{OUT}$  被傳送以選擇訊號輸入 SK，CMOS 轉換閘極 TR1 被啟動而 CMOS 轉換閘極 TR2 被不啟動(deactivated)，如關於圖 3A 於上所述者。路由開關 30 連接輸入 A 與輸出 C，其傳送非揮發性暫存器檔案 20 級 K 之

輸出至非揮發性暫存器檔案 20 級  $K+1$  之輸入，因此包含級  $K$  於非揮發性暫存器檔案 20。

當使用 e-antifuse74 於選通路徑 81 時，用於通用門鎖電路 70 之讀取操作係相反(opposite)於使用熔絲 41(關於程式化)用於門鎖電路 40 之讀取操作。因此，若非揮發性檔案門鎖級  $J$  將被包含於圖 2 所示之非揮發性暫存器檔案 20 中之級，則於對應的通用門鎖電路 70 中之 e-antifuse74 係從保持在不導電狀態。因此，當對應的通用門鎖電路 70 被選通時，其保持於第一邏輯狀態，如前所述者，其中節點 77 係於高電壓而於節點 78 之  $V_{OUT}$  係於低電壓。若路由開關 30 被使用於非揮發性暫存器檔案 20，則於輸出 78 上之低(接近零)電壓  $V_{OUT}$  被傳送以選擇訊號輸入 SJ，CMOS 轉換閘極 TR2 被啟動而 CMOS 轉換閘極 TR1 被不啟動(deactivated)，如關於圖 3A 於上所述者。路由開關 30 連接輸入 B 與輸出 C，其繞過非揮發性暫存器檔案 20 級  $J$  之輸出至非揮發性暫存器檔案 20 級  $J+1$  之輸入，因此包含級  $J$  於非揮發性暫存器檔案 20。

應注意的是，對於通用門鎖電路 70，若節點 78 為正且若節點 78 輸出被製成可選擇訊號輸入 SK 且輔助節點 77 輸出被製成可選擇切換電路 35 之訊號輸入 SKb，則級  $K$  將被包含於暫存器檔案 20 中。然而，若節點 78 為零被製成可選擇訊號輸入 SJ 且輔助節點 77 被製成可選擇切換電路 35 之訊號輸入 SJb，則級  $J$  將被包含於暫存器檔案 20 中，如前對於門鎖電路 40 所述者。

根據使用非揮發性奈米管開關作為電子熔絲或反熔絲作為程式化手段的非揮發性閃鎖之非揮發性訊號源  
*(Nonvolatile Signal Sources based on Nonvolatile Latches using Nonvolatile Nanotube Switches as Electronic Fuses or Antifuses as a Programming Means*

典型地，使用金屬或多晶矽線路之 OTP 電子熔絲具有相對小的電阻值(通常在 100Ohm 範圍內)且需要相對大的電流(milli-Ampere 範圍內)，以達到足夠高的  $I^2R$  電源消耗，以導致熔絲從導電狀態轉變為不導電狀態。同樣的，電子熔絲長度典型長於最小尺寸以達到足夠電阻以避免需要甚至更高的電流。結果，電子熔絲的尺寸不佳且保持相對大的尺寸，即使每一個新一代的技術中之技術尺寸已降低。

典型地，OTP 電子反熔絲在薄絕緣件層(例如 5 至 10nm 的  $\text{SiO}_2$  及/或  $\text{SiN}_x$ )的任一側使用具有金屬或半導體(例如多晶矽)材料之電容器板的電容器結構，且需要相對高的崩潰電流(例如範圍在 8 至 12 伏特)，其尺寸不容易調整。電子反熔絲的尺寸不佳且保持相對大的尺寸，即使每一個新一代的技術中之技術尺寸已降低。

所需要者為可縮放的熔絲及/或可縮放的反熔絲，其可用矽積體電路技術(例如 CMOS 及雙極記憶體、邏輯、混合訊號等)容易地集成，且可縮小尺寸，作為新技術時代的程式化電壓及電流係被引入。非揮發性奈米管開關(描述於美國專利申請案第 11/280,786 號)為可縮放的非揮發性奈米管開

關，其可在製程流中的任何方便點被加入。這些可縮放的非揮發性奈米管開關可用以代替非揮發性電子熔絲或反熔絲。

圖 8 顯示設計以容納非揮發性奈米管開關 83 之閃鎖電路 82，其描述於美國專利申請案第 11/280,786 號且進一步於後文中參考圖 9 概述。閃鎖 82 係設計以提供閃鎖抗性跳脫點，其係關於美國專利第 6,570,806 號所述 100kOhms 之原有閃鎖跳脫電阻，其全部內容係併入於此作為參考。100kOhms 之原有閃鎖跳脫電阻被選擇係因為非揮發性奈米管開關 ON 電阻典型在 10kOhm 至 50kOhm 電阻範圍內，如圖 1C 所示。非揮發性奈米管開關 OFF 電阻典型大於 1GOhm 或更大，如圖 1C 所示。

於圖 8 所示之閃鎖電路 82，圖 7 所示之通用熔絲閃鎖 70 已被修改以包含通過電晶體 T5 及 T6' 之非揮發性奈米管開關選通路徑 86，且其包含連接至電晶體 T6' 的節點 85 及至電壓源極  $V_{SOURCE\_F}$  節點 84 之非揮發性奈米管開關元件 83。電晶體 T6' 係被保持在線性區域內，其具有通道電阻，當與非揮發性奈米管開關之電阻(典型為例如 10kOhms 至 50kOhms)結合時，導致如美國專利第 6,570,806 號所述 100kOhms 的閃鎖抗性跳脫點。100kOhms 的閃鎖抗性跳脫點符合 10kOhms 至 50kOhms 之非揮發性奈米管開關 ON 電阻，及至少 1MOhms 之 OFF 電阻(非揮發性奈米管開關 OFF 電阻典型為 1GOhm 或更大)。應注意的是，當閃鎖 82 之狀態被設定時，節點 84 係於零(接地)電壓。

關於圖 8 於前文進一步說明之閃鎖 82 顯示 NV NT 開關

83，其具有連接至節點 84 的一端點(程式化/抹除脈衝  $V_{OUT}$  係由此施加)，及連接至共同節點 85 及操作模式選擇電晶體 T7' 之汲極的第二端點。閃鎖電路 82 的操作係關於 NV NT 開關 83 以相對高的電阻範圍(10kOhm 至 50kOhm)來說明。然而，NV NT 開關 83 可在較低的電阻範圍，例如 100Ohm 至 10kOhm 範圍。

閃鎖電路 82 亦對於連接至共同節點 85 之特定閃鎖組態來說明，其由反相器 INV 構成，具有反饋致能/去能手段之反相器係由電晶體 T1、T2、T3 及對應的互連手段來形成。同樣包含的有預充電及選通電晶體 T4 及 T5 及其互連，以及連接至共同節點 85 之偏壓電晶體 T6'(典型在線性區域)。不同閃鎖組態可被連接至共同節點 85 以達成對應的功能及操作，如關於閃鎖電路 82 所述者。閃鎖電路 82(及產業上已知的許多其他閃鎖電路組態)可被使用以將 NV NT 開關 83 之低電阻及高電阻狀態轉換成對應至高及低電壓輸出  $V_{OUT}$  值的邏輯"1"及邏輯"0"狀態。同樣的，使用以供額外的閃鎖穩定性之電容器 89 及 89' 為選項的(optional)且在許多組態中沒有使用。這些電容器亦可於閃鎖電路 82 省略。

當談論到經程式化的狀態時，例如，在使用於非揮發性閃鎖(例如圖 7 所示之閃鎖 70)之 OTP 非揮發性電子熔絲(e-fuse)及使用於圖 1 及 2 所示之非揮發性暫存器檔案 10、15、20 中之可縮放的非揮發性奈米管開關之間，會有術語不同的情形。當在相同的說明中討論到非揮發性閃鎖級非揮發性暫存器檔案時，這些術語不同的情形會導致混淆。為了清



楚的目的，表 1 及表 2 顯示術語的差別。

於表 1，使用於一閃鎖的 e-Fuse 在製成時(as-fabricated)係於 ON 狀態，且可被程式化一次(OTP)至 OFF 狀態。因此，e-Fuse OFF 狀態在對應的習知術語及此說明書中的對應術語係稱為經程式化的(programmed)狀態。

相反的，如表 2 所示，典型使用於非揮發性暫存器檔案之非揮發性奈米管開關(NV NT 開關)(如圖 1 及 2 所示)在製成時(as-fabricated)係於 ON 狀態，NV NT 開關 OFF 狀態在所參考的專利文件中及此說明書中的對應術語係稱為經抹除的(erased)狀態。由於 NV NT 開關可循環多次，故因 OFF 狀態轉變至 ON 狀態之 ON 狀態在所參考的專利文件中及此說明書中的對應術語係稱為經程式化的(programmed)狀態。

使用非揮發性奈米管開關代替可縮放的奈米管熔絲(nt-Fuse)之閃鎖非揮發性電子熔絲(e-Fuse)

元件的類型	ON 狀態 (導電)	OFF 狀態 (不導電)	註解
e-Fuse	在製成時 (as-fabricated)	經程式化的 (programmed)	※金屬或半導體 ※一般技術使用 ※OTP-only 操作
NV NT 開關	在製成時 或 經程式化的	經抹除的	※NV NT 開關 ※多次 ON & OFF 循環

OTP-only (nt-Fuse)	在製成時	(經程式化的)	※OTP-only 操作
-----------------------	------	---------	--------------

表 1

使用非揮發性奈米管開關之非揮發性電子熔絲(e-Fuse)				
元件的類型	ON 狀態 (導電)	OFF 狀態 (不導電)	ON 狀態 (導電)	註解
NV NT 開關	在製成時	經抹除的	經程式化的	※一般技術使用的

表 2

參考表 1，在閃鎖中 e-Fuse 已由可縮放的非揮發性奈米管開關(NV NT 開關)代替之情形下，術語係根據應用而定。若 NV NT 開關應用需要在 ON 及 OFF 狀態之間改變多次，則 OFF 狀態被考慮為經抹除的(erased)而 ON 狀態為經程式化的(或在製成時)。然而，若 NV NT 開關將被使用作為 OTP e-fuse 代替，則 NV NT 開關可稱為奈米管熔絲(nt-Fuse)(新的術語)。因此，於 OTP 模式，OFF 狀態可稱為經程式化的狀態，圖表 1 所示，代替經抹除的狀態。經程式化的 OFF 狀態僅使用於圖 8 之非揮發性閃鎖 82，且僅在閃鎖 82 使用於 OTP 模式中時。於閃鎖 82，當使用於 OTP 模式時，術語”nt-Fuse”對應至 NV NT 開關 83。

應注意的是，不像 e-Fuses，NV NT 開關為(且運作為)非揮發性奈米管開關且因此可在 ON 及 OFF 狀態間改變數

次。因此，NV NT 開關比 OTP e-Fuses 有更多的功用。產品組態在程式化後會被改變，即使在現場(field)中，當使用 NV NT 開關作為閃鎖電路的部份。例如，圖 2 所示之非揮發性暫存器檔案在一或多個 256 個級中可經歷錯誤。此會發生在一般操作情況，或會發生在暴露於嚴厲的環境(例如高度的輻射、高溫、或當操作於現場中之應用的其他情況)。若此情形發生時，則假設額外的未使用之閃鎖存在，並假設使用的非揮發性組態控制閃鎖係類似於圖 8 所示之閃鎖 82，則組態選擇電路 26 可藉由改變對應的 NV NT 開關之 ON 及 OFF 狀態來重置所需的非揮發性組態閃鎖，以恢復非揮發性暫存器檔案 20 操作。

關於使用 e-Fuses 之非揮發性閃鎖所使用的術語係顯示於表 1 且係說明於美國專利第 6,570,806 號。關於使用 NV NT 開關之非揮發性暫存器檔案所使用的術語係顯示於表 1 及表 2 且係說明於美國專利申請案第 11/280,786 及 11/280,599 號。

電晶體 T7' 已加入節點 85 及接地之間，以供 NV NT 開關程式化目的。NV NT 開關程式化期間，電壓源  $V_{SOURCE}$  係被施加至節點 84。電晶體 T7' 可在  $V_{SOURCE}$  轉變之前或之後藉由輸入程式化/抹除啟動電壓  $V_{PE}$  而被導通，且可施加一(或數個)電壓脈衝，電流可流過 NV NT 開關 83，且根據期望的操作，NV NT 開關可從低轉變至高電阻狀態，或從高轉變至低電阻狀態。若電晶體 T7' 保持 OFF，則 NV NT 開關 83 保持在相同狀態。NV NT 開關 83 可被改變狀態一次或可在 ON 及 OFF 狀態間循環多次。

圖 9A 顯示兩端非揮發性奈米管開關 90 之剖面代表圖。奈米織物元件 93 係設置於基板 95 上，其包含一絕緣件 94 層。通道長度  $L_{\text{CHANNEL}}$  之奈米織物元件 93 至少部份覆蓋兩端，如導電元件 91 及 92，其皆直接地沉積於奈米織物元件 93 上。製造奈米織物元件之方法係於所結合的專利參考文件中有更詳細的說明。

非揮發性奈米管開關 90 保護涉及在非揮發性奈米管開關上面沉積適合的電介質層 96。此方式的一範例為使用旋塗式 (spin-coated) 聚偏二氟乙烯樹脂 (polyvinylidene fluoride; PVDF)、聚醯亞胺 (polyimide)、或其他適合的絕緣材料，與非揮發性奈米管開關直接接觸。接著，使用合適的輔助電介質保護膜 (例如礬土或二氧化矽) 來密封下面的 PVDF、聚醯亞胺、或其他適合的絕緣材料，並提供對非揮發性奈米管開關操作係強健 (robust) 的保護。非揮發性奈米管開關 90 或 90' 可包含 (插入) 於積體電路製程流中的任何點。典型用於開關 90 的程式化及抹除電流大約為 1-50 micro-Ampere，或低於程式化一般 e-fuse 所需的電流二至三階 (order) 的強度。

圖 9B 顯示兩端非揮發性奈米管開關 90' 之剖面代表圖。奈米織物元件 93' 係設置於絕緣件 97 及接點 91' 及 92' 上。絕緣件 97 及接點 91' 及 92' 係設置於基板 95'，其包含絕緣件 94'。絕緣件 97 可具有較絕緣件 94' 低的熱傳導性。通道長度  $L_{\text{CHANNEL}}$  之奈米織物元件 93' 至少部份覆蓋兩端，如導電元件 91' 及 92'，其皆於奈米織物元件 93' 的沉積之前沉積。開關 90' 較開關 90 更容易於半導體製程中集成。

結構 90' 的優點為大量的  $I^2R$  電源係損失於該基板；因此，若選擇具有較 94' 小的熱傳導性之絕緣件 97，則奈米管織物在較低電流的切換會變容易，因為損失於下面的基板之熱變少。不期望由定理來限制，發明人相信兩端奈米管開關會首先起作用，因為該織物內的熱，其造成碳-碳及/或碳-金屬的鍵之斷裂及重新形成，如美國專利申請案第 11/280,786 號所述。因此，較少熱損失於該基板會使較小的施加的電壓”打斷(break)”奈米管開關，從而使該開關切換成 OFF 狀態。

非揮發性奈米管開關 90' 保護涉及在非揮發性奈米管開關上面沉積適合的電介質層 97'。此方式的一範例為使用旋塗式 (spin-coated) 聚偏二氟乙烯樹脂 (polyvinylidene fluoride; PVDF)、聚醯亞胺 (polyimide)、或其他適合的絕緣材料，與非揮發性奈米管開關直接接觸。接著，使用合適的輔助電介質保護膜 (例如礬土或二氧化矽) 來密封下面的 PVDF、聚醯亞胺、或其他適合的絕緣材料，並提供對非揮發性奈米管開關操作係強健 (robust) 的保護。非揮發性奈米管開關 90 或 90' 可包含 (插入) 於積體電路製程流中的任何點。非揮發性奈米管開關 90 或 90' 係於美國專利申請案第 11/280,786 及 11/280,599 號有更詳細的說明。典型用於開關 90' 的程式化 (抹除) 電流大約為 1-20 micro-Ampere，或低於程式化一般 e-fuse 的電流所需的十幾 (10's) milli-Amperes 之電流的三階的強度。

圖 9C 顯示非揮發性奈米管開關 90' 保護前且對應至圖 9B 剖面圖中之非揮發性奈米管開關 90' 的 SEM 影像。非揮

發性奈米管開關 90'' 包含奈米管元件 93''、接點 91'' 及 92''、及絕緣件 94''。非揮發性奈米管開關 90 及 90' 已製造為具有尺寸在 250nm 至 22nm 之通道長度  $L_{\text{CHANNEL}}$ ，從而降低非揮發性奈米管開關大小並降低程式化電壓，如後文所示。

5 圖 9D 顯示兩端 NRAM 開關 90''' 之變化，其包含具有懸吊的奈米管織物 98 之懸吊的間隙區域 99 及 99'。此結構對於描述於美國專利申請案第 11/280,786 號之奈米管開關會具有最佳化的電氣及熱性質。90''' 之切換能力的改良之原因在於：於懸吊的區域內，沒有熱損失於周圍的基板。因此，要將奈米管加熱至期望的溫度以供切換的發生，僅需較小的電壓與電流(如於美國專利申請案第 11/280,786 號所述者)。該通道長度的範圍從約 50nm 至金屬接點 91''' 及 92''' 之間主動區域的整個長度。此結構的另一優點為：不需要縮放比例以降低光刻節點以達成較低的切換電壓。應注意的是，僅使用較低的間隙 99 即足夠。

有了合適的設計條件，奈米管將不會僅在懸吊的區域內中斷。預想的到的是，該織物中一部分的奈米管將切換為 OFF 於基板 97'''，以允許 NRAM 開關循環。

20 使用於懸吊的區域之空穴亦可以氧化氣體(例如  $O_2$  或  $O_3$ ) 來填滿以進一步降低燒斷奈米管熔絲所需的電流。此對於不需要被程式化的 OTP 裝置將會是有用的。

圖 9 所示之非揮發性奈米管開關在製成時通常為 ON。當非揮發性奈米管開關(例如圖 1C 所示之 NV NT 開關 16) 可在 ON 及 OFF 狀態間循環好幾百萬次(如圖 1C 所示)時，

其係被初始地形成為相對地高的電阻開關。參考圖 8 所示之非揮發性閃鎖 82，若非揮發性奈米管開關 83 係類似於 NV NT 開關 16，則於導電狀態之  $R_{ON}$  將典型地具有 10kOhms 至 50kOhms 之電阻範圍。若關於閃鎖電路 82 NV NT 開關 83 說明之 NV NT 開關係類似於 NV NT 開關 16，則於不導電狀態之  $R_{OFF}$  將典型地具有 1GOhm 或更高之電阻值。

圖 10A 曲線 100 顯示當  $L_{CHANNEL}$  之從 250nm 降低至 50nm 時，用於非揮發性奈米管開關之通道長度  $L_{CHANNEL}$  之電壓於抹除電壓減少之縮放效果 (scaling effect)。應注意的是，有關於 ON 及 OFF 狀態所使用之術語係定義於表 2。 $L_{CHANNEL}$  稱為開關通道長度，如關於圖 9 所描述者。通道長度減少之有效性係根據抹除電壓 (作為通道長度減少與抹除/程式化循環良率 (cyclining yield) 的函數，其中每一資料點表示 22 個裝置而 ON/OFF 抹除/程式化循環的數量為五) 來說明。抹除電壓為通道長度的強函數且當非揮發性奈米管開關從 250 降低至 50nm 時 (如圖 10A 之曲線 100 所示)，抹除電壓係從 8 伏特下降至 5 伏特。對應的程式化電壓 (未圖示) 係小於抹除電壓，典型在例如 3 至 5 伏特的範圍內。於改變通道寬度 (資料未圖示) 之結構的抹除電壓測量，顯示不明顯的裝置通道寬度 (當通道寬度從 500 改變至 150nm 時) 之抹除電壓之相關性。於改變奈米織物至接點端點覆蓋長度 (資料未圖示) 之結構的抹除電壓測量，顯示不明顯的覆蓋長度 (當覆蓋長度從 800 改變至 20nm 時) 之抹除電壓之相關性。

圖 10B 顯示抹除電壓及對應的抹除電流之曲線 125，作

為對於一裝置之時間與 8 伏特之抹除電壓及 15micro-Amperes 之對應的抹除電流之函數。應注意的是，測試時，負電壓係被施加至非揮發性奈米管開關。非揮發性奈米管開關將運作於正或負施加的電壓且電流於各方向流動。根據通道區域中奈米織物內啟動 SWNTs 之數量，抹除電流典型在 1 至 20  $\mu$ A 範圍內。程式化電流亦典型在 1 至 20  $\mu$ A 範圍內。對於一些 NV NT 開關，已知於程式化期間，控制電流流動可改善程式化特性。控制電流流動的方法係關於圖 17 說明於後文；這些方法可被應用至程式化及抹除操作期間電流的控制。圖 10B 所示之抹除資料及對應的測量細節係描述於美國專利申請案第 11/280,786 號。典型地，e-Fuse 程式化電流係在十幾(10's)milli-Ampere 範圍內，故 nt-Fuses 降低程式化電流約 1000X。

圖 10C 顯示於具有約 22nm 的通道長度及約 22nm 的通道寬度之裝置上最近的循環資料 150。具有約 20nm 之通道長度的裝置典型具有 4 至 5 伏特範圍的抹除電壓。圖 10C 所示之特定裝置具有 5 伏特的抹除電壓、4 伏特的程式化電壓，且係經歷 100 次的抹除/程式化循環。ON 電阻( $R_{ON}$ )恰好在 100kOhms 以下，而 OFF 電阻( $R_{OFF}$ )恰好在 100MOhms 以上。

使用作為於圖 1 及 2 所示之非揮發性暫存器檔案的影子裝置之非揮發性奈米管開關需要例如  $10^4$  至  $10^6$  次的操作循環，且因此額外的(冗餘的)非揮發性暫存器檔案級係被引入，如圖 2 所示。對於在 OTP 模式之閃鎖電路 82 NV NT 開



關 83，操作於使用作為開關的非揮發性奈米管開關 83 之單一程式化操作(見表 1 程式化定義)具有接近 100%的非揮發性奈米管開關良率。即使當奈米管開關 83 受到幾次的 ON/OFF 循環，其良率仍接近 100%。

5           當使用 NV NT 開關 83 於選通路徑 86 時，對於門鎖電路 82 之讀取操作係相同於使用電子熔絲 71 用於門鎖電路 70 之讀取操作。因此，若非揮發性檔案門鎖級 K 待被包含作為圖 2 所示非揮發性暫存器檔案 20 中之級，則於對應的通用門鎖電路 82 被保持在導電狀態。因此，當對應的門鎖電路 10 82 被選通時，其轉變至第二邏輯狀態，如前所述者，其中節點 87 係於低電壓而於節點 88 之  $V_{OUT}$  係於高電壓。若路由開關 30 被使用於非揮發性暫存器檔案 20，則於輸出 88 上之正電壓  $V_{OUT}$  被傳送以選擇訊號輸入 SK，CMOS 轉換閘極 TR1 被啟動而 CMOS 轉換閘極 TR2 被不啟動(deactivated)，  
15 如關於圖 3A 於上所述者。路由開關 30 連接輸入 A 與輸出 C，其傳送非揮發性暫存器檔案 20 級 K 之輸出至非揮發性暫存器檔案 20 級 K+1 之輸入，因此包含級 K 於非揮發性暫存器檔案 20。

20           當使用 NV NT 開關 83 於選通路徑 86 時之用於門鎖電路 82 之讀取操作係相同於使用電氣熔絲 71 用於門鎖電路 70 之讀取操作。因此，若非揮發性檔案門鎖級 J 將被排除於圖 2 所示之非揮發性暫存器檔案 20 中之級，則於對應的門鎖電路 82 中之 NV NT 開關 83 係被程式化至不導電狀態。因此，當對應的通用門鎖電路 82 被選通時，其保持於第一邏輯狀

態，如前所述者，其中節點 87 係於高電壓而於節點 88 之  $V_{OUT}$  係於低電壓。若路由開關 30 被使用於非揮發性暫存器檔案 20，則於輸出 88 上之低(接近零)電壓被傳送以選擇訊號輸入 SJ，CMOS 轉換閘極 TR2 被啟動而 CMOS 轉換閘極 TR1 被不啟動(deactivated)，如關於圖 3A 於上所述者。路由開關 30 連接輸入 B 與輸出 C，其繞過非揮發性暫存器檔案 20 級 J 之輸出至非揮發性暫存器檔案 20 級 J+1 之輸入，因此排除級 J 於非揮發性暫存器檔案 20。

應注意的是，對於通用閃鎖電路 82，若節點 88 為正且若節點 88 輸出被製成可選擇訊號輸入 SK 且輔助節點 87 輸出被製成可選擇切換電路 35 之訊號輸入 SKb，則級 K 將被包含於暫存器檔案 20 中。然而，若節點 88 為零被製成可選擇訊號輸入 SJ 且輔助節點 87 被製成可選擇切換電路 35 之訊號輸入 SJb，則級 J 將被包含於暫存器檔案 20 中，如前對於閃鎖電路 70 所述者。

應注意的是，閃鎖 82 NV NT 開關 83 可從 ON 狀態改變至 OFF 狀態，然後回到 ON 狀態，接著回到 OFF 狀態任意次數。因此，閃鎖 82 的設定可根據期望而改變多次。此閃鎖 82 所提供之獨特的特徵(因 NV NT 開關 83 元件)在模組階段對於製造者及對於廠可更新的、可再組態的產品提供有用的彈性。

閃鎖電路 82 輸出節點 88 對應至通用閃鎖電路 70 輸出節點。閃鎖電路 82 節點 87(輸出節點 88 之輔助)對應至閃鎖電路 70 節點 77。若閃鎖電路 82 之原有閃鎖跳脫電阻係設計

用於 100kOhms，則閃鎖電路 82 可對由電洞-電子對所產生的 alpha 粒子的宇宙射線對於擾動(upset)為更敏感。因此，可將安定電容器 89 加入至輸出節點 88，且可將安定電容器 89' 加入至輔助節點 87。安定電容器值可為例如 10 至 20fF。

5

### *使用組態選擇電路之非揮發性閃鎖電路選擇 (Nonvolatile Latch Circuit Selection using Configuration Selection Circuit)*

上述之通用閃鎖電路 70(圖 7)及閃鎖電路 82(圖 8)可被使用作為電子可程式化的非揮發性組態閃鎖 1 至 N+M，並供應對應的輸出訊號 S1 至 S(N+M)(如圖 2 所示)。組態選擇電路 26(圖 2)可被使用以判定閃鎖電路輸出的狀態，從而決定哪些非揮發性暫存器檔案級係包含於非揮發性暫存器檔案 20 中。閃鎖電路 70 及 82 係通用地可應用至記憶體、邏輯、數位及類比獨立(standalone)及嵌入式(embedded)產品，而不限於非揮發性暫存器檔案範例。應注意的是，閃鎖電路 40(圖 4)不需要組態選擇電路 26，因為閃鎖電路 40 的狀態係由雷射燒蝕來決定。

於一實施中，組態選擇電路 26 可為具有控制輸入之解碼器邏輯(如使用於記憶體陣列多餘列或行選擇)。再組態閃鎖電路的使用(用以代替用於 DRAM 及 SRAM 記憶體內記憶體陣列中列及行之冗餘列及行線)係說明於參考文件"VLSI Memory Chip Design", Springer-Verlag Berlin Heidelberg 2001, pp. 178-183, by Itoh, Kiyoo，其全部內容係併入於此作

為參考。

於一替代實施，組態選擇電路 26 可使用組態控制暫存器，如 U.S. Patent Re. 34,363 所述者。因容易與非揮發性暫存器檔案門鎖級集成以形成圖 2 所示之非揮發性暫存器檔案  
5 20，此範例中組態控制暫存器被選擇作為組態選擇電路 26。

圖 11 顯示組態控制暫存器 110 的代表，顯示多級偏移暫存器之兩級，U.S. Patent Re. 34,363 有更詳細的說明。組態控制暫存器 110 顯示兩個偏移暫存器單元，然而，實際組態控制暫存器包含組構邏輯單元所需的許多單元，於此範例  
10 為  $N+M$  個偏移暫存器單元。基本偏移暫存器單元包含與反相器 INV-1' 串聯之轉換裝置 112-1，反相器 INV-1' 與轉換裝置 116-1 串聯，轉換裝置 116-1 與反相器 INV-1 串聯。反相器 INV-1 之輸出係經由轉換裝置 114-1 而反饋至反相器 INV-1' 之輸入，致能 CELL-1 儲存邏輯狀態(只要組態控制暫存器 110 維持電源(揮發性偏移暫存器操作)且 HOLD 電壓保持為高)。反相器 INV-1 之輸出亦連接至偏移暫存器  
15 CELL-2(其係與 cell 1 相同)之輸入，且亦連接至轉換裝置 118-1 之一端點。反相器 INV-1' 之輸出連接至轉換裝置 116-1 之輸入。兩個重疊時脈  $\Psi_1$  及  $\Psi_2$  分別連接至轉換裝置 112-1 及 116-1 的控制閘極，及其他偏移暫存器單元之對應的轉換裝置。轉換裝置 114-1 及其他單元之對應的轉換裝置根據 HOLD 輸入的狀態，致能或去能 INV-1 輸出及 INV-1' 輸入間的反饋路徑。冗餘資料係藉由 LOGIC INPUT 訊號而傳送至組態控制暫存器 110。當 APPLY 控制輸入被啟動時，輸出  
20

C1, C2, ...C(N+M)被轉換至閃鎖(例如閃鎖 70 及閃鎖 82)的程式化輸入。於此範例，組態控制暫存器 110 被使用作為圖 2 之組態選擇電路 26。及

5 操作中，整個組態控制暫存器 110 可藉由設定  $\Psi_1$  及  $\Psi_2$  電壓為高且 HOLD 電壓為低而被設至高或低電壓。以 HOLD 設定至高電壓，時脈  $\Psi_1$  及  $\Psi_2$  可被使用以轉換邏輯型樣 1 及 0 於偏移暫存器中，以根據測試結果(良率圖)來程式化(或不程式化)非揮發性組態閃鎖 1...N+M。應有足夠時間使 INPUT 訊號傳送整個長度的組態控制暫存器 110。在該時間點上，  
10 APPLY 可轉變至正電壓且反相器輸出 C1, C2, ...C(N+M)係被轉換至對應的組態控制閃鎖 1...N+M。

參見圖 2，組態控制暫存器 110 可被使用作為用於非揮發性暫存器檔案 20 之組態選擇電路 26，其輸出 C1...C(N+M) 控制非揮發性組態閃鎖 1...非揮發性組態閃鎖(N+M)的狀態。非揮發性組態閃鎖 1...(N+M)係被程式化以保持對應的  
15 組態控制暫存器 110 邏輯狀態。

若閃鎖電路 70 被使用作為非揮發性組態控制閃鎖，則 OTP 狀態係儲存於每一非揮發性組態控制閃鎖中，且個別非揮發性檔案暫存器級係從 N+M 個別非揮發性檔案暫存器級  
20 中選擇且被互連以形成非揮發性暫存器檔案 20。此暫存器檔案組態可不被改變。

替代地，若閃鎖電路 82 被使用作為非揮發性組態控制閃鎖狀態，則非揮發性 ON 或 OFF 狀態被儲存於 NV NT 開關 83 中。因為 NV NT 開關 83 為非揮發性奈米管開關，故

NV NT 開關 83 可在 ON 及 OFF 狀態間循環多次，使得組態控制門鎖在透過數個邏輯狀態來循環，且因此非揮發性暫存器檔案 20 之組態可從其原始狀態被改變(即使在現場中)。

5 *根據使用非揮發性奈米管開關作為程式化手段的非揮發性暫存器檔案之非揮發性訊號源 (Nonvolatile Signal Sources based on Nonvolatile Register Files using Nonvolatile Nanotube Switches as Programming Means)*

10 可藉由包含具有如圖 12 所示之輸出 S1 至 S(N+M)的非揮發性組態暫存器檔案級 1 至 N+M 之非揮發性組態檔案 122 來代替組態選擇電路 26 及非揮發性組態門鎖 1 至 N+M。非揮發性組態檔案 122 與非揮發性組態檔案 124 的組合形成非揮發性組態檔案 120。非揮發性組態檔案 120 對應至非揮發性組態檔案 20。

15 於包含非揮發性組態控制暫存器檔案級 1...級(N+M)的非揮發性組態檔案 122 之第一組態，以輸入資料流的邏輯"1's"及"0's"的形式之輸入資料被載入暫存器 122 中。非揮發性組態控制暫存器檔案級係相同於非揮發性暫存器檔案級。然而，循環的數量被限制。例如，對於 OTP 操作，在此情形中，抹除(門鎖術語中為“程式化”)僅於所選擇的非揮發性奈米管開關上被執行一次(1/2 循環)。在關於門鎖電路 20 70 及 82 進一步於上所述之對應的方式中，良率為高(例如 99 及 100%之間)，且輸出 S1 至 S(N+M)選擇或去選擇(繞過)非揮發性暫存器檔案級。關於門鎖 70，僅 OTP 程式化為可能的，因電子熔絲燒斷方式。關於門鎖 82，數個操作循環為

可能的，因電子燒斷熔絲係以非揮發性奈米管開關代替。

操作時，此第一組態非揮發性組態暫存器 122 可藉由使用關於圖 1 所述之操作模式輸入來執行抹除及程式化循環而改變數次。藉由限制改變為數個循環，例如 1 至 3 個循環，非揮發性組態控制暫存器 122 良率保持 99% 及 100% 之間，同時在工廠(factory)中提供組構非揮發性暫存器檔案(包含或排除(繞過)各種級)或在現場(field)中(運送產品之後)再組構非揮發性暫存器檔案(改變包含的/排除的級)之能力(如有需要)。

*根據使用非揮發性奈米管開關作為程式化手段的新組態序列門鎖之非揮發性訊號源 (Nonvolatile Signal Sources based on New Configuration Serial Latches using Nonvolatile Nanotube Switches as Programming Means)*

於第二組態，非揮發性組態控制暫存器 132 係顯示於圖 13A。暫存器 132 為暫存器 122 的修改版，使得抹除(門鎖術語中為“程式化”)僅被執行一次(1/2 循環)，以提高對應的非揮發性奈米管開關良率於 99 及 100% 範圍中，如關於圖 13B 於後文中所述。應注意的是，圖 13A 中，非揮發性奈米管開關的抹除對應至電子熔絲的程式化。圖 13B 為圖 1B 中暫存器級 15 之修改版。非揮發性組態暫存器檔案 132 接收以輸入資料流的邏輯”1’s”及”0’s”的形式之輸入資料(其係被載入於暫存器 132 中)。非揮發性組態暫存器檔案級為上述關於圖 1B 之非揮發性檔案級的修改版，使得僅一個抹除 1/2 循環操作被允許，以提升良率至 99 至 100% 範圍。依此方式，

當操作於 OTP 模式時，非揮發性組態暫存器檔案 132 操作類似於非揮發性組態暫存器檔案 122 之操作，允許抹除(閃鎖術語中為“程式化”)1/2 循環；且亦類似於圖 2 使用組態控制暫存器 110 之組態選擇電路 26、及使用閃鎖 70 或閃鎖 82 以供應控制訊號  $S1...S(N+M)$  之非揮發性組態閃鎖  $1...(N+M)$ 。

於操作時，此第二非揮發性組態暫存器 132 可使用一半的循環抹除操作而僅被改變一次。此操作模式係關於圖 13B 說明於後文。

OTP 非揮發性暫存器閃鎖 135 為圖 1B 之非揮發性暫存器檔案 15 之修改，其中 erase\_enable\_NFET 1320 被消除而以 NFETs 1321、1322 及反相器 1323 與對應的連接代替。NFET 1321 的一個端點係連接至接地而另一個端點係連接至 NFET 1322，其係轉而連接至節點 1116'。NFET 1321 的輸入係由高電壓轉換電路 1360' 之輸出 1350' 所控制，而 NFET 1321 的輸入係由反相器 1323 之輸出所控制。反相器 1323 之輸入係連接至反相器 1330 之輸出，其亦驅動 PFET 1343 之閘極。

於操作時，圖 1B 所示之非揮發性暫存器檔案級 15 的 PROGRAM ENABLE 已被消除並轉換成 OTP ERASE ENABLE 輸入，如圖 13B 所示之非揮發性組態控制級 135 中所示。程式化已被消除且一個抹除 1/2 循環被允許。

根據使用以對於較高速之最佳化關鍵路徑時序的奈米管非揮發性閃鎖之具有增加的良率之非揮發性訊號源



*(Nonvolatile Signal Sources based on Nanotube Nonvolatile Latches used to Optimize Critical Path Timings for Higher Speed with Increased Yield)*

5 上述之非揮發性暫存器檔案包含高速揮發性暫存器(典型每一級包含一主及從門鎖)及例如耦接至每一從門鎖之一非揮發性奈米管開關(NV NT Switch)。NV NT Switch 可直接地耦接至從門鎖，或可使用耦接電路來耦接。除了上述之最佳化非揮發性暫存器檔案門鎖的非揮發性操作之良率以外，亦需要最佳化揮發性暫存器的高速效能。同樣的，並非  
10 所有的暫存器檔案需要為非揮發性的。然而，暫存器檔案需要高速(高時脈速度)同步操作。

於高時脈速度，例如超過 1GHz，暫存器門鎖之良率可降低，由於裝置參數變化導致邏輯延遲變化或快取(cache)延遲變化。此參數變化可發生於製造期間的 lot-to-lot，且亦在  
15 現場使用(field use)的情況下改變。例如，同步 CPU 及板上快取(on-board cache)需要例如 170ps(或更少)的快取存取時間，以確保從快取讀出的資料會在 CPU 端點一時脈週期時(在啟動 CPU 資料請求之後)準備好。

20 一可變延遲電路可被引入於關鍵計時(clocking)及/或訊號路徑以最佳化效能並最小化製造期間因 lot-to-lot 參數變化及現場中產品操作期間之參數改變(例如參數飄移(drift))之良率損失。可在 ON 狀態、OFF 狀態、及 ON 及 OFF 間切換的狀態之具有非揮發性奈米管開關(NV NT Switches)之門鎖電路係被使用以最佳化關鍵時序路徑。

圖 14A 顯示使用兩個重疊時脈 CLK1 及 CLK2 之經管線化的(pipelined)同步邏輯功能 1400，包含操作於同步模式且設計供目前技術水準(state-of-the-art)的高速操作之由暫存器檔案 1407、1412、1418(及其他未顯示者)分開的非同步邏輯級 1410 及 1414(及其他未顯示者)。例示暫存器 1412 係由主(L1)閃鎖 1420M 及從(L2)閃鎖 1420S 組成。主(L1)閃鎖 1420M 係由暫存器單元 1-n 組成且從(L2)閃鎖 1420S 係由暫存器單元 1'-n'組成。暫存器級係由對應的暫存器單元組成，例如暫存器級 1416 由對應的暫存器單元 k 及 k'組成。重要的是，應注意，邏輯級 1410 及 1414 可由非同步隨機邏輯級組成，或可為同步板上快取(例如高速 Sync SRAM L1 快取)。當由時脈 CLK1 所啟動時，主(L1)閃鎖(例如主(L1)閃鎖 1420M)接收來自先前邏輯級 1410 之資料、擷取並保持輸入資料。當由時脈 CLK2 所啟動時，從(L2)閃鎖(例如從(L2)閃鎖 1420S)接收來自對應的主(L1)閃鎖 1420M 之資訊、傳送該資訊至下一邏輯級 1414、接著閃鎖靠近 CLK2 時脈循環之結束的資訊。暫存器(閃鎖)設計的範例係顯示於參考資料 H.B. Bakoglu, "Circuits, Interconnections, and Packaging for VLSI", Addison-Wesley Publishing Company, Inc, pp. 338-349，其全部內容係併入於此作為參考。

造成電晶體電氣特性及互連線電阻及電容的變化之程序參數中的變化會導致引起邏輯錯誤之邏輯競賽(race)情況。例如，圖 14A 之邏輯 1 可包含一或多個具有相對長延遲時間之邏輯路徑，其防止在 CLK1 轉變導致由主(L1)閃鎖

1420M 取樣的邏輯 1 狀態之前完成邏輯操作。邏輯 1 狀態之過早的取樣導致不正確的邏輯狀態之閃鎖及傳送。此一競賽情況問題僅會在一個特定敏感邏輯電路發生，例如此範例中的邏輯 1，或於數個邏輯電路路徑。對參數變化敏感的關鍵設計路徑通常已知為邏輯模擬的結果。時脈 CLK1 及 CLK2 5 時序中係被允許，以避免此競賽情況問題。然而，當時脈率從 1Gb 增加至 2Gb 到大於 5Gb，則效能最佳化變得更關鍵且良率損失會在高時脈率發生。

圖 14B 顯示經最佳化的經管線化的同步邏輯功能 1400'。可控制的延遲電路 1425 及 1425' 已分別被加入 CLK1 10 及 CLK2 時脈訊號路徑中，以延遲主(L1)閃鎖 1420M 取樣邏輯 1 電路之邏輯狀態的轉變，及延遲關於主(L1)閃鎖 1420M 之從(L2)閃鎖 1420S 的轉變時間。可控制的延遲電路元件可被加入一或多個時序關鍵(或敏感的)訊號路徑或至所有訊號 15 路徑。由可控制的延遲電路 1425 及 1425' 引入之時脈訊號延遲電路範例係於後文進一步說明。

圖 15A 顯示包含 CPU 1510 及快取 1515 之同步 CPU 及快取系統 1500，其 CPU 及快取係藉由時脈訊號 CLK 而同步。記憶體位址位置及控制訊號係藉由 CPU 1510 而提供至 20 快取 1515，且資料可藉由 CPU 1510 使用寫入操作而儲存於快取 1515，或資料可使用讀取操作從快取 1515 傳送至 CPU 1510。圖 15B 顯示用於高效能快取讀取操作之時序圖 1525，其中快取資料在資料請求後的一個時脈循環對 CPU 1510 為可用的。時脈 1530 在一資料請求時間從低轉變至高電壓。

資料請求時脈轉變時，控制訊號識別期望的操作，此圖中顯示為讀取操作。同樣的，位址係有效的。快取 1515 完成讀取操作於一個時脈循環並使資料輸出  $V_{DATA}$  在資料窗 1535(通常稱為”資料眼(data eye)”)中為有效的。供 CPU 1510 之時脈 1530 資料擷取轉變(在時脈 1530 請求轉變後一個循環)係被定時以在資料窗 1535 之中間發生。圖 15A 適用於參考資料 K. Itoh, “VLSI Memory Chip Design”, Springer, 2001, pp. 358-363，其全部內容係併入於此作為參考。

輸出驅動器 1520 透過快取 1515 晶片上(on-chip)資料路徑來接收訊號  $V_{SIG}$ 。輸出驅動器 1520 係顯示為三態驅動器；然而，在一些應用中可使用非三態。三態驅動器在業界已為熟知，參見範例 R. J. Baker, ”CMOS: Circuit Design, Layout, and Simulation, IEEE Press, 1998, p. 226”，其全部內容係併入於此作為參考。輸出反相器(驅動器)係使用 NFET 電晶體 T1 及 PFET 電晶體 T2 來形成，個別的 T1 及 T2 閘極電氣地連接至共同反相器輸入 1522，且 T2 汲極及 T1 汲極電氣地連接至共同輸出端點 1523。三態 PFET T4 之汲極係連接至 T2 之源極，T4 之源極係連接至電源供應(例如  $V_{DD}$ )，而 T4 之閘極係連接至反相器 INV 之輸出，該反相器 INV 之輸入係連接至共同三態輸入 1524。三態 NFET T3 之汲極係連接至 T1 之源極，T3 之源極係連接至接地，而 T3 之閘極係連接至共同三態輸入 1524。

操作時，若三態驅動器 1520 啟動三態模式，則  $V_{TRI-STATE}=0$  伏特，且 T4 及 T3 係於 OFF 狀態。對於訊號  $V_{SIG}$

之任何值，輸出節點 1523 無法連接至電源供應  $V_{DD}$  或至接地。因此，節點 1523 電壓不由三態驅動器 1520 所界定，但可由其他共用節點 1523 之三態驅動器(未圖示)來取代設定。當快取 1515 由資料之請求所啟動時(如圖 15B 所示)，

5 則快取記憶體控制器使  $V_{TRI-STATE}$  從零轉變成正電壓，其使 T3 及 T4 電晶體變成 ON 狀態。於三態去啟動(de-activated)模式，電晶體 T2 汲極係經由電晶體 T4 而連接至  $V_{DD}$  而電晶體 T1 源極係經由電晶體 T3 而連接至接地，且  $V_{SIG}$  控制於節點 1523 上之  $V_{DATA}$  輸出訊號。因應如圖 15B 所示之 CPU

10 1510 資料請求，反相器驅動訊號  $V_{SIG}$  係由快取 1515 晶片上資料路徑(其可包含預驅動器級(predriver stages)(未圖示))所提供。

操作時，由於製造於電晶體參數以及現場中操作期間之參數飄移的變化會導致有效資料窗 1535 之位置中的變化性。圖 15D 波形 1540 顯示快資料路徑有效資料窗 1545，其中輸出資料  $V_{DATA}$  在時脈 1530 循環初期是可用的。時脈 1530 讀取資料轉變發生於有效資料窗 1545 之後緣，其中資料可能會有缺點，如圖 15D 所示。圖 15E 波形 1540' 顯示慢資料路徑有效資料窗 1550，其中輸出資料  $V_{DATA}$  在時脈 1530 循環後期是可用的。時脈 1530 讀取資料轉變發生於有效資料窗 1550 之前緣，其中資料可能會有缺點，如圖 15E 所示。因此需要一種方式來最小化有效資料窗變化以最佳化系統效能、良率、及可靠性。

圖 15F 顯示同步 CPU 及快取系統 1500'，其中同步 CPU

及快取系統 1500 之快取 1515 已藉由加入可控制的延遲電路元件而被修改，以對於快取 1515' 資料輸出  $V_{DATA}$  最佳化有效資料窗。可控制的延遲電路元件(或多於一個可控制的延遲電路元件)可被加入於感測/閃鎖電路及輸出驅動器間之快取 1515' 資料路徑。

圖 15G 顯示一方式，其中可控制的延遲電路 1560 具有連接至資料訊號  $V_{SIG}$  之可控制的延遲電路 1560 輸入及連接至輸出驅動器 1520' 的共同反相器輸入 1522' 之可控制的延遲電路 1560 輸出。可控制的延遲電路 1560 係於後文中進一步說明。至共同反相器輸入 1522' 之  $V_{SIG}$  輸入係由可控制的時間量所延遲，其係由可控制的延遲電路 1560 所設定。共同輸出端點 1523' 上之輸出資料訊號  $V_{DATA}$  係由對應至由可控制的延遲電路 1560 所設定之  $V_{SIG}$  時間延遲的時間所控制。除了加入可控制的延遲電路 1560 以外，電路元件、元件的互連、及輸出驅動器 1520' 的操作對應至輸出驅動器 1520 的說明。若有需要， $V_{TRI-STATE}$  的時序可被調整(未圖示)。

操作時，由於製造於電晶體參數以及現場中操作期間之參數飄移的變化會導致有效資料窗之位置中的變化性係被消除，如圖 15H 波形 1540'' 所示。波形 1540'' 顯示具有 CLK 1930 資料擷取轉變於有效資料窗 1555 的中間之波形  $V_{DATA}$ 。

圖 16 顯示可控制的延遲電路 1600，其係設計以適應以選擇四個延遲路徑 1-4 之其中一者。例如，時脈 CLK 可被延遲成結果為  $CLK_{DEL}$ ，或訊號  $V_{SIG}$  可被延遲成結果為訊號  $V_{SIG-DEL}$ 。晶片可包含多個可控制的延遲電路 1600。

於一範例，可控制的時脈延遲可被引入於圖 14B 所示之經管線化的同步邏輯功能 1400'，其中可控制的延遲電路 1600 可被使用作為可控制的延遲電路 1425 及 1425'。

於另一範例，可控制的時脈延遲可被引入於圖 15 所示之同步 CPU 及快取系統 1500'，其中可控制的延遲電路 1600 可被使用作為可控制的延遲電路 1560。CPU 1510 可操作於 2GHz 的時脈頻率，其一個時脈循環快取 1515' 存取時間為 170ps。因此，從 CPU 1510 資料要求至快取 1515' 為可用的係 170ps。假設有效資料窗為 150ps，則延遲路徑 1-4 可如下設定：路徑 1 大約零；路徑 2 大約 30ps；路徑 3 大約 80ps；路徑 4 大約 150ps。可控制的電路延遲 1600 選擇資料路徑 1-4 之其中一者，以使有效資料窗 1555 之中間在或靠近時脈 1530 資料轉變時間，如圖 15H 中波形 1540'' 所示。

圖 16 包含具有四個延遲路徑 1-4 之延遲電路 1605，雖然可包含更多或更少數量的延遲路徑(或選項)。至延遲電路 1605 之輸入為待以控制的量來延遲的延遲時脈 CLK 或訊號  $V_{SIG}$  波形。藉由選擇四個(於此範例)延遲路徑 1-4 之其中一者，邏輯延遲塊 1610 輸出對應的延遲的時脈  $CLK_{DEL}$  或延遲的訊號  $V_{SIG-DEL}$  波形。延遲選擇邏輯 1615 提供用以選擇四個 CMOS 轉換裝置 TD1、TD2、TD3 或 TD4 之其中一者的延遲選擇訊號 S1、S2、S3、S4。對應的反相器 IS-1、IS-2、IS-3、IS-4 分別產生輔助 S1、S2、S3、S4 邏輯訊號，以在每一個 CMOS 轉換裝置 TD1...TD4 上致能真(true)及輔助選擇訊號兩者。

延遲選擇邏輯 1615 輸入  $V_{OUT-1}$  及  $V_{OUT-2}$  係被使用以選擇四個選擇訊號  $S1...S4$  之其中一者。 $V_{OUT-1}$  及  $V_{OUT-2}$  係分別為 NT 開關門鎖 1620 及 NT 開關門鎖 1620' 之輸出。NT 開關門鎖 1620 及 1620' 對應至圖 8 所示之門鎖電路 82，其包含使用尺寸經調整的奈米管熔絲 (nt-Fuses) 且可被程式化及抹除多次之非揮發性奈米管開關 83。於上所述之術語係被使用。例如，於門鎖電路應用，從 ON 轉變至 OFF 狀態係稱為程式化 (於 NV NT 開關為抹除) 且 OFF 至 ON 係稱為抹除 (於 NV NT 開關為程式化)。輸入訊號  $V_{PRECHARGE}$ 、 $V_{STROBE}$ 、 $V_{BIAS}$ 、 $V_{PE}$ 、 $V_{SOURCE}$  係關於門鎖 82 進一步說明於上文。輸入訊號係由延遲控制器 1625 所供應。藉由以於高或低電壓狀態的  $V_{OUT-1}$  及於高或低電壓狀態的  $V_{OUT-2}$  (如關於門鎖 82 進一步說明於上文者)，來致能每一 NT 開關門鎖 1620 及 1620' 之程式化至經程式化的或經抹除的狀態，至延遲控制器 1625 之邏輯輸入係被使用以選擇四個延遲路徑 1-4 之其中一者。驅動器電路 1630 及 1630' 產生  $V_{SOURCE}$  訊號輸入，如後文所述。至延遲控制器 1625 之邏輯輸入可藉由於製造者的測試器經由邏輯 (未顯示) 被供應及 / 或藉由板上自測 (BIST) 測試引擎 (未顯示) 被供應，以供現場更新的效能最佳化。

關於圖 16 所示之延遲電路 1605，延遲路徑 1 約為零；延遲路徑 2 可被設為 30ps (若反相器 I2-1 及 I2-2 各被設計為 15ps)；延遲路徑 3 可被設為 80ps (若反相器 I3-1、I3-2、I3-3、I3-4 各被設計為 20ps 延遲)；延遲路徑 4 可被設為 150ps (若



反相器 I4-1、I4-2、I4-3、I4-4、I4-5、I4-6 各被設計為 25ps 延遲)。CMOS 反相器設計符合已知產業實務。關於圖 15H 所示之波形 1540''，對於 150ps 之有效資料窗 1555，選擇延遲路徑 1-4 之其中一者會使時脈 1530 資料時序轉變在或靠近有效資料窗 1555 之中點。電路 1605 可設計成具有較多的資料路徑或資料路徑的結合，以供更精確的訊號延遲控制增加。

當改變 NV NT 開關(例如圖 8 所示閃鎖電路 82 中之 NV NT 開關 83)之狀態時，驅動器電路 1630 及 1630' 被啟動，其中閃鎖電路 82 操作對應至非揮發性 NT 開關閃鎖 1620 及 1620'，如上所述。三個驅動器電路 1630 及 1630' 範例係顯示於圖 17。圖 17A 所示之第一驅動器電路 1700 使用電壓轉換電路以提供輸出源電壓  $V_{SOURCE}$ (對應至圖 16 所示之  $V_{SOURCE-1}$  及  $V_{SOURCE-2}$ ) 而不需電流控制。圖 17B 所示之第二驅動器電路 1700' 使用電壓轉換器以提供輸出電壓  $V_{OUT}$ ，及使用施加至一序列電晶體的閘極之電壓  $V_{I-CONTROL}$  來控制輸出電流  $I$  之手段以限制所需電流。圖 17C 所示之第三驅動器電路 1700'' 使用電壓轉換器以提供輸出電壓至電流鏡，其轉而控制與  $V$  輸出相關聯之輸出電流  $I$ 。

驅動器電路 1630 及 1630'(其可使用驅動器電路 1400、1700'、或 1700'') 可改變每一 NV 開關閃鎖 1620 及 1620' 中之 NV NT 閃鎖的狀態，且因此決定  $V_{OUT-1}$  及  $V_{OUT-2}$  之狀態(高或低電壓)，如表 3 所示。高電壓(HIGH V)輸出對應至於 ON 位置的 NV NT 開關，而低電壓(LOW V)輸出對應至於 OFF

位置的 NV NT 開關，如關於圖 8 之門鎖電路 82 於上所述者。圖 1C 所示之 NV NT 開關循環結果 16 顯示具有約 10kOhm 至 50kOhm 的範圍之 ON 電阻  $R_{ON}$  及具有大於 10GOhm 之 OFF 電阻  $R_{OFF}$  之 NV NT 開關操作範圍。

5

$V_{OUT-1}$	$V_{OUT-2}$	S1	S2	S3	S4
HIGH V	HIGH V	X			
HIGH V	LOW V		X		
LOW V	HIGH V			X	
LOW V	LOW V				X

表 3

圖 17 顯示可被使用以限制當供應  $V_{SOURCE}$  至圖 16 所示之 NT 開關門鎖或至例如美國專利申請案第 11/280,786 及 11/280,599 號所示之 NRAM 記憶體陣列位元線的 NRAM 記憶體陣列位元線之 NT 開關門鎖時非揮發性奈米管開關改變狀態期間的電流之電路。從 OFF-to-ON 狀態轉變(典型稱為程式化 NV NT 開關操作)期間電流限制最有用，且不典型使用於 ON-to-OFF 狀態轉變(典型稱為抹除 NV NT 開關操作)。圖 1C 所示 NV NT 開關 ON 及 OFF 電阻循環結果 16 係在從 OFF-to-ON 狀態轉變(從大於 10GOhms 至 10kOhms 至 50kOhms 之 ON 電阻範圍)期間，由可程式化的實驗室電壓源(具有電流限制)所啟動。

10

15

圖 17A 所示之驅動器電路 1700 包含驅動器 1705、反相

器 INV-1、電壓轉換器 1710。驅動器 1705 具有由延遲控制器(例如延遲控制器 1625)所供應之輸入 1707。驅動器電路 1700 之輸出 1709 驅動 NFET T20 之閘極，及其輸出驅動電晶體 T10 之閘極的反相器 INV-1 之輸入。

5           電壓轉換器 1710 包含 NFETs T10 及 T20，其源極連接至接地，且汲極分別連接至 PFETs T30 及 T40 之汲極。PFET T30 及 T40 之源極皆連接至電壓源  $V_{HIGH}$ 。根據使用於圖 10A 之曲線 100 所示之閃鎖電路 1620 及 1620' 的 NV NT 開關之通道長度， $V_{HIGH}$  典型可從 8 伏特至小於 5 伏特之範圍。PFETs

10 T30 及 T40 之閘極係交叉耦接(cross coupled)。電壓轉換器 1710 輸出端點 1730 上之輸出電壓源  $V_{HIGH}$  不需額外的電流控制電路來控制輸出電壓。端點 1730 係連接至閃鎖電路中的 NV NT 開關之一個端點，例如圖 8 所示之閃鎖電路 82 的端點。

15           操作時，若驅動器 1705 之輸出為正電壓(例如 2.5 伏特)，則 NFET T20 為 ON 且 NFET T10 為 OFF。輸出端點 1730 係於接地，使 PFET T30 ON，其驅動端點 1730' 至  $V_{HIGH}$ ，使 PFET T40 OFF。然而，若驅動器 1705 係於零伏特，則 NFET T20 為 OFF 且 NFET T10 為 ON。端點 1730' 係於零伏特，使

20 PFET T40 ON，其驅動端點 1730 至  $V_{HIGH}$ ，使 PFET T30 OFF。 $V_{SOURCE}$  係於電壓  $V_{HIGH}$ ，其典型可從例如 5 至 8 伏特之範圍，導致對於連接的 NV NT 開關(例如圖 8 所示之閃鎖 82 中的 NV NT 開關 83，其端點 1730 連接至端點 84)之狀態的改變。

當驅動 NV NT 開關(如圖 8 中所示之開關 83)時，電流限制電路的加入會促進從 ON 狀態轉變成 OFF 狀態或從 OFF 狀態轉變成 ON 狀態。驅動器 1700' 係與驅動器 1700 相同，除了電壓轉換器 1710 之輸出節點 1730 係連接至轉換裝置 1715 之第一端點，其閘極(第二端點)係由  $V_{I-CONTROL}$  所控制，其第三端點提供電流 I 之輸出電壓  $V_{SOURCE}$ 。電流 I 係由電壓  $V_{I-CONTROL}$  輸入電壓以及於端點 1730 及 1735 之電壓所決定。轉換裝置 1715 可在線性區域中操作，或電流飽和區域。驅動器電路 1700 提供  $V_{SOURCE}$  及電流限制 I 於輸出端點 1735。 $V_{SOURCE}$  係於電壓  $V_{HIGH}$ ，其典型可從例如 5 至 8 伏特之範圍，導致對於連接的 NV NT 開關(例如圖 8 所示之閘鎖 82 中的 NV NT 開關 83，其端點 1735 連接至端點 84)之狀態的改變。電流 I 典型可被控制在 1 至  $50 \mu A$  範圍。

操作時，驅動器 1700' 係類似於以上所述之驅動器 1700 的操作；除了當供應輸出電壓  $V_{SOURCE}$  時電流被限制至電流 I。

當驅動圖 8 所示之開關 83 的 NV NT 開關時，使用轉換閘極(例如圖 17B 所示之轉換閘極 1715)之電流限制電路的加入不會提供足夠的電流控制。圖 17C 所示之驅動器 1700'' 引入電流鏡 1720 以更精確控制電流 I'。電流 I' 係由串聯 NFET T50(其閘極連接至汲極，源極連接至  $V_{SS}$ )之電阻器 R 所決定。NFET T55 亦使源極連接至  $V_{SS}$ 、閘極連接至 NFET T50 之閘極，汲極連接至 PFET T60 之汲極。PFET T60 之源極係連接至電壓轉換器 1710 之輸出 1730，且 PFET T60 之

閘極與汲極係連接。輸出 PFET T65 使閘極連接至 PFET T60  
 之閘極，PFET T65 之源極連接至端點 1730，PFET T65 之汲  
 極驅動輸出 1740，其係連接至 NV NT 開關之一端點。PFET  
 T65 裝置供應  $V_{SOURCE}$ ，而電流限制於  $I'$ 。驅動器電路 1700''  
 5 提供  $V_{SOURCE}$  及限制於  $I'$  之電流於輸出端點 1740。 $V_{SOURCE}$   
 係於電壓  $V_{HIGH}$ ，其典型可從例如 5 至 8 伏特之範圍，導致  
 對於連接的 NV NT 開關(例如圖 8 所示之閃鎖 82 中的 NV NT  
 開關 83，其端點 1740 連接至端點 84)之狀態的改變。電流  $I'$   
 典型可被控制在 1 至  $50 \mu A$  範圍。

10 操作時，驅動器 1700'' 係類似於以上所述之驅動器 1700'  
 的操作；除了當供應輸出電壓  $V_{SOURCE}$  時，電流係藉由使用  
 電流鏡而被限制至電流  $I'$ 。電流鏡 1720 提供輸出電流的較  
 佳控制。電流鏡操作係說明於參考文件 R. J. Baker, "CMOS:  
 Circuit Design, Layout, and Simulation", IEEE Press, 1998, pp.  
 15 427-433。

圖 1C 所示之 NV NT 開關循環結果 16 顯示具有約  
 10kOhm 至 50kOhm 的範圍之 ON 電阻  $R_{ON}$  及具有大於  
 10GOhm 之 OFF 電阻  $R_{OFF}$  之操作範圍。NV NT 開關電阻值  
 之此 ON 及 OFF 範圍可被使用於延遲電路之多次調整，以在  
 20 製造時及與現場中的產品操作期間(如上所述)，用於時序最  
 佳化。

NV NT 開關  $R_{ON}$  及  $R_{OFF}$  值已被測量為在製成時  
 (as-fabricated)(於 ON 狀態)及在循環後。一些 NV NT 開關對  
 於在製成時的及循環的  $R_{ON}$  值顯示類似值。其它 NV NT 開

關顯示較低的在製成時的  $R_{ON}$  值及較高的循環的  $R_{ON}$  值，於一些情形，循環的  $R_{ON}$  值可為高於例如 10X。 $R_{OFF}$  值典型在 1GOhm 及較高的範圍。

5 **非揮發性奈米管開關 ON-電阻控制電路及於 NRAM 記憶體的集成 (Nonvolatile Nanotube Switch ON-Resistance Control Circuit and Integration in an NRAM memory)**

NV NT 開關電阻係由 SWNT-to-SWNT ; MWNT-to-MWNT ; 及 SWNT-to-MWNT 組合之串聯/並聯組合形成，其在兩個端點間形成連續的電器路徑(如圖 9C 之 NV NT 開關 90’’)。NV NT 開關 OFF 電阻值係典型為 100MOhms 及更高且通常大於 10GOhms，且係典型大於 ON 電阻值好幾階的強度。NV NT 開關 ON 電阻值可從例如 1kOhms 至 1MOhms。圖 1C 所示之 NV NT 開關 ON 及 OFF 電阻循環結果 16 在程式化 OFF-to-ON 狀態從大於 10GOhms 轉變至 10kOhms 至 50kOhms 之 ON 電阻範圍的期間，使用可程式化的實驗室電壓源及電流限制。對於特定應用，例如美國專利申請案第 11/280,786 及 11/280,599 號所述之 NRAM 陣列，期望達成較緊密的 ON 電阻分布，例如不大於 2X 之電阻範圍變化。用以程式化 NV NT 電路之電阻控制電路係進一步說明如下。

20 圖 17D 顯示驅動 NRAM 陣列單元 1760 於選擇的狀態之非揮發性奈米管開關電阻控制電路 1755，其中 NV NT 開關電阻控制電路 1755 係被使用以控制程式化操作(NV NT 開關 OFF-to-ON 轉變)期間所造成的非揮發性奈米管開關 SW 電

阻值  $R_{SW}$ 。假設非揮發性奈米管開關 SW 電阻值  $R_{SW}$  在程式化循環的開始係於抹除的高電阻狀態(例如  $100M\Omega$  至  $1G\Omega$  或更高)。字線 WL 被帶至高電壓，其以一序列電阻  $R_{ON}$  使選擇電晶體  $T_{SELON}$ ，於 NRAM 陣列單元 1760 中選擇非揮發性奈米管開關 SW。沿著位元線 BL 之其他選擇電晶體保持在 OFF 狀態，使得沿著位元線 BL 之其他非揮發性奈米管開關被選擇供程式化。

圖 17D 所示之非揮發性奈米管開關電阻控制電路 1755 包含修改的晶片上差分放大器 1745、位元線驅動器 1750、電阻器 R1 及 R2、及輸出 PFET T6。差分放大器設計、操作、及模擬係說明於 R. Baker et al., "CMOS: Circuit Design, Layout, and Simulation", IEEE Press, 1998, pp. 579-595，且驅動器電路設計及操作係說明於 H.B. Bakoglu, "Circuits, Interconnections, and Packaging for VLSI", Addison-Wesley Publishing Company, Inc, 1990, pp. 171-178，其全部內容係併入於此作為參考。串聯的電阻器 R1 及 R2(具有電壓  $V_A$  之節點 A，且電流為 I)已被加入於差分放大器 1745 之第一輸入，其亦為圖 17D 所示之 NFET T2 的閘極。圖 17D 亦包含輸出 (PMOS)裝置 T6，具有大寬度 W 至通道長度 L(W/L)比，例如 10/1 至 100/1 或更大，T6 之源極連接至電壓位元線驅動器 1750 輸出  $V_{DR}$ ，且 T6 之汲極於 NV NT 開關電阻控制電路 1755 之電壓  $V_B$  連接至共同節點 B。PFET T6 之閘極係連接至差分放大器 1745 輸出 D。NV NT 開關電阻控制電路 1755

輸出節點 B 亦連接至差分放大器 1745 之第二輸入，其亦為 NFET T3 之閘極，且亦至 NRAM 陣列單元 1760 之位元線 BL。位元線驅動器 1750 輸出電壓  $V_{DR}$  係被供應至電阻器 R1 之一端點、PFET T6 之源極、及至差分放大器 1745 之電壓供應。電阻網路係形成，其包含 R1、R2、PFET T3 之通道電阻、及  $R_{SW}$ ，其中  $R_{SW}$  為 NRAM 陣列單元 1760 中非揮發性奈米管開關 SW 之電阻，係被用以控制開關 SW 之經程式化的電阻值  $R_{SW}$ ，如圖 17D 所示。操作時，如後文所述，程式化電壓  $V_B = V_{PROG}$  且電流  $I_{BL}$  導致開關 SW 從 OFF-to-ON 狀態的轉變，且當電壓  $V_B$  大約等於電壓  $V_A$  時，電流係降低至程式化電流值以下。程式化電流值可在美國專利申請案第 11/280,786 號所述之  $1 \mu A$  至  $50 \mu A$  範圍內。

操作時，電晶體 T1、T2、T4 典型在 ON 狀態。電晶體 T2 係於線性區域中，由電阻器 R1 及 R2 所控制。於 PFET T5 之閘極上的電壓係由共同節點 C 所控制。電晶體 T3 控制共同節點 D 的位準。 $R_{SW}$  從高電阻 OFF 狀態至較低的電阻 ON 狀態之初始轉變期間，PFET T6 係於 ON 狀態(線性區域)。NV NT 開關電阻控制電路 1755 中 FETs 之 W/L 比係使用對於 FETs 給定技術節點(及對於選擇的通道長度及寬度之對應的非揮發性奈米管開關 SW)為已知的電路模擬技術(例如參見上述參考文件 Baker et al.)來最佳化，使得當 NV NT 開關 SW 之  $R_{SW}$  係於預定的 ON 電阻值時，NV NT 開關電阻控制電路 1755 使電晶體 T3 OFF，其導致節點 D 上升且使 PFET T6 OFF，因此結束程式化循環於 NV NT 開關 SW ON 電阻值



$R_{SW}$ 。NV NT 開關 SW 之 ON 電阻值可被程式化至預定的電阻值，例如 1kOhm 至 1MOhm 範圍，其當  $V_B$  大約等於  $V_A$  時發生。

當  $V_{DR}$  接近程式化電壓值  $V_{PROG}$  時(典型在例如 3.5 至 8 伏特範圍)， $R_{SW}$  被程式化且  $R_{SW}$  轉變至 ON 狀態。程式化期間，當  $R_{SW}$  的值非使用電路(例如 NV NT 開關電阻控制電路 1755)而被直接控制時， $R_{SW}$  之後程式化(post-program)ON 電阻值可在例如 10KOhm 至 1MOhm 範圍，非揮發性奈米管開關 SW 之 ON 狀態中啟動的串聯/並聯路徑之數量的函數。當開關經過從 erase-to-program 至 erase-to-program 的循環百萬次循環，對於相同的開關， $R_{SW}$  之 ON 電阻值的值可從例如 10KOhm 至 1MOhm 範圍。開關電阻控制電路 1755 確保開關 SW 之 ON 電阻大約等於 10KOhm 至 1MOhm 範圍的值，例如可選擇 25KOhm。

圖 17E 顯示電阻控制的 NV NT 開關記憶體次系統 1765，其包含 NRAM 陣列單元 1760、用於控制的 NV NT 開關 ON 電阻程式化、及抹除、讀取之 NV NT 開關電阻控制電路 1755、控制器、資料 I/O 緩衝器、感測放大器、及圖 17E 所示之其他電路(將於後文詳述)。

具有輸入 INP1 至 INPN 之控制器 1770 係被使用以提供邏輯功能及時序控制訊號。PFET T10 係被使用以在其他操作(例如抹除及讀取)期間隔離 NV NT 開關電阻控制電路 1755 與位元線 BL。PFET T10 之 W/L 比係足夠大，使 PFET T10 之 ON 電阻可忽略(相較於電晶體 T6 之 ON 電阻)

於程式化操作時，控制器 1770 啟動資料 I/O 緩衝器 1785，其從 I/O 訊號節點接收輸入資料。控制器 1770 使 PFET T10 ON，電氣地連接 NV NT 開關電阻控制電路 1755 及位元線 BL。控制器 1770 亦 NV NT 開關電阻控制電路 1755 中之  
5 啟動位元線驅動器 1750，其提供輸出  $V_{DR}$  (如關於圖 17D 於上所述者) 供控制的開關電阻程式化操作。

讀取預充電電路 1775 包含 PFET T12 及 NFET T14 所形成之反相器及預充電 PFET T16 且係連接至位元線 BL、電壓源  $V_{READ}$ 、及控制器 1770。位元線 BL 亦透過隔離電晶體 T18  
10 而連接至感測放大器/門鎖 1780，其在讀取操作期間為 ON。感測放大器門鎖 1780 亦連接至資料 I/O 緩衝器 1785 及控制器 1770，電壓源  $V_{SENSE}$  可為例如 1 至 5 伏特， $V_{REF}$  可為例如 1 至 2 伏特。

讀取操作時，控制訊號供應預充電啟動訊號  $V_{PC}$  至預充電電路 1775，預充電位元線 VL 至  $V_{READ}$ ，例如 1 至 2 伏特。  
15 控制器 1770 亦啟動隔離電晶體 T18、提供感測放大器啟動訊號  $V_{SP}$  及  $V_{SN}$ 、及設定資料 I/O 緩衝器 1785 以從感測放大器/門鎖 1780 接收讀取輸出訊號並施加對應的邏輯輸出訊號至 I/O 訊號節點。控制器 1770 去啟動(deactivate)程式化電路  
20 NV NT 開關電阻控制電路 1755、隔離 PFET T10、及抹除驅動器 1790。

抹除驅動器 1790 係連接至位元線 BL、抹除電壓源  $V_{ERASE}$ 、及控制器 1770。 $V_{ERASE}$  係典型為例如 5 至 12 伏特範圍內。

於抹除操作，NRAM 陣列單元 1760 係藉由使  $T_{SEL}$  電晶體為 ON 而啟動。抹除驅動器 1790 輸出電壓接著從零至陡到(ramp)  $V_{ERASE}$ 。若開關 SE 係於 ON 狀態，則開關 SW 轉變至 OFF 狀態。若開關 SE 係於 OFF 狀態，則其保持於 OFF 狀態。在開關 SW 被抹除後，接著抹除驅動器 1790 輸出電壓轉變至零伏特。於 OFF 狀態之抹除驅動器 1790 展現對位元線 BL 之高阻抗。控制器 1770 去啟動程式化電路 NV NT 開關電阻控制電路 1755、預充電電路 1775、感測放大器 1780 及隔離 NFET T18。

圖 18A 顯示 11 個不同 NV NT 開關在 80kOhm 至 700kOhm 的範圍內之在製成時(as-fabricated) $R_{ON}$  電阻值 1800。圖 18B 顯示 11 個不同 NV NT 開關在 50 個循環後之  $R_{ON}$  及  $R_{OFF}$  電阻分布 1800'。循環後之  $R_{ON}$  分布係在 700kOhm 至 8MOhm 的範圍內。所有 11 個不同 NV NT 開關的  $R_{ON}$  循環後之電阻係太高而不感興趣於多次循環。然而，對於在從製造者運送之前時序被最佳化的 OTP 應用，11 個開關中的 9 個在 80kOhm 至 200kOhm 的範圍內之在製成時(as-fabricated) $R_{ON}$  電阻值係感興趣，因為在製成時(as-fabricated) $R_{ON}$  電阻為高且需要低電流以從 ON 狀態切換至 OFF 狀態。門鎖電路電阻跳脫點可增加至高至 400kOhm 至 500kOhm，以適應相對高的在製成時(as-fabricated) $R_{ON}$  電阻。電阻跳脫點調整係關於圖 7 及 8 於上詳述。

**使用非揮發性奈米管開關電阻控制之非揮發性奈米管開關多級儲存器(Nonvolatile Nanotube Switch Multilevel**

### *Storage Using Nonvolatile Nanotube Switch Resistance Control)*

NV NT 電阻可藉由個別奈米管及接點端點 (例如 first-contact-to-SWNT-to-SWNT-to-second-contact resistance; first-contact-to-SWNT-to-MWNT-to-second-contact resistance; first-contact-to-MWNT-to-SWNT-to-second-contact resistance; 及其他組合) 的路徑 (或網路) 電阻/阻抗之串聯/並聯結合來形成。藉由抹除操作 (其亦可稱為寫入 0 (write 0) 操作), 第一接點及第二接點間之 NV NT 開關電阻可被切換至高電阻狀態  $R_{OFF}$  (例如 100M $\Omega$  至 1G $\Omega$  及更高, 例如 10G $\Omega$ )。NV NT 開關之電壓對比 SEM 顯示於美國專利申請案 (案號尚待指定), 發明名稱為 "Nonvolatile Nanotube Diodes and Nonvolatile Nanotube Blocks and System Using Same and Methods of Making Same", 與本案同時申請, 並對於  $R_{OFF}$  在第一接點與第二接點間顯示不連續的 (*discontinuous*) 電氣路徑 (網路)。替代地, 藉由程式化操作 (其亦可稱為寫入 1 (write 1) 操作), 第一接點及第二接點間之 NV NT 開關電阻可被切換至低電阻狀態  $R_{ON}$  (例如 1k $\Omega$  至 1M $\Omega$  間)。相同 NV NT 開關之電壓對比 SEM 係如上所述且對於  $R_{ON}$  在第一接點與第二接點間顯示連續的 (*continuous*) 電氣路徑 (網路)。NRAM 記憶體陣列操作 (例如抹除 (寫入 0)、程式化 (寫入 1)、讀取) 係定義於美國專利公開案第 2006/0250856 號, 其全部內容係併入於此作為參考。

藉由以圖 17E 所示之 NRAM NV NT 開關記憶體系統

1765 使用反饋方式，於 NRAM 陣列單元 1760 所示之 NV NT 開關 SW 的 NV NT 開關電阻值  $R_{SW}$  可被設定至預定值。圖 17E 顯示電阻控制電路 1755，基本上是一差分放大器，由經由電晶體 T6 及 T10 供應電壓及電流至 NRAM 陣列單元 1760 之位元線驅動器供給電源。電晶體 T6、T10、及  $T_{SEL}$  之 FET 通道 ON 電阻係典型比 NV NT 開關電阻  $R_{SW}$  小的多，故幾乎所有位元線驅動器 1750 電壓  $V_{DR}$  顯示越過 NV NT 開關 SW。控制器 1770 導致位元線驅動器 1750 供應陡(ramp)的或多個增加強度的脈衝  $V_{DR}$  至位元線 BL，其係接著經由選擇電晶體  $T_{SEL}$  而被供應至 NV NT 開關 SW。假設於 NRAM 陣列單元 1760 之 NV NT 開關 SW 係於抹除的或  $R_{OFF}$  狀態，則所施加的陡或多個增加強度的脈衝  $V_{DR}$  導致 NV NT 開關 SW 之電阻轉變至 ON 狀態  $R_{ON}$ 。 $V_{DR}$  繼續增加直到  $R_{SW} \doteq R_2$ ，於該點，電阻控制電路 1755(差分放大器)關斷電晶體 T6 及程式化操作(寫入 1)至期望的  $R_{ON}$  值係完成。因此，NV NT 開關 SW  $R_{ON}$  (對應至  $R_{SW}$ ) 值大約等於  $R_2$ 。 $R_2$  可在大範圍內改變，導致在 kilo-Ohm 範圍中覆蓋大範圍的  $R_{ON}$  電阻值之  $R_{ON}$  ( $R_{SW}$ ) 值。 $R_{ON}$  及  $R_{OFF}$  係非揮發性電阻狀態，其在沒有施加電壓的情形係維持不變。差分放大器(例如使用於電阻控制電路 1755 之差分放大器)的說明請參見 Baker et al., "CMOS Circuit Design, Layout, and Simulation", IEEE Press, pp. 579-591(1998)。

當電阻控制電路 1755 係被使用以程式化於 NRAM 陣列單元 1760 之 NV NT 開關 SW 中  $R_{ON}$  電阻值時(圖 17E 所示

NV NT 開關記憶體次系統 1765 之範例)，控制器 1770 及感測放大器/閘鎖 1780 可被使用以達成  $R_{ON}$  電阻值控制，而不需電阻控制電路 1755。如後文所述者，對應至美國專利公開案第 2006/0250856 號所述的 NRAM 記憶體陣列及對應至 NV NT 開關記憶體次系統 1765(但沒有電阻控制電路 1755)之製成的 8Kb NRAM 記憶體係被測試及展示電阻改變(從超過 100M $\Omega$  之高電阻  $R_{OFF}$  狀態(大部份 NV NT 開關電阻值超過 1G $\Omega$ )至多個低非揮發性  $R_{ON}$  電阻狀態(係程式化於約 50k $\Omega$  至 1M $\Omega$  的電阻範圍))。藉由電壓調制來程式化多個非揮發性  $R_{ON}$  電阻狀態係由施加多個增加位元線電壓程式化脈衝及包含的由在每一電壓脈衝之後 NV NT 開關電阻狀態之單元讀出(cell readout)所達成。美國專利公開案第 2006/0250856 號所述之 NRAM 記憶體陣列包含非揮發性儲存單元 C00 至 Cnm 矩陣。NRAM 記憶體陣列亦包含抹除(寫入 0)、程式化(寫入 1)、及讀取字線(WL0、WL1、至 WLn)；抹除(寫入 0)、程式化(寫入 1)、及讀取字線(WWL0、WWL1、至 WWLn)；及抹除(寫入 0)、程式化(寫入 1)、及讀取位元線(BL0、BL1、至 BLm)。字線訊號產生器(未圖示)提供字線訊號至記憶體單元。次級字線訊號產生器(未圖示)提供次級字線訊號至記憶體單元。於一些應用，次級字線皆連接至參考電壓(例如接地)。位元線產生器(未圖示)提供位元線訊號至記憶體單元。製成的 8Kb NRAM 記憶體包含可選擇的選項之電壓感測(類似於感測放大器/閘鎖 1780)或電流感測。電流感測可包含任何已知電流感測電路，例如圖 27 之電流差

分感測放大器且對應的說明 Baker et al., "CMOS Circuit Design, Layout, and Simulation", IEEE Press, pp. 607-608(1998)。

藉由非揮發性  $R_{ON}$  電阻狀態之程式化亦使用製成的 8Kb  
 5 NRAM 記憶體陣列(如上所述)來測量，其係藉由施加多個增加位元線電壓程式化脈衝及包含的由在每一電壓脈衝之後 NV NT 開關電阻狀態之單元讀出(cell readout)所達成。非揮發性  $R_{ON}$  電阻之電流調制係詳細說明如下。

NV NT 開關可在大範圍的電阻狀態間被程式化，如後所述。多級儲存器(文中使用作為儲存器元件的 NV NT 開關)涉及多個電阻狀態於每一 NV NT 開關並對應至於相同 NV NT 開關之多個邏輯狀態的儲存器。例如，對於每個 NV NT 開關，兩個電阻狀態(例如  $R_{OFF}$  及  $R_{ON}$ )對應至一個邏輯狀態的儲存器或資訊的一個位元。然而，對於每個 NV NT 開關，  
 10  $R_{OFF}$  及三個  $R_{ON}$  電阻狀態(值)對應至兩個邏輯狀態或資訊的兩個位元。因為多級儲存器或狀態涉及多個 NV NT 開關電阻狀態，其他術語(例如多態儲存器、多電阻狀態(multiresistance states, multiple resistance states)、及其他變化)可使用於後文中。

20 使用非揮發性奈米管開關電阻之程式化電壓調制的程式化多 NRAM 單元電阻狀態(*Programming Multiple NRAM Cell Resistance States Using Programming Voltage Modulation of Nonvolatile Nanotube Switch Resistance*)

記憶體測試器係被使用以控制製成的 8Kb NRAM 記憶

體(如上所述)。該記憶體測試器提供位址、資料、時序、及其他功能至製成的 8Kb NRAM 記憶體操作。時序係在晶圓階層(wafer level)而一些時序係在模組階層(module level)。於替代實施例，可使用其他測試機構。於此範例，8Kb NRAM 記憶體之 1Kb NRAM 子集係被測試，其次級字線係使用字線及位元線接地且 NRAM 記憶體陣列單元係被存取。抹除(寫入 0)操作係被執行且超過 1000 位元被切換至至少 100M $\Omega$ 之 OFF 電阻( $R_{OFF}$ )狀態。接著，對於啟動的字線，位元線電壓脈衝係經由選擇 FET 裝置而被供應至對應的 NV NT 開關。施加的位元線程式化電壓脈衝開始於 2.4 伏特且在 200mV(0.2V)步驟增加至 7 伏特。每一個脈衝之後，完成測試器讀數，以決定有多少 1000+位元以至少 1  $\mu$ A 的電流來通電(用約 1V 之施加的讀出電壓，使用約 1  $\mu$ A 的電流偵測位準之電流感測放大器/閘鎖)。此外，實際單元電流量測係由記憶體測試器所記錄。以至少 1  $\mu$ A 的電流來通電之 NV NT 開關係於多個非揮發性  $R_{ON}$  電阻狀態。圖 19 提供本測試範例的結果之各種圖形表示。

圖 19A 顯示用 1V 的讀出電壓以至少 1  $\mu$ A 的電流來通電之位元的數量與施加至該位元線的程式化電壓  $V_{PP}$  之函數之圖形表示 1900。當施加越多的增加強度的電壓脈衝  $V_{PP}$  時，有越多的開關從 OFF 高電阻狀態( $R_{OFF}>100M\Omega$ )轉變至多  $R_{ON}$  電阻狀態。圖 19B 顯示位元(單元)的數量與測量的單元電流之函數的圖形表示 1910。由於 NV NT 開關電阻比選擇 FET 通道電阻大的多，故幾乎所有的 1 伏特讀出電壓顯



示越過 NV NT 開關。NV NT 開關電阻可藉由將 1 伏特讀出電壓除以對應的單元讀出電流來計算，因為 NFET 串聯電阻係比 NV NT 開關電阻小的多。圖 19C 顯示位元的數量與對於大於 1000 個開關之多  $R_{ON}$  電阻狀態之函數的圖形表示 1920。 $R_{ON}$  電阻狀態值的範圍係從 50kOhms 至 1MOhm，而對應的單元電流的範圍係從約零(此範例中，2 位元沒有切換且係不可操作的，典型由冗餘位元代替來修正)至約  $20 \mu A$ 。 $R_{OFF}$  電阻狀態係超過 100MOhm，其電流比 10nA 小的多。

NV NT 開關多電阻狀態係接地成三個  $R_{ON}$  範圍及一個  $R_{OFF}$  範圍，如圖形表示 1920 所示。約 10% 的位元(開關)具有小於 150kOhms 之  $R_{ON}$  及對於 1V 的讀出電壓大於  $7 \mu A$  之對應的單元讀出電流；約 30% 的位元(開關)具有在 150kOhm 至 250kOhm 範圍之  $R_{ON}$  及對於 1V 的讀出電壓在  $6 \mu A$  至  $4 \mu A$  之對應的單元讀出電流；約 60% 的位元(開關)具有在 250kOhm 至 1MOhm 範圍之  $R_{ON}$ 。於此範例，我們決定程式化所有 1000+位元。未經程式化的位元具有大於 100MOhm 範圍之  $R_{OFF}$  及對於 1V 的讀出電壓典型小於 10nA 之對應的單元讀出電流。於其他範例，可使用不同電阻範圍。

圖形表示 1920 所示之 8Kb NRAM 記憶體之 1000+位元子集的測試結果顯示四個電阻狀態範圍與四個對應的讀出電流範圍。如圖 27 之電流差分感測放大器所示之電流感測放大器及對應的說明 Baker et al., "CMOS Circuit Design, Layout, and Simulation", IEEE Press, PP. 607-608(1998)係能夠藉由使用多電流感測放大器參考值來偵測多電流範圍。於

此範例，四個電阻範圍可對於具有三個  $R_{ON}$  電阻狀態及一個  $R_{OFF}$  電阻狀態之相同 NV NT 開關被界定。這四個電阻狀態可由電流感測放大器/門鎖轉譯成對應的邏輯狀態 00, 01, 10, 11。若每一位元由 1 及 0 值組成，則每個 NV NT 開關可儲存兩個位元。電阻狀態的數量不限於四個，於每一個 NV NT 開關，實質上可大於四個邏輯狀態或兩個位元。

應注意的是，當多個  $R_{ON}$  電阻狀態係藉由施加多程式化 (寫入 1) 脈衝至 NRAM 記憶體陣列單元以降低電阻從  $R_{OFF}$  狀態至期望的  $R_{ON}$  值(如上所述)而達成時，測試亦被完成(結果未顯示)，顯示增加強度之多抹除(寫入 0)電壓脈衝增加  $R_{ON}$  電阻至漸增地高  $R_{ON}$  值及至高電阻狀態  $R_{OFF}$ 。因此，多電壓脈衝可使用程式化及抹除操作而被使用以達成期望的 NV NT 開關電阻值。

*使用非揮發性奈米管開關電阻之程式化電流調制的程式化多 NRAM 單元電阻狀態(Programming Multiple NRAM Cell Resistance States Using Programming Current Modulation of Nonvolatile Nanotube Switch Resistance)*

上述之製成的 8Kb NRAM 記憶體(於目前的範例)係被設計以施加電壓脈衝至 NRAM 記憶體陣列位元線。為了評估電流脈衝的使用以程式化多個  $R_{ON}$  電阻狀態，上述測試方法被修改。記憶體測試器操作期間，選擇的 8Kb NRAM 記憶體陣列單元之方塊係被抹除至高電阻  $R_{OFF}$  狀態。接著，選擇的次級字線被產生脈衝(pulsed)至 6.7 伏特之程式化電壓，位元線被接地，且在每一單元中，選擇的字線被使用以

調制選擇電晶體的閘極電壓，從而控制流經對應的開關之電流。每一 3.7 伏特程式化脈衝後，選擇的次級字線係接地，1 伏特的讀出電壓被施加至選擇的位元線，選擇的字線係被啟動，且單元電流讀出測量係藉由記憶體測試器而被完成，如  
5 上所述。

於此範例，施加的次級字線電壓 6.7 伏特比施加至選擇 FET 電晶體閘極以形成對應的 FET 導電通道的字線電壓大的多，故該 FET 係在其操作的飽和區域內。FET 飽和電流  $I_{SAT}$  亦流經串聯 FET 之 NV NT 開關。圖 19D 中之表 1930 顯示施加的字線電壓 ( $V_{WLO}$ ) 之範圍從 0.9 伏特至 1.4 伏特及經計算之對應的飽和電流  $I_{SAT}$ 。 $I_{SAT}$  並非被直接測量，而是從在每一程式化循環後之單元讀出操作期間測量的讀取電流  $I_{READ}$  來計算。中數 (median) 單元讀出電流  $I_{READ}$  係以 1 伏特的位元線電壓來測量且係記錄於圖 19D。中數  $I_{READ}$  電流值  
10 對應至超過 15,000 個電流值。

程式化 (寫入 1) 操作期間，FET 通道電阻係比 NV NT 開關電阻值小的多。因此，幾乎所有的施加至選擇的次級字線之 6.7 伏特顯示越過對應的 NV NT 開關。由選擇 FET 電晶體所控制的飽和電流  $I_{SAT}$  流經對應的 NV NT 開關導致透過開關  $I_{SAT} \times R_{SW}$  ( $I_{SAT} \times R_{ON}$ ) 之電壓降。由於越過 NV NT 開關之電壓約為 6.7 伏特，則經程式化的電阻值  $R_{ON} \doteq 6.7/I_{SAT}$ 。 $I_{SAT}$  並非可直接測量的。然而，由於  $R_{ON}$  係非揮發性電阻值，且 1 伏特的讀出電壓係太低而無法擾亂非揮發性電阻狀態，故在讀出期間  $R_{ON}$  的值為相同，如其在程式化 (寫入 1) 操作  
20

後。因此， $I_{\text{READ}} \times R_{\text{ON}} = 1$  伏特且  $I_{\text{SAT}} \doteq I_{\text{READ}} \times 6.7/1$ 。因此，圖 19D 顯示之  $I_{\text{SAT}}$  值為中數飽和的電流值，其係由中數  $I_{\text{READ}}$  電流值乘以 6.7 倍而計算出。中數  $R_{\text{ON}}$  電阻值對應至中數  $I_{\text{SAT}}$  值且可由  $I_{\text{SAT}}$  除以 6.7 伏特而計算出。

5 圖 19E 顯示中數飽和電流  $I_{\text{SAT}}$  與中數開關電阻  $R_{\text{ON}}$  之圖形表示 1940。圖形表示 1940 顯示使用增加電流強度(從約  $3.5 \mu\text{A}$  至  $8 \mu\text{A}$ )之多電流脈衝施加至 NV NT 開關的電流程式化脈衝，導致中數  $R_{\text{ON}}$  電阻的範圍從約  $1.9\text{M}\Omega$  至  $830\text{k}\Omega$ 。因此，多電阻狀態  $R_{\text{ON}}$  的程式化可使用電流程式化以及上述之電壓程式化來達成。

10 藉由測試製成的 8 kb NRAM 記憶體塊(顯示大量位元的行為)，圖 19 顯示在非揮發性電阻狀態  $R_{\text{OFF}}$  及非揮發性多 ON 電阻狀態  $R_{\text{ON}}$  之大量的 NV NT 開關。上述之抹除、程式化、及讀取方法係被使用。這些測試結果顯示：在由一序列 FET 電晶體選擇且被用來作為非揮發性儲存節點的 NRAM 15 記憶體單元中之個別的 NV NT 開關可被抹除或程式化，以儲存多非揮發性電阻狀態。這些多非揮發性電阻狀態可被使用以儲存多邏輯狀態於每一 NRAM 記憶體單元之每一 NV NT 開關。程式化方法包含增加強度的電壓脈衝及增加強度的電流脈衝，其降低  $R_{\text{ON}}$  的值。多抹除電壓脈衝可被使用以 20 增加  $R_{\text{ON}}$  值，從較低至較高  $R_{\text{ON}}$  值或至高電阻狀態  $R_{\text{OFF}}$ 。在特定應用中，亦可使用其他程式化方法。

使用以形成包含多態儲存及可再程式化的非揮發性阻抗網路之非揮發性奈米管快閃(NFlash)記憶體的實現)

*(Implementation of Memory Cells used to form Nonvolatile Nanotube Flash (NFlash) Memories Including Multistate Storage and Reprogrammable Nonvolatile Impedance Networks)*

5            NRAM 記憶體儲存邏輯狀態(依照  $R_{OFF}$  及一個  $R_{ON}$  狀態), 或多位準儲存(包含  $R_{OFF}$  及多個  $R_{ON}$  值)係關於如上所述具有選擇 FET 及 NV NT 開關串聯之 NRAM 記憶體陣列單元。然而, 亦可能形成亦能夠儲存  $R_{OFF}$  及一個  $R_{ON}$  的選擇 FET 及 NV NT 開關或包含  $R_{OFF}$  及多個  $R_{ON}$  值之多位準(多電阻)儲存(如上述關於 NRAM 記憶體應用者)之並聯組合。並聯 FET 及 NV NT 開關組合導致新記憶體、邏輯、及類比應用的多樣性, 因為選擇方法不同, 且因為並聯 FET/NV NT 開關可與置於 FET 電晶體之上的 NV NT 開關形成, 從而較串聯組合佔有較小的面積。NV NT 電氣特性係與電壓極性及電流方向無關。

20            圖 20 顯示包含 FET 電晶體 2010 及 NV NT 開關 2030(亦關於 NRAM 記憶體陣列單元於前所示)在共同節點 2040 連接的串聯組合之串聯電路 2000。FET 2010 具有閘極 G(其控制 FET 之通道區域導電)、汲極 2050(連接至端點 T1)、及 FET 2010 源極(與 NV NT 開關 2030 之一端點連接於共同節點 2040)。第二 NV NT 開關 2030 端點 2060 係連接至端點 T2。FET 2010 為對稱裝置, 故汲極及源極可互換使用。FET 2010 之 ON 通道電阻比任何的 NV NT 開關 2030 之多電阻值低的多(例如至少低於 10x)。

圖 21 顯示包含 FET 2120 及 NV NT 開關 2130 的並聯組合之並聯電路 2100。FET 2120 具有閘極 G'，其控制 FET 之通道區域導電。FET 2120 汲極係在共同節點 2140 連接至 NV NT 開端 2130 的一個端點(其亦連接至端點 T1)，且 FET 2120 源極係在共同節點 2145 連接至 NV NT 開關 2130 的另一個端點(其亦連接至端點 T2)。製造的各種方法可被使用以置放 NV NT 開關 2130 於 FET 2120 之上，以得到較佳的密集度。FET 2120 之 ON 通道電阻比任何 NV NT 開關 2130 之多電阻值小的多。NV NT 開關 2130 的最高電阻值可被控制，以致於不會實質高於 FET 2120 的 OFF 電阻值，以確保對於並聯電路 2100 而言 ON 及 OFF 導電狀態間有足夠的電流控制。例如，NV NT 開關 2130 可被程式化於約 50kOhm 至 1MOhm 電阻範圍，如圖 19C 中圖形表示 1920 所示。

圖 22 顯示包含 FET 2210、FET 2220 及 NV NT 開關 2230 之串聯/並聯組合的串聯/並聯電路 2200。FET 2220 具有閘極 G'，其控制 FET 通道區域導電。FET 2220 汲極係在共同節點 2240 連接至 NV NT 開關 2230 的一個端點(其亦連接至 FET 2210 源極)。FET 2210 通道區域導電係由閘極 G 所控制，且汲極 2250 係連接至端點 T1。FET 2220 源極係在共同節點 2245 連接至 NV NT 開關 2230 的另一個端點(其亦連接至端點 T2)。製造的各種方法可被使用以置放 NV NT 開關 2230 於 FET 2220 之上，以得到較佳的密集度。FET 2220 之 ON 通道電阻比任何 NV NT 開關 2230 之多電阻值小的多(例如至少小於 10x)，如上關於並聯電路 2100 所述者。串聯 FET

2210 ON 通道電阻亦小於任何 NV NT 開關 2230 之多電阻值 (例如至少小於 10x)，如上關於串聯電路 2000 所述者。

圖 21 所示之並聯電路 2100 的多組合可被使用於記憶體應用，以形成密集的以奈米管為基的非揮發性快閃記憶體 (此應用中稱為 NFlash 記憶體，將進一步說明於後文)。並聯電路 2100 及串聯/並聯電路 2200 之多串聯及串聯/並聯組合可被使用以形成非揮發性可程式化的阻抗電路，例如電阻及電容類比網路，將進一步說明於後文。

*包含多位準(多電阻)狀態儲存之非揮發性奈米管快閃 (NFlash) 記憶體) (Nonvolatile Nanotube Flash (NFlash) Memories Including Multilevel(Multiresistance) State Storage)*

具有串聯非揮發性 FETs 之快閃 NAND 記憶體陣列係被使用以提升記憶體陣列密度，如 K. Itoh, "VLSI Memory Chip Design", Springer, 2001, pp. 41-44 中所說明及圖式 1.35 及 1.36 所顯示者。快閃 NAND 記憶體儲存資訊如串聯的浮動閘極(FG)FET 電晶體上之電荷，從而控制每一串聯 FG FET 裝置之臨限電壓，如 Itoh 參考文件所述。用於以 NAND 組構的(NAND-configured)記憶體陣列的這些串聯 FG FETs 之選擇方法不同於 Itoh 參考文件第 38-41 頁所述之隨機存取以 NOR 組構的(NOR-configured)快閃記憶體選擇方法。NOR-快閃(NOR-flash)選擇方法類似於前述之 NRAM 記憶體。當讀取例如與其他 FG FETs 串聯之 FG FET 裝置之狀態時，所有串聯的 FG FETs 係以高字線電壓而被選擇(導通為 ON)，

除了待讀取之 FG FET 裝置。待讀取之 FG FET 裝置具有施加至該閘極的零字線電壓。若選擇的 FG FET 裝置已被程式化為在 ON 狀態，則電流將流入串聯電路，對位元線放電。若選擇的 FG FET 裝置已被程式化為在 OFF 狀態，則沒有電流會流入串聯電路，且位元線將保持在高電壓位準。

並聯電路 2100 可代替 Itoh 參考文件中圖式 1.35 及 1.36 所示之 FG FET 電晶體，以形成非揮發性奈米管快閃記憶體，本應用中稱為 NFlash 記憶體。NFlash 記憶體之操作亦藉由導通並聯電路 2100 中串聯 FETs 類型的 NFlash 記憶體陣列單元為 ON 來實施，除了待程式化、抹除、或讀出之與 NV NT 開關並聯的 FET，其係在 OFF 狀態。接著，可使用類似於關於前述 NRAM 記憶體所述之抹除、程式化、或讀取操作。

圖 23A 顯示 NFlash 記憶體簡圖 2300，具有奈米管類型 NAND 子陣列 2310 及 2320。每一子陣列係使用以使用圖 21 所示之並聯電路 2100 來形成的 NV NT 開關為基的單元之串聯組合來形成。每一個子陣列 2310 及 2320 顯示四個以 NV NT 開關為基的串聯非揮發性單元。子陣列 2310 包含 NV NT 開關 SW1 及並聯 FET TR1、NV NT 開關 SW2 及 FET TR2、NV NT 開關 SW3 及 FET TR3、NV NT 開關 SW4 及 FET TR4。第一選擇 FET TRS1 連接共同節點 2330 至位元線 BL1，且第二選擇 FET TRS2 連接共同節點 2340 至參考線 REF。子陣列 2320 包含 NV NT 開關 SW5 及並聯 FET TR5、NV NT 開關 SW6 及 FET TR6、NV NT 開關 SW7 及 FET TR7、NV NT



開關 SW8 及 FET TR8。第一選擇 FET TRS1X 連接共同節點 2350 至位元線 BL2，且第二選擇 FET TRS2X 連接共同節點 2360 至參考線 REF。選擇線 SL1 係連接至 FETs TRS1 及 TRS1X 的閘極，選擇線 SL2 係連接至 FETs TRS2 及 TRS2X 的閘極，字線 WL1 係連接至 FETs TR1 及 TR5 的閘極，字線 WL2 係連接至 FETs TR21 及 TR6 的閘極，字線 WL3 係連接至 FETs TR3 及 TR7 的閘極，字線 WL4 係連接至 FETs TR4 及 TR8 的閘極，從而形成 NFlash 記憶體簡圖 2300。當 NFlash 記憶體簡圖 2300 顯示 8 位元快閃記憶體時，多個電阻值可被儲存於每一 NV NT 開關以將位元的數量加倍、三倍、等至 16、32、等。同樣的，使用並聯電路 2100 之數百個及甚至數千個以 NV NT 開關為基的單元可以每一單元能夠儲存多個電阻值及對應的邏輯狀態而被形成。

應注意的是，當 NFlash 記憶體簡圖 2300 顯示兩個選擇 FETs 於每一 NAND 子陣列 2310 及 2320 時，一個選擇 FET 係足以供 NFlash 記憶體操作。圖 23B 顯示 NFlash 記憶體簡圖 2350，其係與 NFlash 記憶體簡圖 2300 相同，除了 NAND 子陣列 2360 僅使用一個選擇 FET TRS1 及 NAND 子陣列 2370 僅使用一個選擇 FET TRS1X。NFlash 記憶體可使用 NRAM 記憶體簡圖 2300 或 2350 或其變化來形成。

操作時，以 NV NT 開關為基的任何單元可被選擇以供讀取、抹除、或程式化操作。經由參考 NFlash 記憶體簡圖 2300 範例，若代表開關 SW3 的狀態係待讀取，則位元線 BL1 及參考線 REF 間之所有串聯 FET 裝置係被導通為 ON，除了

FET TR3 仍保持在 OFF(未被選擇的)狀態。位元線 BL1 係被預充電至例如 1 伏特之電壓。若 SW3 係於 ON 狀態，則 BL1 係被放電。然而，若 SW3 係於 OFF 狀態，則 BL1 係不被放電。SW3 可於各種 ON 電阻狀態，故多個電阻狀態可被讀取。

5 讀取操作係類似於關於多位準 NRAM 記憶體(其儲存多個電阻狀態於每一 NV NT 開關)於前所述之讀取操作。

操作時，經由參考 NFlash 記憶體簡圖 2300 範例，若代表開關 SW3 的狀態係待程式化，則位元線 BL1 及參考線 REF 間之所有串聯 FET 裝置係被導通為 ON，除了 FET TR3 仍保持在 OFF(未被選擇的)狀態。位元線 BL1 係以例如從 2.4 至 7 伏特的增加電壓位準被施以脈衝(pulsed)。若 SW3 係於 OFF 狀態且 BL1 被施以脈衝，則 NV NT 開關係被程式化至數個 ON 電阻  $R_{ON}$  狀態中之一者，故多個電阻狀態可被讀取於 NV NT 開關 SW3。程式化操作係類似於關於多位準 NRAM 記憶體(其儲存多個電阻狀態於每一 NV NT 開關)於前所述之程式化操作。

10

15

操作時，經由參考 NFlash 記憶體簡圖 2300 範例，若代表開關 SW3 的狀態係待抹除，則位元線 BL1 及參考線 REF 間之所有串聯 FET 裝置係被導通為 ON，除了 FET TR3 仍保持在 OFF(未被選擇的)狀態。位元線 BL1 係如關於 NRAM 記憶體陣列於前所述以增加電壓位準被施以脈衝(pulsed)。若 SW3 係於 ON 狀態且 BL1 被施以脈衝，則 NV NT 開關係被抹除至較高的 ON 電阻  $R_{ON}$  狀態值或至 OFF 狀態  $R_{OFF}$ 。抹除操作係類似於關於多位準 NRAM 記憶體(其儲存多個電阻

20

狀態於每一 NV NT 開關)於前所述之抹除操作。

圖 24 顯示對應至 NFlash 記憶體簡圖 2300 之平面圖 2400，其 NAND 子陣列 2410 的平面圖對應至 NAND 子陣列 2310 之簡圖表示，且 NAND 子陣列 2420 的平面圖對應至 NAND 子陣列 2320 之簡圖表示。圖 24 包含經圖案化的奈米織物 1 2440、經圖案化的奈米織物 2 2441、側壁間隔件 2442、多晶矽或金屬 WL 及閘極區域 2444、接點 2446、多晶矽或金屬區域 2448 及接點 2450。圖 25 顯示 NAND 子陣列 2410 之剖面圖 2500。結合柱栓介層(stud vias)2510 之經圖案化的奈米織物 1 2540 及經圖案化的奈米織物 2 2541 連接每一奈米織物之區域至對應的 FET 擴散並界定 NV NT 開關長度(寬度係由蝕刻操作所界定)。於特定實施例，NAND 子陣列 2410 係沉積於 p 基板(p substrate)2520 上。可使用各種製造方法以將 NV NT 開關形成於對應的 FETs 之上。

經由範例，並聯的 SW3 及 TR3 形成代表的以 NV NT 開關為基的單元，其對應至圖 21 所示之並聯電路 2100。一對柱栓介層 2510(由鄰近的以 NV 開關為基的單元所共用)界定 NV NT 開關長度大小及用於代表的開關 SW3 之接觸區域，並形成至下面的 FET TR3 之對應的 N+擴散的電氣連接。

NFlash 記憶體係以對應至 NRAM 記憶體的操作而被抹除、程式化、及讀取。一旦形成位元線至 NV NT 開關(bit line-to-NV NT switch)及 NV NT 開關至參考線 (NV NT switch -to-reference line)路徑的所有串聯電晶體係被形成，且並聯選擇的 NV NT 開關之 FET 係被關斷為 OFF，則抹除、

程式化、及讀取操作對應至使用以程式化如上所述 NRAMs 中之 NV NT 開關之操作。

5 *包含電阻器及電容器之非揮發性奈米管可程式化阻抗網路 (Nonvolatile Nanotube Programmable Impedance Networks Including Resistors and Capacitors)*

分別顯示於圖 21 及圖 22 之可程式化的非揮發性多電阻狀態並聯電路 2100 及可程式化的非揮發性多電阻狀態串聯/並聯電路 2200 致能電阻器及電容器之電子地控制的(調諧的(tuned))類比網路之形成。對於 NFlash 記憶體操作，操作上，抹除、程式化、及讀取使用以形成這些電子地控制的(調諧的)阻抗網路之個別 NV NT 開關的狀態係類似於關於圖 23、24、25 所描述者。

圖 26A 顯示電子地控制的串聯電阻網路 2600，其中奈米管串聯電阻器網路 2620 係使用類似於關於圖 23A 所示之 NAND 子陣列 2310 及 NAND 子陣列 2320 於上所述之操作被程式化(或抹除)。用於 NV NT 開關 SW1、SW2、SW3、SW4 之電阻值係使用關於圖 23 於上所述之程式化、抹除、及讀取操作的方法來設定並使用電阻器設定&操作模式控制器 2610 來控制。NV NT 開關電阻設定操作期間(例如程式化及抹除)，端點 RT1 及共同節點 2630 間之 FET TRS1A 係被關斷為 OFF，以致於無法干擾會連接至端點 RT1 之電路。同樣地，端點 RT2 及共同節點 2640 間之 FET TRS2A 係被關斷為 OFF，以致於無法干擾會連接至端點 RT2 之電路。接著，FETs TRS1B 及 TRS2B 係被導通為 ON。FETs TRS1B 及 TRS2B

分別對應至圖 23A 之 FETs TRS1 及 TRS2。電阻器設定&操作模式控制器 2610 接著施加對應至位元線 BL1 脈衝之電壓脈衝及參考線電壓 REF，如關於圖 23A 於上所述之操作。個別的 NV NT 開關(例如代表開關 S3)係被選擇，如關於圖 23A 於上所述之操作。在每一的 NV NT 開關 SW1、SW2、SW3、SW4 之電阻狀態被設定之後，接著電阻器設定&操作模式控制器 2610 關斷 FETs TRS1B、TRS2B、TR1、TR2、TR3、TR4 為 OFF 並啟動(導通)分別電氣連接端點 RT1 及 RT2 至共同接點 2630 及 2640 之 FETs TRS1A 及 TRS1B。

電子地控制的串聯電阻網路 2600 可被使用以設定奈米管串聯電阻器等效電路 2620，以在工廠或在製造期間或之後最佳化電路功能，或在電子組件年限期間調整。同樣的，在電阻組件的生命週期期間的任何時間可改變或修改功能。

圖 26B 顯示串聯電阻器等效電路 2650，包含對應至奈米管串聯電阻器等效電路 2620 之奈米管串聯電阻器等效電路 2620' 及分別對應至共同端點 2630 及 2640 之端點 2630' 及 2640'。操作時，於此範例，越過個別電阻器的電壓應不超過 2.5 伏特以防止程式化干擾(program-disturb)。

圖 27 顯示以奈米管為基的電子地調諧的晶片上電壓調節器 2700，其係使用電子地控制的串聯電阻網路 2705(以產生參考電壓  $V_{REF}$ )及晶片上電壓調節器 2750(以設定及控制在節點 2790 之  $V_{ON-CHIP VOLTAGE}$  等於  $V_{REF}$ )來形成。 $V_{ON-CHIP VOLTAGE}$  係被使用作為晶片上電源供應並被分配至多個晶片上電路。輸出電壓  $V_{REF}$  係藉由使用 NV NT 開關電阻值之比

例( $V_{REF}=[(V_{SW1}+V_{SW2})/(V_{SW1}+V_{SW2}+V_{SW3}+V_{SW4})]V_{PS}$ )來降低  
 電源供應電壓  $V_{PP}$  而產生且可在大範圍的電壓中被調整。電子  
 地調諧的晶片上電壓調節器 2700 係與圖 26A 所示之電子  
 地控制的串聯電阻網路 2600 之操作類似，其奈米管串聯電  
 阻器網路 2720 對應至奈米管串聯電阻器網路 2620 且共同接  
 點 2730 對應至共同接點 2630。然而，FET TRS1A 及 TRS1B  
 已被消除；共同節點 2730 係直接連接至接地。同樣的，NFET  
 TRS2A 已由 PFET TRSX 代替，以防止於該選擇電晶體中發  
 生臨限電壓降。

晶片上電壓調節器 2750 係類似於半導體產業中所使用的  
 晶片上電壓調節器。差分放大器 2760 操作係描述於上述  
 Baker et al.之參考文件中。大 PFET 2780 控制輸出於節點  
 2790 之電壓及電流，且反饋反相器 2770 提供用以供差分放  
 大器 2760 控制輸出電壓 2790 為約等於  $V_{REF}$  之手段(如產業  
 中所已知者)。

圖 27 顯示由奈米管串聯電阻器網路 2620 所產生的依各  
 參考電壓  $V_{REF}$ 。然而，亦可藉由分接(tapping)FETs TR1 及  
 TR2 間之共用節點來產生兩個額外的參考電壓。這兩個額外  
 的參考電壓中的每一個可被耦接至其他晶片上電壓調節器  
 (未圖示)(類似於電壓調節器 2750)，以產生總共三個不同的  
 $V_{ON-CHIP VOLTAGE}$  值。

電子地控制的串聯電阻網路 2600 及其應用至以奈米管  
 為基的電子地調諧的晶片上電壓調節器 2700(分別關於圖 26  
 及 27 所述)係根據各具有多電阻狀態的多 NV NT 開關之許多

類比網路中的一個範例。根據各具有多電阻狀態的多 NV NT 開關之網路的其他範例係可想像。圖 28A 顯示由結合分別於圖 21 及 22 顯示之並聯電路 2100 及串聯/並聯電路 2200 的組合所形成之電子地控制的串聯/並聯電阻網路 2800。如圖 28A 所示，串聯及並聯 FETs 皆為串聯/並聯網路中所需，以有效地隔離個別的 NV NT 開關。電阻器設定&操作模式控制器 2810 以類似於電阻器設定&操作模式控制器 2610 的方式操作，除了額外的輸出以在程式化及抹除操作期間導通串聯 FETs 為 ON 及 OFF。FETs TRS1B 及 TRS2B 供應電壓脈衝以供抹除、程式化、及讀取操作，如關於圖 26A 於上所述。於此範例，共同節點 2830 係直接耦接至端點 RT1' 且共同節點 2840 係直接耦接至端點 RT2'。然而，若其他電路會在例如程式化期間被影響，則可使用串聯解耦(decoupling)FETs，如圖 26A 所示。

於奈米管串聯/並聯電阻器網路 2820 之個別 NV NT 開關係使用類似於關於圖 26A 於上所述之操作方法而被抹除、程式化、及讀出。經由範例，NV NT 開關 SW3 可藉由導通 FETs TR1、TR3' 為 ON 及 FETs TR2'、TR3、TR4' 為 OFF 並施加電壓脈衝於共同節點 2830 及 2840 間而被選擇及調諧至數個電阻狀態中的一個。經由另一範例，NV NT 開關 SW2 可藉由導通 FETs TR1、TR2' 為 ON 及 FETs TR2、TR3' 為 OFF 並施加電壓脈衝於共同節點 2830 及 2840 間而被選擇及調諧至數個電阻狀態中的一個。所使用的電壓脈衝係類似於圖 26A、23A、18 中所說明者。

在完成個別開關的程式化或抹除之後，接著於操作時，所有串聯 FETs 皆被導通為 ON，而所有並聯 FETs 皆被關斷為 OFF。

圖 28B 顯示包含對應至奈米管串聯/並聯電阻器網路 2820 之奈米管串聯/並聯電阻器等效電路 2820' 及分別對應至共同端點 2830 及 2840 之端點 2830' 及 2840' 的串聯/並聯電阻器等效電路 2850。操作時，於此範例，越過個別電阻器的電壓應不超過 2.5 伏特以防止程式化干擾。

圖 28A 所示之電子地控制的串聯/並聯電阻網路 2800 可被改變成圖 29A 所示之電子地控制的電阻/電容器網路 2900。如圖 29A 所示，分別於圖 21 及 22 所示之並聯電路 2100 及串聯/並聯電路 2200 係串聯使用，而電容器係並聯使用。電阻器設定&操作模式控制器 2910 係以類似於電阻器設定&操作模式控制器 2810 之方式操作。FETs TRS1B 及 TRS2B 供應電壓脈衝以供抹除、程式化、及讀取操作，如關於圖 28A 於前所述者。於此範例，共同節點 2930 係直接耦接至端點 RCT1 而共同節點 2940 係直接耦接至端點 RCT2。然而，若其他電路會在例如程式化期間被影響，則可使用串聯解耦(decoupling)FETs，如圖 26A 所示。

於奈米管串聯/並聯電阻器網路 2920 之個別 NV NT 開關係使用類似於關於圖 26A 及圖 28A 於上所述之操作方法而被抹除、程式化、及讀出。經由範例，NV NT 開關 SW2 可藉由導通 FETs TR1、TR2' 為 ON 及 FET TR2 為 OFF 並施加電壓脈衝於共同節點 2830 及 2840 間而被選擇及調諧至數個



電阻狀態中的一個。所使用的電壓脈衝係類似於圖 28A、26A、23A、18 中所說明者。

在完成個別開關的程式化或抹除之後，接著於操作時，所有串聯 FETs 皆被導通為 ON，而所有並聯 FETs 皆被關斷為 OFF。

圖 29B 顯示包含對應至奈米管串聯/並聯電阻器網路 2920 之奈米管串聯/並聯電阻器等效電路 2920' 及分別對應至共同端點 2930 及 2940 之端點 2930' 及 2940' 的串聯/並聯電阻器/電容器等效電路 2950。操作時，於此範例，越過個別電阻器的電壓應不超過 2.5 伏特以防止程式化干擾。

調整電阻值  $R_{SW1}$  及  $R_{SW2}$  導致在大範圍的值中調諧 (tuning) RC 時間常數在大範圍的值中。同樣的，若  $RSW1$  及  $RSW2$  被程式化成相對低電阻值，則對於具有上升及下降次數大於 RC 時間常數的波形而言，電容器  $C1$ 、 $C2$ 、 $C3$  可顯示一個電容器  $C=C1+C2+C3$ 。其他變化亦是可能的。

#### 結合的專利參考文件

下列共同擁有的專利文件(此處稱為"結合的專利參考文件(incorporated patent references)")說明用以製造奈米管元件(奈米管織物物件及開關)之各種技術(例如製造及圖案化奈米管織物)，且係全部併入於此以作為參考：

Electromechanical Memory Array Using Nanotube Ribbons and Method for Making Same (美國專利申請案第 09/915,093 號，目前的美國專利第 6,919,592 號)，申請日為

2001 年 7 月 25 日；

Electromechanical Memory Having Cell Selection Circuitry Constructed With Nanotube Technology (美國專利申請案第 09/915,173 號，目前的美國專利第 6,643,165 號)，申請日為 2001 年 7 月 25 日；

Hybrid Circuit Having Nanotube Electromechanical Memory (美國專利申請案第 09/915,095 號，目前的美國專利第 6,574,130 號)，申請日為 2001 年 7 月 25 日；

Electromechanical Three-Trace Junction Devices (美國專利申請案第 10/033,323 號，目前的美國專利第 6,911,682 號)，申請日為 2001 年 12 月 28 日；

Methods of Making Electromechanical Three-Trace Junction Devices (美國專利申請案第 10/033,032 號，目前的美國專利第 6,784,028 號)，申請日為 2001 年 12 月 28 日；

Nanotube Films and Articles (美國專利申請案第 10/128,118 號，目前的美國專利第 6,706,402 號)，申請日為 2002 年 4 月 23 日；

Methods of Nanotube Films and Articles (美國專利申請案第 10/128,117 號，目前的美國專利第 6,835,591 號)，申請日為 2002 年 4 月 23 日；

Methods of Making Carbon Nanotube Films, Layers, Fabrics, Ribbons, Elements and Articles (美國專利申請案第 10/341,005 號)，申請日為 2003 年 1 月 13 日；

Methods of Using Thin Metal Layers to Make Carbon Nanotube Films, Layers, Fabrics, Ribbons, Elements and Articles (美國專利申請案第 10/341,055 號), 申請日為 2003 年 1 月 13 日 ;

5           Methods of Using Pre-formed Nanotubes to Make Carbon Nanotube Films, Layers, Fabrics, Ribbons, Elements and Articles (美國專利申請案第 10/341,054 號), 申請日為 2003 年 1 月 13 日 ;

10           Carbon Nanotube Films, Layers, Fabrics, Ribbons, Elements and Articles (美國專利申請案第 10/341,130 號), 申請日為 2003 年 1 月 13 日 ;

15           Non-volatile Electromechanical Field Effect Devices and Circuits using Same and Methods of Forming Same (美國專利申請案第 10/864,186 號, 美國專利公開案第 2005/0062035 號), 申請日為 2004 年 6 月 9 日 ;

20           Devices Having Horizontally-Disposed Nanofabric Articles and Methods of Making the Same (美國專利申請案第 10/776,059 號), 申請日為 2004 年 2 月 11 日 ;

20           Devices Having Vertically-Disposed Nanofabric Articles and Methods of Making the Same (美國專利申請案第 10/776,572 號, 目前的美國專利第 6,924,538 號), 申請日為 2004 年 2 月 11 日 ; 及

          Patterned Nanoscopic Articles and Methods of Making the

Same (美國專利申請案第 10/936,119 號，美國專利公開案第 2005/0128788 號)。

本發明可在不偏離其精神或本質特性的情況下，以其他特定形式加以體現。本實施例因而視為說明而非限制之關係。

### 【圖式簡單說明】

在圖式中：

圖 1A 為非揮發性暫存器檔案之概要示意圖。

圖 1B 為非揮發性暫存器檔案級電路之概要示意圖。

圖 1C 為根據本發明之一實施例用於非揮發性奈米管開關之循環資料的結果之示意圖。

圖 2 為根據本發明之另一實施例，具有額外的冗餘非揮發性暫存器檔案級及對應的選擇電路之圖 1A 的非揮發性暫存器檔案之代表示意圖。

圖 3A-3C 為根據本發明之其他實施例，當形成最終非揮發性暫存器檔案時，使用以選擇或不選擇(繞過)非揮發性暫存器檔案級之代表示意圖。

圖 4 為根據本發明另一實施例的雷射熔絲閃鎖之閃鎖電路示意圖，其可被使用以作為部分的圖 2 所示之非揮發性暫存器檔案電路。

圖 5 顯示根據本發明另一實施例，使用於圖 4 所示之閃鎖電路所執行的操作中的波形之示意圖。

圖 6A-6D 顯示根據本發明另一實施例，經圖案化的奈米織物電阻器的示意圖。

圖 7 顯示根據本發明另一實施例，使用電子熔絲或電子反熔絲的熔絲門鎖之示意圖，其可被使用以作為部分的圖 2 所示之非揮發性暫存器檔案電路。

圖 8 顯示根據本發明另一實施例，使用非揮發性奈米管開關作為程式化元件的熔絲門鎖之示意圖，其可被使用以作為部分的圖 2 所示之非揮發性暫存器檔案電路。

圖 9A-D 顯示根據本發明其他實施例，非揮發性奈米管開關之 SEM 平面圖的剖面示意圖。

圖 10A 顯示根據本發明另一實施例，顯示抹除電壓的大小之改變通道長度的數個非揮發性奈米管開關的圖形表示。

圖 10B 顯示根據本發明另一實施例，顯示抹除電壓及抹除電流為時間的函數之非揮發性奈米管開關的圖形表示。

圖 10C 顯示根據本發明另一實施例，顯示 100 個循環期間所測量的 ON 狀態電阻及 OFF 狀態電阻之奈米管開關的圖形表示。

圖 11 顯示根據本發明另一實施例，組態控制暫存器的示意圖。

圖 12 顯示根據本發明另一實施例，具有額外的冗餘非揮發性暫存器檔案級及對應的選擇電路之圖 1A 的非揮發性暫存器檔案之替代代表示意圖(對於圖 2)。

圖 13A 顯示根據本發明另一實施例，具有額外的冗餘非

揮發性暫存器檔案級及對應的選擇電路之圖 1A 的非揮發性暫存器檔案之替代代表示意圖(對於圖 12)。

圖 13B 顯示根據本發明此實施例，使用於圖 13A 的非揮發性組態控制暫存器之電路代表圖。

5 圖 14A 顯示根據本發明另一實施例，經同步的暫存器檔案架構應用。

圖 14B 顯示根據本發明另一實施例，具有控制的延遲電路以最佳化時脈時序之經同步的暫存器檔案架構。

10 圖 15A-E 顯示根據本發明其他實施例，CPU 及快取間之關鍵經同步的時序之範例。

圖 15F-H 顯示根據本發明其他實施例，CPU 及快取間使用可控制的延遲電路之最佳化的時序。

圖 16 顯示根據本發明其他實施例，使用以非揮發性奈米管開關為基的閘鎖以供時序控制之延遲控制電路。

15 圖 17A 顯示根據本發明其他實施例，使用以使用電壓源來改變閘鎖電路中之非揮發性奈米管開關之驅動器電路。

圖 17B 顯示根據本發明其他實施例，使用以使用電壓源及電流限制來改變閘鎖電路中之非揮發性奈米管開關之驅動器電路。

20 圖 17C 顯示根據本發明其他實施例，使用以使用電壓源及由電流鏡所控制的電流來改變閘鎖電路中之非揮發性奈米管開關之驅動器電路。

圖 17D 顯示根據本發明其他實施例，驅動 NRAM 陣列

單元至預定電阻值之非揮發性奈米管開關電阻控制電路。

圖 17E 顯示根據本發明其他實施例，集成於 NRAM 記憶體系統之圖 17D 的電路。

圖 18A 顯示根據本發明其他實施例，在製成時非揮發性奈米管開關之 ON 電阻值。

圖 18B 顯示根據本發明其他實施例，在 50 個循環後非揮發性奈米管開關之 ON 及 OFF 電阻值。

圖 19A 顯示根據本發明其他實施例，在選擇的電壓位準被程式化的奈米管開關之數量的範例。

圖 19B 顯示根據本發明其他實施例，在對應至一伏特位元線讀出電壓的各種讀出電流之經程式化的奈米管開關之數量的範例。

圖 19C 顯示根據本發明之目前的實施例，在選擇的電阻範圍(其中電阻值對應至圖 19B 於一伏特的讀出電流)內操作的奈米管開關之數量的範例。

圖 19D 顯示根據本發明之目前的實施例，在選擇的電壓位準的中數電流位準及對應的飽和電流位準的範例。

圖 19E 顯示根據本發明之目前的實施例，在選擇的中數開關 ON 狀態電阻位準的中數飽和電流位準的範例。

圖 20 顯示根據本發明一實施例之串聯電路。

圖 21 顯示根據本發明另一實施例之並聯電路。

圖 22 顯示根據本發明另一實施例之串聯/並聯電路。

圖 23A 顯示根據本發明另一實施例之 NFlash 記憶體示

意圖。

圖 23B 顯示根據本發明另一實施例之 NFlash 記憶體示意圖。

圖 24 顯示根據本發明另一實施例，對應至 NFlash 記憶體之平面圖。

圖 25 顯示根據本發明另一實施例，NAND 子陣列之剖面圖。

圖 26A 顯示根據本發明另一實施例，電子地控制的串聯電阻網路，其中奈米管串聯電阻器網路係使用程式化或抹除操作而被電子地形成或調諧。

圖 26B 顯示根據本發明另一實施例，奈米管串聯電阻器等效電路之示意圖。

圖 27 顯示根據本發明另一實施例，以奈米管為基的電子地調諧的晶片上電壓調節器。

圖 28A 顯示根據本發明另一實施例，電子地形成及調諧的組合串聯/並聯電阻網路。

圖 28B 顯示根據本發明另一實施例，組合串聯/並聯電阻器等效電路。

圖 29A 顯示根據本發明另一實施例，電子地形成及調諧的電阻/電容器網路。

圖 29B 顯示根據本發明另一實施例，組合的串聯/並聯電阻器/電容器等效電路。



## 【主要元件符號說明】

10	非揮發性暫存器檔案
15	非揮發性暫存器檔案級電路
16	圖形
20	非揮發性暫存器檔案
22-1	NV 暫存器檔案級 1
22-(N+M)	NV 暫存器檔案級 N+M
24-1	NV 組態閃鎖 1
24-(N+M)	NV 組態閃鎖 N+M
26	組態選擇電路
30	切換電路
35	切換電路
40	OTP 熔絲電路
41	熔絲元件
42	節點
43	節點
45	節點
46	反相器裝置
47	節點
60	奈米織物電阻器熔絲
61	奈米織物
62	接點
62'	接點
68	絕緣件
70	通用熔絲閃鎖
71	電氣熔絲元件
72	節點
73	節點
74	電氣反熔絲元件
75	節點

76	節點
77	節點
78	節點
79	安定電容器
79'	安定電容器
80	選通路徑
81	選通路徑
82	門鎖電路
83	非揮發性奈米管開關
84	節點
85	節點
86	選通路徑
87	節點
88	輸出
89	電容器
89'	電容器
90	兩端非揮發性奈米管開關
90'	兩端非揮發性奈米管開關
90"	兩端非揮發性奈米管開關
90'''	兩端 NRAM 開關
91	導電元件
91'	導電元件
91"	接點
92	導電元件
92'	導電元件
92"	接點
93	奈米織物元件
93'	奈米織物元件
94	絕緣件
94'	絕緣件

94"	絕緣件
95	基板
95'	基板
96	電介質層
97	絕緣件
97'	電介質層
99	間隙區域
99'	間隙區域
100	曲線
110	組態控制暫存器
112-1	轉換裝置
114-1	轉換裝置
116-1	轉換裝置
118-1	轉換裝置
122	非揮發性組態檔案
125	曲線
132	非揮發性組態控制暫存器
135	非揮發性組態控制級
150	循環資料
1102	暫存器檔案級電路
1104	揮發性主門鎖級電路
1106	揮發性從門鎖級電路
1108	耦接電路
1110	非揮發性奈米管開關
1114	電氣連接
1115	輸入節點
1116	節點
1116	共同節點
1118	連接器
1119	電氣連接

1120	輸入節點
1125	輸出節點
1130	CMOS 轉換閘極
1135	儲存節點
1140	時脈 CLK
1140'	輔助時脈 CLKb
1145	CMOS 反相器
1150	CMOS 反相器
1155	儲存節點
1160	CMOS 轉換閘極
1170	反相器
1175	反相器
1180	輸出
1185	CMOS 轉換閘極
1190	反相器
1192	輸入
1317	共同節點
1320	NMOS 電晶體
1321	NFET
1322	NFET
1323	反相器
1325	NMOS 電晶體
1325'	NMOS 電晶體
1327	PMOS 電晶體
1327'	PMOS 電晶體
1329	電氣連接
1330	反相器
1342	電晶體
1343	PMOS 電晶體
1343	PFET
1350	共同節點

1350'	輸出
1360'	高電壓轉換電路
1365	PMOS 電晶體
1400	同步邏輯功能
1400'	同步邏輯功能
1407	暫存器檔案
1407M	主門鎖
1407S	從門鎖
1410	邏輯
1412	暫存器檔案
1414	邏輯
1416	暫存器檔案級
1418	暫存器檔案
1420M	主門鎖
1420S	從門鎖
1425	延遲電路
1425'	延遲電路
1500	CPU 及快取系統
1500'	CPU 及快取系統
1510	CPU
1515	快取
1520	輸出驅動器
1520'	輸出驅動器
1522	反相器輸入
1522'	共同反相器輸入
1523	共同輸出端點
1524	共同三態輸入
1525	時序圖
1530	時脈
1535	資料窗

1540	波形
1545	有效資料窗
1550	有效資料窗
1555	有效資料窗
1560	延遲電路
1600	延遲電路
1605	延遲電路
1610	邏輯延遲塊
1615	延遲選擇邏輯
1625	延遲控制器
1630	驅動器電路
1630'	驅動器電路
1700	第一驅動器電路
1700'	第二驅動器電路
1700"	第三驅動器電路
1705	驅動器
1707	輸入
1709	輸出
1710	電壓轉換器
1715	轉換裝置
1720	電流鏡
1730	端點
1735	端點
1740	端點
1745	差分放大器
1750	位元線驅動器
1755	非揮發性奈米管開關電阻控制電路
1760	NRAM 陣列單元
1765	NV NT 開關記憶體次系統
1770	控制器

1775	預充電電路
1780	感測放大器
1785	資料 I/O 緩衝器
1790	抹除驅動器
1800	電阻值
1800'	電阻分布
1900	圖形表示
1910	圖形表示
1920	圖形表示
1930	表
1940	圖形表示
2000	串聯電路
2010	FET 電晶體
2030	NV NT 開關
2040	共同節點
2050	汲極
2060	端點
2100	並聯電路
2120	FET
2130	NV NT 開關
2140	共同節點
2145	共同節點
2200	串聯/並聯電路
2210	FET
2220	FET
2230	NV NT 開關
2240	共同節點
2245	共同節點
2250	汲極
2300	NFlash 記憶體簡圖
2310	NAND 子陣列

2320	NAND 子陣列
2330	共同節點
2340	共同節點
2350	共同節點
2350	NFlash 記憶體簡圖
2360	共同節點
2360	NAND 子陣列
2370	NAND 子陣列
2440	奈米織物 1
2441	奈米織物 2
2442	側壁間隔件
2444	閘極區域
2446	接點
2448	多晶矽或金屬區域
2450	接點
2500	剖面圖
2510	柱栓介層
2520	p 基板
2540	奈米織物 1
2541	奈米織物 2
2600	串聯電阻網路
2610	電阻器設定&操作模式控制器
2620	奈米管串聯電阻器網路
2620	奈米管串聯電阻器網路
2620'	奈米管串聯電阻器等效電路
2630	共同節點
2630'	共同節點
2640	共同節點
2640'	共同節點
2650	串聯電阻器等效電路



2700	電壓調節器
2705	串聯電阻網路
2720	奈米管串聯電阻器網路
2730	共同節點
2760	差分放大器
2770	反相器
2780	PFET
2790	節點
2800	電子地控制的串聯/並聯電阻網路
2810	電阻器設定&操作模式控制器
2820	奈米管串聯/並聯電阻器網路
2820'	奈米管串聯/並聯電阻器等效電路
2830	共同節點
2840	共同節點
2850	串聯/並聯電阻器等效電路
2900	電子地控制的電阻/電容器網路
2910	電阻器設定&操作模式控制器
2930	共同節點
2940	共同節點
BL1	位元線
BL2	位元線
C1	輸出
C(N+M)	輸出
CLK	時脈
DI	資料輸入訊號
DO	資料輸出訊號
G	閘極
G'	閘極
INV-1	反相器
INV-1	反相器

INV-1'	反相器
R1	電阻器
R2	電阻器
RCT1	端點
RCT2	端點
REF	參考線
RT1	端點
RT1	端點
RT1'	端點
RT2	端點
S1	選擇訊號
S(N+M)	選擇訊號
SL1	選擇線
SL2	選擇線
SW1	開關
SW2	開關
SW3	開關
SW4	開關
SW5	開關
SW6	開關
SW7	開關
SW8	開關
SW N+M	開關
T1	電晶體
T10	電晶體
T2	電晶體
T3	電晶體
T4	電晶體
T5	電晶體
T50	NFET
T55	NFET

T6	電晶體
T6	輸出 PFET
T6'	電晶體
T7'	電晶體
TR1	FET
TR2	FET
TR3	FET
TR4	FET
TR5	FET
TR6	FET
TR7	FET
TR8	FET
TRS1	第一選擇 FET
TRS1	FET
TRS1A	FET
TRS1B	FET
TRS1X	第一選擇 FET
TRS2	第二選擇 FET
TRS2	FET
TRS2A	FET
TRS2B	FET
TRS2X	第二選擇 FET
WL1	字線
WL2	字線
WL3	字線
WL4	字線

## 十、申請專利範圍：

### 1. 一種非揮發性閃鎖電路，包含：

至少一輸入端，能夠輸入一邏輯狀態；

一輸出端，能夠輸出一邏輯狀態；

一依電性閃鎖電路，包含電氣地設置於該輸入端及該奈米管切換元件之間的至少一半導體的元件，該半導體的元件能夠接收及依電性地儲存一邏輯狀態，該邏輯狀態係輸入至該至少一輸入端；

一具有兩端點之奈米管切換元件，包含一奈米管織物物件，該奈米管織物物件係電氣連接該電性閃鎖電路，其中該奈米管切換元件能夠在一相對低電阻狀態及一相對高電阻狀態之間切換以反應施加於該奈米管切換元件之兩端點的電刺激，其中，該奈米管切換元件能夠非揮發性地保持在該相對低或該相對高電阻狀態；

其中，當該奈米管切換元件係處於該相對低電阻狀態時，該依電性閃鎖電路保持一第一邏輯狀態並在該輸出端輸出該第一邏輯狀態，且其中，當該奈米管切換元件係處於該相對高電阻狀態時，該依電性閃鎖電路保持一第二邏輯狀態，該第二邏輯狀態係在該輸出端輸出。

2. 如請求項 1 之非揮發性閃鎖電路，其中，該依電性閃鎖電路包含一反相器電路，該反相器電路包含複數個場效電晶體。

3. 如請求項 1 之非揮發性閃鎖電路，其中，該奈米管切換

元件能夠在該相對低電阻狀態及該相對高電阻狀態之間切換數次。

4. 如請求項 1 之非揮發性閃鎖電路，其中，該依電性閃鎖電路將該奈米管切換元件之該相對低電阻狀態轉換至一相對高的電壓位準，其對應至在該輸出端輸出的該第一邏輯狀態，且其中，該電子閃鎖電路將該奈米管切換元件之該相對高電阻狀態轉換至一相對低的電壓位準，其對應至在該輸出端輸出的該第二邏輯狀態。
5. 如請求項 1 之非揮發性閃鎖電路，進一步電氣連接一記憶體單元，其中，當該非揮發性閃鎖電路輸出該第一邏輯狀態時，該記憶體單元為有效的，且其中，當該非揮發性閃鎖電路輸出該第二邏輯狀態時，該記憶體單元為無效的。
6. 如請求項 5 之非揮發性閃鎖電路，其中，該非揮發性閃鎖電路包含用於該記憶體單元之一冗餘電路，且能夠在該記憶體單元為不可操作時，繞過該記憶體單元。
7. 如請求項 5 之非揮發性閃鎖電路，其中，繞過該記憶體單元包含修正一錯誤。
8. 如請求項 1 之非揮發性閃鎖電路，進一步電氣連接一記憶體單元，該記憶體單元能夠儲存第一及第二記憶體狀態，其中，該第一記憶體狀態係被輸入至該輸入端作為一第一邏輯狀態，且係藉由該非揮發性閃鎖電路而被非揮發性地保持及輸出作為該第一邏輯狀態，且其中，該第二記憶體狀態係被輸入至該輸入端作為一第二邏輯

狀態，且係藉由該非揮發性閃鎖電路而被非揮發性地保持及輸出作為該第二邏輯狀態。

5 9. 如請求項 8 之非揮發性閃鎖電路，其中，該非揮發性閃鎖電路包含用於該記憶體單元之一冗餘電路，且能夠非揮發性地保持分別對應至該第一及該第二記憶體狀態之該第一及第二邏輯狀態。

10. 如請求項 8 之非揮發性閃鎖電路，其中，該記憶體單元包含於一 NRAM 陣列之記憶體單元。

10 11. 如請求項 9 之非揮發性閃鎖電路，其中，非揮發性地保持分別該第一及第二邏輯狀態之其中一者包含：修正該記憶體單元中的一錯誤。

15 12. 如請求項 1 之非揮發性閃鎖電路，進一步電氣連接一記憶體單元，其中，在該輸入端輸入的電刺激包含一依時間變化的電刺激，其中，在該輸出端輸出的電刺激包含一依時間變化的電刺激，且其中，藉由在該輸入端及該輸出端的該依時間變化的電刺激之間產生一可控制的延遲，該非揮發性閃鎖電路控制該記憶體電路的操作。

20 13. 如請求項 12 之非揮發性閃鎖電路，其中，產生一可控制的延遲包含：提供具有一實質地選定的上升時間及一實質地選定的下降時間之一實質地雙模訊號。

14. 如請求項 1 之非揮發性閃鎖電路，其中，該奈米管切換元件包含一可程式化一次的熔絲，該可程式化一次的熔絲能夠僅從該相對低電阻狀態切換至該相對高電阻狀

態。

15. 如請求項 14 之非揮發性閃鎖電路，其中，該可程式化一次的熔絲更包含設置於該奈米管織物物件上之一絕緣體材料。

5 16. 如請求項 15 之非揮發性閃鎖電路，其中，該奈米管織物物件係暴露於由該絕緣體材料中之一開口所界定的一部份中，且其中，該可程式化一次的熔絲能夠藉由雷射燒蝕(ablation)而從該相對低電阻狀態切換至該相對高電阻狀態。

10 17. 如請求項 1 之非揮發性閃鎖電路，其中，該該奈米管切換元件包含一可程式化一次的熔絲，該可程式化一次的熔絲能夠從關閉狀態切換至開啟狀態。

18. 一種用於組構複數個非揮發性暫存器檔案之非揮發性暫存器檔案組態電路，包含：

15 一輸入電壓端；

選擇電路；

20 複數個奈米管熔絲元件，與該輸入電壓端電氣連接，每一奈米管熔絲元件係為電氣連接該複數個非揮發性暫存器檔案之其中一者，每一奈米管熔絲元件與該選擇電路電氣連接；

其中，每一奈米管熔絲元件包含：

一奈米管織物物件及兩個導體接點，該奈米管織物物件係設置於該等兩個導體接點之間，該奈米

管織物物件係電氣連接該等兩個導體接點；

其中，因應電刺激，該奈米管熔絲元件能夠從一開啟狀態切換至一關閉狀態，該開啟狀態對應至該兩個導體接點之一相對低電阻，而該關閉狀態對應至該等兩個導體接點之間的相對高電阻；

其中，當於該開啟狀態中，該奈米管熔絲元件係組構為有效該對應的非揮發性暫存器檔案且為使得該對應非揮發性暫存器檔案在該輸入電壓端對電刺激有反應，且其中，當於該關閉狀態中，該奈米管熔絲元件係組構為使該對應的非揮發性暫存器檔案失能且為使得該對應非揮發性暫存器檔案在該輸入電壓端對電刺激之反應失能；

其中，該選擇電路係組構施加電刺激至所選定的奈米管熔絲元件之每一個，以選擇性地繞過該對應的暫存器檔案。

19. 如請求項 18 之非揮發性暫存器檔案組態電路，其中，因應一暫存器檔案為有缺陷的，該選擇電路選擇性地繞過該暫存器檔案。
20. 如請求項 18 之非揮發性暫存器檔案組態電路，其中，當該等複數個奈米管熔絲元件之其中一者處於該開啟狀態時，該對應的非揮發性暫存器檔案能夠因應於該輸入電壓端的電刺激，而與複數個資訊狀態操作。
21. 如請求項 18 之非揮發性暫存器檔案組態電路，其中，



該奈米管熔絲元件為可程式化一次的奈米管熔絲元件。

22. 如請求項 18 之非揮發性暫存器檔案組態電路，其中，該奈米管熔絲元件能夠從該關閉狀態切換至該開啟狀態。

5 23. 一種非揮發性記憶體，包含：

一位元線；

一字線；

至少一非揮發性記憶體單元，每一非揮發性記憶體單元具有：

10 一兩端奈米管切換裝置，包含第一及第二導體端以及設置於該第一及第二導體端之間的一奈米管織物物件，該奈米管織物物件係電氣連接該第一及第二導體端，其中該奈米管切換元件能夠在一相對低電阻狀態及一相對高電阻狀態之間切換以反應施加於該奈米管切換元件之第一及第二導體端的電刺激，其中該奈米管切換元件能夠非揮發性地保持在該相對低或該相對高電阻狀態；

15 一記憶體單元選擇電路，與該位元線及該字線電氣連接，以因應該位元線及該字線之其中至少一者的啟動，而選擇該兩端奈米管切換裝置進行讀取及寫入操作；

20 寫入控制電路，對一控制訊號有反應，用以供應寫入訊號至一選定的記憶體單元，以對該奈米管織物物件

之電阻感應(induce)一變化，其中，該奈米管織物物件之電阻的值對應至該記憶體單元的一資訊狀態；

電阻感測電路，與一選定的非揮發性記憶體單元電氣連接，用以感測該奈米管織物物件之電阻及提供該控制訊號至該寫入控制電路；及

讀取電路，與一選定的非揮發性記憶體單元電氣連接，用以讀取該記憶體單元之對應的資訊狀態。

24. 如請求項 23 之非揮發性記憶體，其中，該奈米管切換裝置的第一導體端係與該記憶體單元選擇電路電氣連接，且該奈米管切換裝置的第二導體端係與一參考電壓線電氣連接。

25. 如請求項 23 之非揮發性記憶體，其中，該寫入控制電路係與該位元線及該字線電氣連接。

26. 如請求項 23 之非揮發性記憶體，其中，該奈米管切換裝置的第一導體端接收由該寫入控制電路供應的該等寫入訊號，而該奈米管切換裝置的第二導體端係與該字線及該位元線之其中至少一者電氣連接。

27. 如請求項 23 之非揮發性記憶體，其中，供應寫入訊號包含：供應具有一選定的電壓之一電刺激。

28. 如請求項 23 之非揮發性記憶體，其中，供應寫入訊號包含：供應具有一選定的電流之一電刺激。

29. 如請求項 23 之非揮發性記憶體，其中，該奈米管切換元件更包含第一及第二絕緣體區域，該第一及第二絕緣

體區域係設置於該奈米管織物物件之實質相反側。

30. 如請求項 29 之非揮發性記憶體，其中，該第一及第二絕緣體區域之其中至少一者包含一電介質材料。
31. 如請求項 29 之非揮發性記憶體，其中，藉由一間隙，該奈米管織物物件的至少一部份係與該第一及第二絕緣體區域之其中一者的至少一部份間隔開。
32. 如請求項 29 之非揮發性記憶體，其中，該記憶體單元的資訊狀態能夠被程式化及刪除數次。
33. 如請求項 23 之非揮發性記憶體，其中，該寫入控制電路包含用以寫入至少三個寫入訊號的電路，該等至少三個寫入訊號之每一個能夠感應該奈米管織物物件中之對應的電阻值之一訊號，該電阻值係不同於對應至其他寫入訊號的電阻值。
34. 如請求項 33 之非揮發性記憶體，其中，由該等至少三個寫入訊號所感應之對應的電阻值包含數個低電阻值及一個高電阻值。
35. 如請求項 34 之非揮發性記憶體，其中，該等數個低電阻值係在約 1 kilo-Ohm 至約 1 mega-Ohm 的範圍中，且其中，該高電阻值係至少 100 mega-Ohms。
36. 如請求項 34 之非揮發性記憶體，其中，該寫入控制電路包含用以寫入四個寫入訊號的電路，使得該記憶體單元能夠儲存第一資訊狀態、第二資訊狀態、第三資訊狀態、第四資訊狀態之其中一者。

- 5 37. 如請求項 23 之非揮發性記憶體，其中，該電阻感測電路包含反饋電路，該反饋電路與該選定的非揮發性記憶體單元電氣連接且具有一參考電阻值，該反饋電路能夠：比較該選定的非揮發性記憶體單元之奈米管織物物件的電阻與該參考電阻值，及選擇性地阻擋寫入訊號至該選定的非揮發性記憶體單元。
38. 如請求項 37 之非揮發性記憶體，其中，該奈米管織物物件之電阻的值係選自一相對低電阻值及一相對高電阻值之其中一者。
- 10 39. 如請求項 38 之非揮發性記憶體，其中，該相對低電阻值對應至一第一資訊狀態，而該相對高電阻值對應至一第二資訊狀態。
- 15 40. 如請求項 37 之非揮發性記憶體，其中，供應寫入訊號包含：供應複數個連續的、於選定的間隔遞增地改變的電壓脈衝。
41. 如請求項 40 之非揮發性記憶體，其中，在該寫入控制電路供應各電壓脈衝之後，該反饋電路感測該奈米管織物物件的電阻並比較該奈米管織物物件的電阻與該參考電阻值。
- 20 42. 如請求項 41 之非揮發性記憶體，能夠進行一第一寫入操作，其中，該電壓脈衝被施加，直到該反饋電路感測到該奈米管織物物件的電阻為一相對低電阻值，並選擇性地阻擋寫入訊號。

43. 如請求項 42 之非揮發性記憶體，能夠進行一第二寫入操作，其中，直到該反饋電路感測到該奈米管織物物件的電阻為一相對高電阻值並選擇性地阻擋寫入訊號，該電壓脈衝才被施加。

5 44. 如請求項 38 之非揮發性記憶體，其中，該奈米管切換元件包含一可程式一次的奈米管熔絲，該奈米管織物物件能夠僅從該相對低電阻狀態切換至該相對高電阻狀態。

10 45. 如請求項 37 之非揮發性記憶體，其中，該寫入控制電路從一範圍的電阻值中選擇該參考電阻值。

46. 如請求項 45 之非揮發性記憶體，其中，當該奈米管切換物件之電阻值係約等於該參考電阻值時，該反饋電路選擇性地將於該位元線上至該選定的非揮發性記憶體單元之奈米管切換裝置的寫入訊號阻擋。

15 47. 如請求項 23 之非揮發性記憶體，其中，該讀取電路包含一感測放大器電路，且該電阻感測電路係與該感測放大器電路電氣連接；及其中，該電阻感測電路對該感測放大器電路有反應，以提供該控制訊號至該寫入控制電路，以使該寫入控制電路選擇性地停止供應寫入訊號至  
20 該選定的非揮發性記憶體單元。

48. 如請求項 47 之非揮發性記憶體，其中，由該感測放大器電路提供至該電阻感測電路的控制訊號，使該寫入控制電路選擇性地停止感應該奈米管織物物件的電阻之一變化。

49. 如請求項 47 之非揮發性記憶體，其中，該奈米管織物物件之電阻的值係選自包含數個低電阻值及一相對高電阻值的複數個電阻值之其中一者。
50. 如請求項 47 之非揮發性記憶體，其中，供應寫入訊號包含：供應複數個連續的、於選定的間隔遞增地改變的電壓脈衝。
51. 如請求項 50 之非揮發性記憶體，其中，在該寫入控制電路供應各電壓脈衝之後，該感測放大器電路偵測該奈米管織物物件之電阻的值。
52. 如請求項 51 之非揮發性記憶體，能夠進行一第一寫入操作，其中，該等電壓脈衝被供應至該選定的非揮發性記憶體單元，直到該感測放大器電路偵測到該等數個低電阻值之至少其中一者。
53. 如請求項 51 之非揮發性記憶體，其中，當該感測放大器電路於該選定的記憶體單元中偵測到數個低電阻值之其中至少一者時，該電阻感測電路對該感測放大器電路有反應，以使該寫入控制電路選擇性地停止寫入該選定的記憶體單元之資訊狀態。
54. 如請求項 52 之非揮發性記憶體，能夠進行一第二寫入操作，其中，該等電壓脈衝被供應至該選定的非揮發性記憶體單元，直到偵測到該相對高電阻。
55. 如請求項 52 之非揮發性記憶體，其中，當該感測放大器電路於該選定的非揮發性記憶體單元中偵測到該相

對高電阻值時，該電阻感測電路對該感測放大器電路有反應，以使該寫入控制電路選擇性地停止寫入該選定的記憶體單元之資訊狀態。

56. 如請求項 47 之非揮發性記憶體，其中，該奈米管切換元件包含一可程式化一次的奈米管熔絲，該可程式化一次的奈米管熔絲具有一奈米管織物物件，該可程式化一次的熔絲能夠僅從一第一電阻值切換至一第二電阻值。

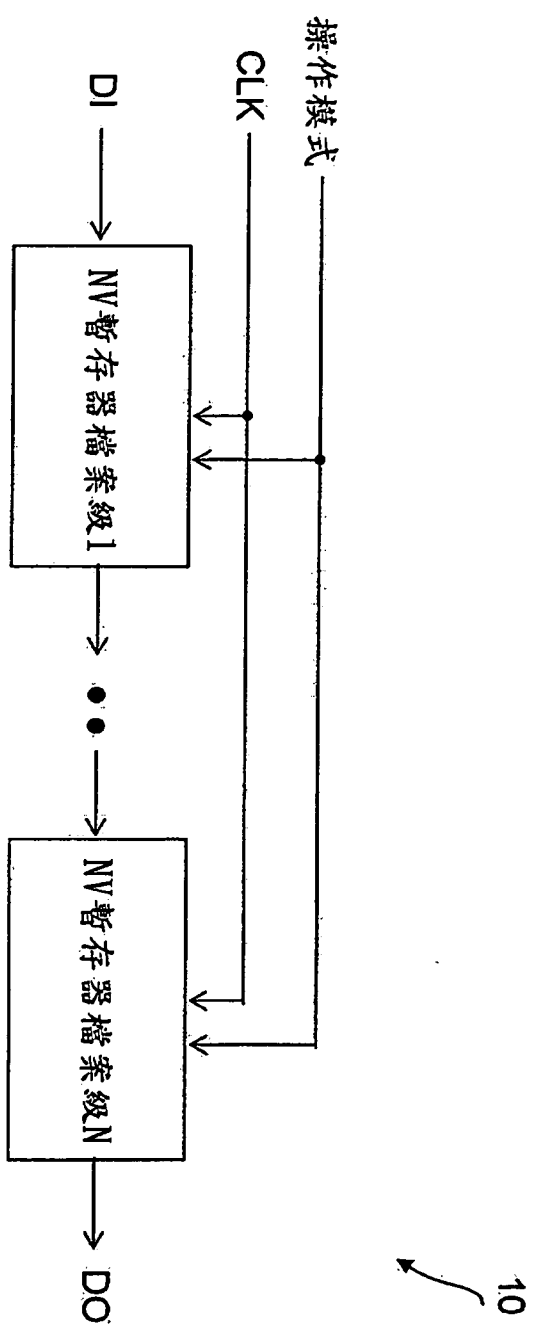


圖 1A



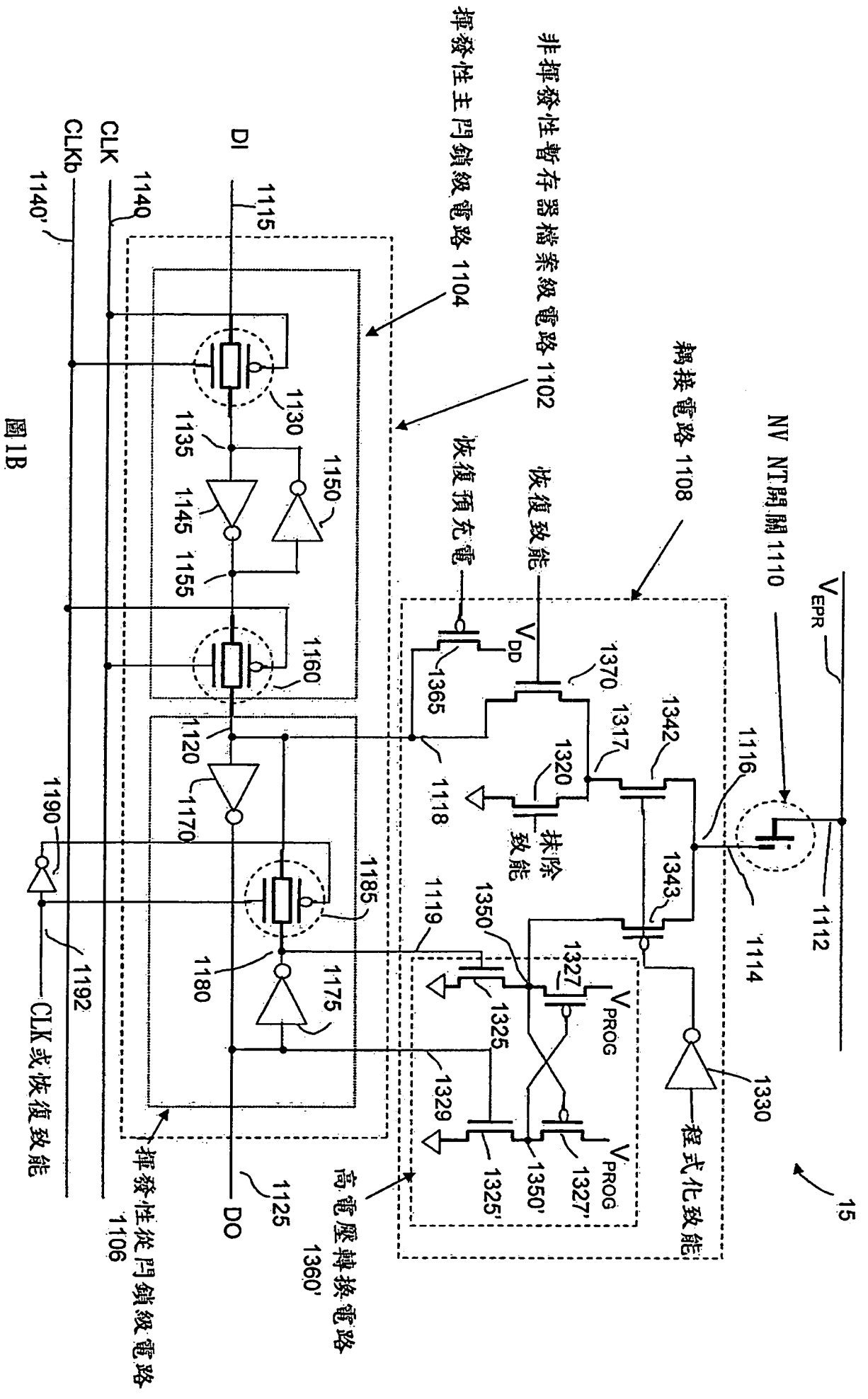
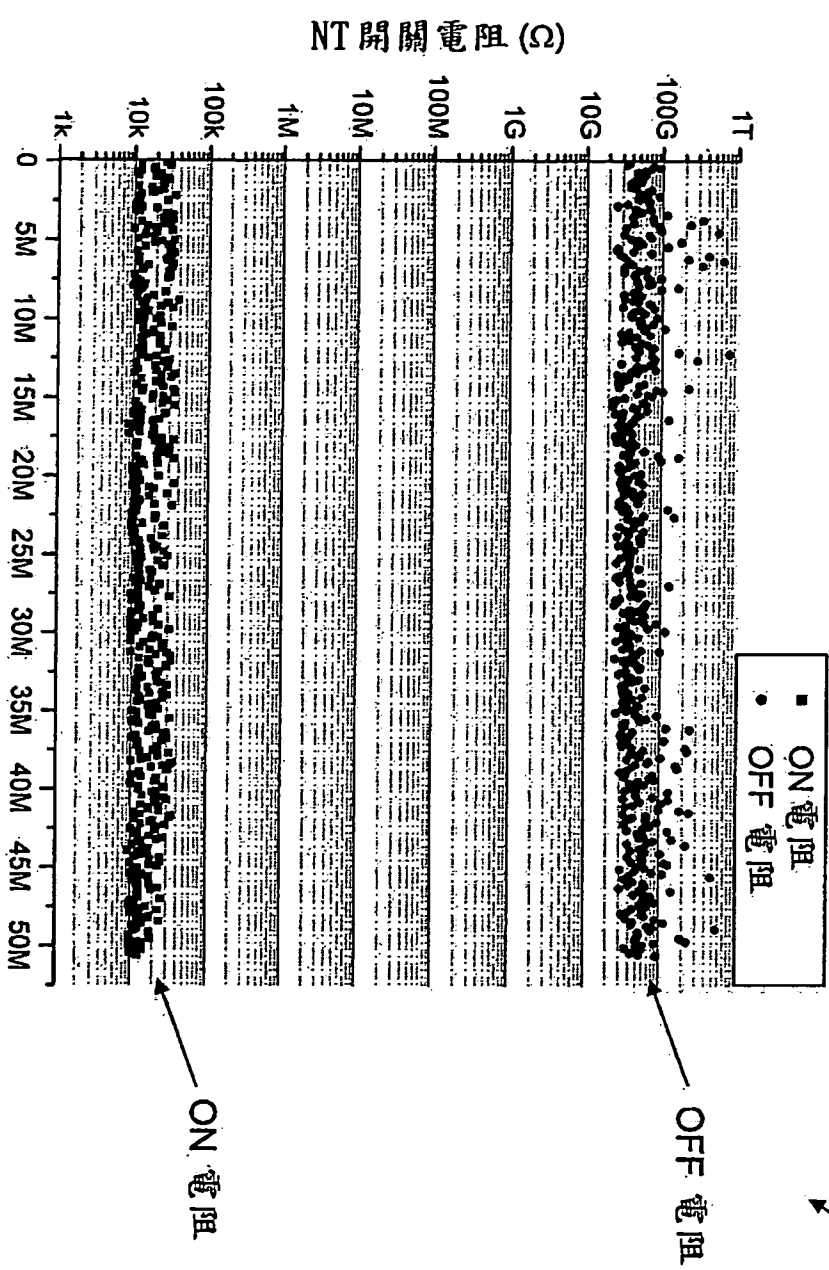


圖 1B



循環

圖 1C

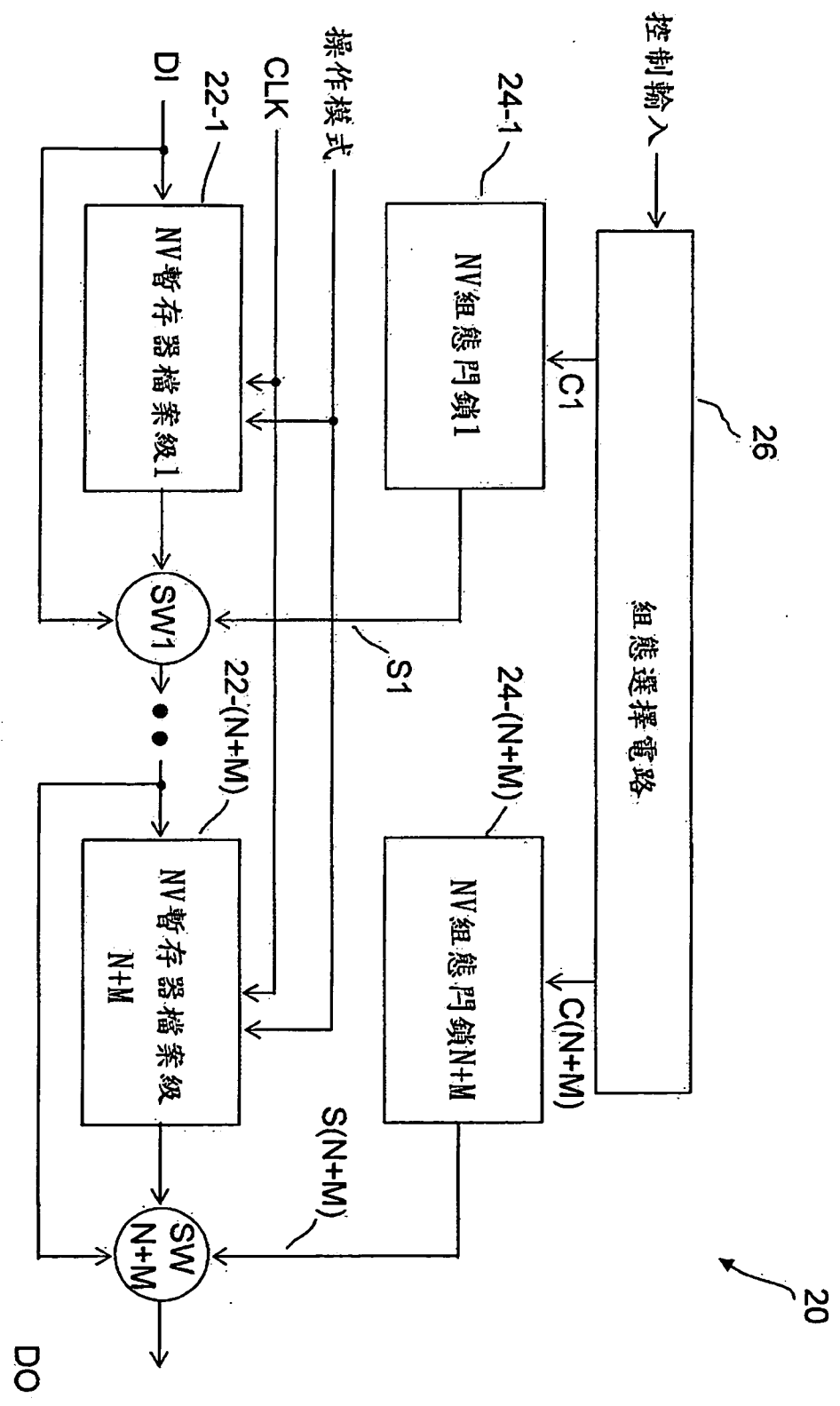


圖 2

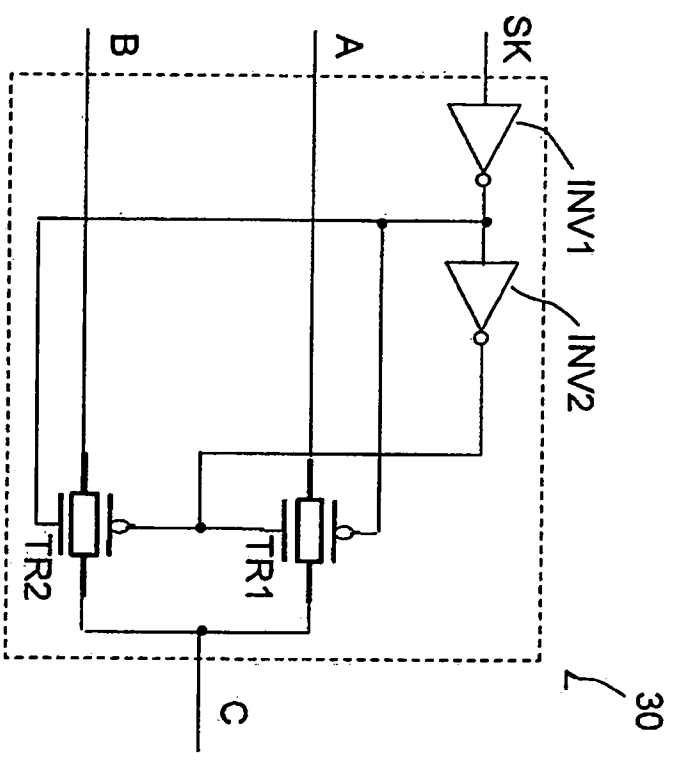


圖 3

圖 3A

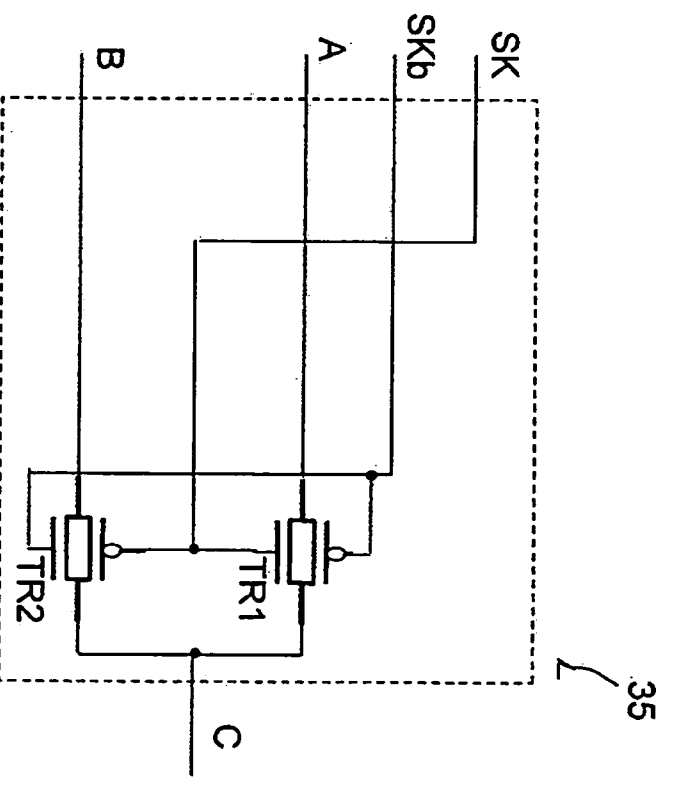


圖 3B

SK  
高電壓  
低電壓

TR1  
ON  
OFF

TR2  
OFF  
ON

C  
C = A  
C = B

圖 3C

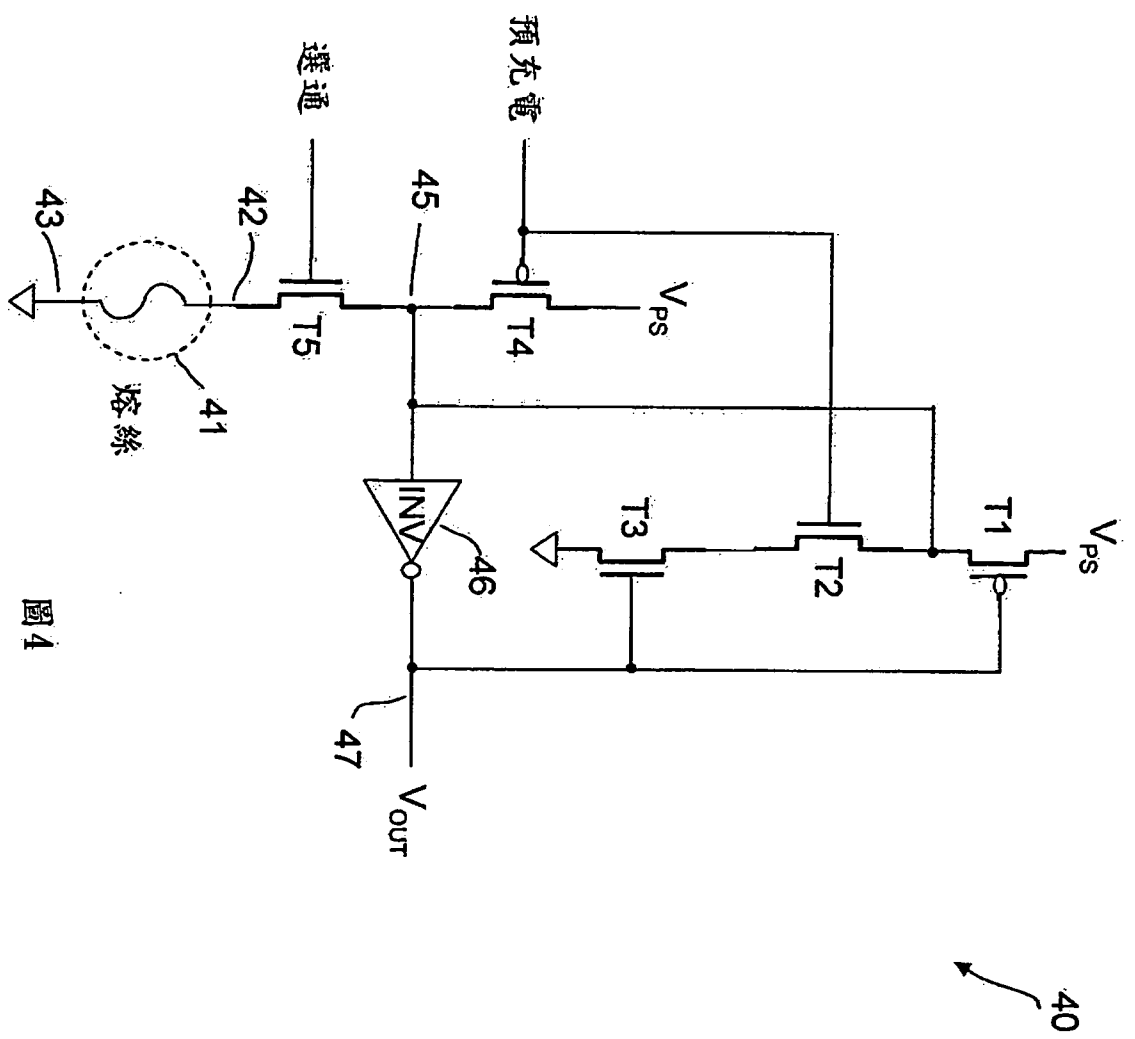


圖 1

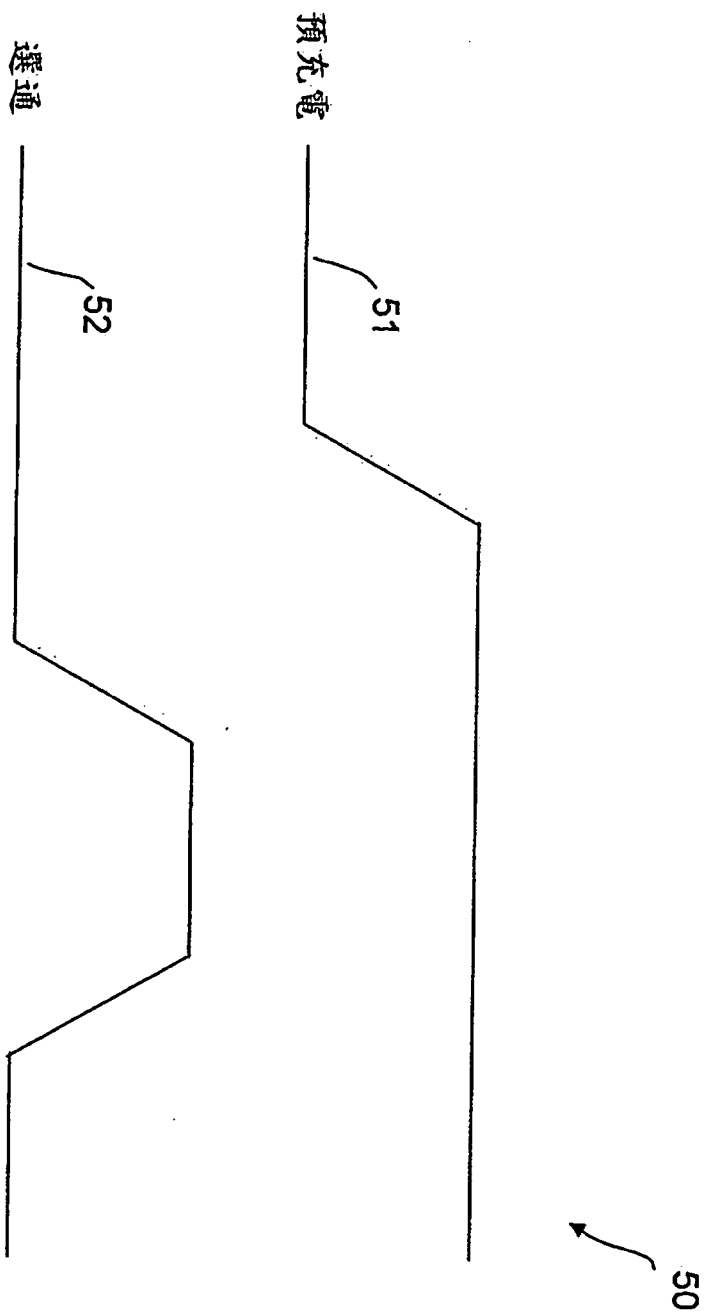


圖5

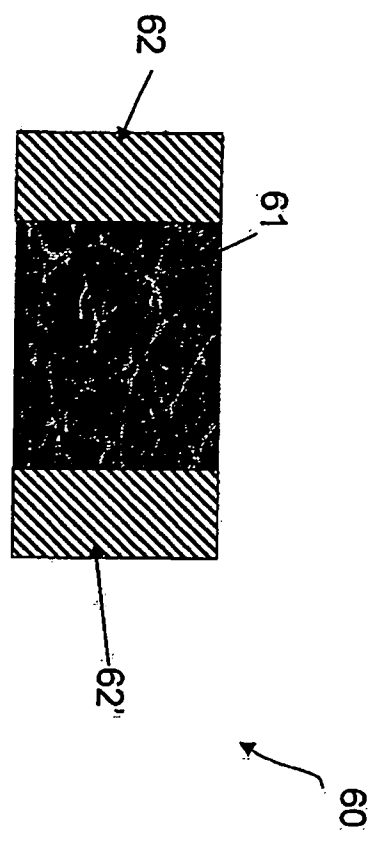


圖 6A

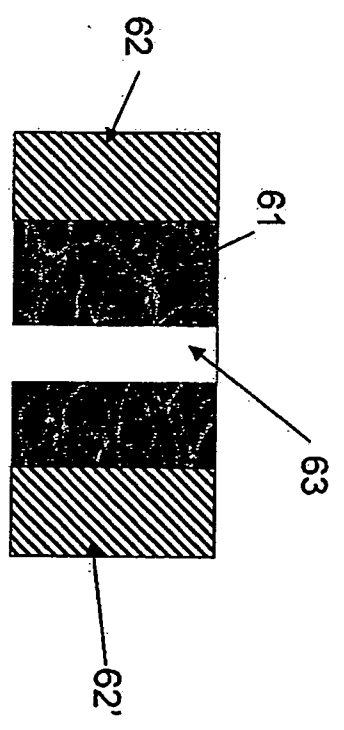


圖 6B

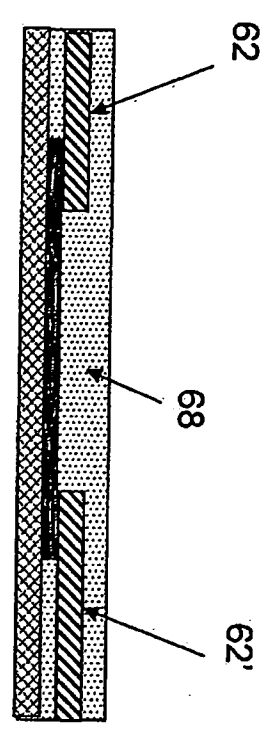


圖 6C

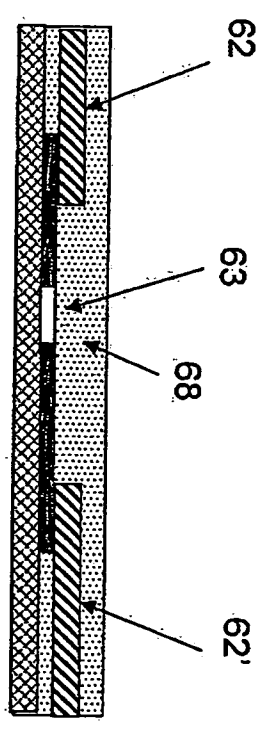


圖 6D

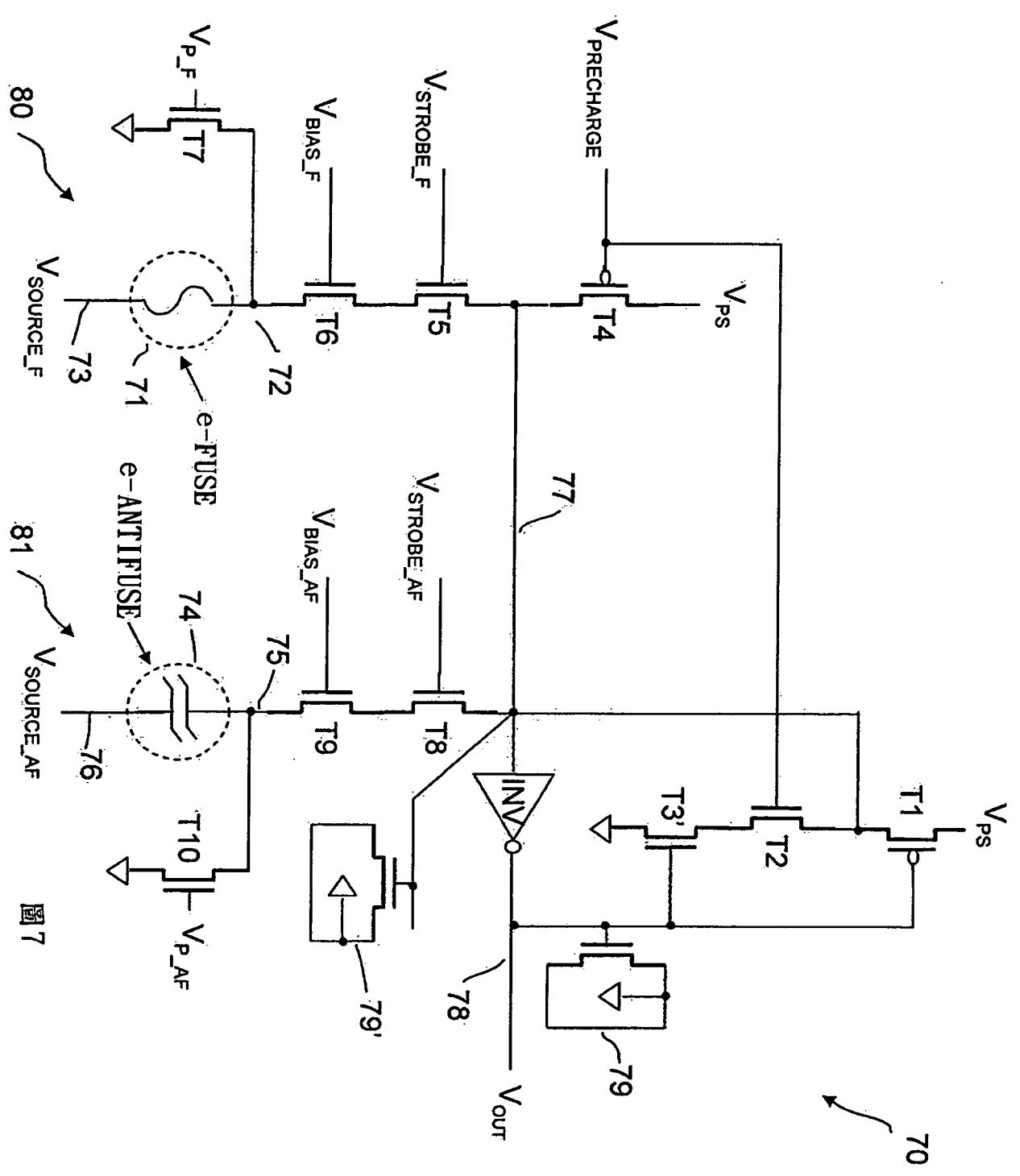


圖 7



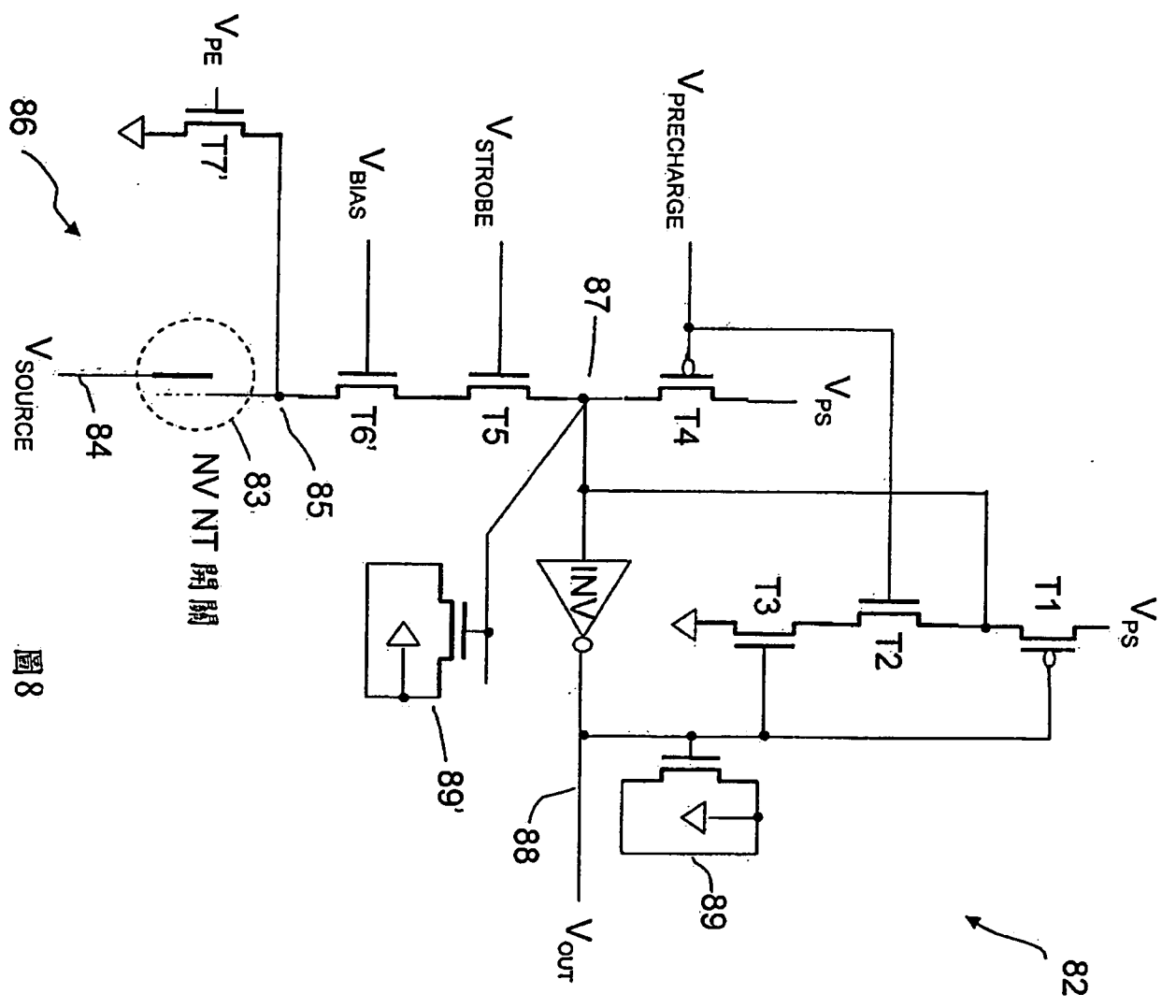


圖 8

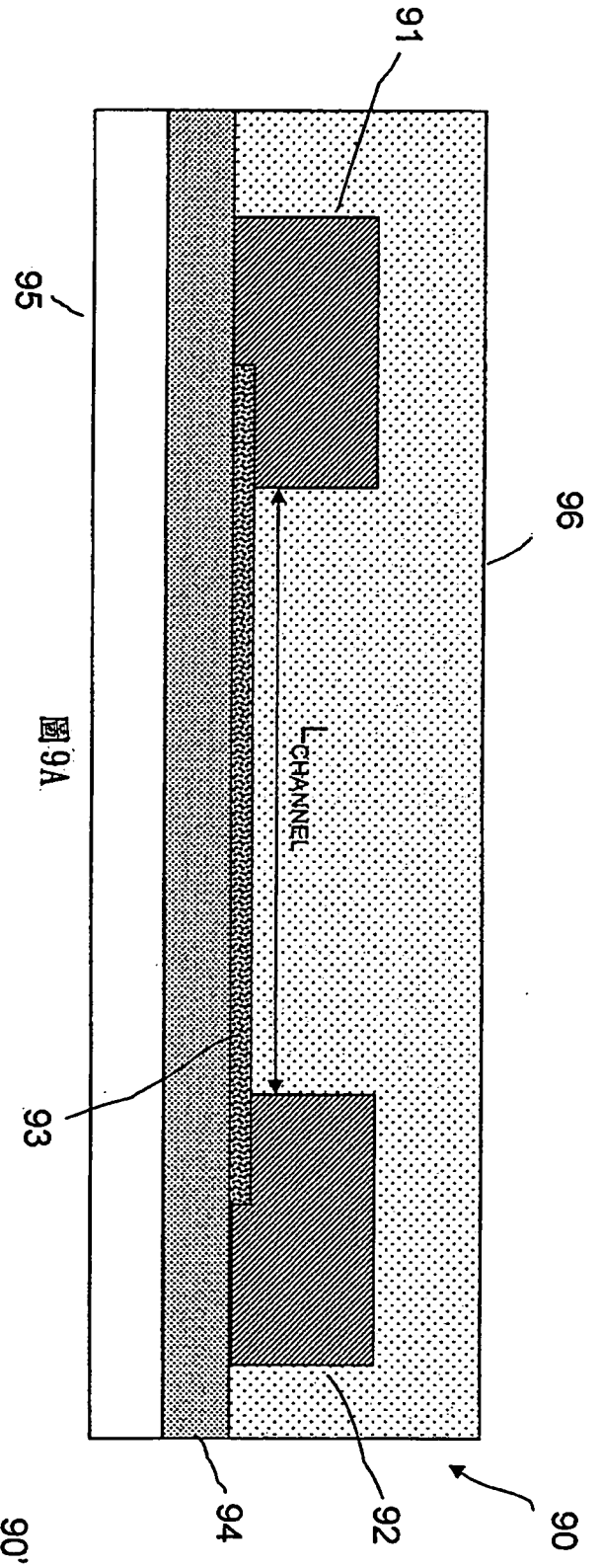


圖 9A

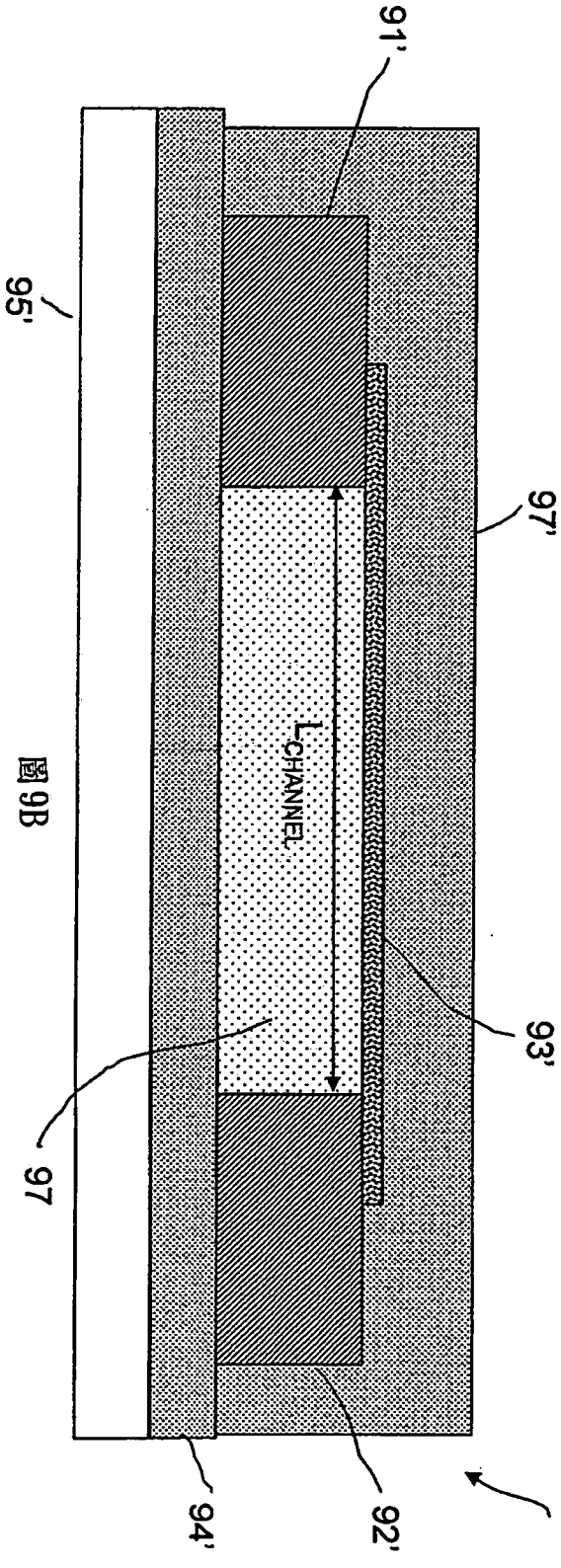
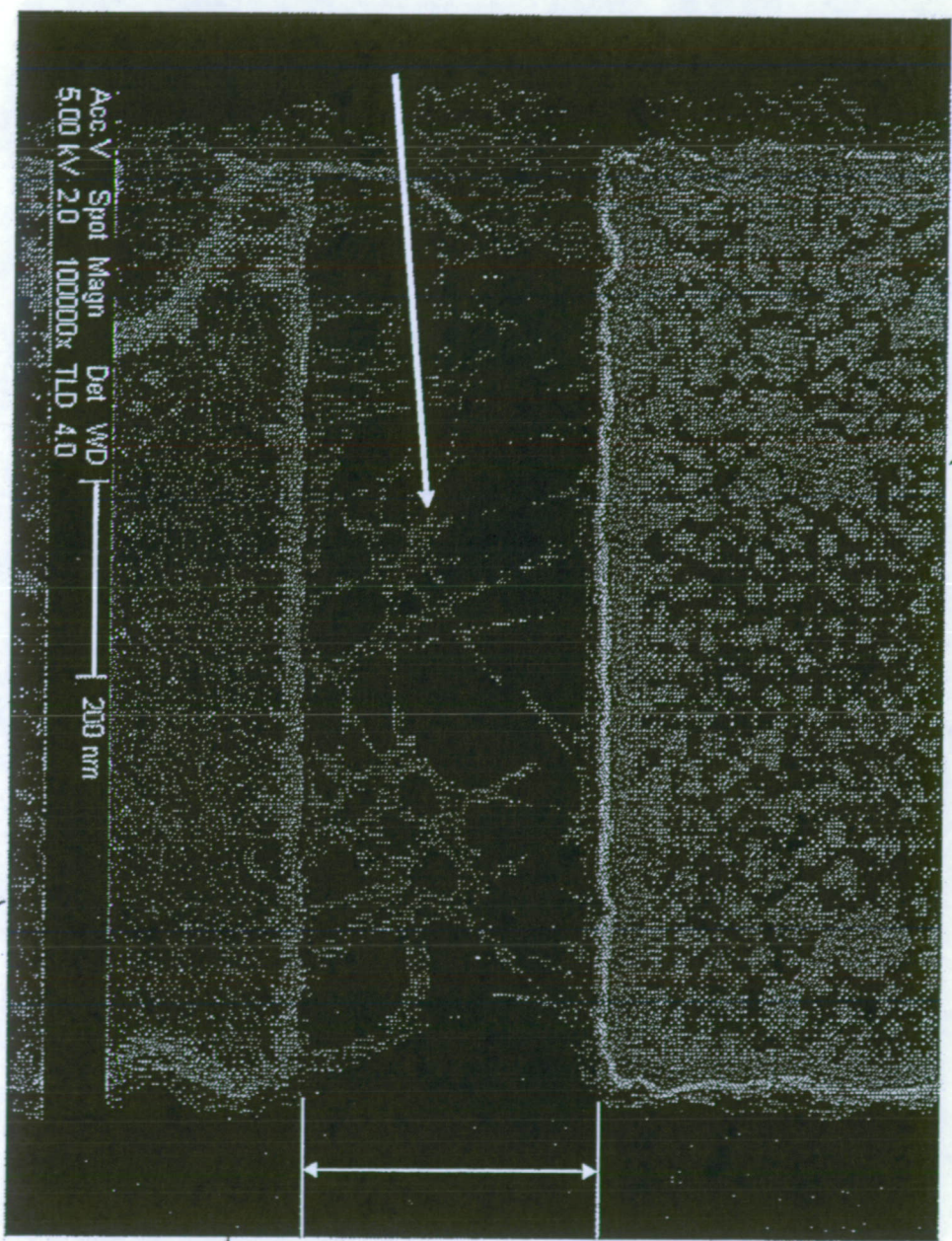


圖 9B





91"

90"

94"

92"

圖 9C

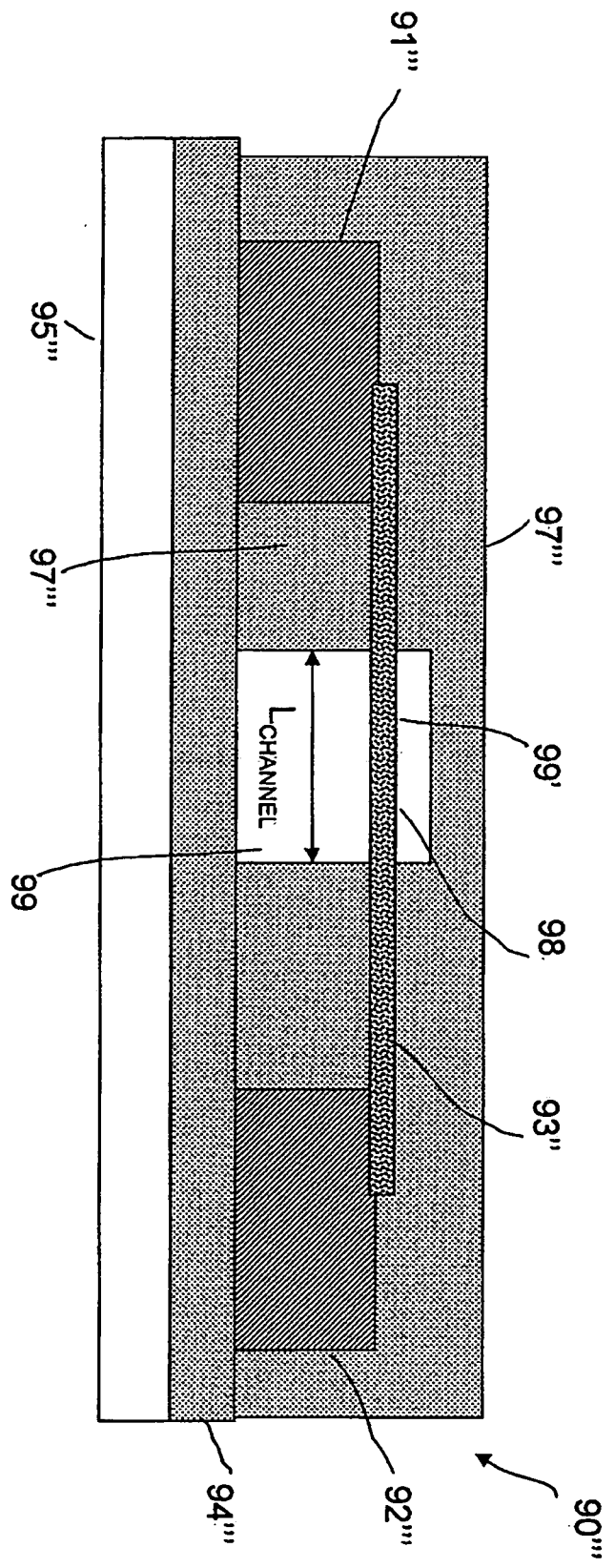
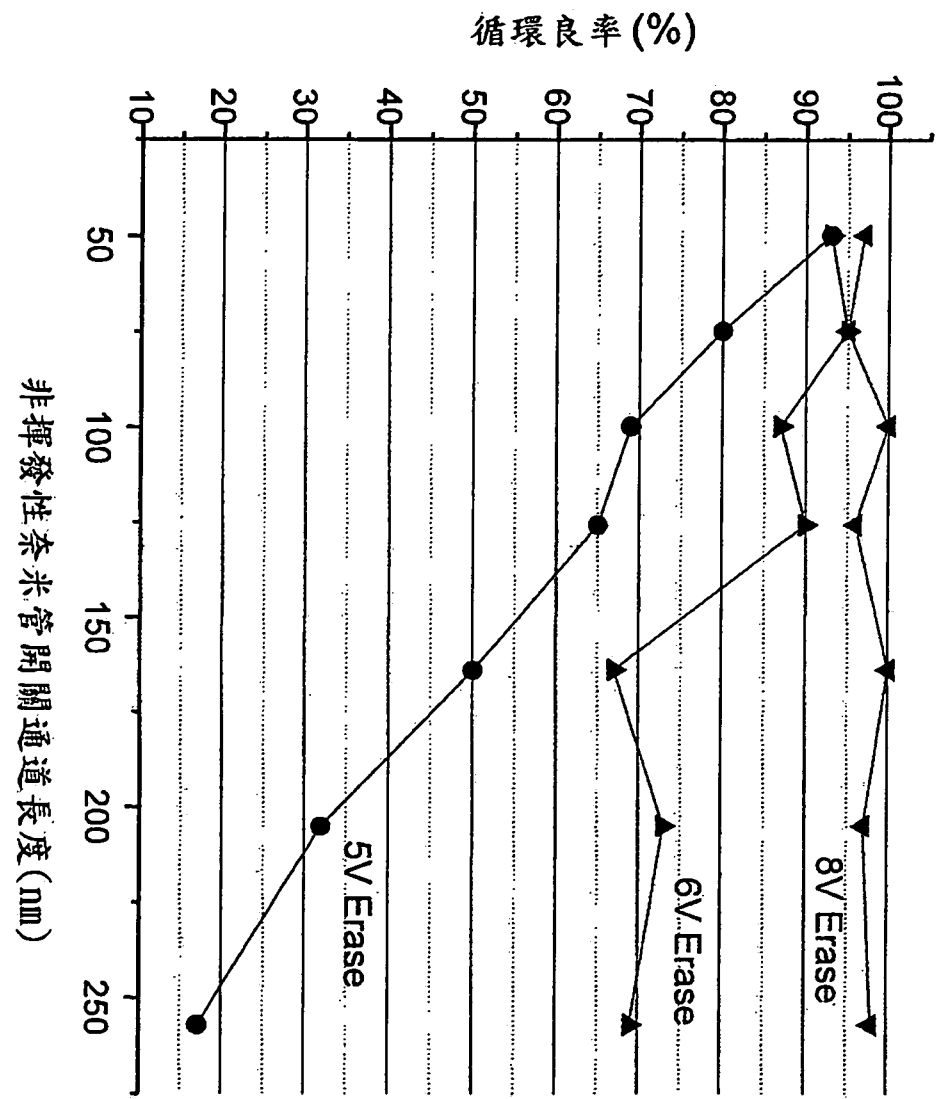


圖 9D



非揮發性奈米管開關通道長度(nm)  
圖 10A

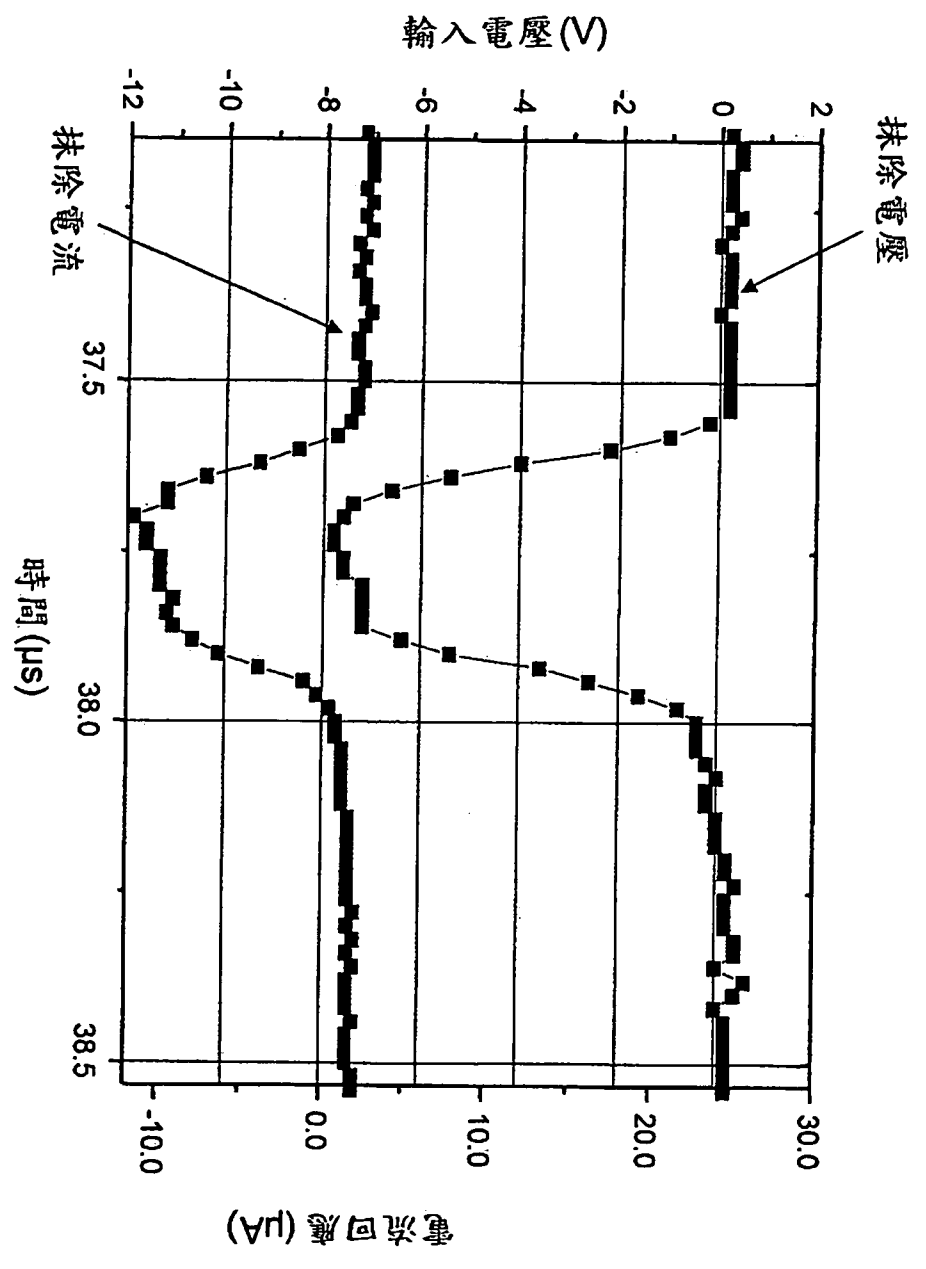


圖 10B

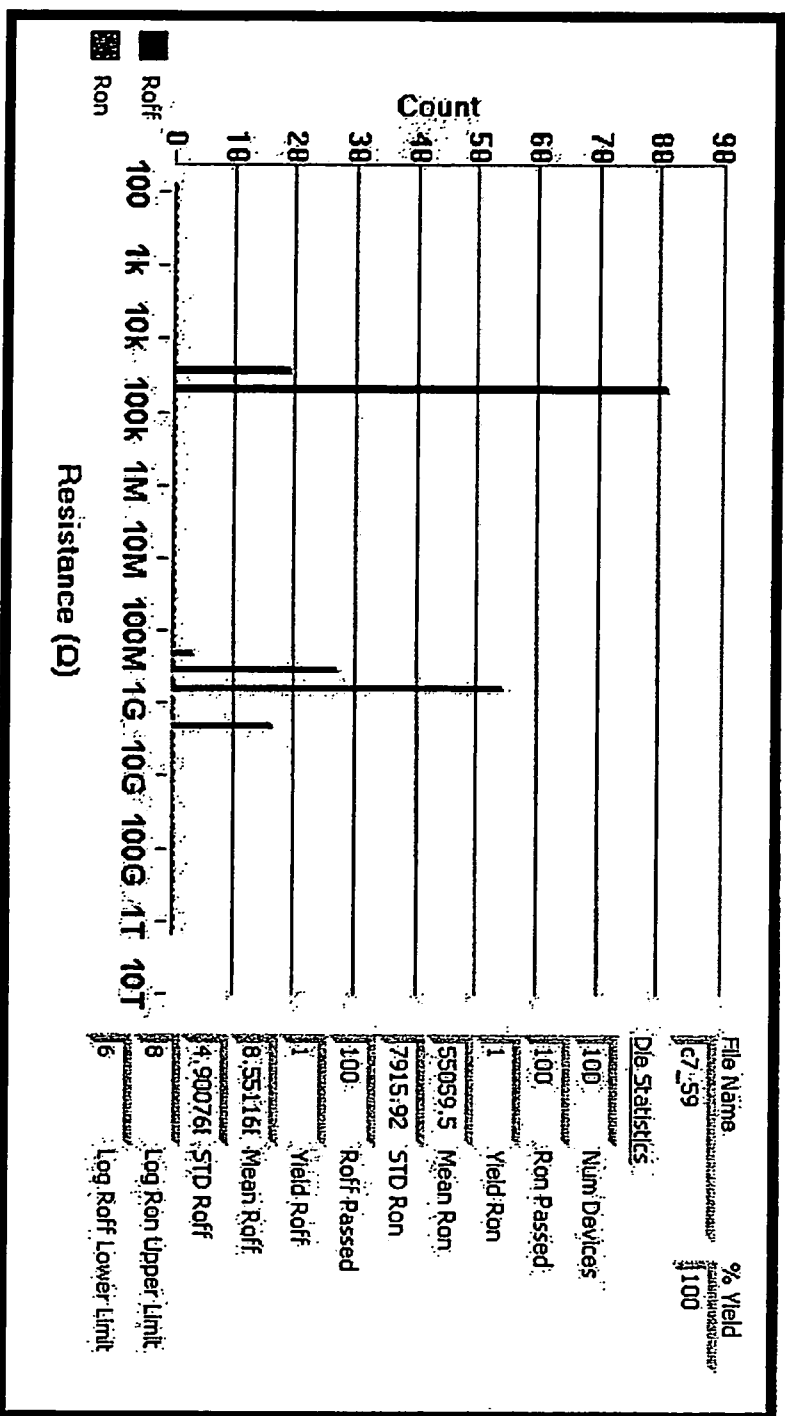


圖 10C

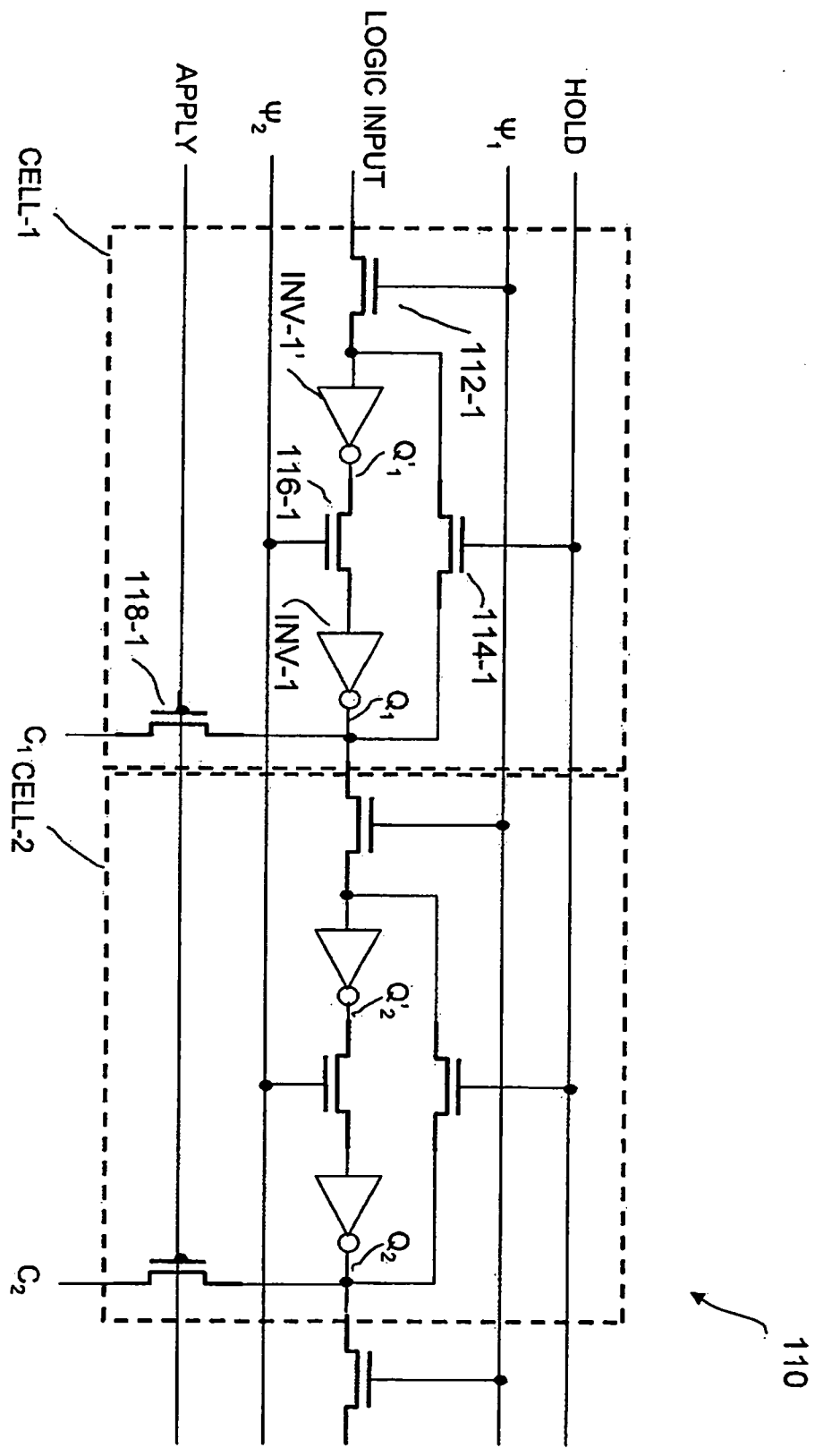


圖 11

110



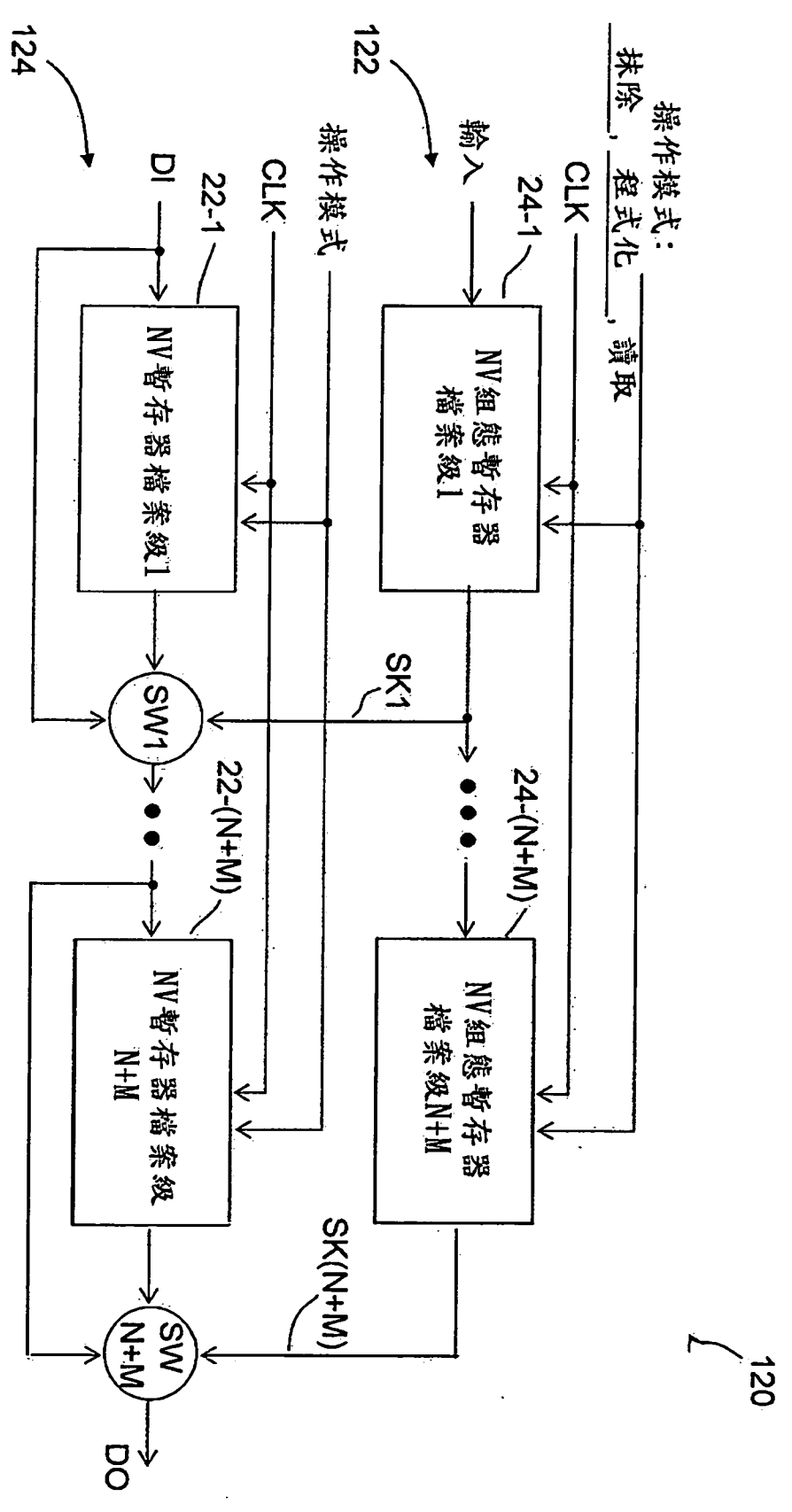
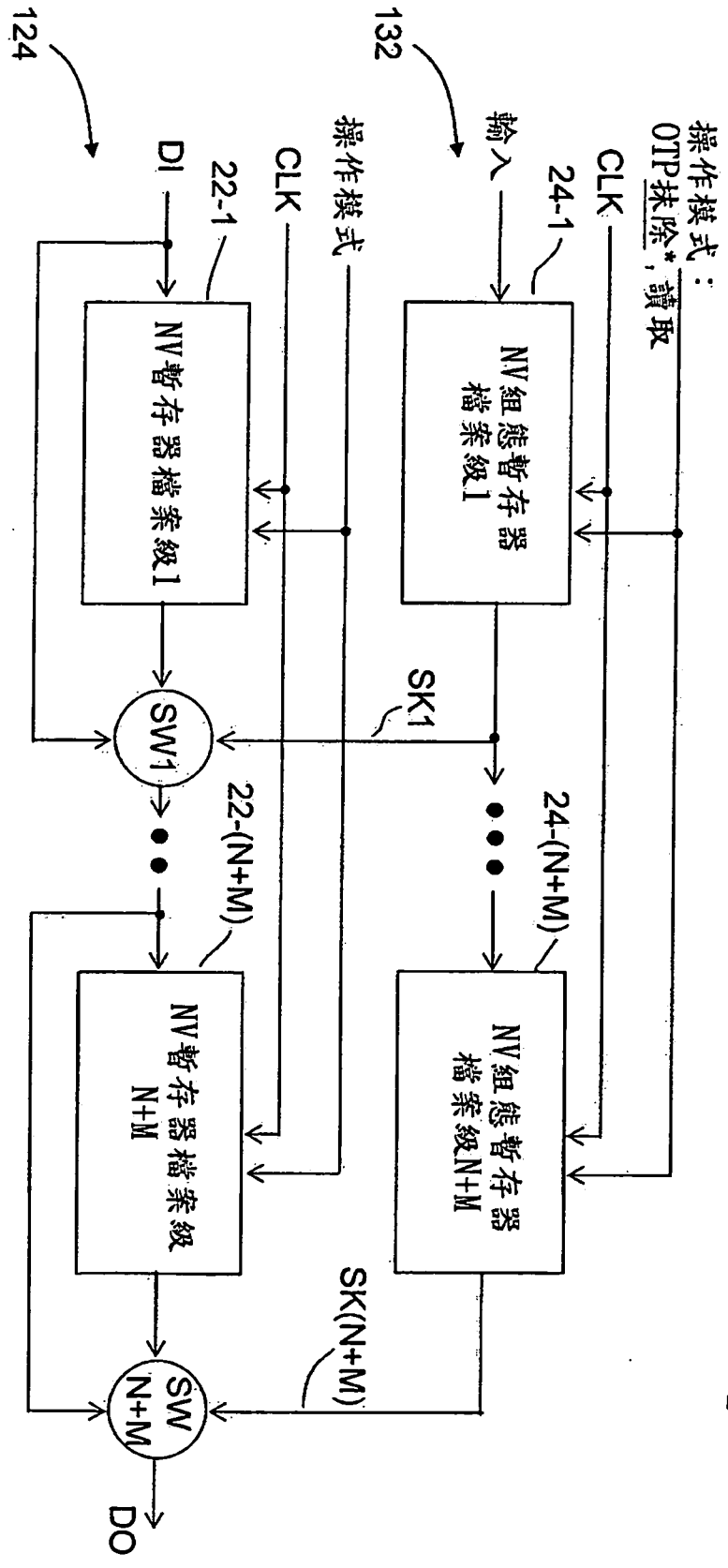


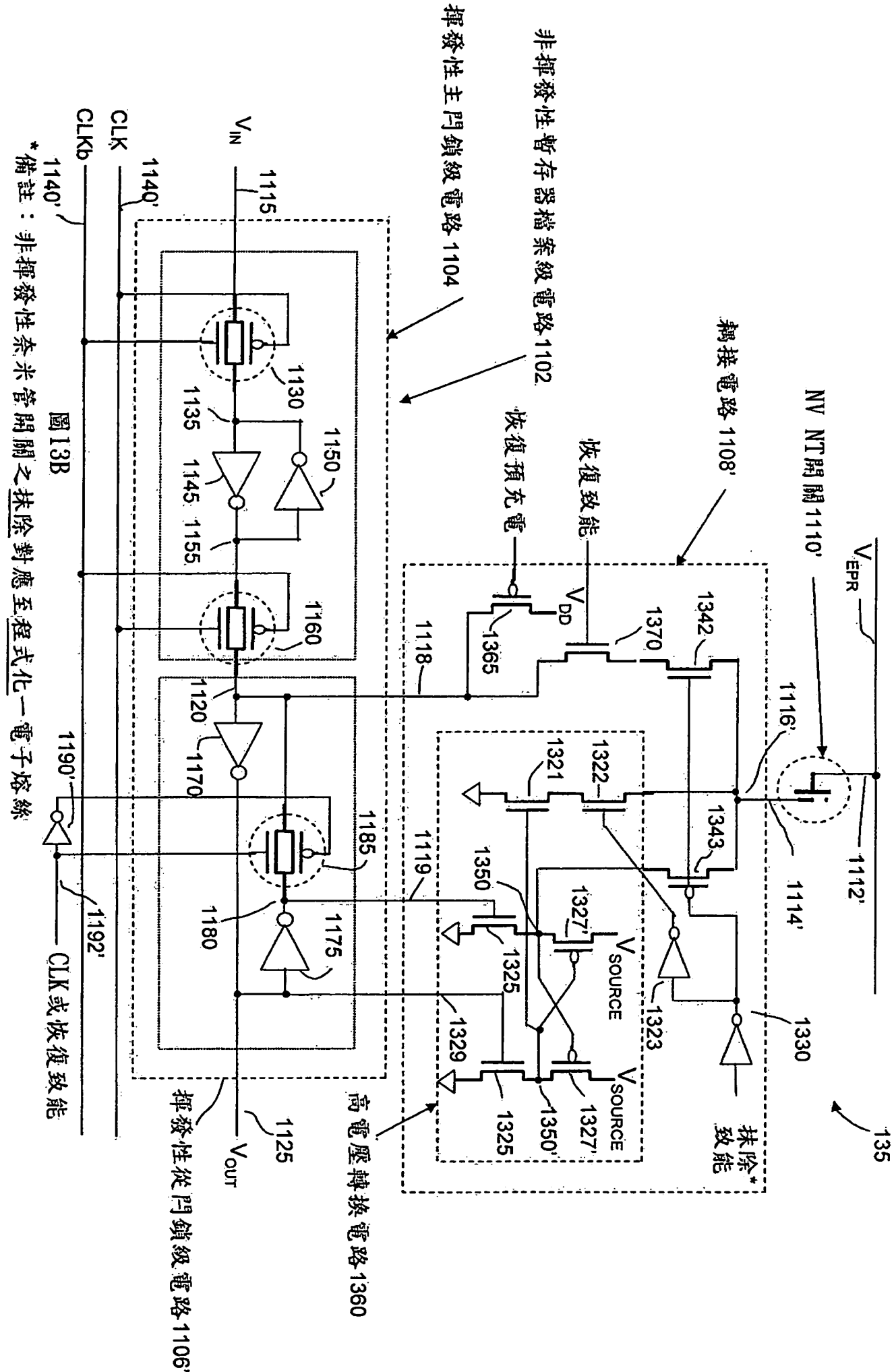
圖12

120



130

圖13A



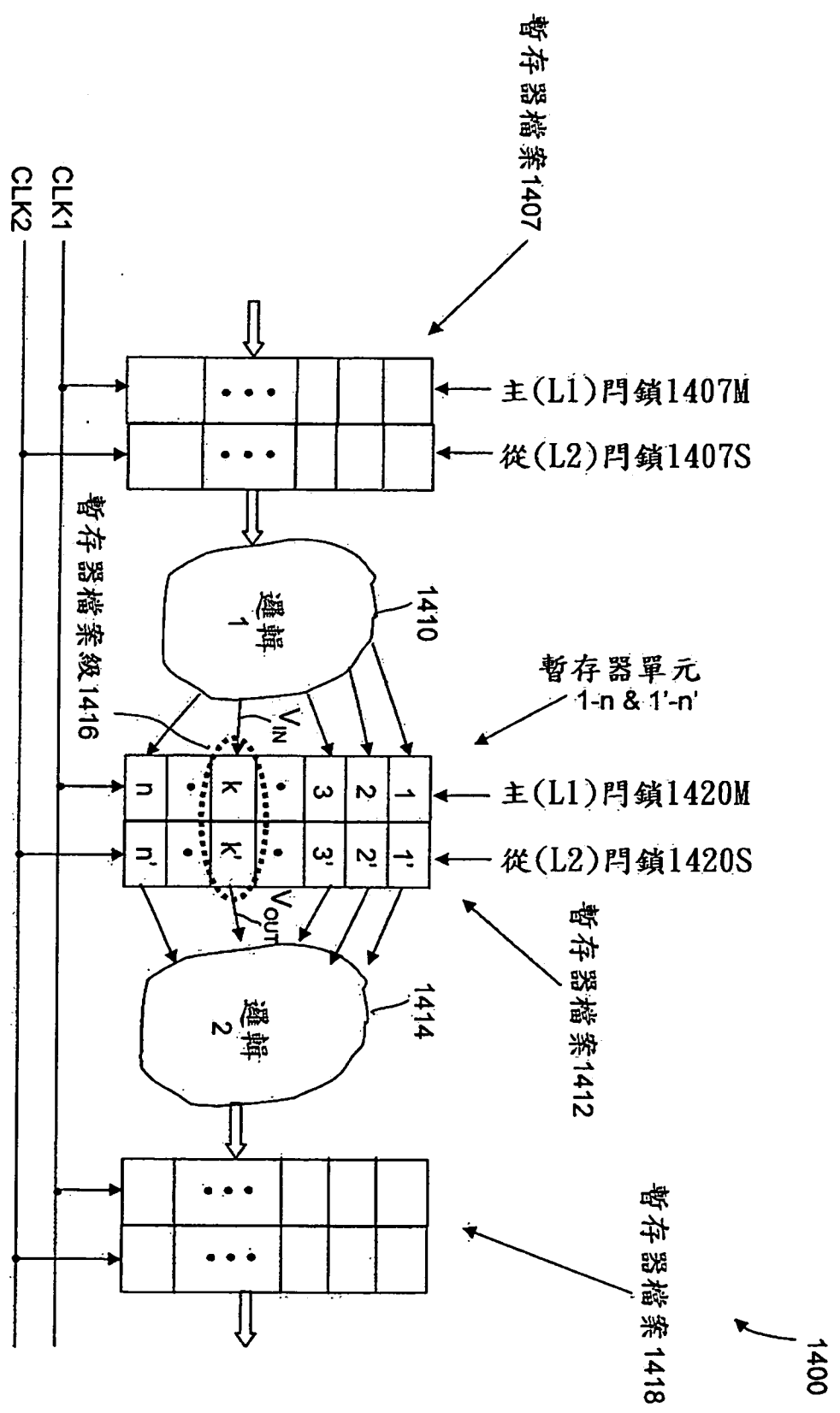


圖 14A

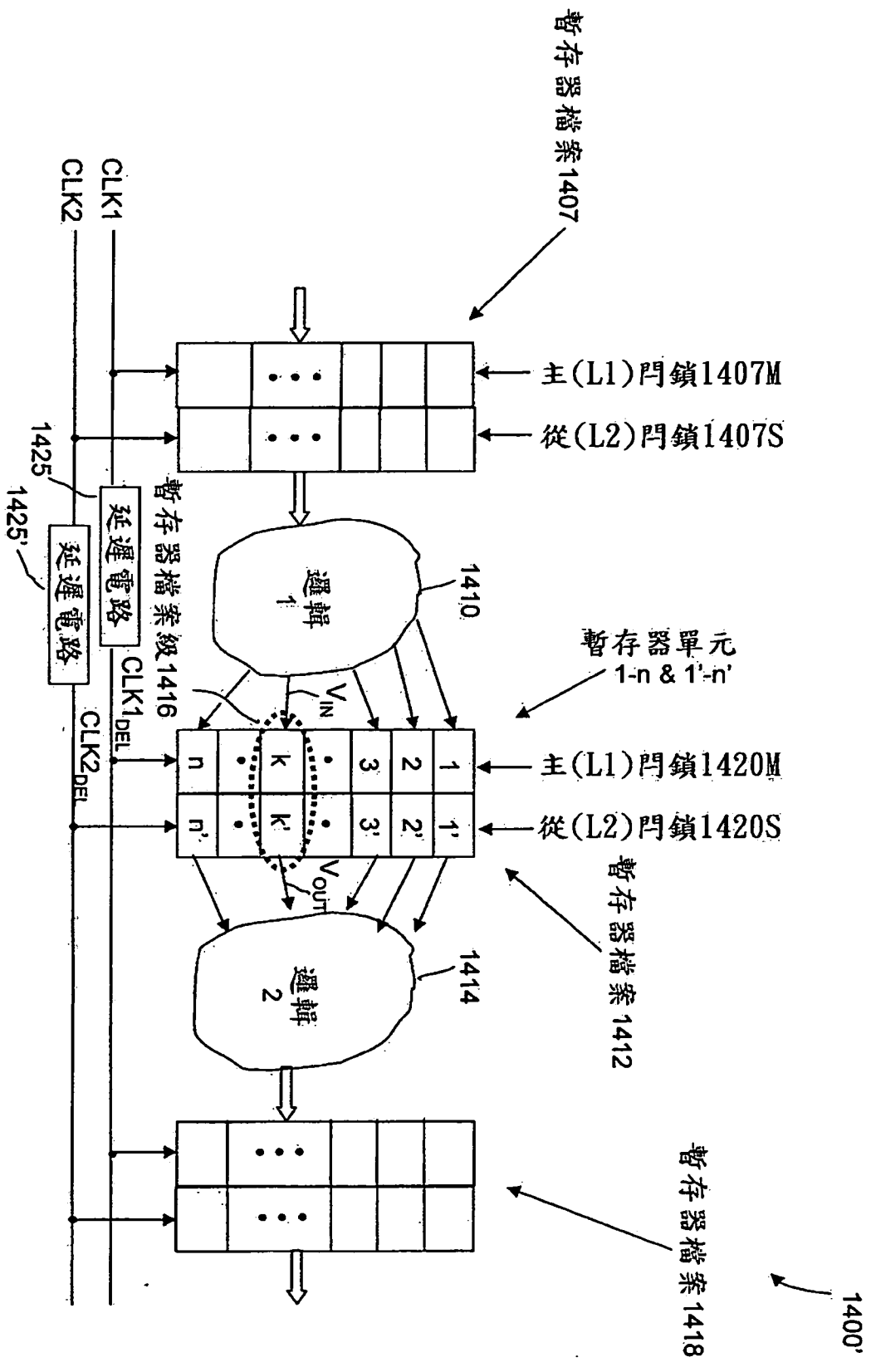


圖 14B

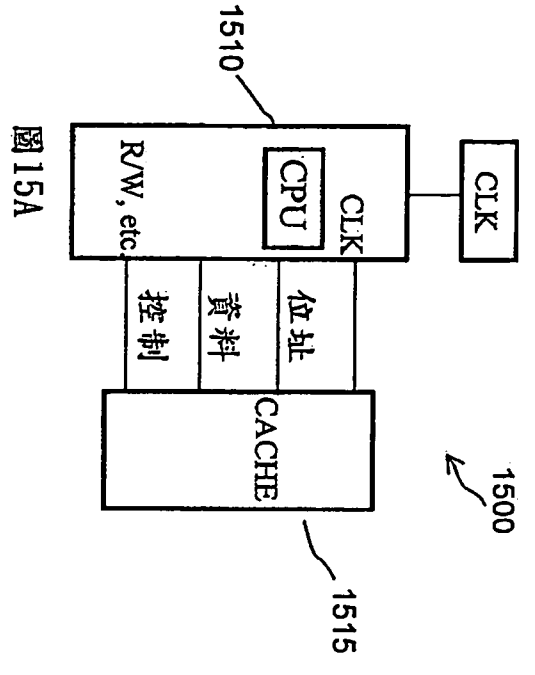


圖 15A

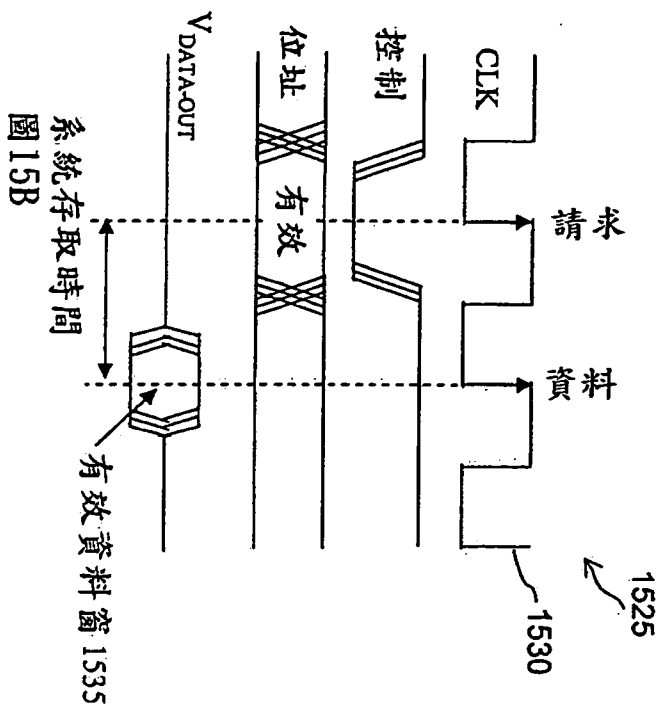


圖 15B

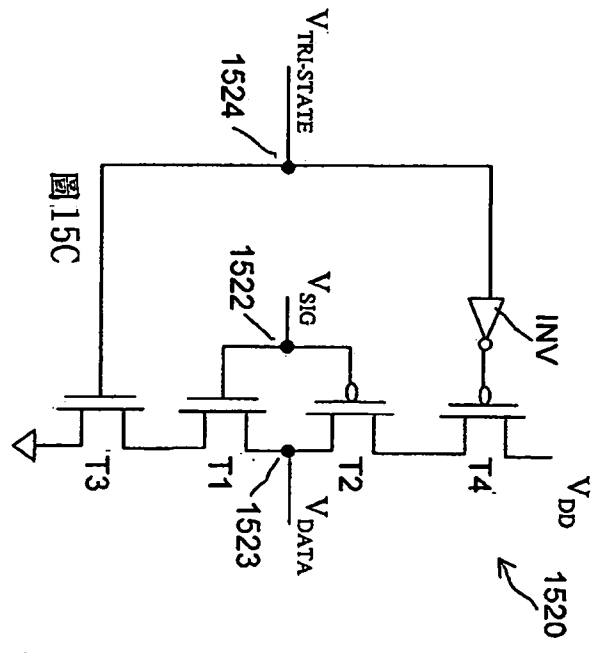


圖 15C

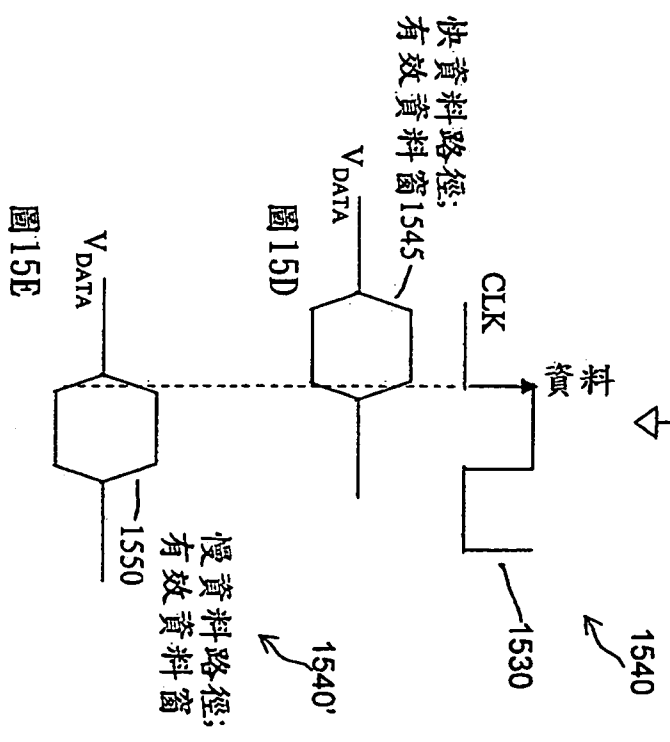


圖 15D

圖 15E

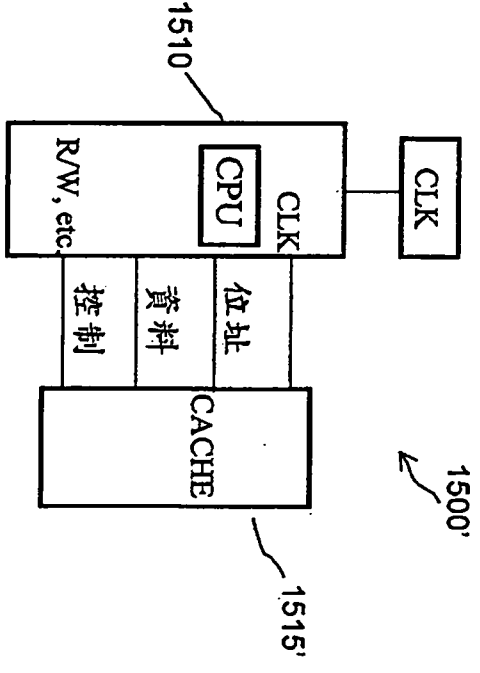


圖 15F

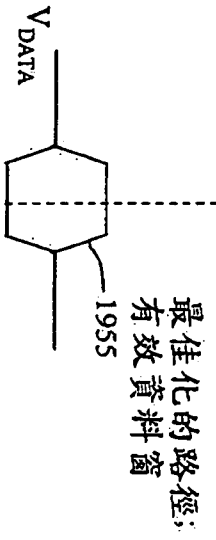
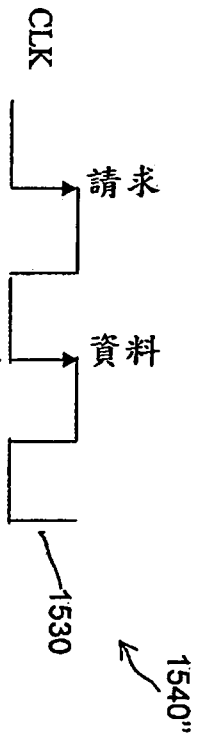


圖 15H

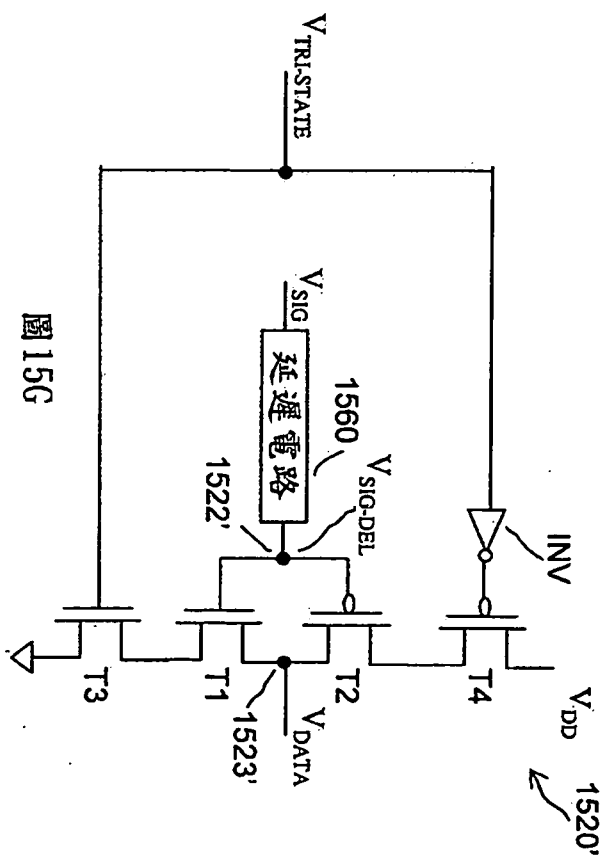


圖 15G

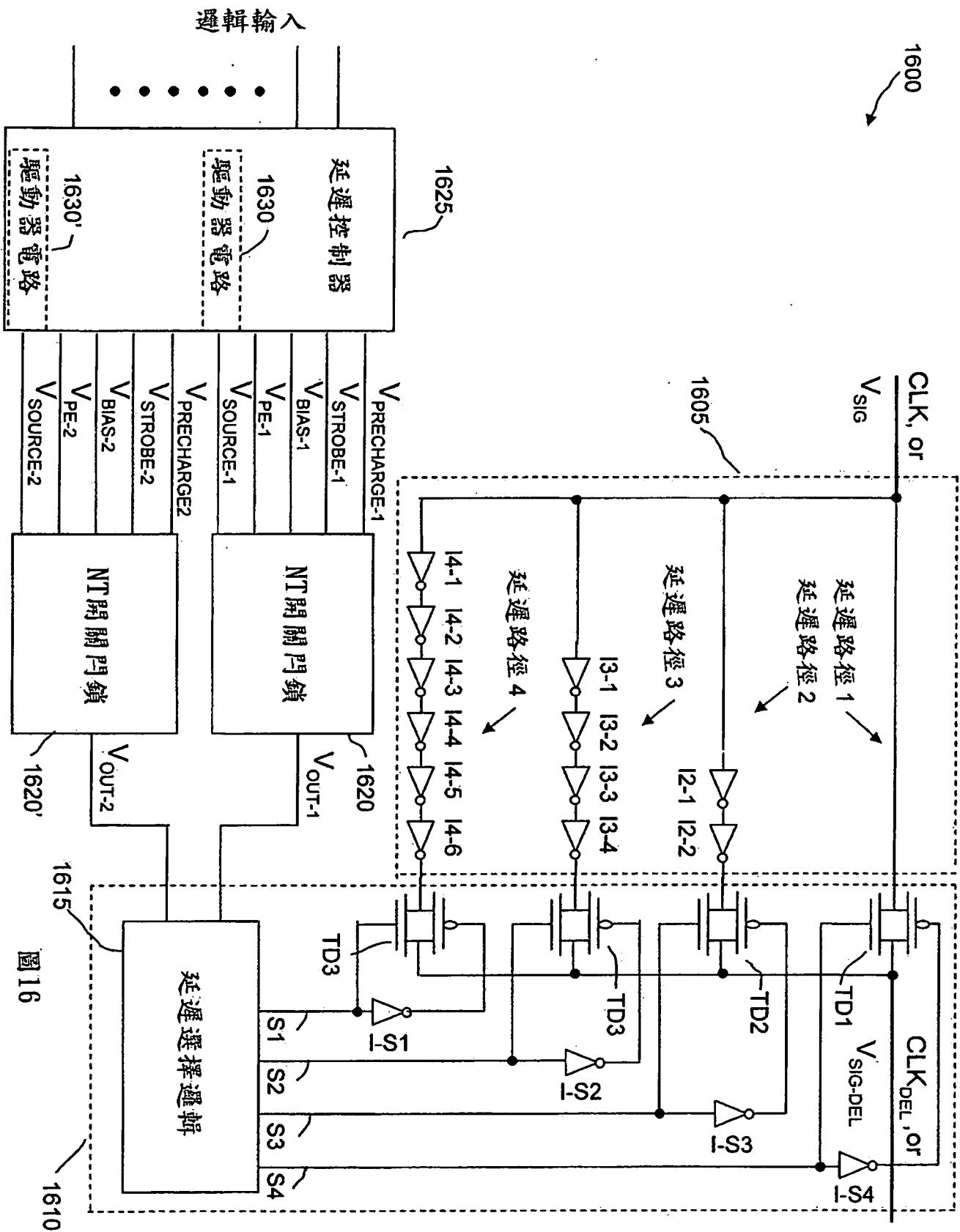


圖 16



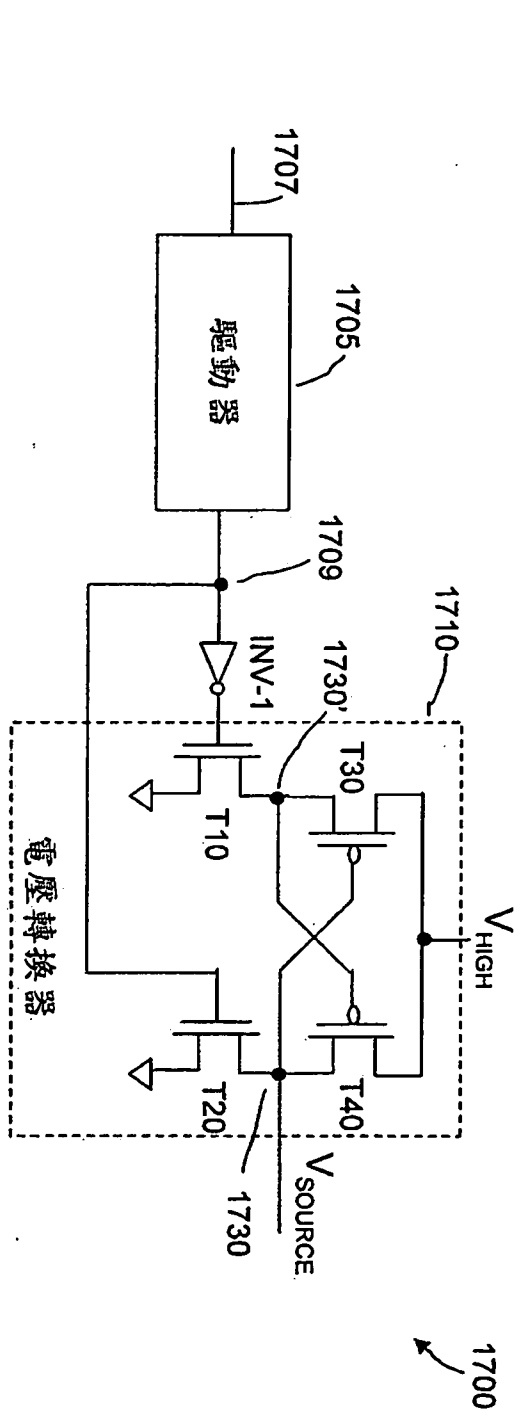


圖 17A

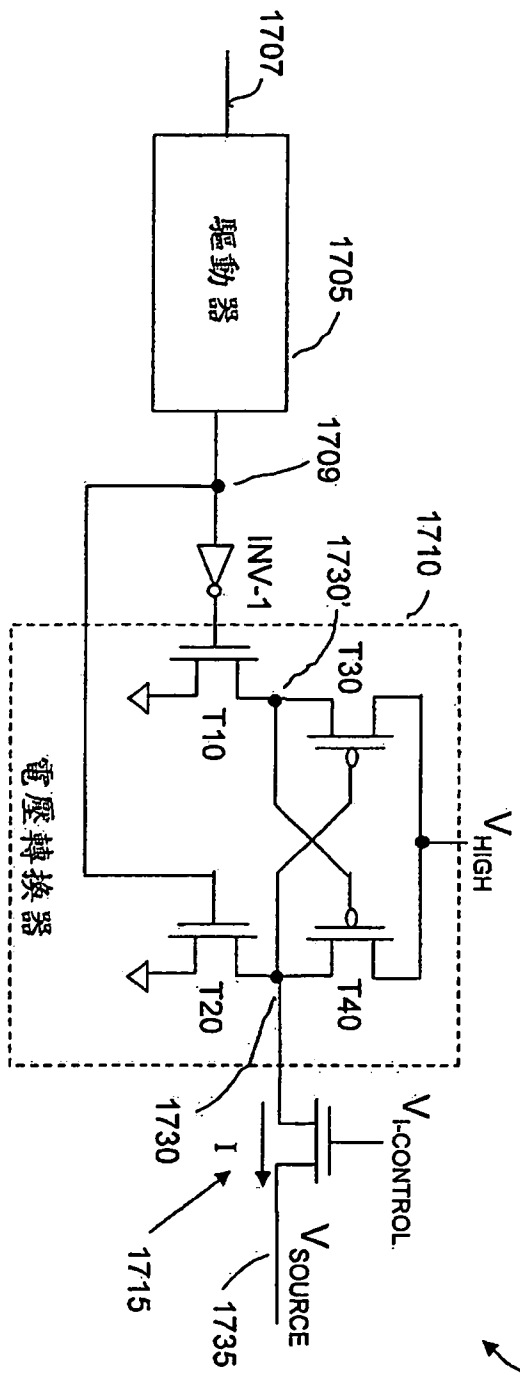


圖 17B

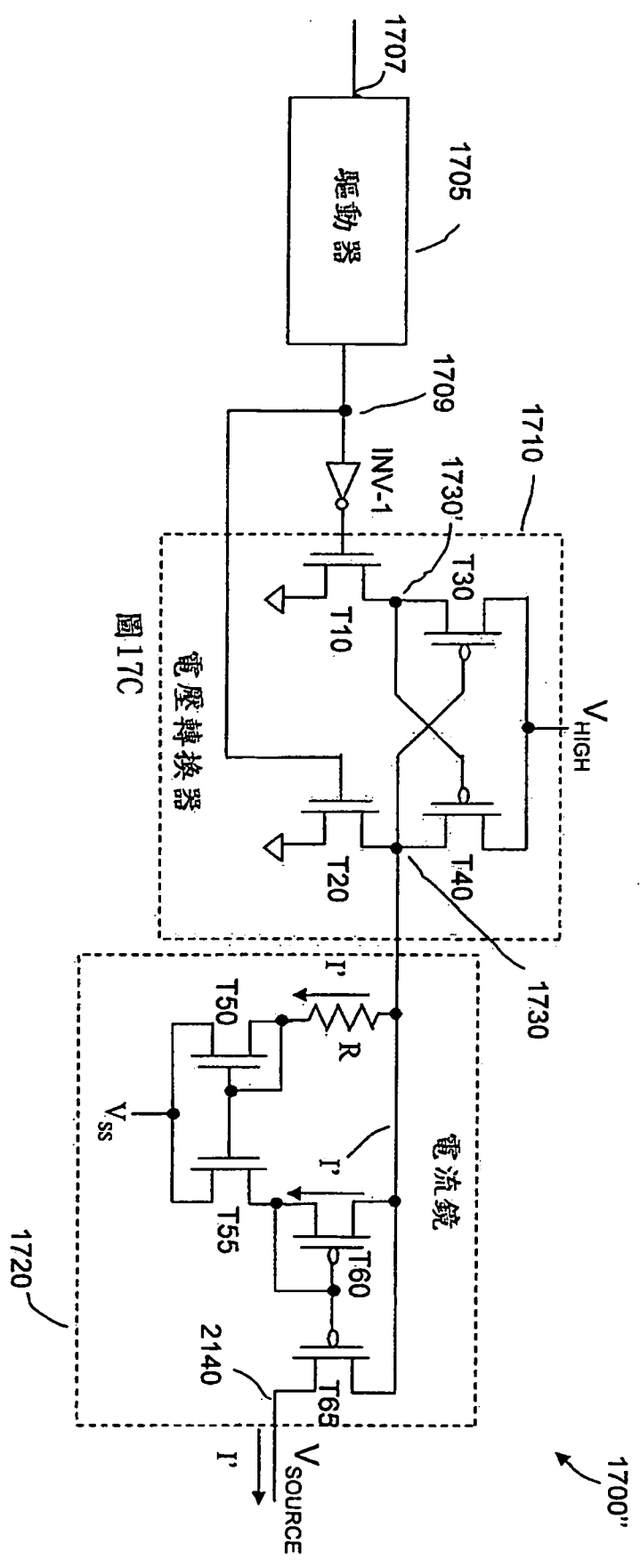


圖 17C



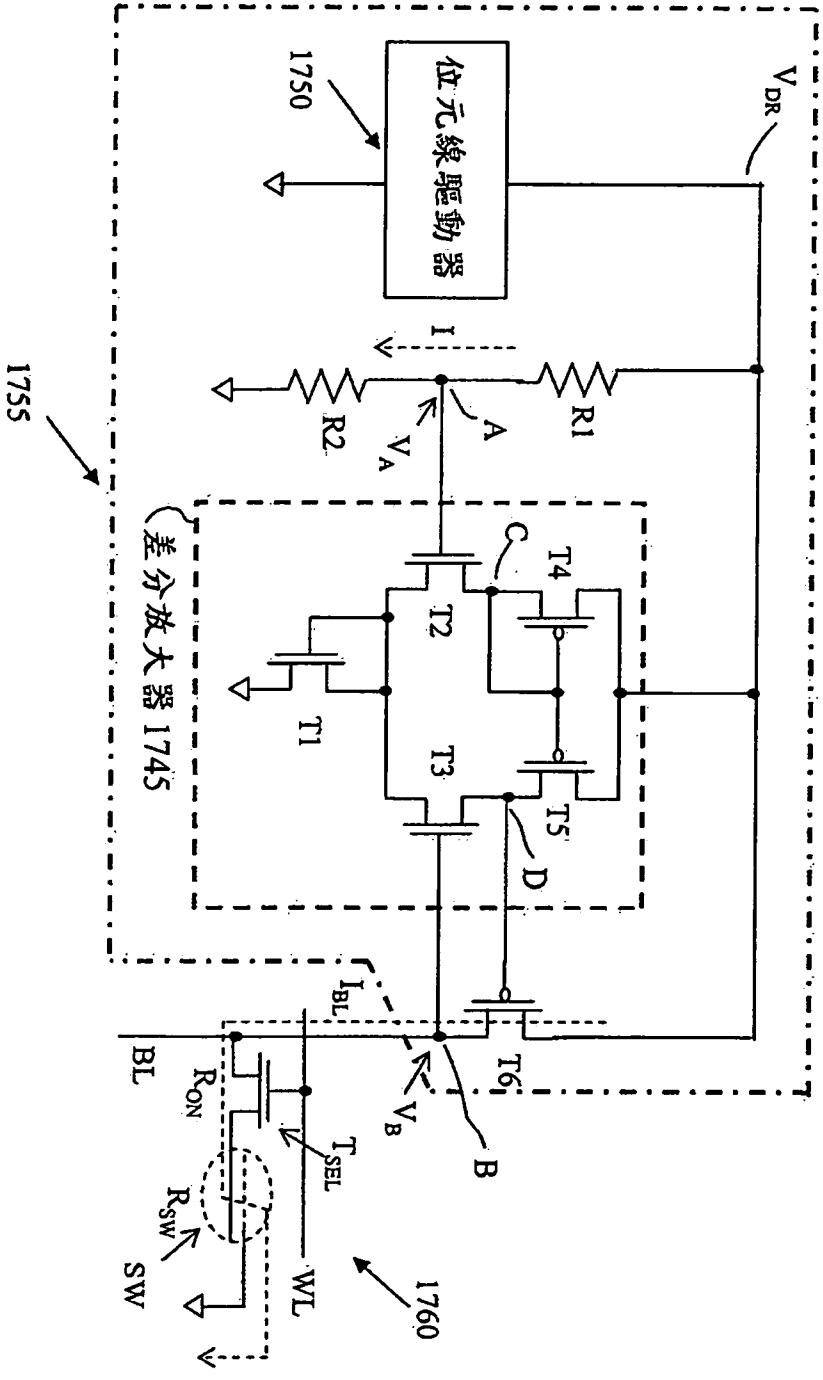


圖17D



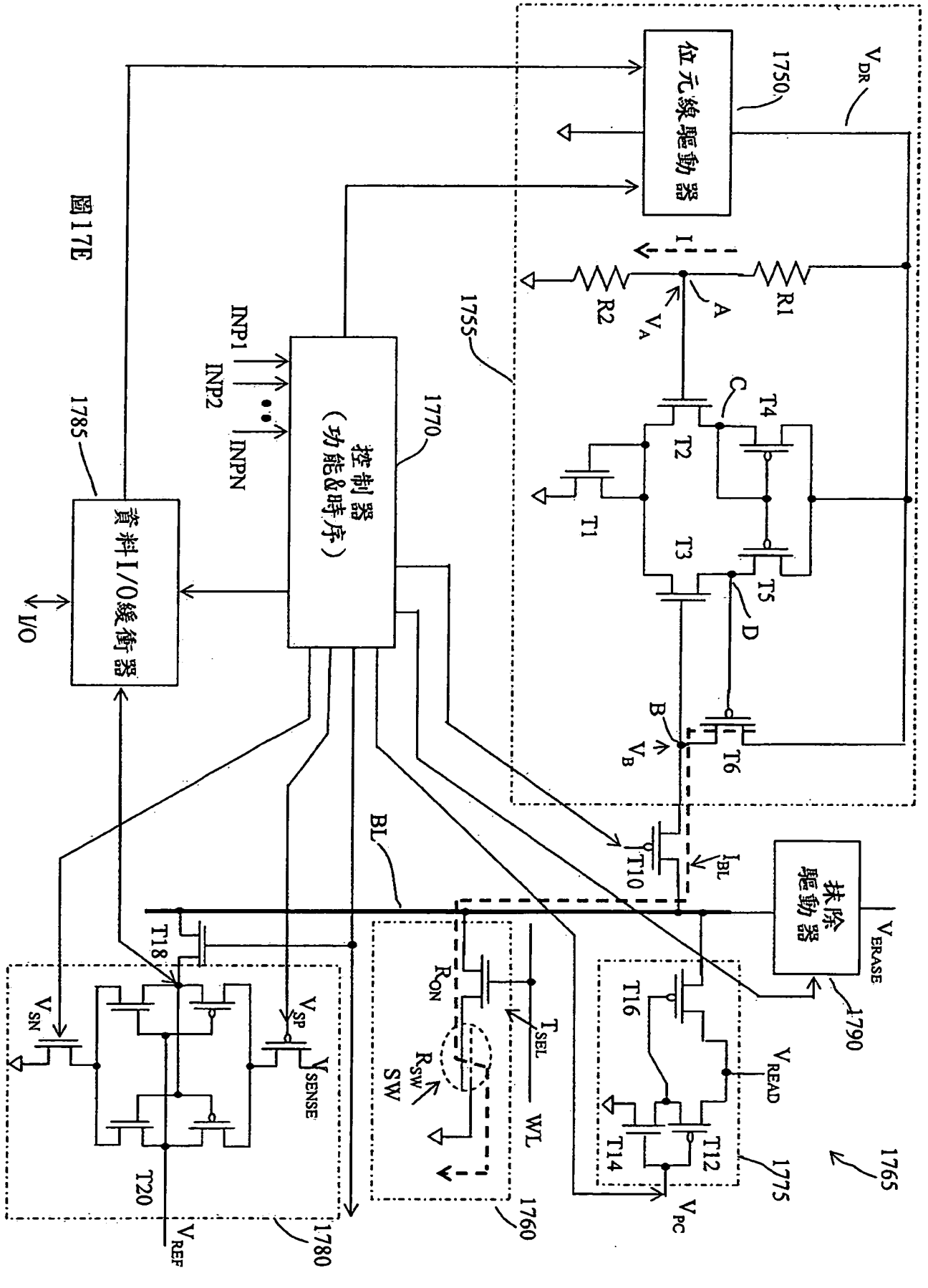


圖 17E

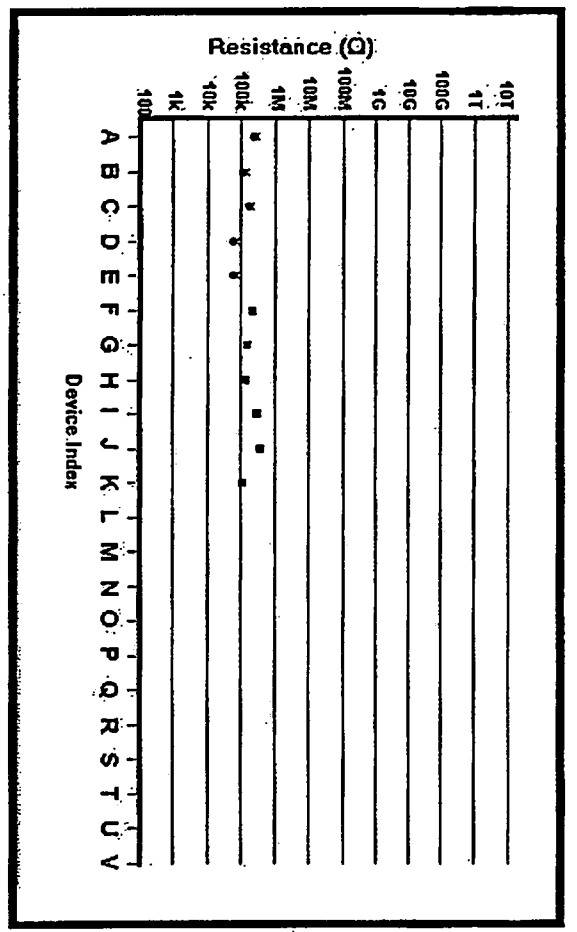


圖 18A

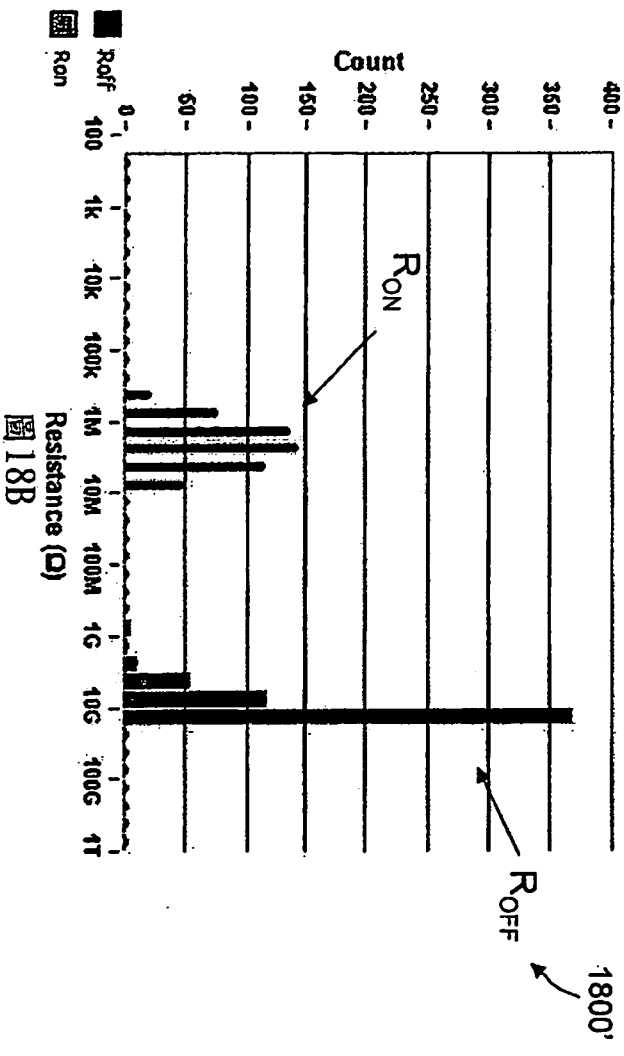


圖 18B

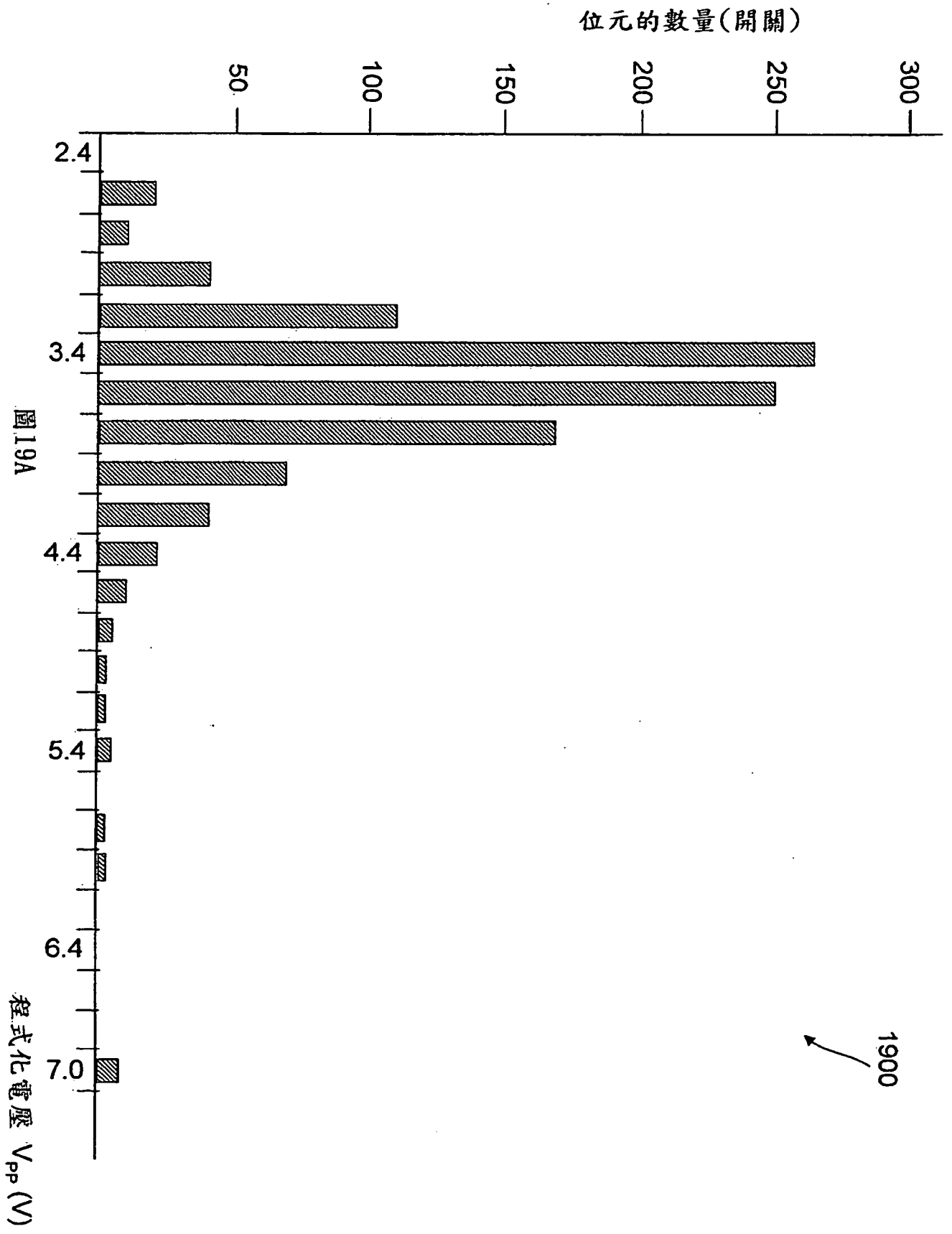
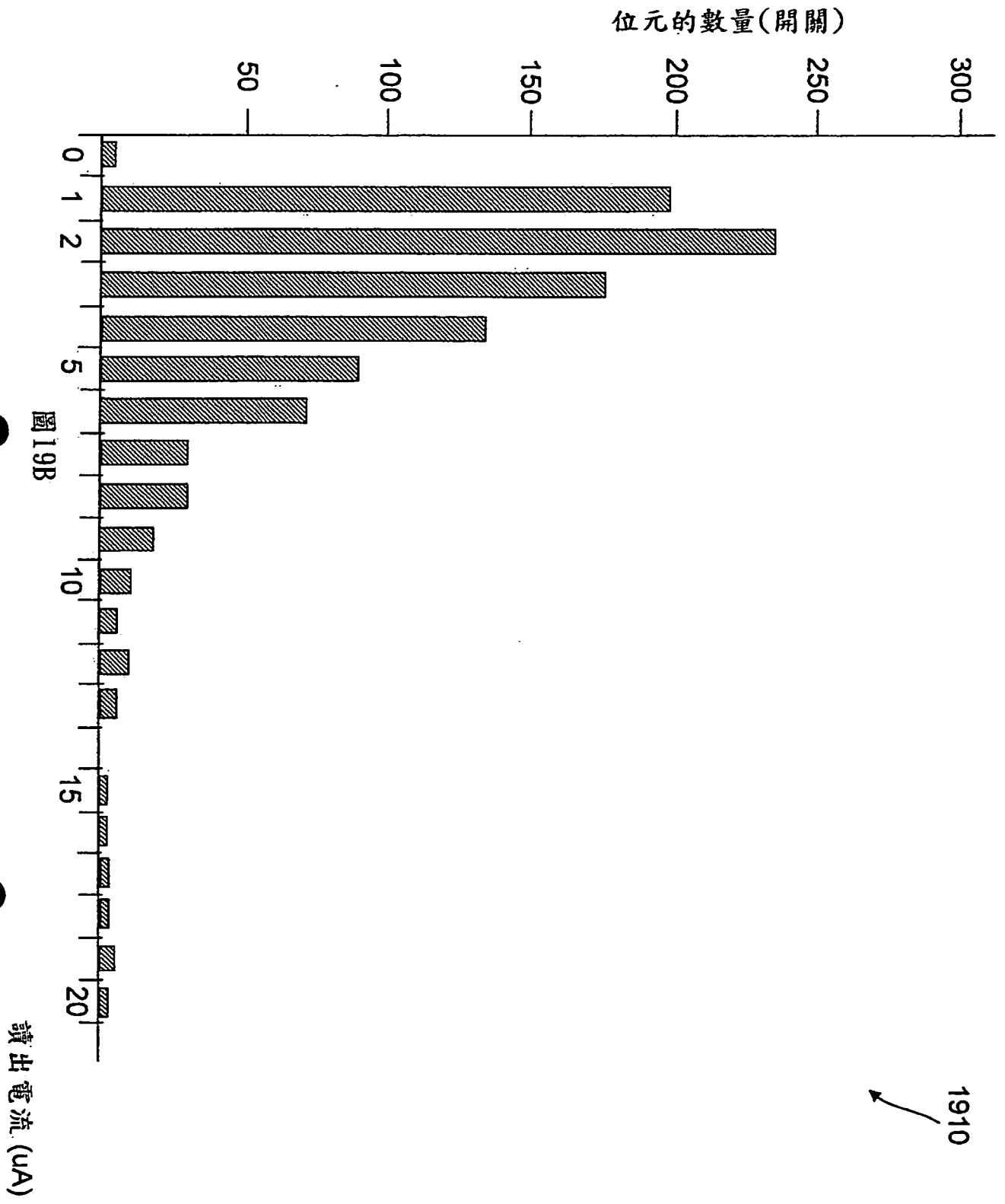


圖 19A



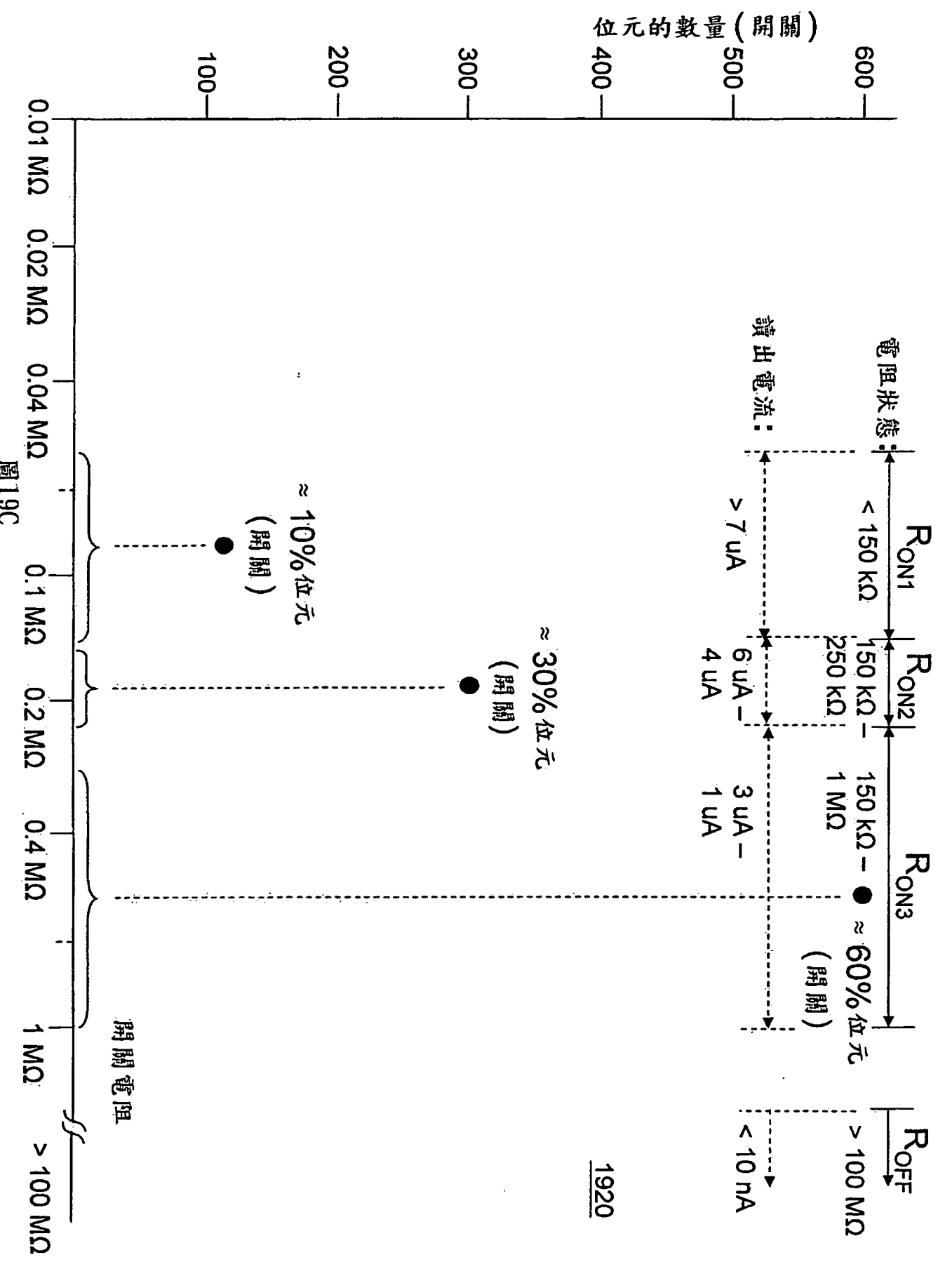


圖19C



1930

$V_{WLO}$ (V)	中數 $I_{READ}$ @ 1 Volt ( $\mu A$ )	中數 對應的 $I_{SAT}$ ( $\mu A$ )
0.9	0.52	3.48
0.96	0.6	4.02
1.02	0.7	4.69
1.08	0.8	5.36
1.16	0.9	6.03
1.22	1.0	6.7
1.28	1.1	7.37
1.4	1.2	8.04

圖19D

中數飽和電流  $I_{DSAT}$  (uA)

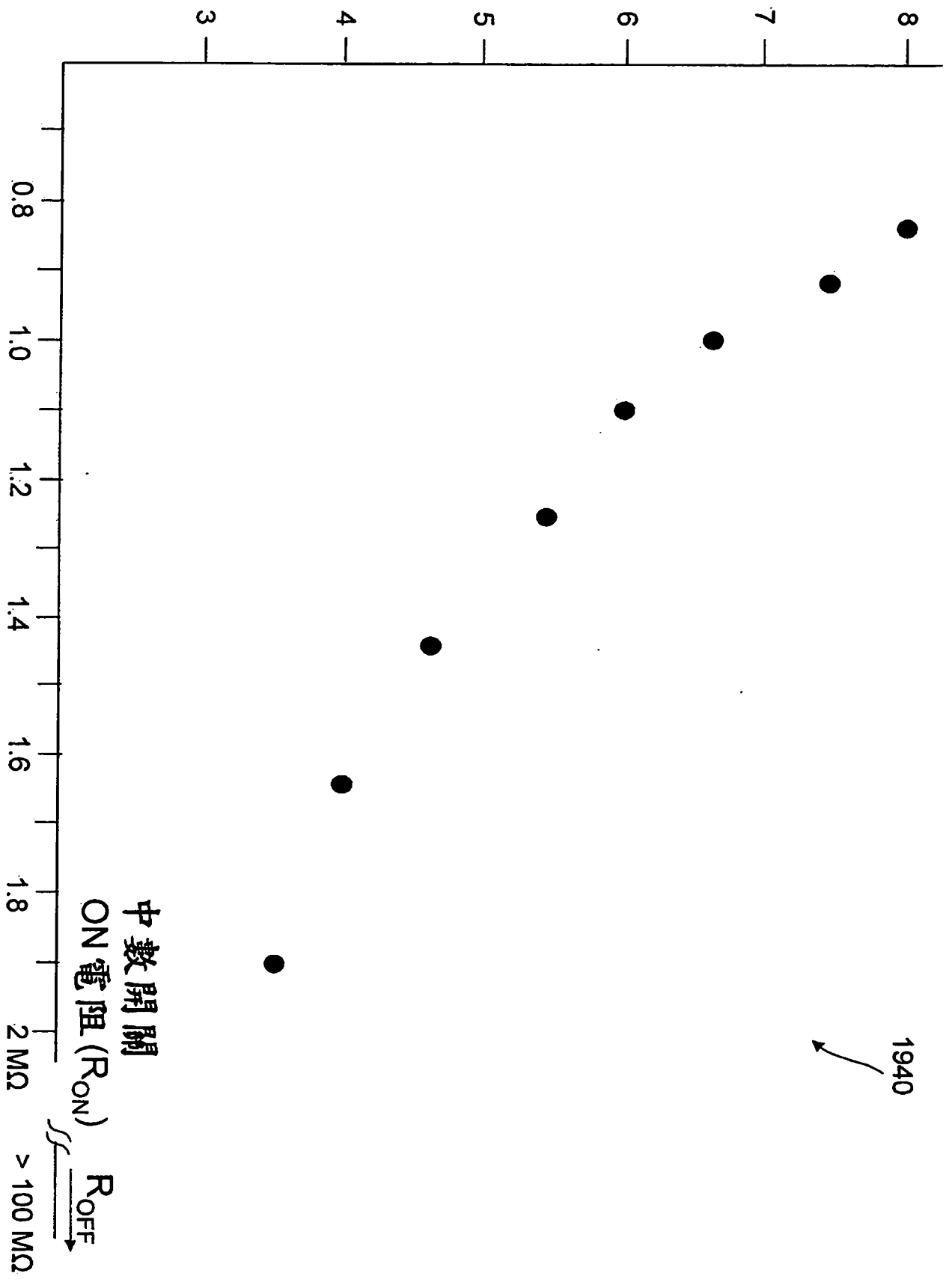


圖19E

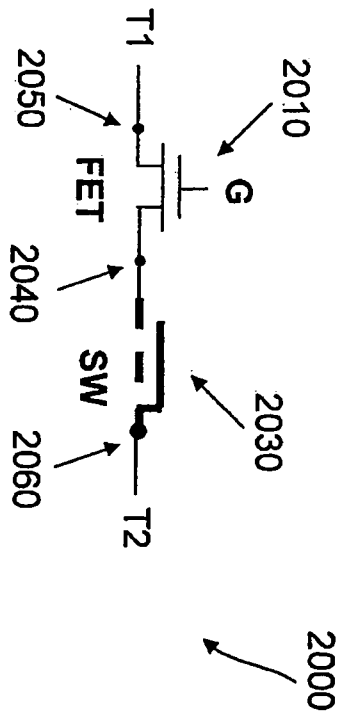


圖 20

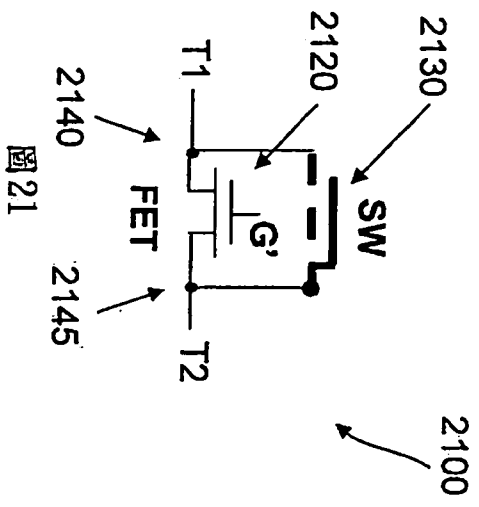


圖 21

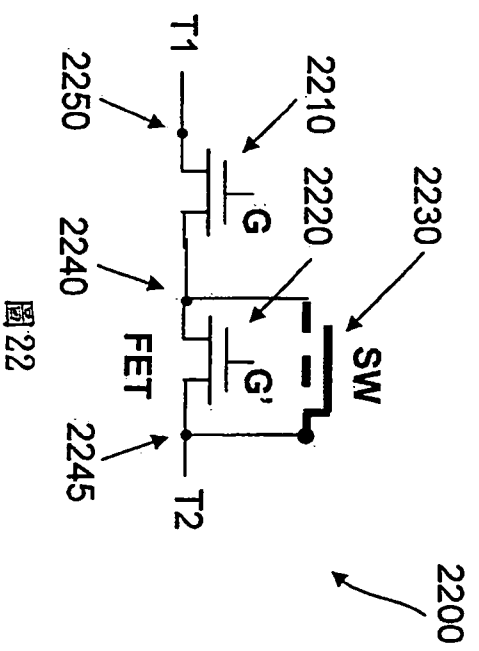


圖 22

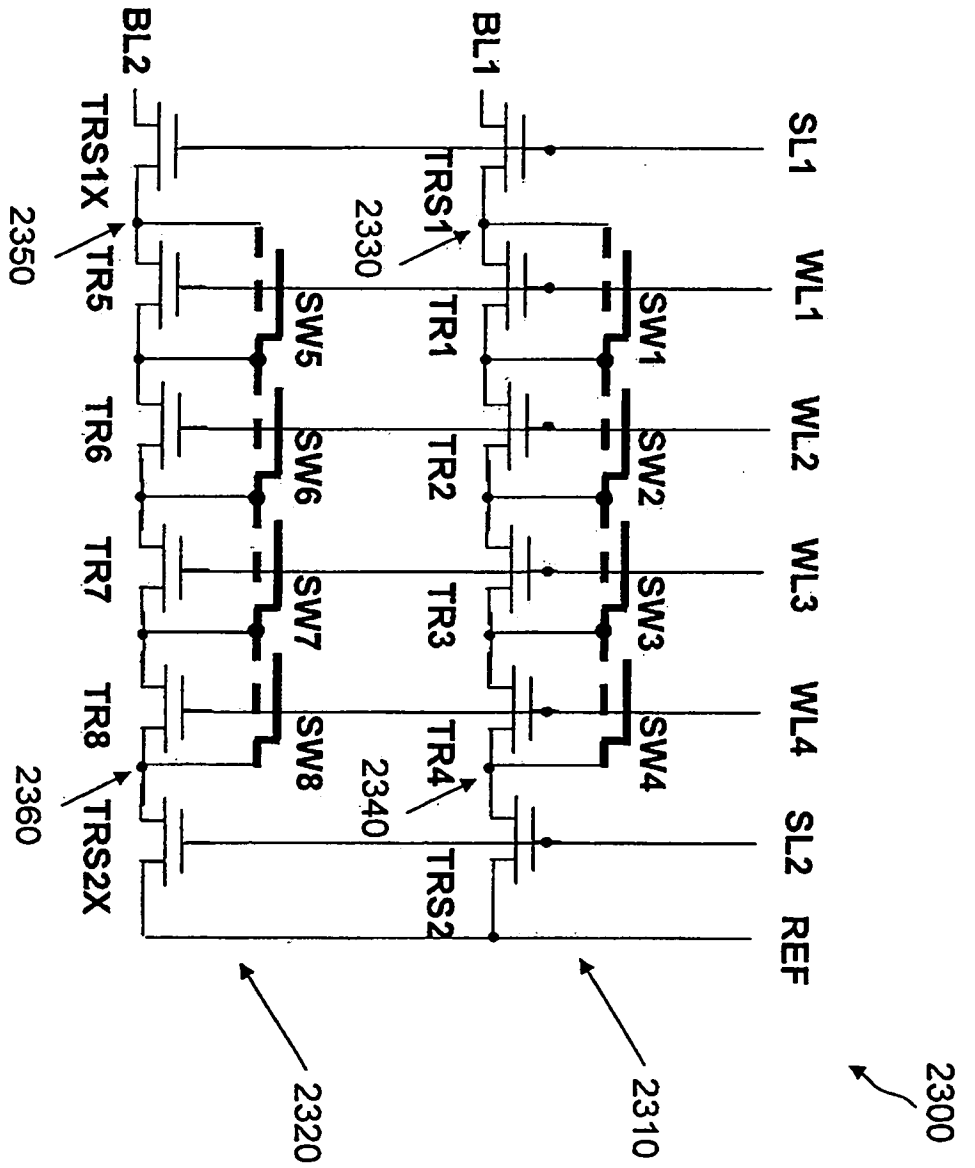
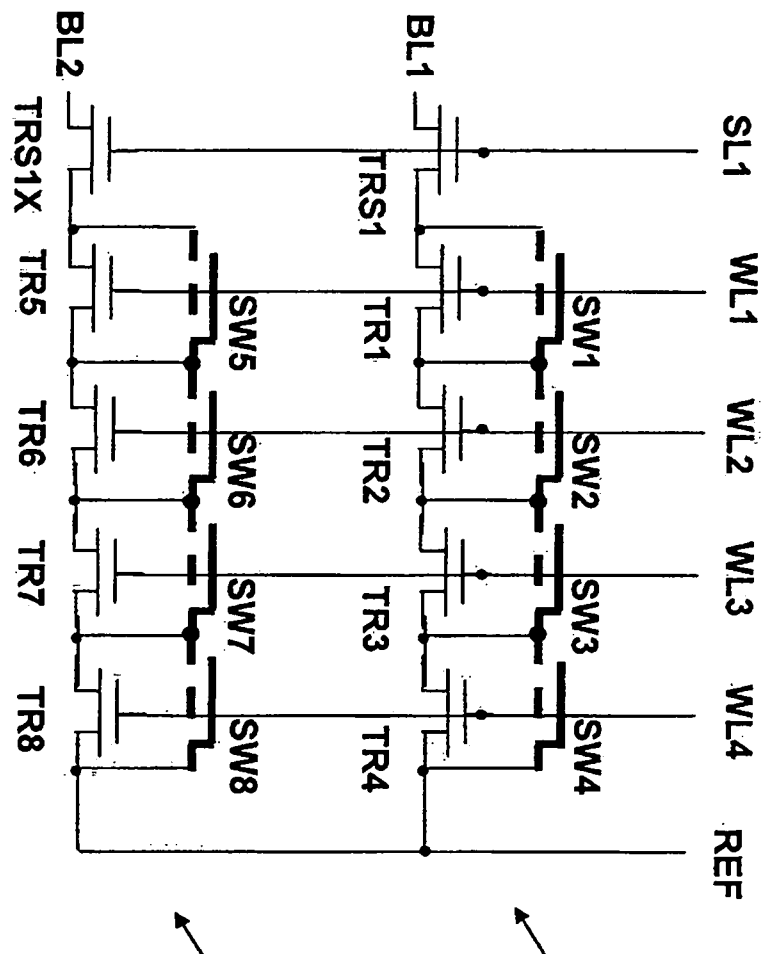


圖23A



2350

2360

2370

圖 23B



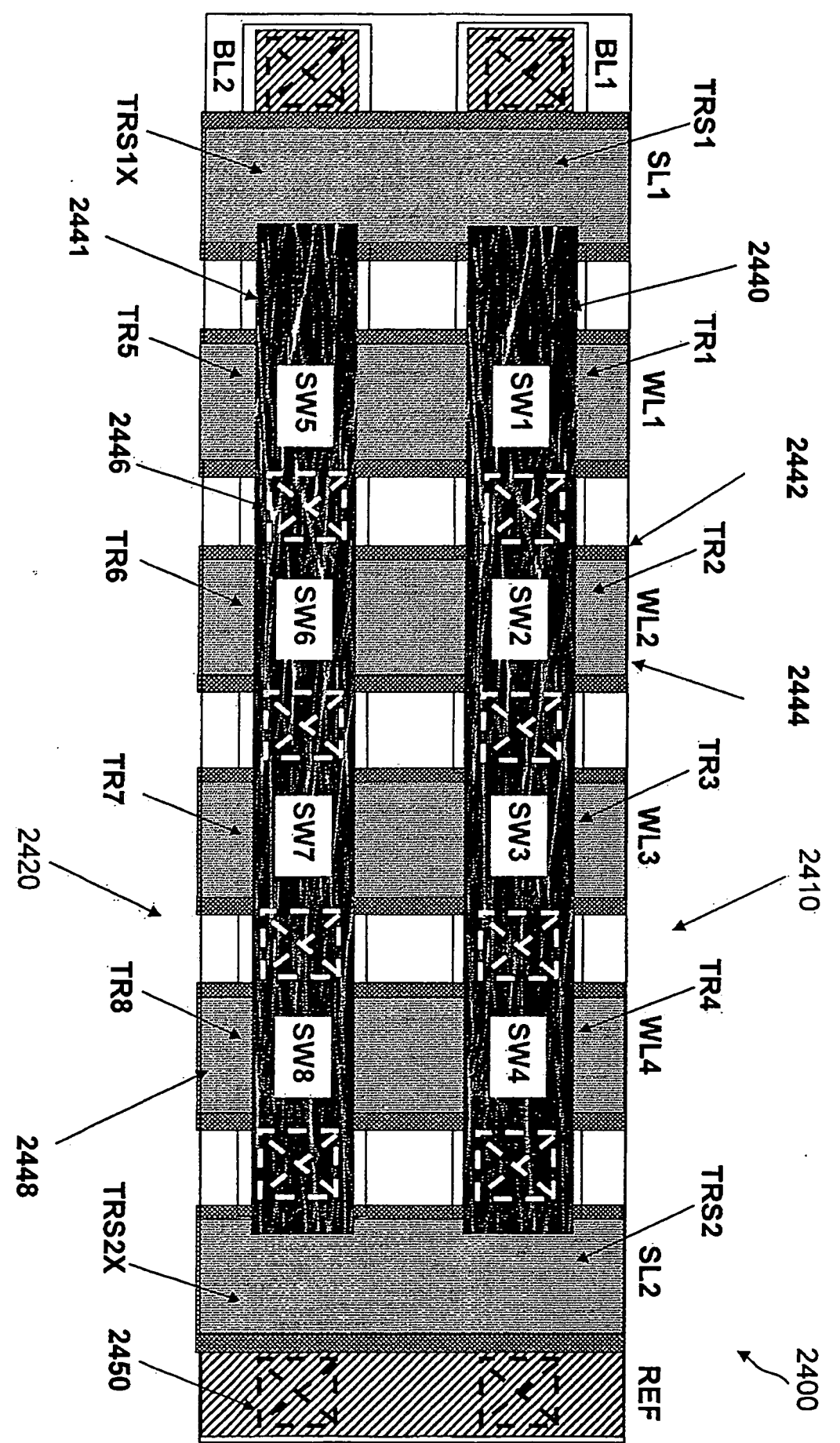
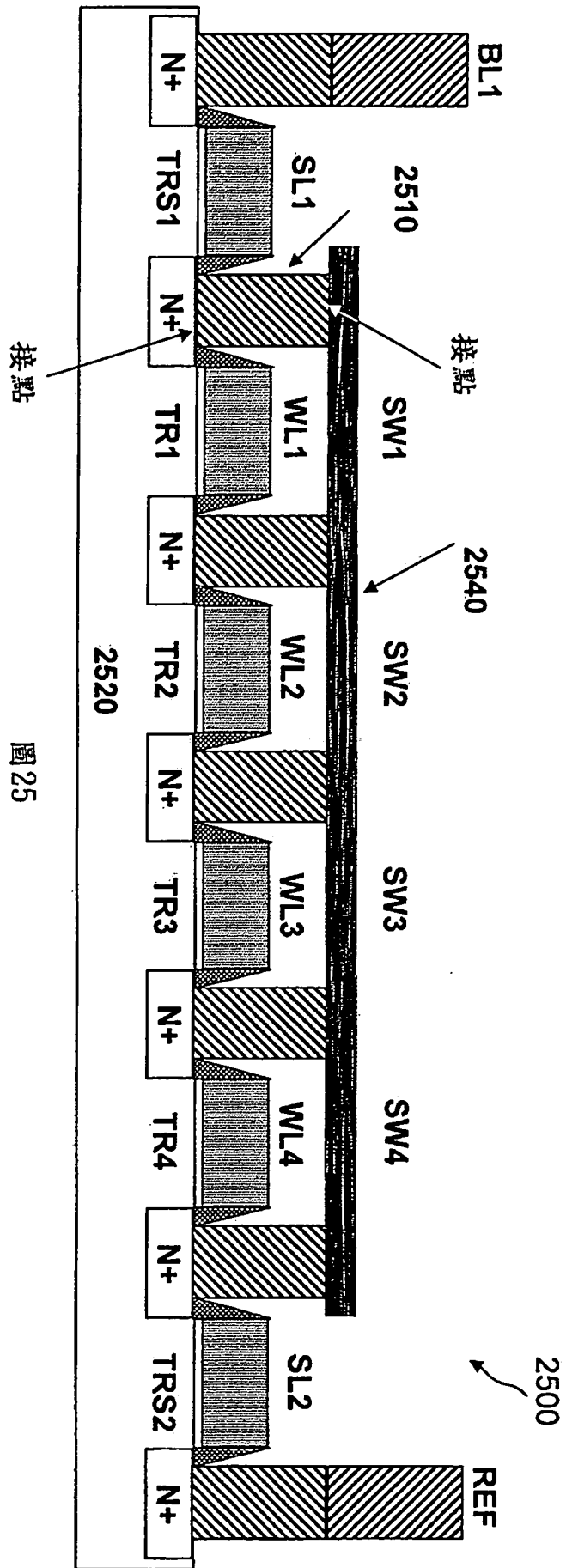


圖 24



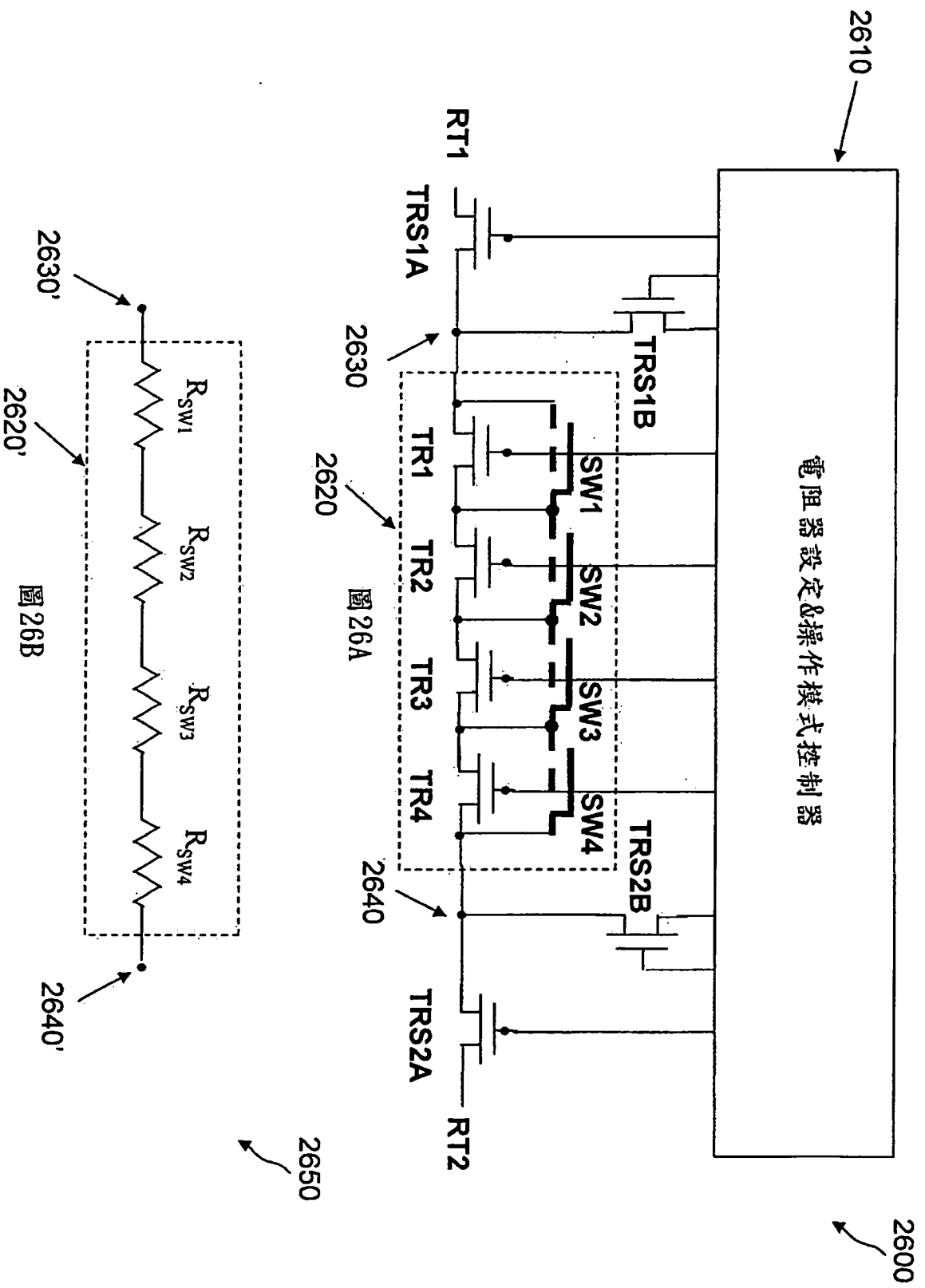


圖 26B

圖 26A



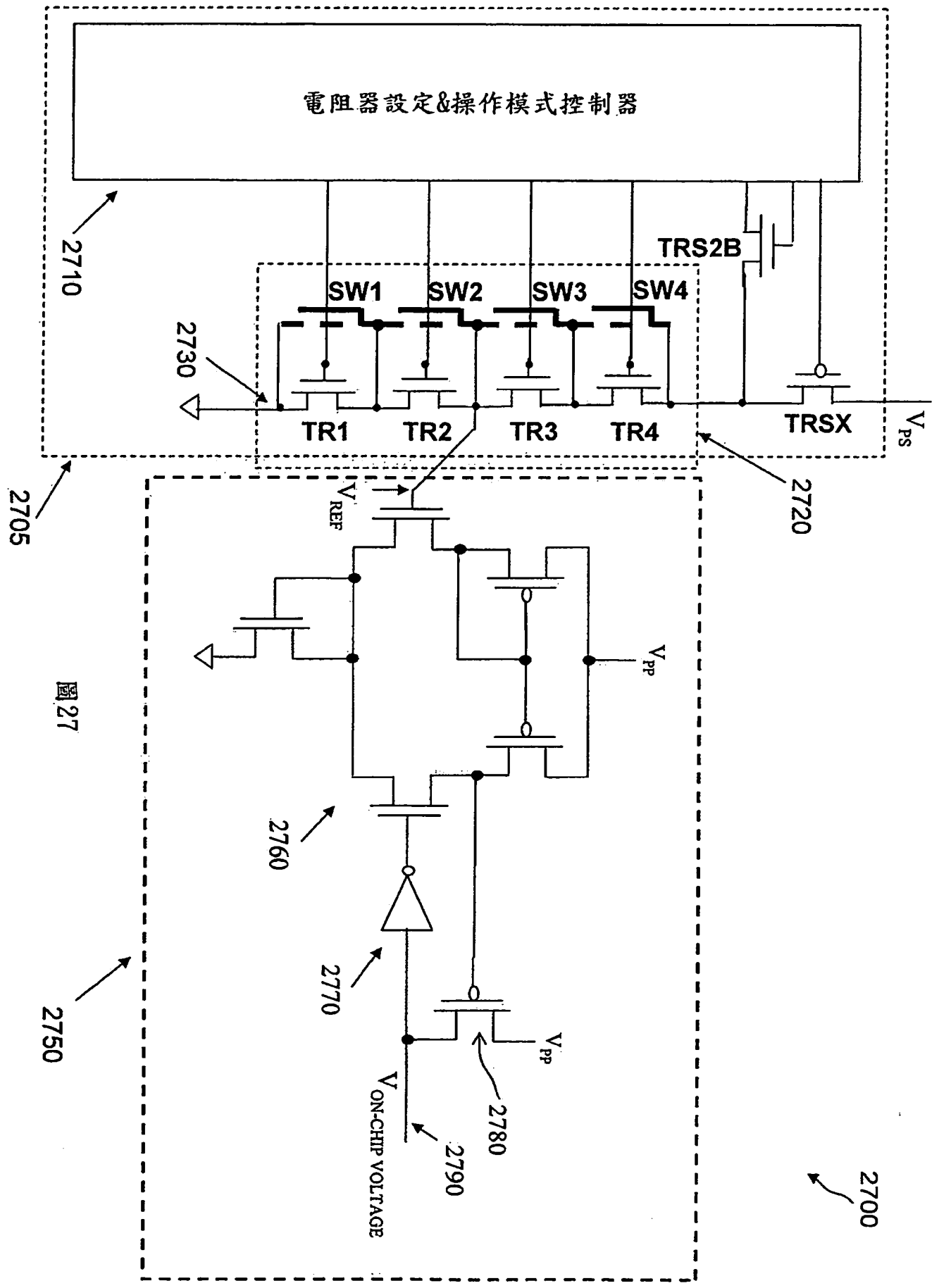


圖27

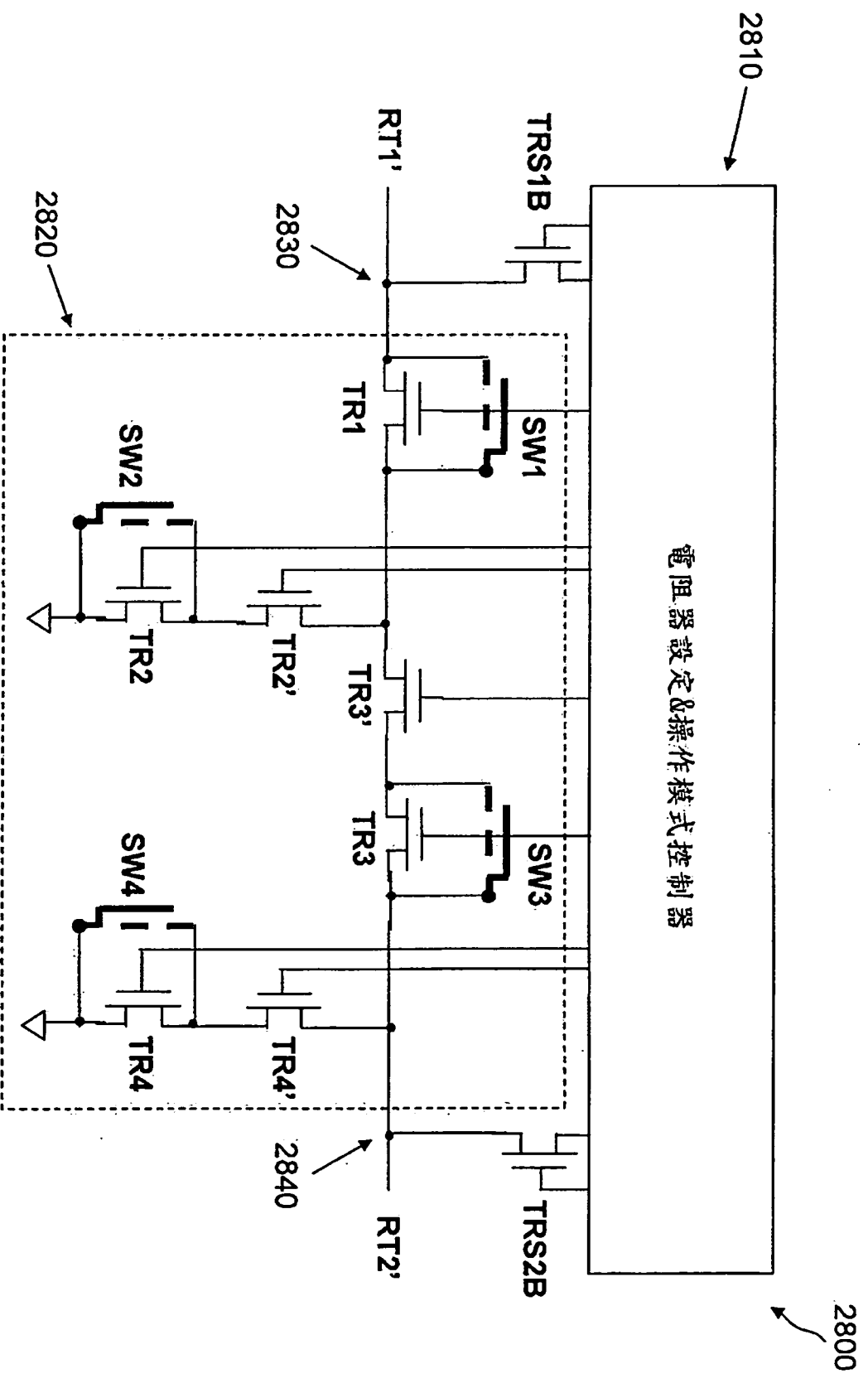


圖28A



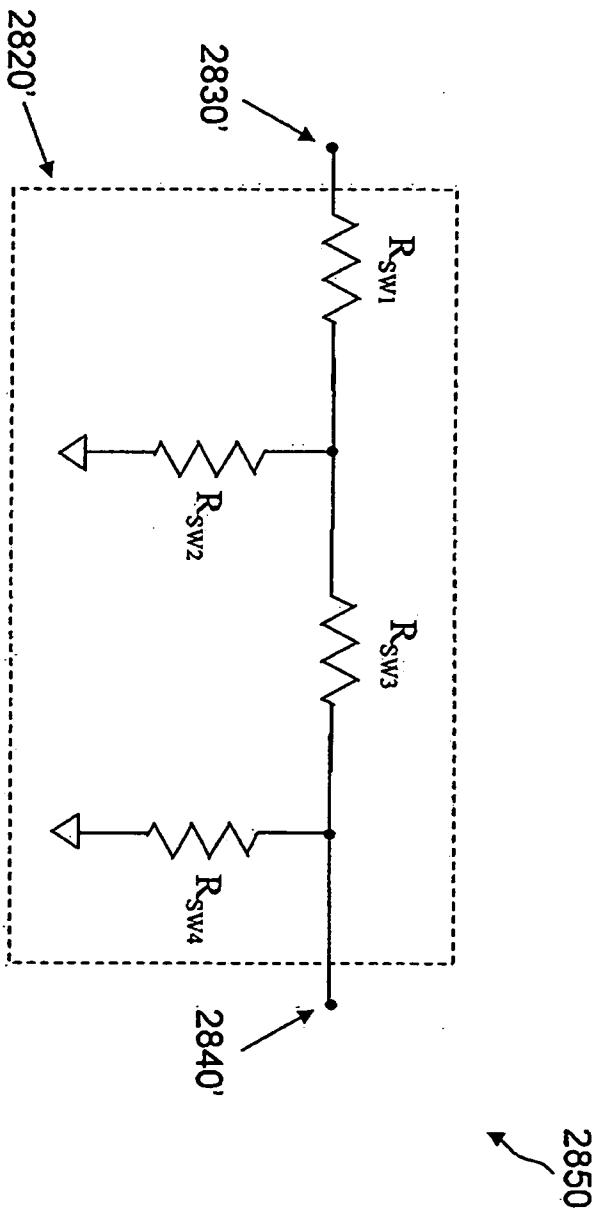


圖 28B

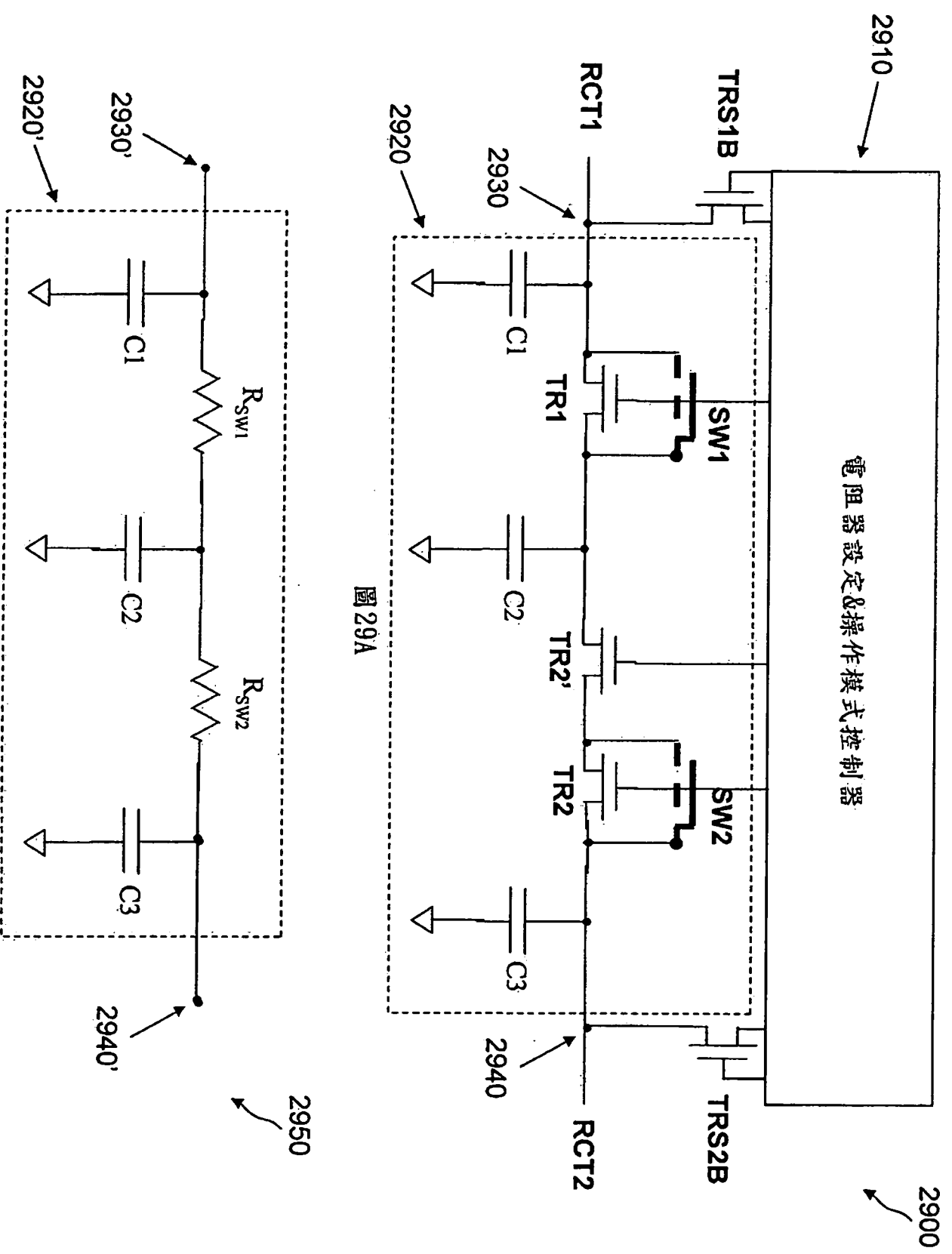


圖 29A

圖 29B