



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

G09G 3/20 (2006.01)

H01L 29/786 (2006.01)

G02F 1/136 (2006.01)

(45) 공고일자 2007년01월16일

(11) 등록번호 10-0669739

(24) 등록일자 2007년01월10일

(21) 출원번호 10-2004-0083978

(65) 공개번호 10-2006-0034933

(22) 출원일자 2004년10월20일

(43) 공개일자 2006년04월26일

심사청구일자 2004년10월20일

(73) 특허권자 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자 이수미
경기 수원시 권선구 구운동 삼환아파트 3동 805호

(74) 대리인 리엔목특허법인
이해영

(56) 선행기술조사문헌

JP02089030 A

JP2002111000 A

KR1020050070342 A

KR1020050110823 A *

* 심사관에 의하여 인용된 문헌

심사관 : 박부식

전체 청구항 수 : 총 4 항

(54) 평판표시장치의 트랩제거방법

(57) 요약

평판표시장치의 오프 전류를 감소시키는 평판표시장치의 트랩제거방법을 개시한다. 상기 평판표시장치의 트랩제거방법은, 복수 개의 화소 및 상기 각 화소에 구비된 적어도 하나의 박막 트랜지스터를 구비하는 평판표시장치에 존재하는 트랩(Trap)을 제거하는 것으로, 상기 화소들의 박막 트랜지스터에 소정의 바이어스를 소정의 시간 및 소정의 온도에서 인가하는 것이다.

대표도

도 1

특허청구의 범위

청구항 1.

복수 개의 화소 및 상기 각 화소에 구비된 적어도 하나의 박막 트랜지스터를 구비하는 평판표시장치에 존재하는 트랩 (Trap)을 제거하는 평판표시장치의 트랩제거방법에 있어서,

상기 화소들의 박막 트랜지스터의 게이트에 DC(Direct current) 전압 또는 AC(Alternative Current) 전압의 역 바이어스를 상온(24 ℃) 및 100℃ 사이의 온도에서 적어도 10초 이상 인가하는 평판표시장치의 트랩제거방법.

청구항 2.

제1항에 있어서, 상기 역 바이어스는,

박막 트랜지스터의 게이트에 인가되는 정상적인 바이어스에 대하여 반대의 극성을 가지는 바이어스 전압인 것을 특징으로 하는 평판표시장치의 트랩제거방법.

청구항 3.

제2항에 있어서, 상기 역 바이어스는,

AC 전압인 경우, 펄스의 크기가 30V(Volts) 이하, 주파수는 60Hz(Hertz)이상 및 듀티(Duty)는 1/2에서 1/4 사이이고,

DC 전압인 경우 30V 이하의 전압인 것을 특징으로 하는 평판표시장치의 트랩제거방법.

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

제1항에 있어서, 상기 트랩은,

게이트 절연막 및 액티브 영역사이에 존재하거나 게이트 절연막 자체에 존재하는 트랩인 것을 특징으로 하는 평판표시장치의 트랩제거방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 평판표시장치에 관한 것으로, 특히 평판표시장치의 트랩제거방법에 관한 것이다.

평판표시장치는 복수 개의 발광 셀들과 이들의 발광을 구동하거나 제어하는 회로영역으로 구분할 수 있다. 상기 셀 또는 회로영역은, 복수 개의 트랜지스터 및 커패시터로 이루어지며, 이들을 제조하는데 사용되는 기본 물질은 실리콘(Silicon)이 주류를 이룬다. 불순물이 전혀 없는 진성(Intrinsic) 실리콘은 도체도 아니고 그렇다고 부도체도 아닌 이른바 반도체 상태이다. 이러한 전기적 특성을 가지는 진성 실리콘의 일정한 영역을 도체로 사용하기 위해서는, 도체로 사용 될 소정의 영역에 불순물을 투입하여야 한다. 투입되는 불순물의 종류에 따라서 P형 또는 N형 반도체가 된다.

이 때 투입된 불순물이 내부의 실리콘 원자와 적절한 결합을 하여야 전기적으로 일정한 특성을 가지는 트랜지스터를 생성시킬 수 있으며, 이를 위하여 불순물이 투입된 실리콘을 상당히 높은 온도로 조절된 노(Furnace)에 적당한 시간 집어넣어 어닐링(Annealing)을 수행한다. 이러한 불순물의 투입은, 일반적으로 마스크 층을 사용하여 불순물이 투입될 영역과 그렇지 않은 영역을 구분하는데, 상기 마스크로 사용되는 층으로는 포토 레지스터 및/또는 절연막이 사용된다.

포토 레지스터는 공정이 진행되면서 제거되는 막이지만, 절연막은 제거될 수도 있고 그냥 사용할 수도 있다. 절연막에 소정의 에너지를 가진 이온들이 통과하는 경우, 이들 이온들이 절연막을 구성하는 원자들과 충돌하여 상기 절연막에 결점(Defect)을 남겨두는 경우가 발생할 수 있다. 이러한 결점이 발생하는 경우, 절연막에는 소정의 전하량을 가진 트랩(Trap)이 존재하게 된다. 이 트랩은, 상기 절연막의 양쪽에 일정한 바이어스(Bias) 전압이 강해질 때, 강해지는 전압을 증가시키거나 감소시키게 하는 악 영향을 끼친다. 또한, 실리콘의 상부에는 일반적으로 절연막이 사용되는데 이들 절연막과 상기 실리콘의 경계면은 균일하지 않으며, 이곳에도 트랩이 발생할 수 있다.

상기 트랩이 존재하는 절연막이 트랜지스터의 게이트 절연막으로 사용될 경우 또는 상기 게이트 절연막과 실리콘 사이에 트랩이 존재하는 경우에는 트랜지스터의 동작에 악 영향을 준다. 예를 들면, 트랜지스터의 문턱전압에 영향을 주어 더 높거나 더 낮은 전압에 의하여 동작이 이루어지는 경우가 있을 수 있다. 특히, 게이트에 일정한 전압을 가하여 해당 트랜지스터를 턴 오프(Turn Off)시켰을 때에도 발광하는 픽셀(Pixel)이 발생하게 된다. 또한 일정한 전류 즉 오프 전류(Off Current)가 흐르게 되어 평판표시장치의 전력소모가 크게 되는 단점도 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 평판표시장치의 오프 전류를 감소시키는 평판표시장치의 트랩제거방법을 제공하는데 있다.

발명의 구성

상기 기술적 과제를 달성하기 위한 본 발명에 따른 평판표시장치의 트랩제거방법은, 복수 개의 화소 및 상기 각 화소에 구비된 적어도 하나의 박막 트랜지스터를 구비하는 평판표시장치에 존재하는 트랩(Trap)을 제거하는 것으로, 상기 화소들의 박막 트랜지스터에 소정의 바이어스를 소정의 시간 및 소정의 온도에서 인가하는 것이다.

상기 트랩은, 게이트 절연막 및 액티브 영역사이에 존재하거나 게이트 절연막 자체에 존재하는 것이다.

상기 소정의 바이어스는, 박막 트랜지스터의 게이트에 인가되며, 박막 트랜지스터에 사용되는 정상적인 바이어스에 대하여 반대의 극성을 가지는 역 바이어스 전압이다. 상기 소정의 바이어스로는 DC(Direct Current) 전압과 AC 전압을 동시에 사용할 수 있다. AC(Alternative Current) 전압인 경우, 펄스의 크기가 30V(Volts) 이하, 주파수는 60Hz(Hertz) 이상 및 듀티(Duty)는 1/2에서 1/4 사이인 것이 바람직하다. DC 전압인 경우에는 30V(volts) 이하의 전압을 인가한다.

상기 소정의 온도는, 상온(24 ℃) 및 100℃ 사이의 온도이고, 상기 소정의 시간은, 적어도 10초 이상이어야 본 발명의 효과를 최대로 할 수 있다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시 예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

일반적으로 평판표시장치는 구동용 박막 트랜지스터 및 스위칭용 박막트랜지스터가 존재한다. 본 발명에 따른 평판표시장치의 트랩제거방법은, 표시장치를 제조한 후에 트랜지스터들 전체에 역 바이어스 전압을 인가하되 소정의 온도 및 소정의 시간동안 행함으로써, 구동 및 스위칭 박막 트랜지스터의 오프 전류를 낮추어 블랙(Black)에 되어야 할 픽셀이 발광(Bright)하는 경우를 방지하게 한다.

구동 박막 트랜지스터에 존재하는 트랩을 제거하기 위해서는, 스위칭 박막 트랜지스터를 턴 온 시킨 상태에서 구동 박막 트랜지스터의 게이트에 역 바이어스 전압을 인가한다. 스위칭 박막 트랜지스터에 존재하는 트랩을 제거하기 위해서는, 스위칭 박막 트랜지스터의 게이트에 역 바이어스 전압을 인가한다. 이 경우 구동 박막 트랜지스터의 게이트 전압에는 상관이 없다.

이 때 인가되는 역 바이어스 전압은, DC(Direct Current) 전압 또는 AC(Alternative Current) 전압 중에서 어떤 것을 선택하여 사용하여도 무방하다. AC 전압을 사용할 경우에는, 펄스의 크기가 30V(Volts) 이하이어야 트랜지스터가 브레이크다운(Breakdown)되지 않는다. 주파수는 60Hz(Hertz) 이상 인 것이 바람직하다. 구형파(Square Wave)를 사용할 경우, 듀티(Duty)는 1/2 에서 1/4 사이인 것이 바람직하다. DC 전압을 사용하는 경우에는 트랜지스터가 브레이크다운되지 않은 전압으로 30V(volts) 이하의 전압을 인가하여야 한다. 상기 트랩제거를 위하여 역바이어스를 박막 트랜지스터의 게이트에 인가하는 시간은 적어도 10초 이상이어야 하며, 상기 트랩제거방법을 실시하는 주위 온도는 상온(24 ℃) 내지 100℃ 사이이면 충분하다.

도 1은 본 발명의 일 실시 예에 따른 트랩제거방법을 사용한 경우 및 그렇지 않은 경우의 오프 전류를 나타낸다.

도 1을 참조하면, 본 발명에 따른 트랩제거방법을 수행한 경우의 트랜지스터의 오프 전류가, 종래의 트랜지스터의 오프 전류에 비하여 상당히 감소한 것을 알 수 있다.

도 2는 본 발명의 일 실시 예에 따른 트랩제거방법을 사용한 경우 및 그렇지 않은 경우의 영상 데이터를 나타낸다.

도 2를 참조하면, 본 발명에 따른 트랩제거방법을 수행한 경우의 트랜지스터에 의하여 구동되는 화소가, 종래의 화소에 비하여 상당히 개선되었음을 알 수 있다.

이상에서와 같이 도면과 명세서에서 최적 실시 예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따른 평판표시장치의 트랩제거방법을 사용하면, 구동 및 스위칭 박막 트랜지스터의 오프 전류를 낮추어 블랙(Black)에 되어야 할 픽셀이 발광(Bright)하는 경우를 방지하는데 큰 효과가 있다.

도면의 간단한 설명

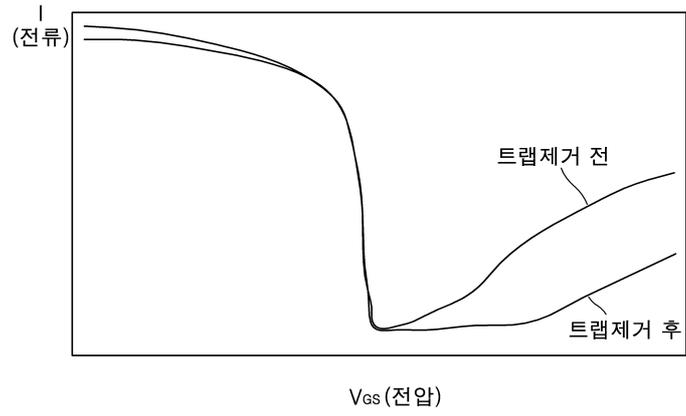
본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 본 발명의 일 실시 예에 따른 트랩제거방법을 사용한 경우 및 그렇지 않은 경우의 오프 전류를 나타낸다.

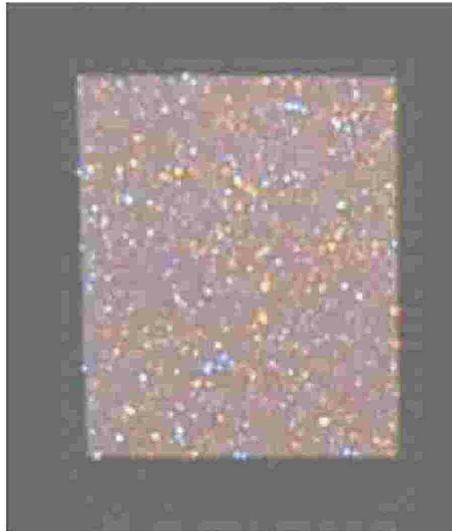
도 2는 본 발명의 일 실시 예에 따른 트랩제거방법을 사용한 경우 및 그렇지 않은 경우의 영상 데이터를 나타낸다.

도면

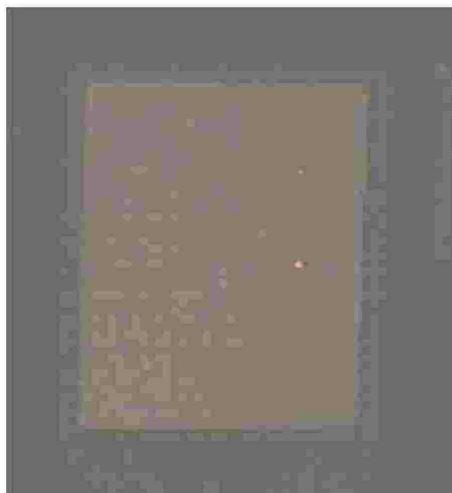
도면1



도면2



트랩제거 전



트랩제거 후