

특허청구의 범위

청구항 1

제1 노드와 제2 전원 사이에 연결되는 유기 발광 다이오드;
 제1 전원과 상기 제1 노드 사이에 연결되며, 게이트 전극은 제2 노드에 접속되는 제1 트랜지스터;
 주사 신호의 공급에 대응하여 데이터 신호를 상기 제2 노드로 공급하는 제2 트랜지스터;
 소스 전극과 드레인 전극이 상호간 전기적으로 연결되며, 상기 제1 전원 및 상기 제2 노드 사이에 연결되는 제3 트랜지스터; 및
 소스 전극과 드레인 전극이 상호간 전기적으로 연결되며, 상기 제2 노드와 상기 제1 노드 사이에 연결되는 제4 트랜지스터; 를 포함하는 화소.

청구항 2

제1항에 있어서, 상기 데이터 신호는,
 제1 전압 또는 상기 제1 전압 보다 큰 전압 값으로 설정되는 제2 전압을 갖는 것을 특징으로 하는 화소.

청구항 3

제2항에 있어서,
 상기 제1 전압을 갖는 데이터 신호가 상기 제2 노드로 공급되는 경우 상기 제3 트랜지스터가 모스 커패시터로 동작하고, 상기 제2 전압을 갖는 데이터 신호가 상기 제2 노드로 공급되는 경우 상기 제4 트랜지스터가 모스 커패시터로 동작하는 것을 특징으로 하는 화소.

청구항 4

제2항 또는 제3항에 있어서,
 상기 제1 전압을 갖는 데이터 신호가 상기 제2 노드로 공급되는 경우 상기 제3 트랜지스터가 강반전 상태 (strong inversion mode)로 동작하고, 상기 제2 전압을 갖는 데이터 신호가 상기 제2 노드로 공급되는 경우 상기 제4 트랜지스터가 강반전 상태(strong inversion mode)로 동작하는 것을 특징으로 하는 화소.

청구항 5

제1항에 있어서, 상기 제3 트랜지스터 및 상기 제4 트랜지스터는,
 기판 상에 형성되는 반도체층;
 상기 반도체층 상에 형성되는 게이트 절연막;
 상기 게이트 절연막 상에 형성되는 게이트 전극;
 상기 게이트 전극 및 상기 게이트 절연막 상에 형성되는 층간 절연막; 및
 상기 층간 절연막 상에 형성되며, 상기 게이트 절연막 및 층간 절연막에 형성된 콘택홀을 통해 상기 반도체층과 전기적으로 연결된 소스 전극 및 드레인 전극; 을 포함하는 화소.

청구항 6

제5항에 있어서, 상기 소스 전극과 상기 드레인 전극은,
 상기 게이트 전극의 상측에서 하나의 판으로 형성되는 것을 특징으로 하는 화소.

청구항 7

제6항에 있어서,

상기 콘택홀이 상기 판의 가장자리를 따라 다수개 형성됨으로써, 상기 소스 전극 및 드레인 전극과 상기 반도체층의 접촉 면적이 증대되는 것을 특징으로 하는 화소.

청구항 8

제1항에 있어서, 상기 제1 내지 제4 트랜지스터는,
PMOS 트랜지스터 또는 NMOS 트랜지스터인 것을 특징으로 하는 화소.

청구항 9

주사선들, 데이터선들, 제1 전원 및 제2 전원과 접속되는 화소들을 포함하는 화소부;
상기 주사선들을 통해 각 화소에 주사 신호를 공급하는 주사 구동부; 및
상기 데이터선들을 통해 각 화소에 데이터 신호를 공급하는 데이터 구동부; 를 포함하고,
상기 화소는,
제1 노드와 상기 제2 전원 사이에 연결되는 유기 발광 다이오드;
상기 제1 전원과 상기 제1 노드 사이에 연결되며, 게이트 전극은 제2 노드에 접속되는 제1 트랜지스터;
주사 신호의 공급에 대응하여 데이터 신호를 상기 제2 노드로 공급하는 제2 트랜지스터;
소스 전극과 드레인 전극이 상호간 전기적으로 연결되며, 상기 제1 전원 및 상기 제2 노드 사이에 연결되는 제3 트랜지스터; 및
소스 전극과 드레인 전극이 상호간 전기적으로 연결되며, 상기 제2 노드와 상기 제1 노드 사이에 연결되는 제4 트랜지스터; 를 포함하는 유기전계발광 표시장치.

청구항 10

제9항에 있어서, 상기 데이터 신호는,
제1 전압 또는 상기 제1 전압 보다 큰 전압 값으로 설정되는 제2 전압을 갖는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 11

제10항에 있어서,
상기 제1 전압을 갖는 데이터 신호가 상기 제2 노드로 공급되는 경우 상기 제3 트랜지스터가 모스 커패시터로 동작하고, 상기 제2 전압을 갖는 데이터 신호가 상기 제2 노드로 공급되는 경우 상기 제4 트랜지스터가 모스 커패시터로 동작하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 12

제10항 또는 제11항에 있어서,
상기 제1 전압을 갖는 데이터 신호가 상기 제2 노드로 공급되는 경우 상기 제3 트랜지스터가 강반전 상태 (strong inversion mode)로 동작하고, 상기 제2 전압을 갖는 데이터 신호가 상기 제2 노드로 공급되는 경우 상기 제4 트랜지스터가 강반전 상태(strong inversion mode)로 동작하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 13

제9항에 있어서, 상기 제3 트랜지스터 및 상기 제4 트랜지스터는,
기판 상에 형성되는 반도체층;
상기 반도체층 상에 형성되는 게이트 절연막;
상기 게이트 절연막 상에 형성되는 게이트 전극;

상기 게이트 전극 및 상기 게이트 절연막 상에 형성되는 층간 절연막; 및

상기 층간 절연막 상에 형성되며, 상기 게이트 절연막 및 층간 절연막에 형성된 콘택홀을 통해 상기 반도체층과 전기적으로 연결된 소스 전극 및 드레인 전극; 을 포함하는 유기전계발광 표시장치.

청구항 14

제13항에 있어서, 상기 소스 전극과 상기 드레인 전극은,

상기 게이트 전극의 상측에서 하나의 판으로 형성되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 15

제14항에 있어서,

상기 콘택홀이 상기 판의 가장자리를 따라 다수개 형성됨으로써, 상기 소스 전극 및 드레인 전극과 상기 반도체층의 접촉 면적이 증대되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 16

제9항에 있어서, 상기 제1 내지 제4 트랜지스터는,

PMOS 트랜지스터 또는 NMOS 트랜지스터인 것을 특징으로 하는 유기전계발광 표시장치.

명세서

기술분야

[0001] 본 발명은 화소 및 이를 이용한 유기전계발광 표시장치에 관한 것으로, 보다 상세하게는 제조 시간 및 제조 비용이 절감되는 간략한 구조의 화소 및 이를 이용한 유기전계발광 표시장치에 관한 것이다.

배경기술

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 표시장치들이 개발되고 있다. 이러한 표시장치로는 액정 표시장치(Liquid Crystal Display: LCD), 전계방출 표시장치(Field Emission Display: FED), 플라즈마 표시패널(Plasma Display Panel: PDP) 및 유기전계발광 표시장치(Organic Light Emitting Display: OLED) 등이 있다.

[0003] 이 중 유기전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 영상을 표시하는 것으로, 이는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

[0004] 통상적으로, 유기전계발광 표시장치(OLED)는 유기발광소자를 구동하는 방식에 따라 패시브 매트릭스형 OLED(PMOLED)와 액티브 매트릭스형 OLED(AMOLED)로 분류된다.

[0005] 액티브 매트릭스형 OLED(AMOLED)는 데이터 신호의 충전을 위한 스토리지 커패시터를 포함하게 되는데, 종래의 스토리지 커패시터의 경우 다결정 실리콘을 불순물로 도핑함으로써 MIM 커패시터(Metal-Insulator-Metal capacitor) 형태로 구현되었다.

[0006] 그러나, 이 경우 반도체의 도핑을 위한 채널 도핑 마스크(channel doping mask)가 추가되어야 하므로, 제조 시간 및 제조 비용 등이 증가되는 문제가 발생되었다.

발명의 내용

해결하려는 과제

[0007] 상술한 문제점을 해결하기 위해 안출된 본 발명의 목적은 종래에 사용되던 채널 도핑 마스크를 제조 공정에서 제거함으로써, 제조 시간 및 제조 비용이 절감되는 간략한 구조의 화소 및 이를 이용한 유기전계발광 표시장치를 제공하기 위한 것이다.

과제의 해결 수단

- [0008] 상기한 바와 같은 목적을 달성하기 위한 본 발명의 특징에 따르면, 본 발명의 화소는, 제1 노드와 제2 전원 사이에 연결되는 유기 발광 다이오드, 제1 전원과 상기 제1 노드 사이에 연결되며, 게이트 전극은 제2 노드에 접속되는 제1 트랜지스터, 주사 신호의 공급에 대응하여 데이터 신호를 상기 제2 노드로 공급하는 제2 트랜지스터, 소스 전극과 드레인 전극이 상호간 전기적으로 연결되며, 상기 제1 전원 및 상기 제2 노드 사이에 연결되는 제3 트랜지스터 및 소스 전극과 드레인 전극이 상호간 전기적으로 연결되며, 상기 제2 노드와 상기 제1 노드 사이에 연결되는 제4 트랜지스터를 포함한다.
- [0009] 또한, 상기 데이터 신호는, 제1 전압 또는 상기 제1 전압 보다 큰 전압 값으로 설정되는 제2 전압을 갖는 것을 특징으로 한다.
- [0010] 또한, 상기 제1 전압을 갖는 데이터 신호가 상기 제2 노드로 공급되는 경우 상기 제3 트랜지스터가 모스 커패시터로 동작하고, 상기 제2 전압을 갖는 데이터 신호가 상기 제2 노드로 공급되는 경우 상기 제4 트랜지스터가 모스 커패시터로 동작하는 것을 특징으로 한다.
- [0011] 또한, 상기 제1 전압을 갖는 데이터 신호가 상기 제2 노드로 공급되는 경우 상기 제3 트랜지스터가 강반전 상태(strong inversion mode)로 동작하고, 상기 제2 전압을 갖는 데이터 신호가 상기 제2 노드로 공급되는 경우 상기 제4 트랜지스터가 강반전 상태(strong inversion mode)로 동작하는 것을 특징으로 한다.
- [0012] 또한, 상기 제3 트랜지스터 및 상기 제4 트랜지스터는, 기판 상에 형성되는 반도체층, 상기 반도체층 상에 형성되는 게이트 절연막, 상기 게이트 절연막 상에 형성되는 게이트 전극, 상기 게이트 전극 및 상기 게이트 절연막 상에 형성되는 층간 절연막 및 상기 층간 절연막 상에 형성되며, 상기 게이트 절연막 및 층간 절연막에 형성된 콘택홀을 통해 상기 반도체층과 전기적으로 연결된 소스 전극 및 드레인 전극을 포함한다.
- [0013] 또한, 상기 소스 전극과 상기 드레인 전극은, 상기 게이트 전극의 상측에서 하나의 판으로 형성되는 것을 특징으로 한다.
- [0014] 또한, 상기 콘택홀이 상기 판의 가장자리를 따라 다수개 형성됨으로써, 상기 소스 전극 및 드레인 전극과 상기 반도체층의 접촉 면적이 증대되는 것을 특징으로 한다.
- [0015] 또한, 상기 제1 내지 제4 트랜지스터는, PMOS 트랜지스터 또는 NMOS 트랜지스터인 것을 특징으로 한다.
- [0016] 본 발명의 유기전계발광 표시장치는, 주사선들, 데이터선들, 제1 전원 및 제2 전원과 접속되는 화소들을 포함하는 화소부, 상기 주사선들을 통해 각 화소에 주사 신호를 공급하는 주사 구동부 및 상기 데이터선들을 통해 각 화소에 데이터 신호를 공급하는 데이터 구동부를 포함하고, 상기 화소는, 제1 노드와 상기 제2 전원 사이에 연결되는 유기 발광 다이오드, 상기 제1 전원과 상기 제1 노드 사이에 연결되며, 게이트 전극은 제2 노드에 접속되는 제1 트랜지스터, 주사 신호의 공급에 대응하여 데이터 신호를 상기 제2 노드로 공급하는 제2 트랜지스터, 소스 전극과 드레인 전극이 상호간 전기적으로 연결되며, 상기 제1 전원 및 상기 제2 노드 사이에 연결되는 제3 트랜지스터 및 소스 전극과 드레인 전극이 상호간 전기적으로 연결되며, 상기 제2 노드와 상기 제1 노드 사이에 연결되는 제4 트랜지스터를 포함한다.
- [0017] 또한, 상기 데이터 신호는, 제1 전압 또는 상기 제1 전압 보다 큰 전압 값으로 설정되는 제2 전압을 갖는 것을 특징으로 한다.
- [0018] 또한, 상기 제1 전압을 갖는 데이터 신호가 상기 제2 노드로 공급되는 경우 상기 제3 트랜지스터가 모스 커패시터로 동작하고, 상기 제2 전압을 갖는 데이터 신호가 상기 제2 노드로 공급되는 경우 상기 제4 트랜지스터가 모스 커패시터로 동작하는 것을 특징으로 한다.
- [0019] 또한, 상기 제1 전압을 갖는 데이터 신호가 상기 제2 노드로 공급되는 경우 상기 제3 트랜지스터가 강반전 상태(strong inversion mode)로 동작하고, 상기 제2 전압을 갖는 데이터 신호가 상기 제2 노드로 공급되는 경우 상기 제4 트랜지스터가 강반전 상태(strong inversion mode)로 동작하는 것을 특징으로 한다.
- [0020] 또한, 상기 제3 트랜지스터 및 상기 제4 트랜지스터는, 기판 상에 형성되는 반도체층, 상기 반도체층 상에 형성되는 게이트 절연막, 상기 게이트 절연막 상에 형성되는 게이트 전극, 상기 게이트 전극 및 상기 게이트 절연막 상에 형성되는 층간 절연막 및 상기 층간 절연막 상에 형성되며, 상기 게이트 절연막 및 층간 절연막에 형성된 콘택홀을 통해 상기 반도체층과 전기적으로 연결된 소스 전극 및 드레인 전극을 포함한다.
- [0021] 또한, 상기 소스 전극과 상기 드레인 전극은, 상기 게이트 전극의 상측에서 하나의 판으로 형성되는 것을 특징으로 한다.

- [0022] 또한, 상기 콘택홀이 상기 판의 가장자리를 따라 다수개 형성됨으로써, 상기 소스 전극 및 드레인 전극과 상기 반도체층의 접촉 면적이 증대되는 것을 특징으로 한다.
- [0023] 또한, 상기 제1 내지 제4 트랜지스터는, PMOS 트랜지스터 또는 NMOS 트랜지스터인 것을 특징으로 한다.

발명의 효과

- [0024] 이상 살펴본 바와 같은 본 발명에 따르면, 종래에 사용되던 채널 도핑 마스크를 제조 공정에서 제거함으로써, 제조 시간 및 제조 비용이 절감되는 간단한 구조의 화소 및 이를 이용한 유기전계발광 표시장치를 제공할 수 있다.

도면의 간단한 설명

- [0025] 도 1은 본 발명의 바람직한 실시예에 의한 유기전계발광 표시장치를 나타낸 도면이다.
- 도 2는 본 발명의 바람직한 실시예에 따른 화소를 나타낸 도면이다.
- 도 3은 도 2에 도시된 화소의 구동방법을 나타낸 파형도이다.
- 도 4는 본 발명의 다른 실시예에 의한 화소를 나타낸 도면이다.
- 도 5는 도 2에 도시된 화소의 단면을 나타낸 도면이다.
- 도 6는 도 5에 도시된 화소의 레이 아웃도이다.
- 도 7는 제3 트랜지스터와 제4 트랜지스터의 소스 전극 및 드레인 전극이 게이트 전극 상층에서 하나의 판으로 형성되는 경우의 화소 단면을 나타낸 도면이다.
- 도 8은 도 7에 도시된 화소의 레이 아웃도이다.
- 도 9는 콘택홀을 추가적으로 형성한 화소의 레이 아웃도이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.
- [0027] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 이하의 설명에서 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다. 또한, 도면에서 본 발명과 관계없는 부분은 본 발명의 설명을 명확하게 하기 위하여 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다.
- [0028] 이하, 본 발명의 실시예들 및 이를 설명하기 위한 도면들을 참고하여 본 발명인 화소 및 이를 이용한 유기전계발광 표시장치에 대해 설명하도록 한다.
- [0029] 도 1은 본 발명의 바람직한 실시예에 의한 유기전계발광 표시장치를 나타낸 도면이다.
- [0030] 도 1을 참조하면, 본 발명의 바람직한 실시예에 의한 유기전계발광 표시장치는 주사선들(S1 내지 Sn), 데이터선들(D1 내지 Dm), 제 1전원(ELVDD) 및 제 2전원(ELVSS)과 접속되는 화소들(10)을 포함하는 화소부(20)와, 주사선들(S1 내지 Sn)을 통해 각 화소(10)에 주사 신호를 공급하는 주사 구동부(30)와, 데이터선들(D1 내지 Dm)을 통해 데이터 신호를 각 화소(10)에 공급하는 데이터 구동부(40)를 포함하며, 주사 구동부(30) 및 데이터 구동부(40)를 제어하기 위한 타이밍 제어부(50)를 더 포함할 수 있다.
- [0031] 각 화소들(10)은 제 1전원(ELVDD) 및 제 2전원(ELVSS)과 연결된다.
- [0032] 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 공급받은 화소들(10) 각각은, 제 1전원(ELVDD)으로부터 유기 발광 다이오드(OLED)를 경유하여 제 2전원(ELVSS)까지 흐르는 전류에 의하여 데이터 신호에 대응하는 빛을 생성한다.
- [0033] 주사 구동부(30)는 타이밍 제어부(50)의 제어에 의해 주사 신호를 생성하고, 생성된 주사 신호를 주사선들(S1 내지 Sn)을 통해 각 화소(10)로 공급한다.
- [0034] 데이터 구동부(40)는 타이밍 제어부(50)의 제어에 의해 데이터 신호를 생성하고, 생성된 데이터 신호를 데이터

선들(D1 내지 Dm)을 통해 각 화소(10)로 공급한다.

[0035] 또한, 데이터 구동부(40)는 데이터 신호가 제1 전압(V1) 또는 제2 전압(V2)을 갖도록 동작할 수 있으며, 여기서 제2 전압(V2)은 제1 전압(V1)보다 큰 전압 값을 갖도록 설정될 수 있다.

[0036] 도 2는 본 발명의 바람직한 실시예에 따른 화소를 나타낸 도면이다. 도 2에서는 설명의 편의성을 위하여 제 n주 사선(Sn) 및 제 m데이터선(Dm)과 접속된 화소(10)를 도시하기로 한다.

[0037] 특히, 여기서는 화소(10)를 구성하는 트랜지스터들(P1 내지 P4)이 PMOS 트랜지스터로 구성된 경우를 설명한다.

[0038] 도 2를 참조하면, 본 발명의 바람직한 실시예에 의한 각 화소(10)는 유기 발광 다이오드(OLED)와, 데이터선(Dm) 및 주사선(Sn)에 접속되어 유기 발광 다이오드(OLED)로 공급되는 전류량을 제어하기 위한 화소 회로(12)를 구비한다.

[0039] 유기 발광 다이오드(OLED)의 애노드 전극은 화소 회로(12)에 접속되고, 캐소드 전극은 제 2전원(ELVSS)에 접속된다. 이와 같은 유기 발광 다이오드(OLED)는 화소 회로(12)로부터 공급되는 전류에 대응하여 소정 휘도의 빛을 생성한다.

[0040] 화소 회로(12)는 주사선(Sn)으로 주사 신호가 공급될 때 데이터선(Dm)으로 공급되는 데이터 신호에 대응되어, 제 1전원(ELVDD)으로부터 유기 발광 다이오드(OLED)를 경유하여 제 2전원(ELVSS)으로 흐르는 전류를 제어한다.

[0041] 이를 위해, 화소 회로(12)는 제1 트랜지스터(P1), 제2 트랜지스터(P2), 제3 트랜지스터(P3), 제4 트랜지스터(P4)를 포함한다.

[0042] 먼저, 유기 발광 다이오드(OLED)는 제1 노드(N1)와 제 2전원(ELVSS) 사이에 연결된다.

[0043] 구체적으로, 유기 발광 다이오드(OLED)는 애노드 전극이 제1 노드(N1)에 연결되고, 캐소드 전극이 제 2전원(ELVSS)에 연결될 수 있다.

[0044] 제1 트랜지스터(P1)는 구동 트랜지스터로서 게이트 전극에 공급되는 데이터 신호에 대응하는 전류를 생성하여 유기 발광 다이오드(OLED)로 공급한다.

[0045] 이를 위하여, 제1 트랜지스터(P1)는 제 1전원(ELVDD)과 제1 노드(N1) 사이에 연결되며, 게이트 전극은 제2 노드(N2)에 연결된다.

[0046] 구체적으로, 제1 트랜지스터(P1)는 소스 전극이 제 1전원(ELVDD)과 연결되고, 드레인 전극이 제1 노드(N1)에 연결될 수 있다.

[0047] 제2 트랜지스터(P2)는 주사 신호의 공급에 대응하여 데이터 신호를 제2 노드(N2)로 공급할 수 있다.

[0048] 즉, 제2 트랜지스터(P2)는 주사선(Sn)으로부터 주사 신호가 공급되는 경우 턴온되어, 데이터선(Dm)으로부터의 데이터 신호를 제1 트랜지스터(P1)의 게이트 전극에 공급할 수 있다.

[0049] 이에 따라, 제1 트랜지스터(P1)는 자신의 게이트 전극에 공급되는 데이터 신호의 전압 레벨에 대응하는 전류를 생성하여 유기 발광 다이오드(OLED)로 공급할 수 있다.

[0050] 구체적으로, 제2 트랜지스터(P2)는 게이트 전극이 주사선(Sn)에 연결되고, 소스 전극이 데이터선(Dm)에 연결되고, 드레인 전극이 제2 노드(N2)에 연결될 수 있다.

[0051] 제3 트랜지스터(P3)는 일종의 모스(MOS, Metal Oxide Semiconductor) 커패시터로 동작할 수 있으며, 이를 위해 소스 전극과 드레인 전극이 전기적으로 연결된다.

[0052] 구체적으로, 제3 트랜지스터(P3)는 소스 전극과 드레인 전극이 제 1전원(ELVDD)에 연결되며, 게이트 전극은 제2 노드(N2)에 연결될 수 있다.

[0053] 이에 따라, 제3 트랜지스터(P3)의 소스 전극과 드레인 전극은 상호간 전기적으로 연결되며, 제1 트랜지스터(P1)의 소스 전극에 전기적으로 연결될 수 있다.

[0054] 특히, 제3 트랜지스터(P3)는 반도체층에 채널이 형성될 만큼의 충분히 낮은 전압(예를 들어, 데이터 신호의 제1 전압(V1))이 게이트 전극에 공급되는 경우, 게이트 절연막을 사이에 둔 반도체층과 게이트 전극이 소정의 커패시턴스(capacitance)를 갖는 하나의 커패시터로 동작하게 된다.

[0055] 제4 트랜지스터(P4)는 제3 트랜지스터(P3)와 동일하게 일종의 모스 커패시터로 동작할 수 있으며, 이를 위해 소

스 전극과 드레인 전극이 전기적으로 연결된다.

- [0056] 구체적으로, 제4 트랜지스터(P4)는 소스 전극과 드레인 전극이 제2 노드(N2)에 연결되며, 게이트 전극은 제1 노드(N1)에 연결될 수 있다.
- [0057] 이에 따라, 제4 트랜지스터(P4)의 소스 전극과 드레인 전극은 상호간 전기적으로 연결되며, 제1 트랜지스터(P1)의 게이트 전극과 전기적으로 연결될 수 있다.
- [0058] 특히, 제4 트랜지스터(P4)는 반도체층에 채널이 형성될 만큼의 충분히 높은 전압(예를 들어, 데이터 신호의 제2 전압(V2))이 소스 전극 및 드레인 전극에 공급되는 경우, 게이트 절연막을 사이에 둔 반도체층과 게이트 전극이 소정의 커패시턴스를 갖는 하나의 커패시터로 동작하게 된다.
- [0059] 제1 노드(N1)는 유기 발광 다이오드(OLED)의 애노드 전극, 제1 트랜지스터(P1)의 드레인 전극, 제4 트랜지스터(P4)의 게이트 전극이 연결되는 접점으로 정의될 수 있다.
- [0060] 제2 노드(N2)는 제1 트랜지스터(P1)의 게이트 전극, 제2 트랜지스터(P2)의 드레인 전극, 제3 트랜지스터(P3)의 게이트 전극, 제4 트랜지스터(P4)의 소스 전극 및 드레인 전극이 연결되는 접점으로 정의될 수 있다.
- [0061] 제 1전원(ELVDD)은 고전위 전원으로서, 제1 트랜지스터(P1)의 소스 전극에 접속된다.
- [0062] 제 2전원(ELVSS)은 상기 제 1전원(ELVDD) 보다 낮은 레벨의 전압을 갖는 저전위 전원으로서, 유기 발광 다이오드(OLED)의 캐소드 전극에 접속된다.
- [0063] 도 3은 도 2에 도시된 화소의 구동방법을 나타낸 파형도이다. 이하, 도 2 및 도 3을 참조하여, 본 발명의 바람직한 실시예에 따른 화소(10)의 동작을 살펴보도록 하겠다.
- [0064] 먼저, 제1 기간(T1)에서는 로우 레벨의 전압을 갖는 주사 신호가 공급되며, 제1 전압(V1)을 갖는 데이터 신호가 공급된다.
- [0065] 주사 신호가 공급됨에 따라 제2 트랜지스터(P2)가 턴온되고, 턴온된 제2 트랜지스터(P2)에 의해 상기 데이터 신호가 제2 노드(N2)로 공급된다.
- [0066] 제2 노드(N2)로 공급된 데이터 신호는 충분히 낮은 전압인 제1 전압(V1)을 가지므로, 제3 트랜지스터(P3)의 게이트 전극에 제1 전압(V1)이 공급됨에 따라 제3 트랜지스터(P3)의 반도체층에는 채널이 형성되어 상기 제3 트랜지스터(P3)는 모스 커패시터로 동작하게 된다.
- [0067] 그러나, 제4 트랜지스터(P4)는 소스 전극 및 드레인 전극에 제1 전압(V1)이 공급됨에 따라 제4 트랜지스터(P4)의 반도체층에는 채널이 형성되지 않으므로, 모스 커패시터로 동작하지 않게 된다.
- [0068] 따라서, 모스 커패시터로 동작하는 제3 트랜지스터(P3)에는 제 1전원(ELVDD)과 제1 전압(V1)의 차에 해당하는 전압이 충전될 수 있으며, 이에 따라 다음 주사 신호가 공급될 때까지 제1 트랜지스터(P1)의 게이트-소스 전압은 일정하게 유지될 수 있다. 그러므로, 제1 트랜지스터(P1)는 해당 게이트-소스 전압에 대응하는 전류를 생성하여 유기 발광 다이오드(OLED)를 발광시킬 수 있다.
- [0069] 다음 제2 기간(T2)에서는 로우 레벨의 전압을 갖는 주사 신호가 공급되며, 제2 전압(V2)을 갖는 데이터 신호가 공급된다.
- [0070] 주사 신호가 공급됨에 따라 제2 트랜지스터(P2)가 턴온되고, 턴온된 제2 트랜지스터(P2)에 의해 상기 데이터 신호가 제2 노드(N2)로 공급된다.
- [0071] 제2 노드(N2)로 공급된 데이터 신호는 충분히 높은 전압인 제2 전압(V2)을 가지므로, 제3 트랜지스터(P3)의 게이트 전극에 제2 전압(V2)이 공급됨에 따라 제3 트랜지스터(P3)의 반도체층에는 채널이 형성되지 않으므로, 모스 커패시터로 동작하지 않게 된다.
- [0072] 그러나, 제4 트랜지스터(P4)의 소스 전극 및 드레인 전극에는 제2 전압(V2)이 공급됨에 따라 제4 트랜지스터(P4)의 반도체층에는 채널이 형성되어 상기 제4 트랜지스터(P4)는 모스 커패시터로 동작하게 된다.
- [0073] 따라서, 모스 커패시터로 동작하는 제4 트랜지스터(P4)에는 제2 전압(V2)과 제1 노드(N1)의 전압(유기 발광 다이오드(OLED)의 애노드 전극 전압)의 차에 해당하는 전압이 충전될 수 있으며, 이에 따라 다음 주사 신호가 공급될 때까지 제1 트랜지스터(P1)는 턴오프 상태가 되어 유기 발광 다이오드(OLED)의 발광을 중단시킬 수 있다.
- [0074] 즉, 제1 전압(V1)을 갖는 데이터 신호가 공급되는 제1 기간(T1)에서는 제3 트랜지스터(P3)가 모스 커패시터로

동작되나, 제2 전압(V2)을 갖는 데이터 신호가 공급되는 제2 기간(T2)에서는 제4 트랜지스터(P4)가 모스 커패시터로 동작될 수 있다.

[0075] 또한, 제3 트랜지스터(P3)의 커패시터 특성으로 강화시키기 위하여 제1 전압(V1)을 갖는 데이터 신호가 공급되는 경우, 상기 제3 트랜지스터(P3)는 강반전 상태(strong inversion mode)로 동작되는 것이 바람직하며, 제4 트랜지스터(P4)의 커패시터 특성으로 강화시키기 위하여 제2 전압(V2)을 갖는 데이터 신호가 공급되는 경우, 상기 제4 트랜지스터(P4)는 강반전 상태로 동작하는 것이 바람직하다.

[0076] 이를 위하여 데이터 신호의 제1 전압(V1)은 유기 발광 다이오드(OLED)의 애노드 전극 전압 이하의 전압 값으로 설정되고, 데이터 신호의 제2 전압(V2)은 제 1전원(ELVDD) 이상의 전압 값으로 설정될 수 있다.

[0077] 도 4는 본 발명의 다른 실시예에 의한 화소를 나타낸 도면이다. 특히, 여기서는 화소(10)를 구성하는 트랜지스터들(P1 내지 P4)이 NMOS 트랜지스터로 구성된 경우를 설명한다.

[0078] 이 경우 대부분의 구성이 도 2에 도시된 화소와 동일하나, 도 2에 도시된 화소에 비해 도전형이 반대로 구현됨에 따라 제3 트랜지스터(P3)와 제4 트랜지스터(P4)의 접속 관계가 바뀌게 된다.

[0079] 즉, 제3 트랜지스터(P3)는 소스 전극과 드레인 전극이 제2 노드(N2)에 연결되며, 게이트 전극이 제 1전원(ELVDD)에 연결된다.

[0080] 또한, 제4 트랜지스터(P4)는 소스 전극과 드레인 전극이 제1 노드(N1)에 연결되며, 게이트 전극이 제2 노드(N2)에 연결된다.

[0081] 본 실시예에 의한 화소 동작을 간단히 살펴보면, 하이 레벨의 전압을 갖는 주사 신호가 공급되며 제1 전압(V1)을 갖는 데이터 신호가 공급된 경우, 턴온된 제2 트랜지스터(P2)에 의해 상기 데이터 신호가 제2 노드(N2)로 공급된다.

[0082] 제2 노드(N2)로 공급된 데이터 신호는 충분히 낮은 전압인 제1 전압(V1)을 가지므로, 제3 트랜지스터(P3)의 소스 전극 및 드레인 전극에 제1 전압(V1)이 공급됨에 따라 제3 트랜지스터(P3)의 반도체층에는 채널이 형성되어 상기 제3 트랜지스터(P3)는 모스 커패시터로 동작하게 된다.

[0083] 그러나, 제4 트랜지스터(P4)는 게이트 전극에 제1 전압(V1)이 공급됨에 따라 제4 트랜지스터(P4)의 반도체층에는 채널이 형성되지 않으므로, 모스 커패시터로 동작하지 않게 된다.

[0084] 따라서, 모스 커패시터로 동작하는 제3 트랜지스터(P3)에는 제 1전원(ELVDD)과 제1 전압(V1)의 차에 해당하는 전압이 충전될 수 있으며, 이에 따라 다음 주사 신호가 공급될 때까지 제1 트랜지스터(P1)의 게이트-소스 전압은 일정하게 유지될 수 있다. 그러므로, 제1 트랜지스터(P1)는 소정 기간 동안 턴오프 상태가 되어 유기 발광 다이오드(OLED)의 발광을 중단시킬 수 있다.

[0085] 하이 레벨의 전압을 갖는 주사 신호가 공급되며 제2 전압(V2)을 갖는 데이터 신호가 공급된 경우, 턴온된 제2 트랜지스터(P2)에 의해 상기 데이터 신호가 제2 노드(N2)로 공급된다.

[0086] 제2 노드(N2)로 공급된 데이터 신호는 충분히 높은 전압인 제2 전압(V2)을 가지므로, 제3 트랜지스터(P3)의 소스 전극 및 드레인 전극에 제2 전압(V2)이 공급됨에 따라 제3 트랜지스터(P3)의 반도체층에는 채널이 형성되지 않으므로, 모스 커패시터로 동작하지 않게 된다.

[0087] 그러나, 제4 트랜지스터(P4)의 게이트 전극에는 제2 전압(V2)이 공급됨에 따라 제4 트랜지스터(P4)의 반도체층에는 채널이 형성되어 상기 제4 트랜지스터(P4)는 모스 커패시터로 동작하게 된다.

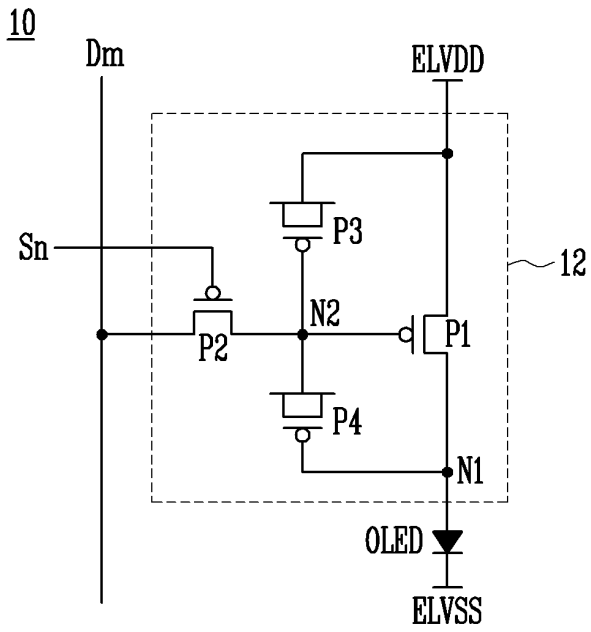
[0088] 따라서, 모스 커패시터로 동작하는 제4 트랜지스터(P4)에는 제2 전압(V2)과 제1 노드(N1)의 전압(유기 발광 다이오드(OLED)의 애노드 전극 전압)의 차에 해당하는 전압이 충전될 수 있으며, 이에 따라 다음 주사 신호가 공급될 때까지 제1 트랜지스터(P1)는 해당 게이트-소스 전압에 대응하는 전류를 생성하여 유기 발광 다이오드(OLED)를 발광시킬 수 있다.

[0089] 또한, 제3 트랜지스터(P3)의 커패시터 특성으로 강화시키기 위하여 제1 전압(V1)을 갖는 데이터 신호가 공급되는 경우, 상기 제3 트랜지스터(P3)는 강반전 상태(strong inversion mode)로 동작되는 것이 바람직하며, 제4 트랜지스터(P4)의 커패시터 특성으로 강화시키기 위하여 제2 전압(V2)을 갖는 데이터 신호가 공급되는 경우, 상기 제4 트랜지스터(P4)는 강반전 상태로 동작하는 것이 바람직하다.

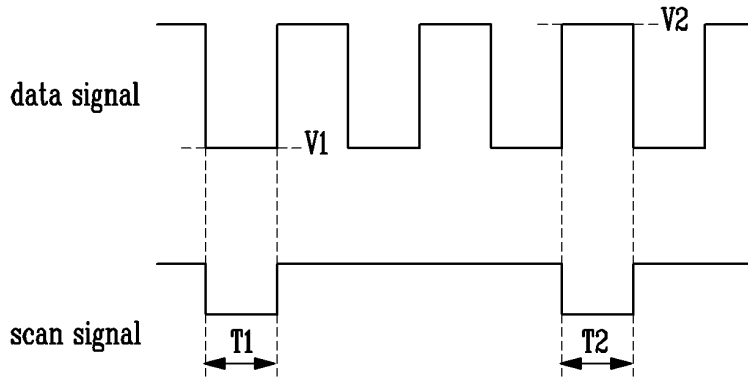
[0090] 도 5는 도 2에 도시된 화소의 단면을 나타낸 도면이고, 도 6는 도 5에 도시된 화소의 레이 아웃도이다.

- [0091] 도 5 및 도 6을 참조하여, 화소(10)를 구성하는 제1 내지 제4 트랜지스터들(P1 내지 P4)의 구조에 대하여 자세히 살펴본다.
- [0092] 제1 내지 제4 트랜지스터들(P1 내지 P4)은 기판(100) 상에 형성되는데, 상기 기판(100)은 일례로 유리, 플라스틱, 실리콘 또는 합성수지와 같은 절연성을 띠는 재질로 이루어질 수 있으며, 유리 기판과 같은 투명 기판이 바람직하다.
- [0093] 먼저, 제3 트랜지스터(P3)의 구성을 대표적으로 살펴본다. 제3 트랜지스터(P3)는 반도체층(102), 게이트 절연막(103), 게이트 전극(104), 층간 절연막(105), 소스/드레인 전극(106a, 106b)으로 구성된다.
- [0094] 또한, 기판(100) 상에 버퍼층(101)이 형성될 수 있다. 버퍼층(101)은 기판(100)에 함유된 불순물에 의한 오염을 방지하기 위한 것으로, 실리콘 산화막(SiO₂)이나 실리콘 질화막(SiNx)과 같은 절연막으로 형성된다.
- [0095] 반도체층(102)은 버퍼층(101) 상에 소정의 패턴으로 형성된다. 반도체층(102)은 버퍼층(101)상에 증착된 비정질 실리콘을 레이저 등을 이용하여 결정화한 폴리실리콘(LTPS: low temperature poly silicon)을 이용할 수 있다.
- [0096] 반도체층(102) 상에는 게이트 절연막(103)이 형성된다. 게이트 절연막(103)은 질화막, 산화막 예를 들어, 실리콘 산화막 또는 실리콘 질화막 중 하나로 이루어지며, 이들에 제한되지는 않는다.
- [0097] 게이트 전극(104)은 게이트 절연막(103) 상에 소정 패턴으로 형성된다. 게이트 전극(104) 상에는 층간 절연막(105)이 형성된다.
- [0098] 게이트 절연막(103)은 반도체층(102)과 게이트 전극(104) 사이를 절연시키고, 층간 절연막(105)은 게이트 전극(104)과 소스/드레인 전극(106a, 106b) 사이를 절연시킨다.
- [0099] 소스/드레인 전극(106a, 106b)은 층간 절연막(105) 상에 형성된다. 소스/드레인 전극(106a, 106b)은 게이트 절연막(103)과 층간 절연막(105)에 형성된 콘택홀(ch)을 통해 반도체층(102)의 양측과 각각 전기적으로 연결된다.
- [0100] 게이트 전극(104) 및 소스/드레인 전극(106a, 106b)은 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 알루미늄(Al) 등의 금속, 또는 이들 금속의 합금이나 적층 구조로 형성될 수 있으며, 이들에 제한되지는 않는다.
- [0101] 평탄화층(107)은 층간 절연막(105)과 소스/드레인 전극(106a, 106b) 상에 형성되며, 질화막, 산화막 중 하나로 이루어지거나 이들에 제한되지는 않는다.
- [0102] 그리고 평탄화층(107)이 일부 제거된 부분에는 유기 발광 다이오드(OLED)의 애노드 전극(110)이 형성된다.
- [0103] 상기 유기 발광 다이오드(OLED)의 애노드 전극(110)은 제1 트랜지스터(P1)의 드레인 전극과 전기적으로 연결된다.
- [0104] 또한, 유기 발광 다이오드(OLED)의 애노드 전극(110) 상에 발광층(112)이 형성된다.
- [0105] 상기 발광층(112)은 정공 수송층, 유기 발광층, 전자 수송층이 적층된 구조로 형성되며, 정공 주입층과 전자 주입층을 더 포함할 수 있다.
- [0106] 또한, 상기 발광층(112) 상에는 유기 발광 다이오드(OLED)의 캐소드 전극(114)이 형성된다. 상기 유기 발광 다이오드(OLED)의 캐소드 전극(114)은 제2 전원(ELVSS)에 연결된다.
- [0107] 상술한 제3 트랜지스터(P3)의 구조는 나머지 트랜지스터들(P1, P2, P4)에도 동일하게 적용될 수 있으므로, 나머지 트랜지스터들(P1, P2, P4)의 설명은 생략한다.
- [0108] 도 7은 제3 트랜지스터와 제4 트랜지스터의 소스 전극 및 드레인 전극이 게이트 전극 상측에서 하나의 판으로 형성되는 경우의 화소 단면을 나타낸 도면이고, 도 8은 도 7에 도시된 화소의 레이아웃도이다.
- [0109] 도 5 및 도 6을 참조하면, 제3 트랜지스터(P3)와 제4 트랜지스터(P4)의 소스 전극(106a)과 드레인 전극(106b)은 게이트 전극(104)을 피해 연결될 수 있으나, 도 7 및 도 8을 참조하면 제3 트랜지스터(P3)와 제4 트랜지스터(P4)의 소스 전극(106a)과 드레인 전극(106b)은 각 게이트 전극(104)의 상측에서 하나의 판(130)으로 형성될 수 있다.
- [0110] 이에 따라, 소스 전극(106a)과 드레인 전극(106b)이 형성하는 판(130)과 게이트 금속(104) 사이에 형성되는 중첩 면적을 통해 추가적인 정전용량을 확보할 수 있게 된다.
- [0111] 도 9는 콘택홀을 추가적으로 형성한 화소의 레이아웃도이다.

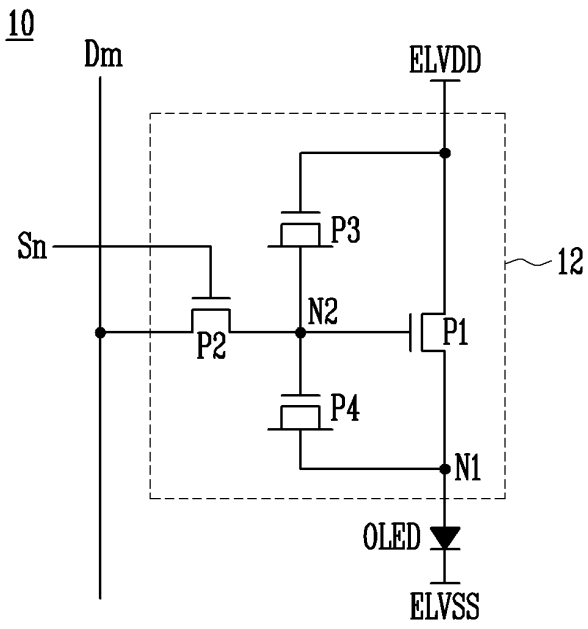
도면2



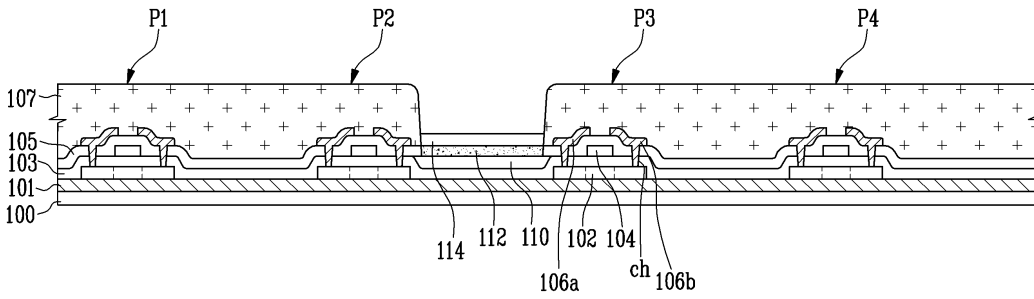
도면3



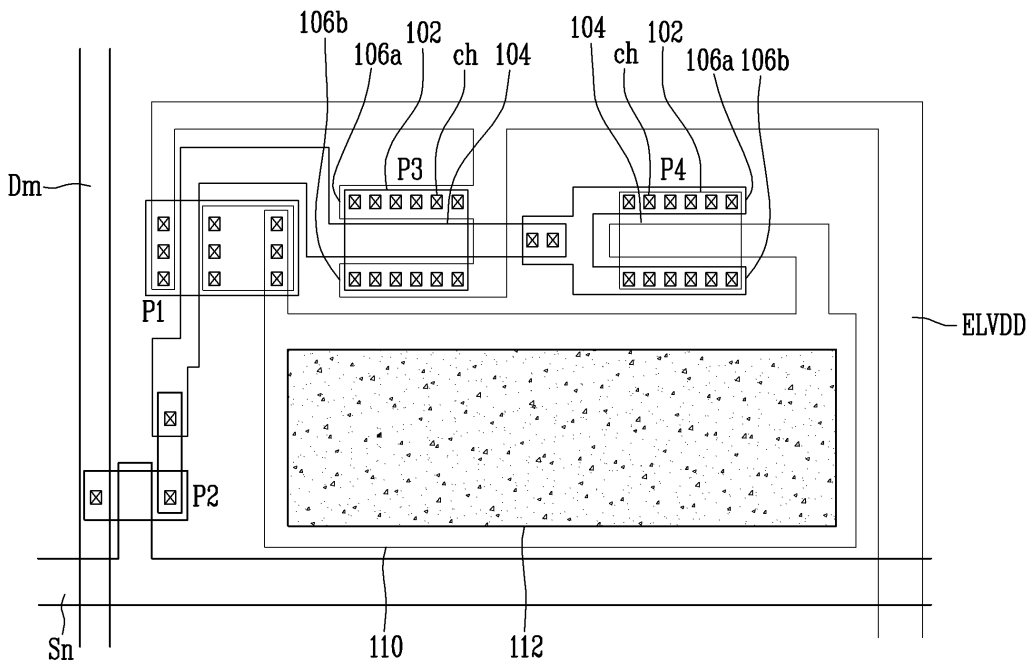
도면4



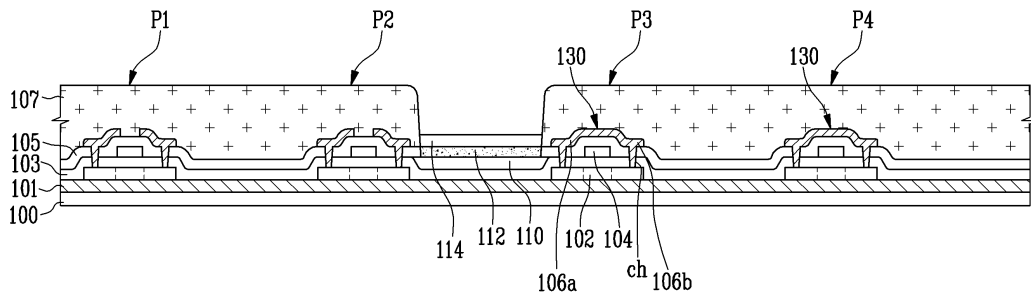
도면5



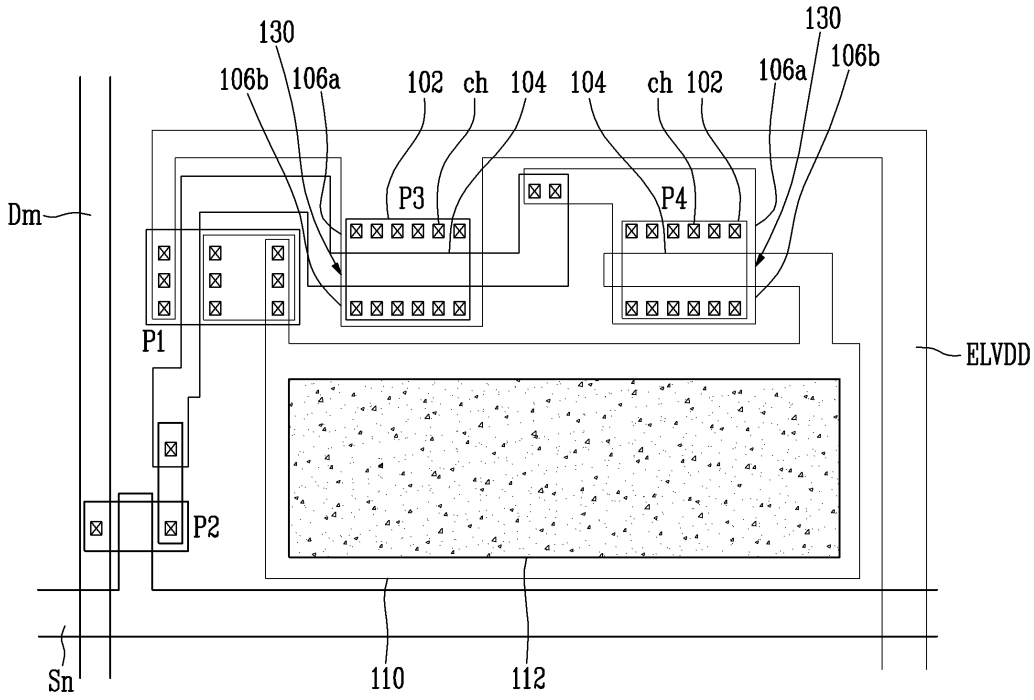
도면6



도면7



도면8



도면9

