

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H01L 21/28

(45) 공고일자 1999년06월 15일  
(11) 등록번호 10-0197124  
(24) 등록일자 1999년02월23일

(21) 출원번호	10-1995-0056949	(65) 공개번호	특1997-0052352
(22) 출원일자	1995년12월26일	(43) 공개일자	1997년07월29일
(73) 특허권자	현대전자산업주식회사 김영환		
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 박상훈		
(74) 대리인	경기도 이천군 이천읍 창전10리 49-17 최홍순		

심사관 : 홍성표

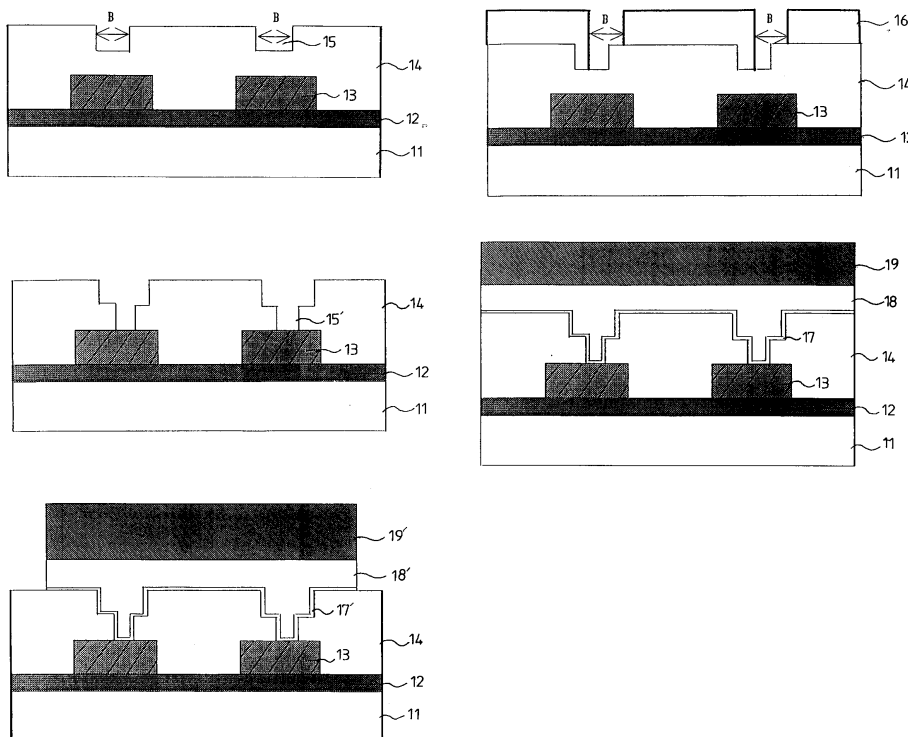
(54) 반도체 소자의 금속배선 제조방법

요약

본 발명은 반도체 장치의 노광장비의 노광 한계보다 작은 미세한 콘택홀 패턴을 형성하여 금속배선을 제조하는 반도체 소자의 금속배선 제조방법을 제공하는 것을 목적으로 한다.

이와 같은 목적을 달성하기 위한 본 발명의 금속배선 제조방법은 반도체 기판 상부에 제1절연막과, 제1금속배선, 제2절연막을 형성하고, 제2절연막의 소정 부분에 상기 제2절연막의 두께의 반의 깊이를 갖는 제1콘택홀을 형성한 다음, 제1콘택홀을 포함한 제2절연막 전면에 감광막 마스크를 형성하여 노출된 부분을 비등방성 식각하여 초미세 패턴의 콘택홀을 형성한다. 이후, 콘택홀 부분을 포함한 전면에 제2금속배선막을 증착하여 패턴을 형성시키는 것을 특징으로 한다.

대표도



명세서

[발명의 명칭]

반도체 소자의 금속배선 제조방법

[도면의 간단한 설명]

제1도는 종래의 실시예에 따른 금속배선막의 연결상태를 보여주는 평면도.

제2도는 제1도에서 A-A'선을 따라 절단한 단면도.

제3도는 본 발명의 실시예에 따른 금속배선막의 연결상태를 보여주는 평면도.

제4도는 제3도의 B-B'선을 따라 절단한 단면도로서, 제1실시예의 공정 흐름도.

제5도는 제3도의 B-B'선을 따라 절단한 단면도로서, 제2실시예에 따른 공정 흐름도.

\* 도면의 주요부분에 대한 부호의 설명

11 : 반도체 기판	12 : 제1절연막
13 : 제1금속배선	14 : 제2절연막
15, 15' : 콘택홀	16 : 감광막 마스크
17, 17' : 장벽 금속막	18, 18' : 중간 금속배선막
19, 21 : 알루미늄 합금막 및 반사방지막	20 : 텅스텐 플러그

[발명의 상세한 설명]

본 발명은 반도체 장치의 금속배선 제조 방법에 관한 것으로서, 특히 노광장비의 노광 한계보다 작은 미세한 콘택홀 패턴을 형성하여 금속배선을 형성하는 반도체 소자의 금속배선 제조방법에 관한 것이다.

반도체 장치가 고집적화 되어감에 따라 패턴에 대한 초미세화 및 임계치수의 고정밀화가 필수적으로 요구되고 있으며, 이에 따라 콘택홀을 제조하기 위해서도 초미세 패턴의 형성방법이 필요하게 되었다.

일반적으로 반도체 장치를 제조함에 있어서, 감광막 패턴을 마스크로하여 하부층을 식각하는 사진식각(photo lithography) 공정을 이용하게 되는데, 종래의 사진식각 공정에 의한 콘택홀 형성방법을 제1도 및 제2도를 참조하여 설명한다.

첨부한 도면 제1도는 종래의 실시예에 따른 반도체 장치의 금속배선이 형성된 상태에서의 평면도이며, 제2도는 제1도의 A-A'선을 따라 절단된 단면도로서, 상기한 구성은 하기의 과정에 의하여 형성된다.

반도체 기판(1)의 상부에 소정의 절연막(2)이 형성된 상태에서, 제1 금속배선(3)을 형성한다. 그 상부에 소정 두께의 절연용 산화막(4)을 증착하여 적층하고 감광막 마스크를 사용한 비등방성 식각법에 의하여 임계치수가 B인 콘택홀(5)을 형성한다. 상기 콘택홀(5)에 금속을 매립하여 금속 플러그를 형성한 상태에서 2 금속배선(6)을 형성한다.

이와 같은 종래의 금속배선 형성에 있어서, 콘택홀의 형성은 노광시 빛의 회절 특성으로 인하여 공정의 수행 능력에 한계를 드러내게 되며, 사진식각 공정으로 형성할 수 있는 패턴의 한계, 즉 해상도는 감광막 패턴 형성시 중요한 변수로 작용한다. 상기 해상도는 다음의 레일리 식(Rayleigh's equation)에 의해 결정된다.

$$R = k(\lambda / NA)$$

여기서, R은 해상도를,  $\lambda$ 는 노광 파장을,  $NA$ 는 노광 장치의 렌즈 개구수를 각각 의미하며, k는 공정 관련 상수로서 공정의 수행 능력에 따라 변하는 값이지만, 양산 단계에서는 약 0.7정도이다. 또한 양산 단계에서 주로 사용되는 광원인 I선은 파장이 약  $0.356\mu\text{m}$ 이고, G선은 약  $0.436\mu\text{m}$ 이며, 렌즈의 개구부의 수가 0.5인 경우에 상기 식에 각각의 변수를 대입하면, 패턴의 해상 한계는 약 0.5 내지  $0.6\mu\text{m}$ 정도가 된다.

현재 반도체 장치의 제조 공정은 유효 채널 길이가  $0.35\mu\text{m}$  이내로 감소하는 추세인데, 이러한 경향으로 볼 때, 콘택홀의 임계치수 또한 더욱 작아지리라고 예상할 수 있으며, 종래의 감광막 패턴보다는 해상도가 더 높은 초미세 콘택홀의 형성방법이 반드시 필요하게 된다.

상기한 콘택홀이나 유효채널 길이의 감소와 같은 소자의 집적화와 병행하여 사진식각 장비의 고도화가 이루어져야 하지만, 이는 투자비용을 급격히 증가시키는 문제점을 야기시킨다.

따라서, 본 발명의 목적은 기존의 노광장비를 이용한 사진식각공정을 사용하여 감광막 패턴의 임계치수보다 작은 초 미세 패턴의 콘택홀을 형성하므로써 상기한 문제점을 해결할 수 있는 반도체 소자의 금속배선 제조방법을 제공하기 위한 것이다.

상기한 목적을 달성하기 위한 본 발명의 금속배선 제조방법은 반도체 기판 상부에 소정의 제1 절연막을 형성하는 단계; 상기 제1 절연막 상에 제1 금속배선을 형성하는 단계; 상기 제1 금속배선을 포함한 제1 절연막 전면에 제2 절연막을 형성하는 단계; 상기 제2 절연막의 소정부분에 상기 제2 절연막에 두께의 반의 깊이를 갖는 제1 콘택홀을 형성하는 단계; 상기 제1 콘택홀을 포함한 제2 절연막 전면에 감광막을 소정 두께로 도포하는 단계; 상기 제1 콘택홀의 일부를 포함한 제2 절연막 상의 소정 부분을 노출시키는 감광막 마스크를 형성하는 단계; 상기 감광막 마스크를 식각장벽으로 하여 노출된 제2 절연막을 제1 금속배선이 드러날 때까지 비등방성 식각하여 제2 콘택홀을 형성하는 단계; 상기 제2 콘택홀을 포함한 전면에, 콘택홀을 매립하기 위한 텅스텐의 증착시 텅스텐과 질화막과의 직접적인 접촉에 의한 결합력의 약화를 방지하고, 콘택홀 내부에서의 동공의 생성을 방지하는, 장벽 금속막을 소정 두께로 증착하는 단계; 상기 장벽 금속막 위에 상기 장벽 금속막을 덮는 텅스텐막을 상기 콘택홀을 매립할 정도의 소정 두께로 증착하는 단계; 상기 텅스텐 막 위에 소정 두께의 알루미늄 합금막을 증착하는 단계; 상기 알루미늄 합금막 위에 패턴 형성을 위한 감광막의 노광시 반사를 방지하기 위한

반사방지막을 증착하는 단계, 상기 반사방지막 위에 감광막 마스크를 형성하는 단계; 상기 감광막 마스크를 식각장벽으로 하여 동일 식각 챔버에서 각각의 막에 따라 다른 식각용 개스를 공급하여 식각하므로써 금속배선층을 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 목적을 달성하기 위한 또 다른 본 발명의 금속배선 제조방법은 반도체 기판 상부에 소정의 제1 절연막을 형성하는 단계; 상기 제1 절연막 상에 제1 금속배선을 형성하는 단계; 상기 제1 금속배선을 포함한 제1 절연막 전면에 제2 절연막을 형성하는 단계; 상기 제2 절연막의 소정 부분에 상기 제2 절연막의 두께의 반의 길이를 갖는 제1 콘택홀을 형성하는 단계; 상기 제1 콘택홀을 포함한 제2 절연막 전면에 감광막을 소정 두께로 도포하는 단계; 상기 제1 콘택홀의 일부를 포함한 제2 절연막 상의 소정 부분을 노출시키는 감광막 마스크를 형성하는 단계; 상기 감광막 마스크를 식각장벽으로 하여 노출된 제2 절연막을 제1 금속배선이 드러날 때까지 비등방성 식각하여 제2 콘택홀을 형성하는 단계; 감광막 마스크를 제거하고, 상기 제2 콘택홀을 포함한 전면에, 콘택홀을 매립하기 위한 텅스텐의 증착시 텅스텐과 질화막과의 직접적인 접촉에 의한 결합력의 약화를 방지하고, 콘택홀 내부에서의 동공의 생성을 방지하는, 장벽 금속막을 소정 두께로 증착하는 단계; 상기 장벽 금속막 위에 상기 장벽 금속막을 덮는 텅스텐막을 상기 콘택홀을 매립할 정도의 소정 두께로 증착하는 단계; 상기 텅스텐 막 위에 콘택홀 부분만을 덮는 감광막 마스크를 형성하는 단계; 상기 감광막 마스크를 식각장벽으로 하여 노출된 텅스텐막을 식각하는 단계; 전면에 상기 텅스텐 플러그와 전기적으로 연결되는 제2 금속배선막을 형성하는 단계; 상기 제2 금속배선막의 패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.

첨부한 도면 제3도는 본 발명의 실시예에 따른 금속배선막의 연결상태를 보여주는 평면도이고, 제4도는 제3도의 B-B'선을 따라 절단한 단면도로서, 제1 실시예의 공정 흐름도이고, 제5도는 제3도의 B-B'선을 따라 절단한 단면도로서, 제2 실시예에 따른 공정 흐름도이다.

먼저, 제4도를 참조하여 본 발명의 제1 실시예를 설명한다.

제4도의 (a)에 도시한 것과 같이, 반도체 기판(11) 상부에 소정의 제1 절연막(12)을 형성한 상태에서 상기 제1 절연막(12) 상에 제1 금속막을 소정 두께만큼 증착하고 감광막 마스크를 형성한 다음, 노출된 부분을 식각하여 제1 금속배선(13)을 형성한다. 이 후, 상기 제1 금속배선(13)을 포함한 제1 절연막(12) 전면에 제2 절연막(14)을 소정 두께만큼 형성한다. 상기 제1, 제2 절연막(12, 14)은 TEOS 산화막, BPSG막, SOG막, PE-TEOS 산화막 중에서 하나 또는 그 이상을 선택적으로 형성하는 것이 바람직하다. 이 후, 제1 금속배선(13)의 상부에 위치하는, 상기 제2 절연막(14)의 소정 부분에 상기 제2 절연막의 두께의 반의 길이와 B의 폭을 갖는 콘택홀을 감광막 마스크를 사용하여 사진식각법에 의하여 형성한다. 상기 사진식각공정에서 사용된 감광막 패턴의 임계치수는 B이다.

다음으로, (b)와 같이, 상기 콘택홀을 포함한 제2 절연막(14) 전면에 감광막을 소정 두께로 도포한 다음, 상기 콘택홀의 일부를 포함한 제2 절연막 상의 소정 부분을 노출시키는 감광막 마스크(16)를 형성한다. 이 경우 역시 감광막 패턴의 임계치수는 B이다.

이 후, 상기 감광막 마스크(16)를 식각장벽으로 하여 노출된 제2 절연막을 제1 금속배선이 드러날 때까지 비등방성 식각(anisotropy etch)한다. 여기서 비등방성 식각을 하는 것은 본 발명의 주요한 착안점으로서, 비등방성 식각에 의하여 콘택홀 바닥부분에서의 식각이 진행되는 것과 동시에 노출된 질화막 표면부분에서의 식각이 동일한 율로서 진행되므로, (c)와 같은 임계치수보다 작은 초미세 패턴의 콘택홀(15')을 형성할 수 있게 된다.

다음으로, (d)와 같이, 상기 콘택홀(15')을 포함한 전면에 TiN의 장벽 금속막(17)을 300 내지 900Å의 두께 범위로 증착하는데, 이 막은 콘택홀을 매립하기 위한 텅스텐의 증착시 텅스텐과 질화막과의 직접적인 접촉에 의한 결합력의 약화를 방지하고, 콘택홀 내부에서의 동공(void)의 생성을 방지하는 역할을 한다. 상기 장벽 금속막(17) 위에 상기 장벽 금속막을 덮는 블랭킷텅스텐막(18)을 상기 콘택홀을 매립할 정도의 5,000 내지 7,000Å의 두께만큼 증착한다. 상기 블랭킷 텅스텐 막(18) 위에 5,000 내지 10,000Å 두께의 알루미늄 합금막 및 TiN의 적층막을 증착한다.

다음으로, 알루미늄 합금막 및 TiN의 적층막 위에 감광막 마스크를 형성하고, 상기 감광막 마스크를 식각장벽으로 하여 동일 식각 챔버에서 각각의 막에 따라 다른 식각용 개스를 공급하여 식각하므로써 (e)와 같은 금속배선막을 형성한다. 상기 금속배선막의 식각단계에서 알루미늄 합금막 및 TiN막의 적층막(19)의 경우, Cl<sub>2</sub>, BCl<sub>3</sub> 개스를 공급하여 식각하고, 블랭킷텅스텐막(18)과 장벽 금속막(17)의 경우, SF<sub>6</sub> 개스를 공급하여 식각하는 것이 바람직하다.

한편, 첨부한 도면 제5도를 참조하여 본 발명의 제2 실시예를 설명하면 다음과 같다.

제2 실시예의 경우, 초미세 콘택홀(15')을 형성하는 도면 (c)까지의 공정은 제1 실시예와 동일하므로 여기서의 설명은 생략한다. 아울러, 제1 실시예와 동일한 구성요소는 동일 부호를 사용하였다.

(c)와 같이 초미세 콘택홀(15')을 형성한 다음, 감광막 마스크를 제거하고, 콘택홀(15')을 포함한 전면에 장벽 금속막(17)을 300 내지 900Å의 두께 범위로 증착한다. 이 장벽 금속막(17)은 콘택홀을 매립하기 위한 텅스텐의 증착시 텅스텐과 질화막과의 직접적인 접촉에 의한 결합력의 약화를 방지하고, 콘택홀 내부에서의 동공의 생성을 방지하기 위한 것이다.

이 후, 상기 장벽 금속막(17) 위에 상기 장벽 금속막을 덮는 블랭킷 텅스텐막을 상기 콘택홀을 매립할 정도의 5,000 내지 7,000Å의 두께로 증착한 다음, 상기 블랭킷 텅스텐막 위에 콘택홀 부분만을 덮는 감광막 마스크를 형성한다. 상기 감광막 마스크를 식각장벽으로 하여 노출된 텅스텐막을 식각하여 텅스텐 플러그(20)를 형성하고, 전면에 상기 텅스텐 플러그(20)와 전기적으로 연결되는 제2 금속배선막(21)을 증착하고 패턴을 형성하므로써, 금속배선의 제조를 완료시킨다.

상기 제2 실시예에서는 설명의 편의를 위해서 생략하였지만, 제1 제2 절연막(12, 14)은 TEOS, 산화막, BPSG막, SOG막, PE-TEOS 산화막 중에서 하는 또는 그 이상을 선택적으로 형성할 수 있다.

이상에서 설명한 바와 같이, 본 발명의 금속배선 제조방법은 반도체 소자의 고집적화와 병행하여 노광장비를 교체할 필요없이, 기존의 노광장비로서, 초미세 콘택홀 패턴의 형성을 가능하게 하므로, 장비 사용의 극대화 및 이에 따른 제조비용을 감소시키는 효과를 제공한다.

여기에서는 본 발명의 특정실시예에 대하여 설명하고 도시하였지만 당업자에 의하여 이에 대한 수정과 변형을 할 수 있다. 따라서, 이하, 특허청구의 범위는 본 발명의 진정한 사상과 범위에 속하는 한 모든 수정과 변형을 포함하는 것으로 이해할 수 있다.

### (57) 청구의 범위

#### 청구항 1

반도체 기판 상부에 소정의 제1 절연막을 형성하는 단계; 상기 제1 절연막 상에 제 1 금속배선을 형성하는 단계; 상기 제1 금속배선을 포함한 제1 절연막 전면에 제2 절연막을 형성하는 단계; 상기 제2 절연막의 소정 부분에 상기 제2 절연막의 두께의 반의 깊이를 갖는 제1 콘택홀을 형성하는 단계; 상기 제1 콘택홀을 포함한 제 2 절연막 전면에 감광막을 소정 두께로 도포하는 단계; 상기 제1 콘택홀의 일부를 포함한 제2 절연막 상의 소정 부분을 노출시키는 감광막 마스크를 형성하는 단계; 상기 감광막 마스크를 식각장벽으로 하여 노출된 제2 절연막을 제1 금속배선이 드러날 때까지 비등방성 식각하여 제2 콘택홀을 형성하는 단계; 상기 제2 콘택홀을 포함한 전면에, 콘택홀을 매립하기 위한 텅스텐의 증착시 텅스텐과 질화막과의 직접적인 접촉에 의한 결합력의 약화를 방지하고, 콘택홀 내부에서의 동공의 생성을 방지하는, 장벽 금속막을 소정 두께로 증착하는 단계; 상기 장벽 금속막 위에 상기 장벽 금속막을 덮는 텅스텐막을 상기 콘택홀을 매립할 정도의 소정 두께로 증착하는 단계; 상기 텅스텐 막위에 소정 두께의 알루미늄 합금막을 증착하는 단계; 상기 알루미늄 합금막 위에 패턴 형성을 위한 감광막의 노광시 반사를 방지하기 위한 반사방지막을 증착하는 단계; 상기 반사방지막 위에 감광막 마스크를 형성하는 단계; 상기 감광막 마스크를 식각장벽으로 하여 동일 식각 챔버에서 각각의 막에 따라 다른 식각용 개스를 공급하여 식각하므로써 금속배선층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 제조방법.

#### 청구항 2

제1항에 있어서, 상기 제1 제2 절연막은 TEOS 산화막, BPSG막, SOG막, PE-TEOS 산화막 중에서 하나 또는 그 이상을 선택적으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 제조방법.

#### 청구항 3

제1항에 있어서, 상기 장벽 금속막은 TiN인 것을 특징으로 하는 반도체 소자의 금속배선 제조방법.

#### 청구항 4

제3항에 있어서, 상기 TiN은 300 내지 900 Å의 두께 범위로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 제조방법.

#### 청구항 5

제1항에 있어서, 상기 텅스텐막의 두께는 5,000 내지 7,000 Å의 범위로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 제조방법.

#### 청구항 6

제1항에 있어서, 상기 알루미늄 합금막 및 반사방지막의 두께는 5,000 내지 10,000 Å의 범위로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 제조방법.

#### 청구항 7

제1항에 있어서, 상기 금속배선막의 식각단계에서 알루미늄 합금막 및 반사방지막의 경우,  $Cl_2$ ,  $BCl_3$  개스를 공급하여 식각하는 것을 특징으로 하는 반도체 소자의 금속배선 제조방법.

#### 청구항 8

제1항에 있어서, 상기 금속배선막의 식각단계에서 텅스텐막과 장벽 금속막의 경우,  $SF_6$  개스를 공급하여 식각하는 것을 특징으로 하는 반도체 소자의 금속배선 제조방법.

#### 청구항 9

반도체 기판 상부에 소정의 제1 절연막을 형성하는 단계; 상기 제1 절연막 상에 제1 금속배선을 형성하는 단계; 상기 제1 금속배선을 포함한 제1 절연막 전면에 제2 절연막을 형성하는 단계; 상기 제2 절연막의 소정 부분에 상기 제2 절연막의 두께의 반의 깊이를 갖는 제1 콘택홀을 형성하는 단계; 상기 제1 콘택홀을 포함한 제2 절연막 전면에 감광막을 소정 두께로 도포하는 단계; 상기 제1 콘택홀의 일부를 포함한 제2 절연막 상의 소정 부분을 노출시키는 감광막 마스크를 형성하는 단계; 상기 감광막 마스크를 식각장벽으로 하여 노출된 제2 절연막을 제 1 금속배선이 드러날 때까지 비등방성 식각하여 제2 콘택홀을 형성하는 단계; 감광막 마스크를 제거하고, 상기 제2 콘택홀을 포함한 전면에, 콘택홀을 매립하기 위한 텅스텐의 증착시 텅스텐과 질화막과의 직접적인 접촉에 의한 결합력의 약화를 방지하고, 콘택홀 내부에서의 동공의 생성을 방지하는, 장벽 금속막을 소정 두께로 증착하는 단계; 상기 장벽 금속막 위에 상기 장벽 금속막을 덮는 텅스텐막을 상기 콘택홀을 매립할 정도의 소정 두께로 증착하는 단계; 상기 텅스텐 막 위에 콘택홀 부분만을 덮는 감광막 마스크를 형성하는 단계; 상기 감광막 마스크를 식각장벽으로 하여 노출된 텅스텐막을 식각하는 단계; 전면에 상기 텅스텐 플러그와 전기적으로 연결되는 제2 금속배선막을 형성하는 단계; 상기 제2 금속배선막의 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 제조방법.

**청구항 10**

제9항에 있어서, 상기 제1, 제2 절연막은 TEOS 산화막, BPSG막, SOG막, PE-TEOS 산화막 중에서 하나 또는 그 이상을 선택적으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 제조방법.

**청구항 11**

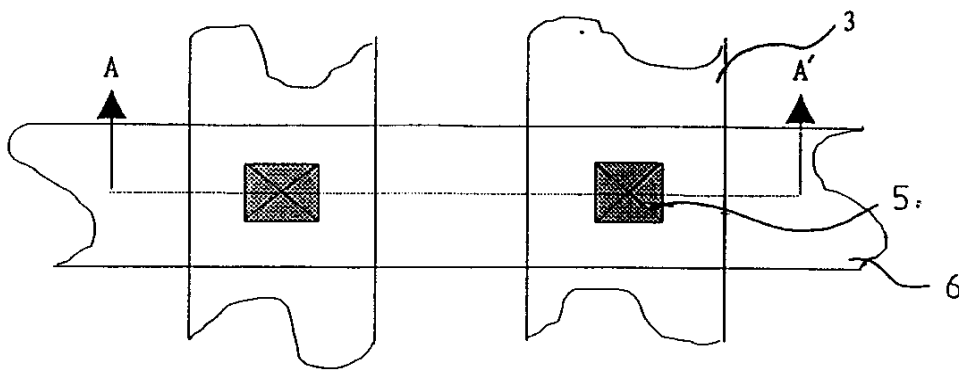
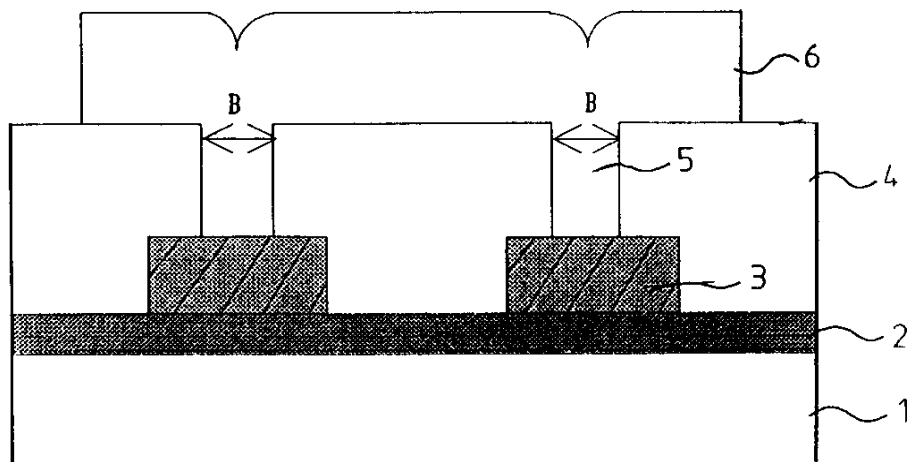
제9항에 있어서, 상기 장벽 금속막은 TiN인 것을 특징으로 하는 반도체 소자의 금속배선 제조방법.

**청구항 12**

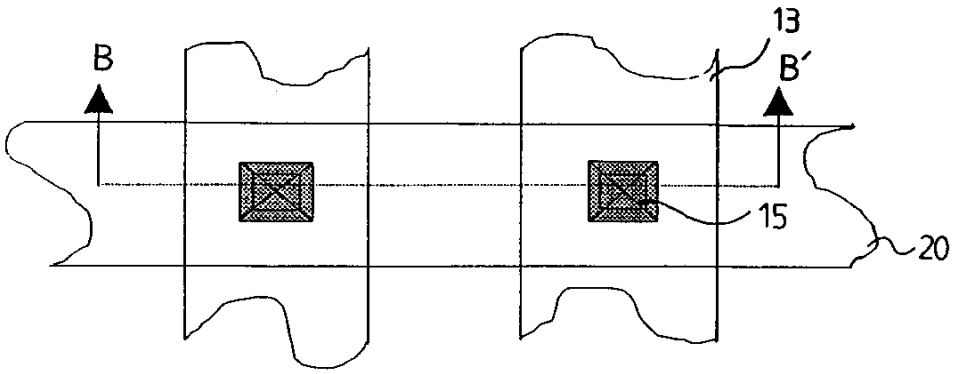
제11항에 있어서, 상기 TiN은 300 내지 900 Å의 두께 범위로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 제조방법.

**청구항 13**

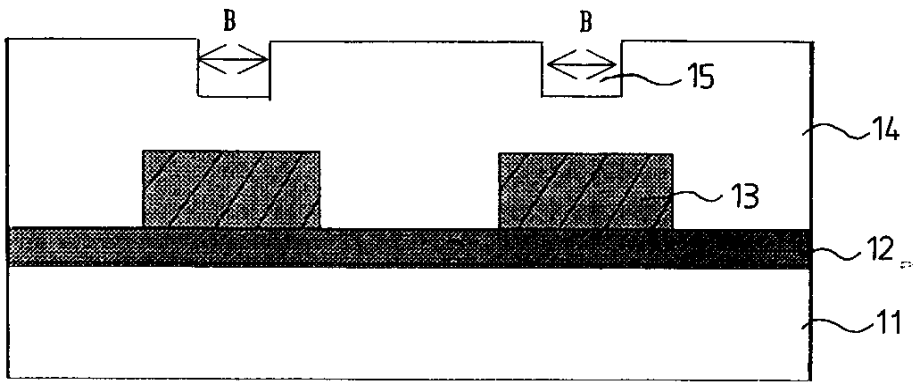
제9항에 있어서, 상기 텅스텐막의 두께는 5,000 내지 7,000 Å의 범위로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 제조방법.

**도면****도면1****도면2**

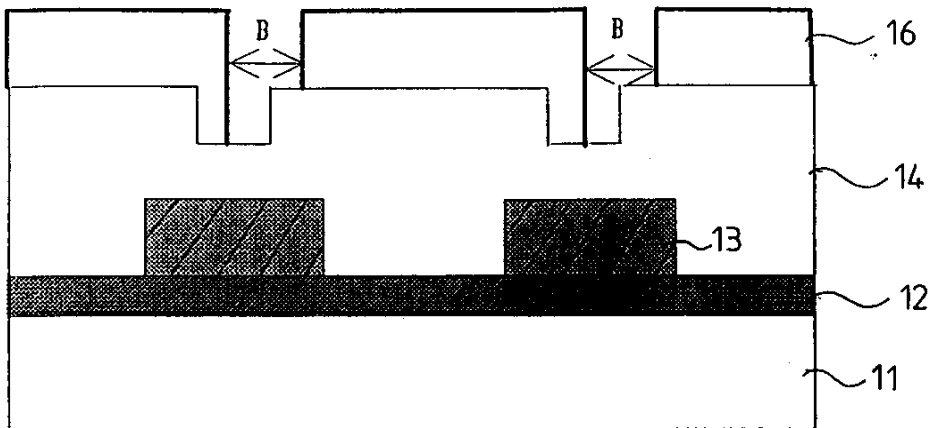
도면3



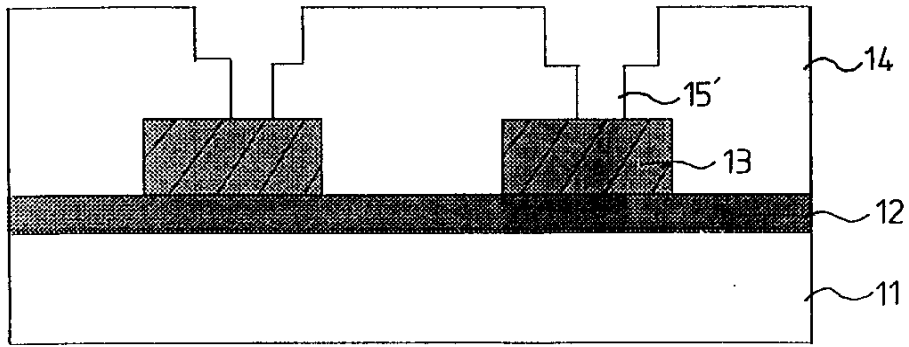
도면4a



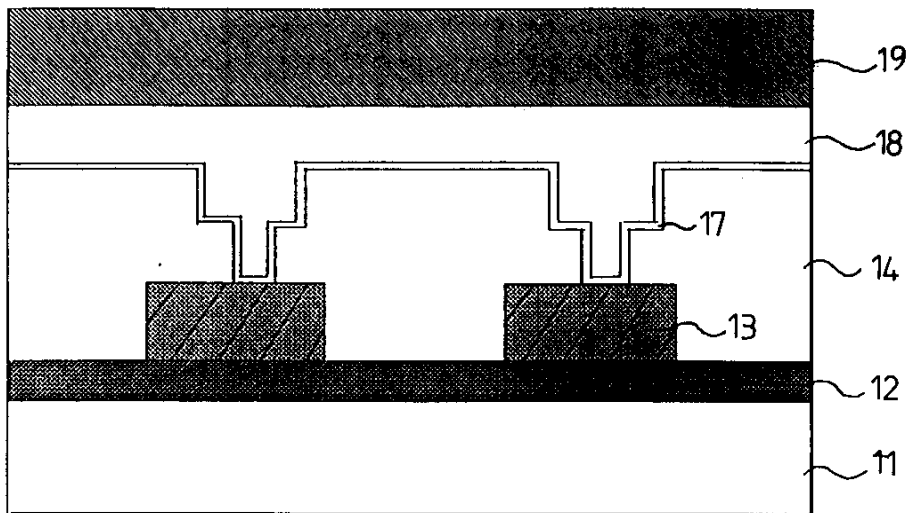
도면4b



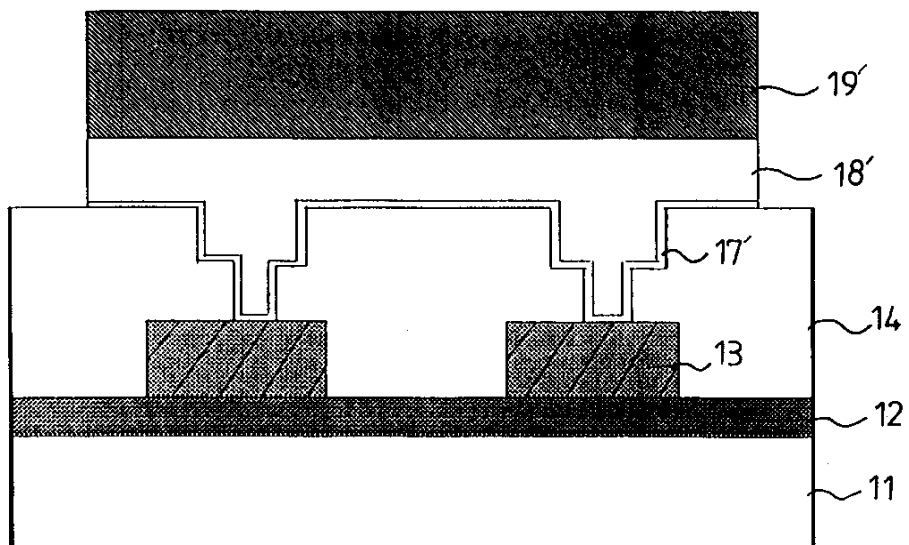
도면4c



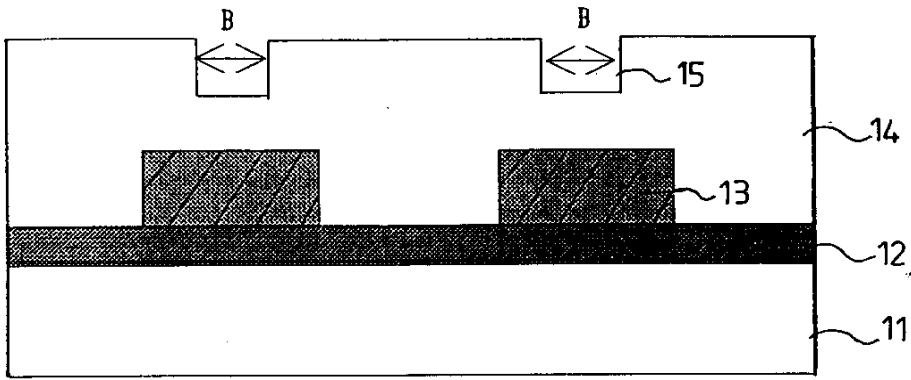
도면4d



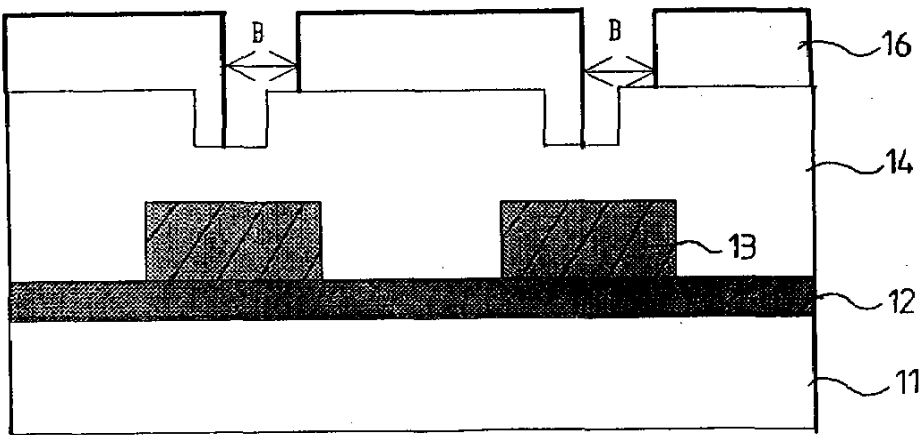
도면4e



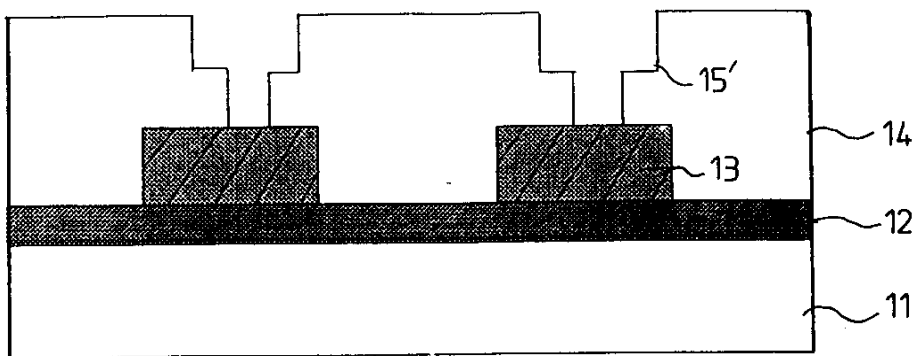
도면5a



도면5b



도면5c





도면5d

