



(12) 发明专利

(10) 授权公告号 CN 111986983 B

(45) 授权公告日 2024.10.25

(21) 申请号 201910425793.4

(22) 申请日 2019.05.21

(65) 同一申请的已公布的文献号
申请公布号 CN 111986983 A

(43) 申请公布日 2020.11.24

(73) 专利权人 中芯国际集成电路制造(上海)有
限公司

地址 201203 上海市浦东新区张江路18号

专利权人 中芯国际集成电路制造(北京)有
限公司

(72) 发明人 纪世良 张海洋

(74) 专利代理机构 北京集佳知识产权代理有限
公司 11227

专利代理师 徐文欣 吴敏

(51) Int.Cl.

H01L 21/02 (2006.01)

(56) 对比文件

CN 105895510 A, 2016.08.24

审查员 赵萌

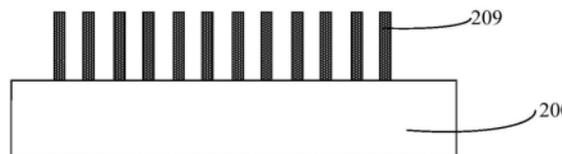
权利要求书2页 说明书6页 附图2页

(54) 发明名称

半导体结构及其形成方法

(57) 摘要

一种半导体结构及其形成方法,方法包括:提供待刻蚀层,所述待刻蚀层上具有图形化的牺牲层以及位于牺牲层上的硬掩膜层,所述图形化的牺牲层暴露出部分所述待刻蚀层的表面;去除所述硬掩膜层;在去除所述硬掩膜层之后,在所述牺牲层侧壁形成侧墙;在形成侧墙之后,去除所述牺牲层。所形成的半导体结构性能得到提升。



1. 一种半导体结构的形成方法,其特征在于,包括:
提供待刻蚀层,所述待刻蚀层上具有图形化的牺牲层以及位于牺牲层上的硬掩膜层,所述图形化的牺牲层暴露出部分所述待刻蚀层的表面;
在所述待刻蚀层上、牺牲层的侧壁以及硬掩膜层的顶部和侧壁形成初始第二保护层;
在所述待刻蚀层上、牺牲层侧壁的初始第二保护层上形成第一保护层;
形成第一保护层之后,去除所述硬掩膜层;
在去除所述硬掩膜层之后,在所述牺牲层侧壁形成侧墙;
在形成侧墙之后,去除所述牺牲层。
2. 如权利要求1所述半导体结构的形成方法,其特征在于,所述牺牲层和硬掩膜层的形成方法包括:在所述待刻蚀层上形成牺牲材料层;在所述牺牲材料层上形成硬掩膜材料层;在所述硬掩膜材料层上形成图形层,所述图形层暴露出部分硬掩膜材料层表面;以所述图形层为掩膜,刻蚀所述硬掩膜材料层和所述牺牲材料层,在待刻蚀层上形成牺牲层以及位于牺牲层上的硬掩膜层。
3. 如权利要求1所述半导体结构的形成方法,其特征在于,所述牺牲层的材料与所述硬掩膜层的材料不同;所述牺牲层的材料与所述侧墙的材料不同;
所述硬掩膜层与所述侧墙的材料不同。
4. 如权利要求3所述半导体结构的形成方法,其特征在于,所述硬掩膜层的材料包括氧化物,所述氧化物包括氧化硅。
5. 如权利要求3所述半导体结构的形成方法,其特征在于,所述牺牲层的材料包括多晶硅。
6. 如权利要求3所述半导体结构的形成方法,其特征在于,所述侧墙的材料包括氮化物或氮碳化物;所述氮化物或氮碳化物包括氮化硅或氮碳化硅。
7. 如权利要求1所述半导体结构的形成方法,其特征在于,所述第一保护层的形成方法包括:在所述待刻蚀层上、牺牲层的侧壁以及硬掩膜层的侧壁和顶部形成第一保护材料层,所述第一保护材料层表面高于所述硬掩膜层的顶部;回刻蚀所述第一保护材料层,直至暴露出所述牺牲层侧壁表面,形成所述第一保护层。
8. 如权利要求1所述半导体结构的形成方法,其特征在于,所述第一保护层的顶部表面低于或齐平于所述牺牲层的顶部表面;所述第一保护层的材料包括有机材料。
9. 如权利要求1所述半导体结构的形成方法,其特征在于,所述初始第二保护层的材料与所述硬掩膜层的材料相同;所述初始第二保护层的材料包括氧化物,所述氧化物包括氧化硅。
10. 如权利要求1所述半导体结构的形成方法,其特征在于,所述初始第二保护层的厚度范围为1nm~6nm。
11. 如权利要求1所述半导体结构的形成方法,其特征在于,所述初始第二保护层的形成工艺包括:原子层沉积工艺或化学气相沉积工艺。
12. 如权利要求1所述半导体结构的形成方法,其特征在于,去除所述硬掩膜层时,位于所述硬掩膜层侧壁和顶部的部分初始第二保护层与所述硬掩膜层同时去除,在所述牺牲层的侧壁形成第二保护层。
13. 如权利要求1所述半导体结构的形成方法,其特征在于,去除所述硬掩膜层之前,去

除位于所述硬掩膜层侧壁和顶部的部分初始第二保护层,在所述牺牲层的侧壁形成第二保护层。

14.如权利要求12或13所述半导体结构的形成方法,其特征在于,在所述牺牲层侧壁形成侧墙之前,还包括:去除所述第一保护层;去除牺牲层侧壁的第二保护层。

15.如权利要求1所述半导体结构的形成方法,其特征在于,所述侧墙的形成方法包括:在所述待刻蚀层上、牺牲层的顶部和侧壁形成侧墙材料层;回刻蚀所述侧墙材料层,直至暴露出所述牺牲层的顶部,在牺牲层的侧壁形成所述侧墙。

16.如权利要求15所述半导体结构的形成方法,其特征在于,所述侧墙材料层的形成工艺包括:化学气相沉积工艺或原子层沉积工艺。

17.一种如权利要求1至16任一项所述方法所形成的半导体结构。

半导体结构及其形成方法

技术领域

[0001] 本发明涉及半导体制造领域,尤其涉及一种半导体结构及其形成方法。

背景技术

[0002] 随着对高容量的半导体存储装置需求的日益增加,半导体存储装置的集成密度受到人们的关注,为了增加半导体存储装置的集成密度,现有技术中采用了许多不同的方法,自对准多重图案技术是一种在半导体器件制备过程中得到广泛的接受和应用的解决途径。

[0003] 目前常用的自对准多重图案技术包括自对准双图案技术(Self aligned double patterning,简称SADP)和对准四重图案技术(Self aligned quadruple patterning,简称SAQP)。自对准多重图案技术可以在现有的光刻技术下,制备更小节点的器件,以提供更小的过程波动。

[0004] 而现有的自对准多重图案技术由于必须引入复杂的膜层叠层来实现图案的转移,在刻蚀膜层在半导体衬底形成目标图案时,容易出现图形转移质量差,形成的目标图案失真的问题,对器件的稳健性造成负面影响。

[0005] 因此,使用现有的自对准多重图案技术形成的半导体器件性能有待改善。

发明内容

[0006] 本发明解决的技术问题是提供一种半导体结构及其形成方法,能够提升半导体结构的性能。

[0007] 为解决上述技术问题,本发明提供一种半导体结构的形成方法,包括:提供待刻蚀层,所述待刻蚀层上具有图形化的牺牲层以及位于牺牲层上的硬掩膜层,所述图形化的牺牲层暴露出部分所述待刻蚀层的表面;去除所述硬掩膜层;在去除所述硬掩膜层之后,在所述牺牲层侧壁形成侧墙;在形成侧墙之后,去除所述牺牲层。

[0008] 可选的,所述牺牲层和硬掩膜层的形成方法包括:在所述待刻蚀层上形成牺牲材料层;在所述牺牲材料层上形成硬掩膜材料层;在所述硬掩膜材料层上形成图形层,所述图形层暴露出部分硬掩膜材料层表面;以所述图形层为掩膜,刻蚀所述硬掩膜材料层和所述牺牲材料层,在待刻蚀层上形成牺牲层以及位于牺牲层上的硬掩膜层。

[0009] 可选的,所述牺牲层的材料与所述硬掩膜层的材料不同;所述牺牲层的材料与所述侧墙的材料不同;所述硬掩膜层与所述侧墙的材料不同。

[0010] 可选的,所述硬掩膜层的材料包括氧化物,所述氧化物包括氧化硅。

[0011] 可选的,所述牺牲层的材料包括多晶硅。

[0012] 可选的,所述侧墙的材料包括氮化物或氮碳化物;所述氮化物或氮碳化物包括氮化硅或氮碳化硅。

[0013] 可选的,在去除所述硬掩膜层之前,还包括:在所述待刻蚀层上、牺牲层侧壁形成第一保护层。

[0014] 可选的,所述第一保护层的形成方法包括:在所述待刻蚀层上、牺牲层的侧壁以及

硬掩膜层的侧壁和顶部形成第一保护材料层,所述第一保护材料层表面高于所述硬掩膜层的顶部;回刻蚀所述第一保护材料层,直至暴露出所述牺牲层侧壁表面,形成所述第一保护层。

[0015] 可选的,所述第一保护层的顶部表面低于或齐平于所述牺牲层的顶部表面;所述第一保护层的材料包括有机材料。

[0016] 可选的,在所述待刻蚀层上、牺牲层的侧壁以及硬掩膜层的侧壁和顶部形成第一保护层之前,还包括:在所述待刻蚀层上、牺牲层的侧壁以及硬掩膜层的顶部和侧壁形成初始第二保护层。

[0017] 可选的,所述初始第二保护层的材料与所述硬掩膜层的材料相同;所述初始第二保护层的材料包括氧化物,所述氧化物包括氧化硅。

[0018] 可选的,所述初始第二保护层的厚度范围为1nm~6nm。

[0019] 可选的,所述初始第二保护层的形成工艺包括:原子层沉积工艺或化学气相沉积工艺。

[0020] 可选的,去除所述硬掩膜层时,位于所述硬掩膜层侧壁和顶部的部分初始第二保护层与所述硬掩膜层同时去除,在所述牺牲层的侧壁形成第二保护层。

[0021] 可选的,去除所述硬掩膜层之前,去除位于所述硬掩膜层侧壁和顶部的部分初始第二保护层,在所述牺牲层的侧壁形成第二保护层。

[0022] 可选的,在所述牺牲层侧壁形成侧墙之前,还包括:去除所述第一保护层;去除牺牲层侧壁的第二保护层。

[0023] 可选的,所述侧墙的形成方法包括:在所述待刻蚀层上、牺牲层的顶部和侧壁形成侧墙材料层;回刻蚀所述侧墙材料层,直至暴露出所述牺牲层的顶部,在牺牲层的侧壁形成所述侧墙。

[0024] 可选的,所述侧墙材料层的形成工艺包括:化学气相沉积工艺或原子层沉积工艺。

[0025] 相应的,本发明实施例还提供一种采用上述任一项方法所形成的半导体结构。

[0026] 与现有技术相比,本发明的技术方案具有以下有益效果:

[0027] 待刻蚀层上具有牺牲层以及位于牺牲层上的硬掩膜层,通过先去除位于牺牲层上的硬掩膜层,再在所述牺牲层侧壁形成侧墙,可以避免在形成侧墙后再去除硬掩膜层时,去除硬掩膜层的工艺对侧墙顶部的侧壁造成损伤的情况,从而形成的侧墙形貌良好,后续以侧墙为掩膜继续刻蚀时,提高了图案传递的精度,半导体结构的尺寸精度可控制,从而使得形成的半导体器件性能得到提升。

[0028] 进一步,在形成牺牲层及位于牺牲层上的硬掩膜层后,在牺牲层的侧壁以及硬掩膜层的顶部和侧壁形成第二保护层,可以避免第一保护层与牺牲层直接接触产生化学反应而在牺牲层侧壁形成化合物,导致后续去除牺牲层时,所述化合物难以去除而影响侧墙形貌的情况。

附图说明

[0029] 图1至图4是一种半导体结构形成过程的剖面结构示意图;

[0030] 图5至图10是本发明实施例一种半导体结构形成过程的剖面结构示意图。

具体实施方式

[0031] 正如背景技术所述,使用现有的自对准多重图案技术形成的半导体结构性能有待改善。

[0032] 图1至图4是一种半导体结构形成过程的剖面结构示意图。

[0033] 请参考图1,提供待刻蚀层100,所述待刻蚀层100上具有图案化的牺牲层103,以及位于牺牲层103上的硬掩膜层102,所述牺牲层103暴露出部分待刻蚀层表面。

[0034] 请参考图2,在所述硬掩膜层102和牺牲层103的侧壁形成侧墙104。

[0035] 请参考图3,在所述待刻蚀层100上和所述牺牲层104侧壁形成保护层105,所述保护层105的表面低于所述牺牲层104的顶部表面;形成保护层105后,去除所述硬掩膜层102。

[0036] 请参考图4,去除所述牺牲层103和保护层105,在所述待刻蚀层100上形成分立的侧墙104。

[0037] 在形成所述半导体结构的过程中,由于所述硬掩膜层102的材料包括氧化硅,所述侧墙104的材料包括氮化硅,在采用湿法刻蚀工艺去除硬掩膜层102时,所述侧墙104也会受到一定的损伤,而由于形成的侧墙104的尺寸较小,对侧墙104的精度要求较高,则侧墙104受到的损伤对侧墙的形貌影响就较大,再继续去除牺牲层103形成分立的侧墙104时,会形成顶部尺寸和底部尺寸不一致的侧墙104,后续用侧墙104为掩膜继续刻蚀待刻蚀层100时,则会将有缺陷的侧墙104的图案传递,导致形成的半导体结构尺寸精度无法控制,形成的半导体结构性能较差。

[0038] 为了解决上述问题,本发明提供一种半导体结构的结构和形成方法,通过在形成牺牲层及位于牺牲层上的硬掩膜层后,先去除位于牺牲层上的硬掩膜层,再在所述牺牲层侧壁形成侧墙,避免了先形成侧墙再去去除硬掩膜层时,去除硬掩膜层的工艺对侧墙的侧壁造成损伤的情况,从而形成的侧墙形貌良好,从而提高了图案传递的精度,半导体结构的尺寸精度可控制,从而使得形成的半导体器件性能得到提升。

[0039] 为使本发明的上述目的、特征和有益效果能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0040] 图5至图10是本发明实施例一种半导体结构形成过程的剖面结构示意图。

[0041] 请参考图5,提供待刻蚀层200,所述待刻蚀层200上具有图形化的牺牲层202以及位于牺牲层202上的硬掩膜层203,所述图形化的牺牲层202暴露出部分所述待刻蚀层200的表面。

[0042] 在本实施例中,所述待刻蚀层200包括:基底;位于基底上的第二牺牲材料层;位于第二牺牲材料层上的第二掩膜材料层。在其他实施例中,所述待刻蚀层200可以不包括位于基底上的第二牺牲材料层。

[0043] 所述基底的材料为半导体材料。在本实施例中,所述基底的材料为硅。其他实施例中,所述基底的材料包括碳化硅、硅锗、Ⅲ-V族元素构成的多元半导体材料、绝缘体上硅(SOI)或者绝缘体上锗。其中,Ⅲ-V族元素构成的多元半导体材料包括InP、GaAs、GaP、InAs、InSb、InGaAs或者InGaAsP。

[0044] 所述牺牲层202和硬掩膜层203的形成方法包括:在所述待刻蚀层200上形成牺牲材料层(未图示);在所述牺牲材料层上形成硬掩膜材料层(未图示);在所述硬掩膜材料层上形成图形层(未图示),所述图形层暴露出部分硬掩膜材料层表面;以所述图形层为掩膜,

刻蚀所述硬掩膜材料层和所述牺牲材料层,在待刻蚀层上形成牺牲层202以及位于牺牲层202上的硬掩膜层203。

[0045] 在本实施例中,所述牺牲层202的材料与所述硬掩膜层203的材料不同。

[0046] 所述硬掩膜层203的材料包括氧化物、氮化物以及氮碳化物,所述氧化物、氮化物以及氮碳化物的材料包括氧化硅、氮化硅和氮碳化硅。在本实施例中,所述硬掩膜层203的材料包括氧化硅。

[0047] 所述牺牲层202的材料包括多晶硅或氧化硅。在本实施例中,所述牺牲层202的材料包括多晶硅。

[0048] 所述牺牲层202的材料与所述硬掩膜层203的材料不同的意义在于:所述牺牲层202与所述硬掩膜层203具有不同的刻蚀比,后续在去除所述硬掩膜层203时,可以避免对所述牺牲层202造成损伤,从而影响所述牺牲层202的形貌,进而影响后续图案的传递的稳健性。

[0049] 请参考图6,在所述待刻蚀层200上、牺牲层202的侧壁以及硬掩膜层203的顶部和侧壁形成初始第二保护层204。

[0050] 在所述待刻蚀层200上、牺牲层202的侧壁以及硬掩膜层203的顶部和侧壁形成初始第二保护层204的意义在于:所述初始第二保护层204可以保护所述牺牲层202的侧壁,避免后续形成的第一保护层与牺牲层202直接接触产生化学反应而在牺牲层202侧壁形成化合物,导致后续去除牺牲层202时,所述化合物难以去除而影响侧墙形貌的情况。

[0051] 在本实施例中,所述初始第二保护层204的材料与所述硬掩膜层203的材料相同。在其他实施例中,所述初始第二保护层204的材料可以与所述硬掩膜层203的材料不同。

[0052] 所述初始第二保护层204的材料包括氧化物;在本实施例中,所述氧化物包括氧化硅。

[0053] 所述初始第二保护层204的材料与所述硬掩膜层203的材料相同的意义在于:后续在去除所述硬掩膜层203时,需要先去位于所述硬掩膜层203侧壁和顶部的部分初始第二保护层204,所述初始第二保护层204的材料与所述硬掩膜层203的材料相同,则位于所述硬掩膜层203侧壁和顶部的部分初始第二保护层204和所述硬掩膜层203可以同时去除,有利于简化工艺流程,提高生产效率。

[0054] 在本实施例中,所述初始第二保护层204的厚度范围为1nm~6nm。

[0055] 所述初始第二保护层204的厚度范围为1nm~6nm的意义在于:若所述初始第二保护层204的厚度小于1nm,则形成工艺较难控制,无法满足厚度的精度要求;若所述初始第二保护层204的厚度大于6nm,则形成的初始第二保护层204过厚,后续在去除位于所述硬掩膜层203侧壁和顶部的部分初始第二保护层204时,需加大刻蚀条件,从而不利于生产效率的提高。

[0056] 所述初始第二保护层204的形成工艺包括:原子层沉积工艺或化学气相沉积工艺。在本实施例中,所述初始第二保护层204的形成工艺包括原子层沉积工艺。

[0057] 在其他实施例中,能够不在所述待刻蚀层200上、牺牲层202的侧壁以及硬掩膜层203的顶部和侧壁形成初始第二保护层204。

[0058] 请参考图7,在所述待刻蚀层200上、牺牲层202侧壁表面的初始第二保护层204上形成第一保护层207。

[0059] 所述第一保护层207的形成方法包括:在所述初始第二保护层204上、牺牲层202的侧壁以及硬掩膜层203的侧壁和顶部形成第一保护材料层(未图示),所述第一保护材料层表面高于所述硬掩膜层203的顶部;回刻蚀所述第一保护材料层,直至暴露出所述牺牲层202侧壁表面的初始第二保护层204,形成所述第一保护层207。

[0060] 在所述待刻蚀层200上、牺牲层202侧壁表面的初始第二保护层204上形成第一保护层207的意义在于:所述第一保护层207可以保护待刻蚀层200,避免在去除硬掩膜层203也同时去掉待刻蚀层200表面的初始第二保护层204,从而继续对所述待刻蚀层200的表面造成损伤,从而影响后续形成图形的形貌。

[0061] 所述第一保护层207的顶部表面低于或齐平于所述牺牲层202的顶部表面;在本实施例中,所述第一保护层207的顶部表面低于所述牺牲层202的顶部表面。

[0062] 在本实施例中,所述第一保护层207的材料包括有机材料。

[0063] 所述第一保护层207的顶部表面低于所述牺牲层202的顶部表面,暴露出所述硬掩膜层203以及位于所述硬掩膜层203顶部表面和侧壁表面的初始第二保护层204,为后续去除所述硬掩膜层203提供空间。

[0064] 请参考图8,去除位于所述硬掩膜层203侧壁和顶部的部分初始第二保护层204,去除所述硬掩膜层203,在所述牺牲层202的侧壁形成第二保护层205。

[0065] 在本实施例中,位于所述硬掩膜层203侧壁和顶部的部分初始第二保护层204与所述硬掩膜层203同时去除。

[0066] 在其他实施例中,去除所述硬掩膜层203之前,先去除位于所述硬掩膜层203侧壁和顶部的部分初始第二保护层204。

[0067] 去除所述硬掩膜层203以及位于所述硬掩膜层203侧壁和顶部的部分初始第二保护层204的工艺包括各向同性湿法刻蚀工艺或各向异性干法刻蚀工艺。

[0068] 在本实施例中,选用各向同性湿法刻蚀工艺去除所述硬掩膜层203以及位于所述硬掩膜层203侧壁和顶部的部分初始第二保护层204,所述各向同性湿法刻蚀工艺相较于各向异性干法刻蚀工艺来说,各向同性湿法刻蚀工艺对所述牺牲层202的顶部表面损伤较小,有利于所述牺牲层202形貌完整性的保持。

[0069] 请参考图9,去除所述第一保护层207;去除所述第一保护层207之后,去除所述牺牲层202侧壁的第二保护层205。

[0070] 在本实施例中,去除所述第一保护层207的工艺包括各向异性干法刻蚀工艺。

[0071] 在本实施例中,去除所述牺牲层202侧壁的第二保护层205的工艺包括各向同性湿法刻蚀工艺。

[0072] 请继续参考图9,去除所述第一保护层207和所述牺牲层202侧壁的第二保护层205之后,在所述待刻蚀层200上、牺牲层202的顶部和侧壁形成侧墙材料层208。

[0073] 所述侧墙材料层208的形成工艺包括:化学气相沉积工艺或原子层沉积工艺。在本实施例中,所述侧墙材料层208的形成工艺包括化学气相沉积工艺。

[0074] 在本实施例中,所述侧墙材料层208的材料与所述牺牲层202的材料不同;所述侧墙材料层208的材料与所述硬掩膜层203的材料也不同。

[0075] 在本实施例中,所述侧墙材料层208的材料包括氮化物或氮碳化物;所述氮化物或氮碳化物包括氮化硅或氮碳化硅。

[0076] 所述侧墙材料层208的材料与所述牺牲层202的材料不同,因此在回刻蚀所述侧墙材料层208形成侧墙时所述牺牲层202可以作为刻蚀停止层;后续形成侧墙之后去除所述牺牲层202时,去除所述牺牲层202的工艺不会对侧墙造成损伤,从而形成的侧墙的形貌良好。

[0077] 所述侧墙材料层208的材料与所述硬掩膜层203的材料也不同,所述待刻蚀层200包含了所述硬掩膜层203的材料,故所述侧墙材料层208的材料与所述硬掩膜层203的材料不同,可以避免在回刻蚀所述侧墙材料层208形成侧墙时,对待刻蚀层200造成损伤,从而影响后续形成图案的精准度。

[0078] 请参考图10,回刻蚀所述侧墙材料层208,直至暴露出所述牺牲层202的顶部,在所述牺牲层202的侧壁形成侧墙209。

[0079] 在所述牺牲层202侧壁形成侧墙209之后,去除所述牺牲层202,在所述待刻蚀层200上形成分立的侧墙209,请继续参考图10。

[0080] 去除所述牺牲层202的工艺包括各向异性干法刻蚀工艺或者各向同性湿法刻蚀工艺;在本实施例中,去除所述牺牲层202的工艺包括各向同性湿法刻蚀工艺。

[0081] 至此,形成的侧墙209形貌良好,后续以侧,209为掩膜继续刻蚀所述待刻蚀层200时,提高了图案传递的精度,半导体结构的尺寸精度可控制,从而使得形成的半导体器件性能得到提升。

[0082] 相应的,本发明实施例还提供一种采用上述方法形成的半导体结构,请继续参考图10,包括:待刻蚀层200;位于待刻蚀层200上的侧墙209。

[0083] 虽然本发明披露如上,但本发明并非限于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

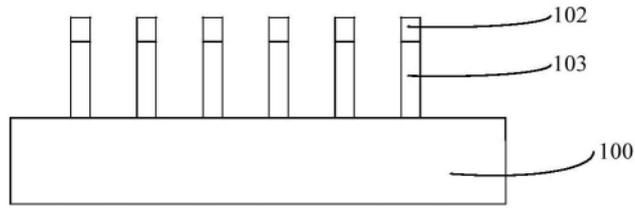


图1

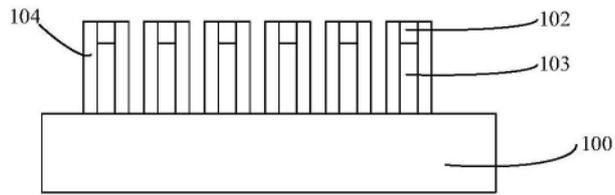


图2

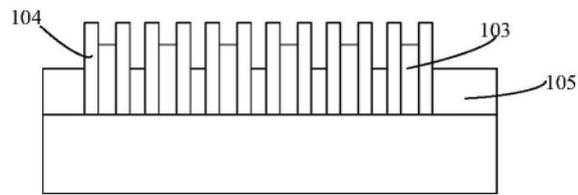


图3

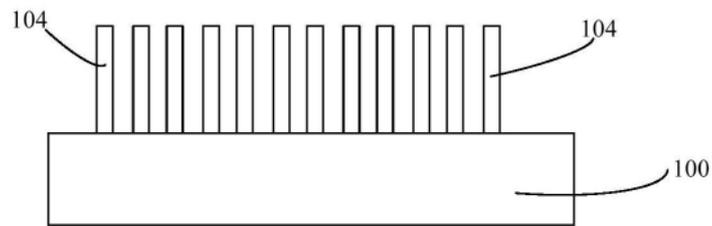


图4

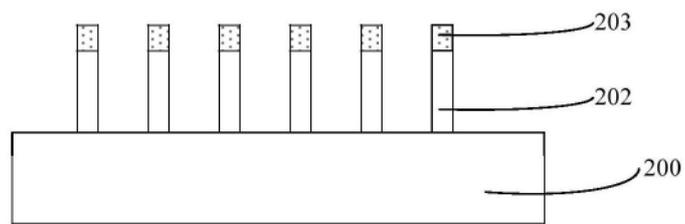


图5

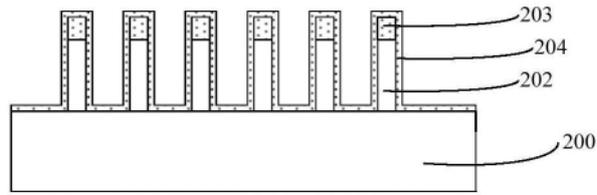


图6

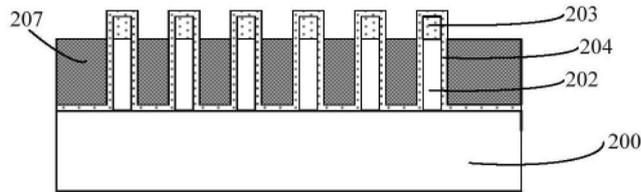


图7

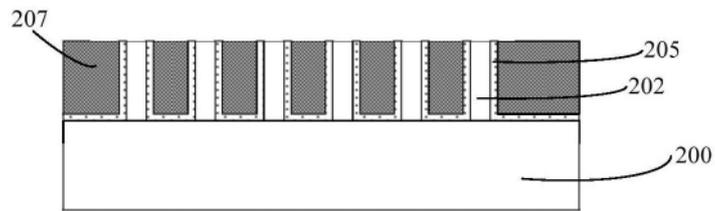


图8



图9

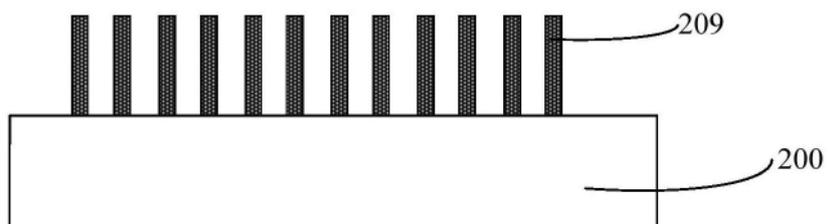


图10